



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년07월06일

(11) 등록번호 10-1534070

(24) 등록일자 2015년06월30일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0026763

(22) 출원일자 2008년03월24일

심사청구일자 2013년03월14일

(65) 공개번호 10-2008-0087688

(43) 공개일자 2008년10월01일

(30) 우선권주장

JP-P-2007-00078067 2007년03월26일 일본(JP)

(56) 선행기술조사문현

JP2005236202 A\*

JP2007013091 A\*

KR1020020071060 A\*

KR1020050051446 A

\*는 심사관에 의하여 인용된 문현

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이에네루기 켄큐쇼 나이

수자와 히데오미

일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이에네루기 켄큐쇼 나이

(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 24 항

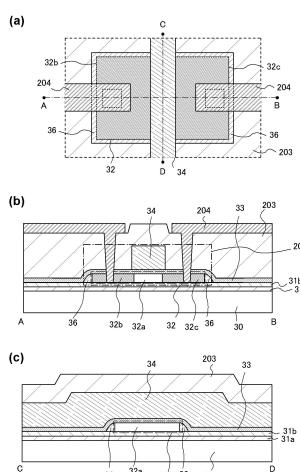
심사관 : 설관식

(54) 발명의 명칭 반도체장치 및 그 제조 방법

### (57) 요 약

콘택홀 형성시의 에칭의 제어를 용이하게 행하는 반도체장치를 제조하는 기술을 제안한다. 적어도 절연 표면 위에 형성된 반도체층과, 반도체층 위에 형성된 제1 절연층과, 제1 절연층 위에 형성된 게이트 전극과, 게이트 전극 위에 형성된 제2 절연층을 가지고, 적어도 반도체층 및 제2 절연층에 개구부가 형성되어서 절연 표면이 부분적으로 노출되어 있고, 개구부를 사이에 두고 제2 절연층 위에 형성된 도전층을 가진다. 이때, 여기에서 도전층은 반도체층에 형성된 개구부의 측면에서 반도체층과 전기적으로 접속하고 있다.

### 대 표 도 - 도1



(72) 발명자

사사가와 신야

일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이야 한도오따이에네루기 켄큐쇼 나이

쿠라타 모토무

일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이야 한도오따이에네루기 켄큐쇼 나이

## 명세서

### 청구범위

#### 청구항 1

절연 표면 위에 형성된 반도체층과,  
상기 반도체층 위에 형성된 제1 절연층과,  
상기 제1 절연층 위에 형성된 제1 게이트 전극과,  
상기 제1 게이트 전극 위에 형성된 제2 게이트 전극과,  
상기 제2 게이트 전극 위에 형성된 제2 절연층과,  
상기 제2 절연층 위에 형성된 도전층을 구비하고,  
상기 도전층은 제1 개구부와 제2 개구부를 통해 상기 반도체층에 접속되고,  
상기 제1 개구부는 적어도 상기 제2 절연층에 형성되고,  
상기 제1 개구부는 상기 반도체층에 달하고,  
상기 제2 개구부는 적어도 상기 반도체층에 형성되고,  
상기 제2 개구부는 상기 절연 표면에 달하고,  
상기 제1 게이트 전극의 길이는 상기 제2 게이트 전극의 길이보다 길고,  
상기 도전층은 상기 제1 개구부 및 상기 제2 개구부를 충전하고,  
상기 제2 개구부의 윗 면적은 상기 제1 개구부의 윗 면적보다 작은, 반도체장치.

#### 청구항 2

삭제

#### 청구항 3

제 1항에 있어서,  
기판 위에 형성된 제 3 절연층과,  
상기 제 3 절연층 위에 형성된, 상기 절연 표면을 가지는 제 4 절연층을 포함하는, 반도체장치.

#### 청구항 4

제 1항에 있어서,  
절연물이 상기 반도체층의 측면에 제공된, 반도체장치.

#### 청구항 5

제 1항에 있어서,  
상기 반도체층이 실리사이드 영역을 포함하는, 반도체장치.

#### 청구항 6

제 1항에 있어서,  
상기 반도체층의 두께가 10nm 내지 30nm인, 반도체장치.

#### 청구항 7

제 1항에 있어서,

상기 제1 개구부가 상기 제1 절연층에 더 형성된, 반도체장치.

#### 청구항 8

절연 표면 위에 반도체층을 형성하는 단계와,

상기 반도체층 위에 제1 절연층을 형성하는 단계와,

상기 제1 절연층 위에 제1 게이트 전극을 형성하는 단계와,

상기 제1 게이트 전극 위에 제2 게이트 전극을 형성하는 단계와,

상기 제1 게이트 전극 위에 제2 절연층을 형성하는 단계와,

적어도 상기 제2 절연층에, 상기 반도체층에 달하는 제1 개구부를 형성하는 단계와,

적어도 상기 반도체층에, 상기 절연 표면에 달하는 제2 개구부를 형성하는 단계와,

상기 제1 개구부와 상기 제2 개구부를 충전하도록, 상기 제2 절연층 위에 도전층을 형성하는 단계를 포함하고,

상기 도전층은 상기 제1 개구부와 상기 제2 개구부를 통해 상기 반도체층에 접속되고,

상기 제1 게이트 전극의 길이는 상기 제2 게이트 전극의 길이보다 길고,

상기 제2 개구부의 윗 면적은 상기 제1 개구부의 윗 면적보다 작은, 반도체장치의 제조 방법.

#### 청구항 9

제 8 항에 있어서,

상기 제2 절연층 위에 레지스트 마스크를 형성하는 단계를 포함하고,

상기 제1 개구부는 상기 레지스트 마스크를 사용하여 웨트 에칭에 의해 형성하고,

상기 제2 개구부는 상기 레지스트 마스크를 사용하여 드라이 에칭에 의해 형성하는, 반도체장치의 제조 방법.

#### 청구항 10

제 8 항에 있어서,

상기 제2 절연층 위에 제1 레지스트 마스크를 형성하는 단계와,

상기 제1 레지스트 마스크를 에칭하여 제2 레지스트 마스크를 형성하는 단계를 포함하고,

상기 제1 개구부는 상기 제1 레지스트 마스크를 사용하여 에칭에 의해 형성하고,

상기 제2 개구부는 상기 제2 레지스트 마스크를 사용하여 에칭에 의해 형성하는, 반도체장치의 제조 방법.

#### 청구항 11

제 8 항에 있어서,

상기 제1 개구부와 상기 제2 개구부는 드라이 에칭에 의해 형성하는, 반도체장치의 제조 방법.

#### 청구항 12

제 8 항에 있어서,

절연물이 상기 반도체층의 측면에 제공된, 반도체장치의 제조 방법.

#### 청구항 13

제 8 항에 있어서,

상기 반도체층이 실리사이드 영역을 포함하는, 반도체장치의 제조 방법.

**청구항 14**

제 8 항에 있어서,

상기 반도체층의 두께가 10nm 내지 30nm인, 반도체장치의 제조 방법.

**청구항 15**

제 8 항에 있어서,

상기 제1 개구부가 상기 제1 절연층에 더 형성된, 반도체장치의 제조 방법.

**청구항 16**

절연 표면 위의 개구부를 갖는 반도체층과,

상기 반도체층 위의 제1 절연층과,

상기 제1 절연층 위의 제1 게이트 전극과,

상기 제1 게이트 전극 위의 제2 게이트 전극과,

상기 제2 게이트 전극 위의 제2 절연층과,

상기 제2 절연층 위의 도전층을 포함하고,

상기 도전층은 상기 개구부를 충전하고,

적어도 상기 개구부의 일부는 상기 절연 표면에 달하고,

상기 제1 게이트 전극의 길이는 상기 제2 게이트 전극의 길이보다 길고,

상기 도전층은 상기 반도체층의 측면과 상기 반도체층의 상면에 접속되는, 반도체장치.

**청구항 17**

제 16 항에 있어서,

상기 도전층은 상기 개구부를 통해 상기 절연 표면에 접속되는, 반도체장치.

**청구항 18**

제 16 항에 있어서,

상기 반도체층은 실리사이드 영역을 포함하는, 반도체장치.

**청구항 19**

제 18 항에 있어서,

상기 도전층은 상기 실리사이드 영역의 측면에 접속되는, 반도체장치.

**청구항 20**

제 18 항에 있어서,

상기 실리사이드 영역은 상기 제 1 절연층과 겹치지 않는, 반도체장치.

**청구항 21**

제 16 항에 있어서,

상기 반도체층은 제 3 절연층 위에 형성되는, 반도체장치.

**청구항 22**

제 21 항에 있어서,

상기 제 3 절연층은 제 1 개구부를 갖고, 상기 제 2 절연층은 제 2 개구부를 갖고,  
상기 도전층은 상기 제 1 개구부, 상기 개구부, 및 상기 제 2 개구부를 통해 상기 절연 표면에 접속되는, 반도체장치.

### 청구항 23

제 16 항에 있어서,  
상기 반도체층은 단결정 실리콘층인, 반도체장치.

### 청구항 24

제 16 항에 있어서,  
상기 반도체층의 두께는 10nm 내지 200nm인, 반도체장치.

### 청구항 25

제 16 항에 있어서,  
상기 도전층은 텅스텐을 포함하는, 반도체장치.

### 청구항 26

삭제

## 발명의 설명

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 반도체장치 및 그 제조 방법에 관한 것이다. 이때, 본 명세서에 있어서 반도체장치란, 반도체 특성을 이용함으로써 기능 할 수 있는 장치 전반을 가리킨다.

#### 배경 기술

[0002] 최근, 유리 등의 절연 표면을 가지는 기판 위에 박막 트랜지스터(TFT)를 형성하고, 그 박막 트랜지스터를 스위칭소자 등으로 이용하는 반도체장치의 제조가 활발히 이루어지고 있다. 그 박막 트랜지스터는, 절연 표면을 가지는 기판 위에 CVD법, 포토리소그래피 공정 등을 사용해서 섬 형상의 반도체막을 형성하고, 그 섬 형상의 반도체막의 일부를 트랜지스터의 채널 형성 영역으로 이용하도록 설치되어 있다(예를 들면 특허문현 1).

[0003] 박막 트랜지스터의 단면의 모식도를 도 21에 나타낸다. 도 21에 나타낸 바와 같이, 박막 트랜지스터는, 기판(30) 위에, 하지막으로서 기능하는 절연층(31)이 형성되고, 절연층(31) 위에, 채널 형성 영역(32a), 소스 영역 및 드레인 영역으로서 기능하는 불순물영역(32b, 32c)을 가지는 반도체층(32)이 형성되고, 반도체층(32) 및 절연층(31) 위에 게이트 절연층으로서 기능하는 절연층(33)이 형성되고, 절연층(33) 위에 게이트 전극으로서 기능하는 도전층(34)이 형성되고, 도전층(34) 위에 절연층(203)이 형성되고, 절연층(203) 위에 불순물영역(32b, 32c)과 전기적으로 접속하는 배선(204)이 형성된다.

[0004] [특허문현 1] 일본국 공개특허공보 특개 평08-018055호

#### 발명의 내용

#### 해결 하고자하는 과제

[0005] 도 21의 구조에서는, 배선을 소스 영역 또는 드레인 영역의 표면과 전기적으로 접속시키기 때문에, 개구부의 저부에는 소스 영역 또는 드레인 영역이 되는 반도체층을 형성할 필요가 있었다. 그 때문에 절연층에 개구부를 설치할 때의 에칭의 제어가 곤란했다. 이것은 반도체층을 50nm 이하의 박막으로 형성할 경우에 특히 현저한 문제다.

[0006] 본원 발명은 이러한 과제를 해결하기 위한 기술이며, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있는 반도체장치를 제조하는 기술을 제안한다.

### 과제 해결수단

[0007] 본 발명의 반도체장치는, 적어도 절연 표면 위에 형성된 반도체층과, 반도체층 위에 형성된 제1 절연층과, 제1 절연층 위에 형성된 게이트 전극과, 게이트 전극 위에 형성된 제2 절연층을 가지고, 적어도 반도체층 및 제2 절연층에 개구부가 형성되어서 절연 표면이 부분적으로 노출되어 있고, 개구부를 사이에 두고 제2 절연층 위에 형성된 도전층을 가진다. 이때, 여기에서 도전층은 반도체층에 형성된 콘택홀의 측면에서 반도체층과 전기적으로 접속하고 있다. 또한 반도체층의 표면의 일부가 노출하도록 콘택홀을 형성해도 좋다. 즉, 반도체층에 형성된 개구부의 윗 면적은, 제2 절연층에 형성된 개구부의 윗 면적에 비해 작게 형성되어 있고, 도전층과 반도체층이, 반도체층에 형성된 콘택홀의 측면 및 반도체층의 표면에서 전기적으로 접속되어 있어도 된다.

[0008] 본 발명의 반도체장치는, 절연 표면 위에 반도체층을 형성하고, 반도체층 위에 제1 절연층을 형성하고, 제1 절연층 위에 게이트 전극을 형성하고, 게이트 전극 위에 제2 절연층을 형성하고, 적어도 상기 반도체층 및 상기 제2 절연층에, 상기 절연 표면을 부분적으로 노출하는 개구부를 형성하고, 개구부를 사이에 두고 절연 표면 및 상기 제2 절연층 위에 도전층을 형성함으로써 제조할 수 있다.

[0009] 또한 본 발명의 반도체장치는, 기판 위에 제1 절연층을 형성하고, 제1 절연층 위에 제2 절연층을 형성하고, 제2 절연층 위에 반도체층을 형성하고, 반도체층 위에 제3 절연층을 형성하고, 제3 절연층 위에 게이트 전극을 형성하고, 게이트 전극 위에 제4 절연층을 형성하고, 적어도 제2 절연층, 반도체층 및 제4 절연층에, 제1 절연층 표면을 부분적으로 노출하는 개구부를 형성하고, 개구부를 사이에 두고 상기 제1 절연층 표면 및 제4 절연층 위에 도전층을 형성함으로써 제조할 수 있다.

[0010] 또한 본 발명의 반도체장치는, 기판 위에 제1 절연층을 형성하고, 제1 절연층 위에 제2 절연층을 형성하고, 제2 절연층 위에 반도체층을 형성하고, 반도체층 위에 제3 절연층을 형성하고, 제3 절연층 위에 게이트 전극을 형성하고, 게이트 전극 위에 제4 절연층을 형성하고, 제4 절연층 위에 레지스트를 형성하고, 레지스트를 마스크로 삼아 적어도 제4 절연층에, 반도체층 표면을 부분적으로 노출하는 제1 개구부를 형성하고, 레지스트를 마스크로 삼아 적어도 상기 제2 절연층, 반도체층 및 제4 절연층을 에칭하여, 제1 절연층 표면 및 반도체층 표면을 부분적으로 노출하는 제2 개구부를 형성하고, 제2 개구부를 사이에 두고 제1 절연층 표면, 반도체층 표면, 및 제4 절연층 위에 도전층을 형성함으로써 제조할 수 있다. 이때, 제1 개구부는, 웨트 에칭에 의해 형성하고, 제2 개구부는 드라이 에칭에 의해 형성할 수 있다.

[0011] 또한 본 발명의 반도체장치는, 기판 위에 제1 절연층을 형성하고, 제1 절연층 위에 제2 절연층을 형성하고, 제2 절연층 위에 반도체층을 형성하고, 반도체층 위에 제3 절연층을 형성하고, 제3 절연층 위에 게이트 전극을 형성하고, 게이트 전극 위에 제4 절연층을 형성하고, 제4 절연층 위에 레지스트를 형성하고, 레지스트를 마스크로 삼아 적어도 제4 절연층에, 반도체층 표면을 부분적으로 노출하는 제1 개구부를 형성하고, 레지스트를 에칭해서 상기 레지스트를 후퇴시키고, 레지스트를 마스크로 삼아 적어도 제2 절연층, 반도체층 및 제4 절연층을 에칭하여, 제1 절연층 표면 및 반도체층 표면을 부분적으로 노출하는 제2 개구부를 형성하고, 제2 개구부를 사이에 두고 제1 절연층 표면, 반도체층 표면, 및 제4 절연층 위에 도전층을 형성함으로써 제조할 수 있다. 이때, 제1 개구부 및 제2 개구부는 드라이 에칭에 의해 형성할 수 있다.

### 효과

[0012] 본 발명에 있어서, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0013] 본 발명의 실시예에 대해서, 도면을 사용해서 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고,

본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시예의 기재 내용에 한정해서 해석되는 것은 아니다. 이때, 이하에 설명하는 본 발명의 구성에 있어서, 같은 것을 가리키는 부호는 다른 도면 간에서 공통으로 사용하는 경우가 있다.

[0014] (실시예 1)

[0015] 본 실시예에서는, 콘택홀 형성시의 예칭의 제어를 용이하게 행할 수 있는 반도체장치의 구조 및 제조 방법에 관하여 설명한다.

[0016] 도 1은 본 발명에 따른 반도체장치의 주요한 구성을 설명하기 위한 평면도 및 단면도다. 도 1a는 특히 박막 트랜지스터의 평면도를 나타내고, 도 1b는 도 1a의 A와 B를 잇는 파선에 있어서의 단면도를 나타내고, 도 1c는 도 1a의 C와 D를 잇는 파선에 있어서의 단면도를 나타낸다.

[0017] 본 실시예에 나타내는 반도체장치는, 기판(30) 위에 절연층(31)을 사이에 두고 섬 형상으로 설치된 반도체층(32)과, 반도체층(32) 위에 형성된 게이트 절연층(33)과, 반도체층(32)의 위쪽에 게이트 절연층(33)을 사이에 두고 설치된 게이트 전극으로서 기능하는 도전층(34)을 포함한 박막 트랜지스터(205)와, 게이트 절연층(33) 및 도전층(34)을 덮어서 설치된 절연층(203)과, 절연층(203) 위에 설치된 소스 전극 또는 드레인 전극으로서 기능하는 도전층(204)을 가지고 있다(도 1a~1c). 이때, 반도체층(32)은, 채널 형성 영역(32a)과 소스 영역 또는 드레인 영역으로서 기능하는 불순물영역(32b, 32c)에 추가로, 반도체층(32)의 단부, 여기에서는 도전층(34)의 아래쪽의 채널 형성 영역(32a)에 접한 부분에 형성된 절연층(36)을 가지고 있다.

[0018] 본 실시예에 나타내는 반도체장치는, 절연층(203) 및 반도체층(32)의 불순물영역(32b, 32c)을 예칭하여, 절연층(31b)에 달하는 콘택홀(개구부라고도 한다)을 형성하고, 상기 콘택홀을 충전하도록 도전층(204)을 형성하고 있다. 즉, 본 실시예에 있어서, 도전층(204)과 불순물영역(32b, 32c)은, 불순물영역(32b, 32c)에 형성된 콘택홀의 측면에서 전기적으로 접속되어 있다.

[0019] 본 실시예에 있어서, 반도체층의 표면에서 예칭을 땀출 필요가 없기 때문에, 콘택홀 형성시의 예칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다.

[0020] 여기에서, 반도체층의 단부에 형성된 절연층(36)은 반드시 형성할 필요는 없지만, 반도체층(32)의 단부와 게이트 전극으로서 기능하는 도전층(34)이 단락해서 리크 전류가 흐르는 것을 방지하기 위해서 설치하는 것이 바람직하다. 따라서, 절연층(36)을 설치할 경우, 적어도 반도체층(32)의 채널 형성 영역(32a)의 측면(노출하고 있는 부분)에 형성되어 있으면 좋다. 다만, 그 이외의 부분에 형성되어 있어도 물론 상관없다. 이때, 본 실시예에 있어서, 절연층(36)은 게이트 절연층(33)의 하측(기판측)의 영역에 게이트 절연층(33)에 접해서 형성되어 있다.

[0021] 다음에 도 1에 나타낸 반도체장치의 제조 방법의 일례에 관해서 도면을 참조해서 설명한다. 이때, 도 1a의 A와 B를 연결하는 파선에서의 단면에 있어서의 제조 공정을 도 2a~2d, 도 3a~3c, 도 4a~4b를 사용하여, 도 1a의 C와 D를 연결하는 파선에서의 단면에 있어서의 제조 공정을 도 2e~2h, 도 3d~3f, 도 4c~4d를 사용하여 설명한다.

[0022] 우선, 기판(30) 위에 절연층(31)을 형성한다(도 2a, 2e). 본 실시예에서는, 절연층(31)은, 기판(30) 위에 형성된 제1 절연층(31a) 및 제1 절연층(31a) 위에 형성된 제2 절연층(31b)의 2층 구조로 한다.

[0023] 기판(30)은, 유리 기판, 석영기판, 금속기판(예를 들면 세라믹 기판 또는 스테인레스 스틸 기판 등), S i 기판 등의 반도체기판 등을 사용할 수 있다. 또한 그 밖에도 플라스틱 기판으로서, 폴리에틸렌테레프탈레이트(P E T), 폴리에틸렌나프탈레이트(P E N), 폴리에테르 숀론(P E S), 아크릴 등의 기판을 선택할 수도 있다.

[0024] 절연층(31)은, 예를 들면 C V D법이나 스퍼터링법 등을 사용하여, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘(S i O x N y)(x>y>0), 질화산화 실리콘(S i N x O y)(x>y>0) 등의 절연재료를 사용해서 형성할 수 있다. 예를 들면 제1 절연층(31a)으로서 질화산화 실리콘 막을 형성하고, 제2 절연층(31b)으로서 산화 질화 실리콘 막을 형성하면 좋다. 또한 제1 절연층(31a)으로서 질화 실리콘 막을 형성하고, 제2 절연층(31b)으로서 산화 실리콘 막을 형성해도 좋다. 절연층(31)을 설치함으로써 기판(30)으로부터 알칼리 금속 등의 불순물이 확산하여, 위에 형성되는 소자가 오염되는 것을 방지할 수 있다.

[0025] 계속해서, 절연층(31) 위에 반도체막(201)을 형성한다. 반도체막(201)은, 비정질 반도체막 또는 결정질 반도체

막으로 형성할 수 있다. 결정성 반도체막으로서는, 절연층(31) 위에 형성한 비정질 반도체막을 열처리나 레이저 광의 조사에 의해 결정화시킨 것 등을 사용할 수 있다. 이때, 반도체재료로서는, 실리콘이나 바람직하고, 그 밖에 실리콘 게르마늄 반도체 등을 사용할 수도 있다.

[0026] 반도체막(201)은, 10nm~200nm, 바람직하게는 10nm~50nm 정도, 더 바람직하게는 10nm~30nm 정도의 막 두께로 형성하면 좋다. 이때, 50nm 이하의 반도체막을 형성할 경우, 50nm 이상의 막 두께로 반도체막을 형성한 후에, 반도체막의 표면을 드라이 에칭 처리함으로써 10nm~50nm 정도의 막 두께의 반도체막을 형성해도 된다. 이때의 에칭시의 에칭 가스로서는,  $\text{Cl}_2$ ,  $\text{BCl}_3$ ,  $\text{SiCl}_4$  등의 불소계 가스,  $\text{CF}_4$ ,  $\text{NF}_3$ ,  $\text{SF}_6$ ,  $\text{CHF}_3$  등의 불소계 가스, 또는 불소계 가스에  $\text{O}_2$  가스,  $\text{H}_2$  가스,  $\text{He}$ 나  $\text{Ar}$  등의 불활성 가스를 적절히 첨가한 혼합 가스 등을 사용할 수 있다. 이때, 드라이 에칭 전에, 반도체막 표면을 뚫은 불산 처리해서 반도체 표면에 형성되는 자연 산화막을 제거하고, 그 후 반도체막 표면을 오존수 등으로 처리해서 반도체막 표면에 산화막을 형성해도 된다.

[0027] 반도체막(201)을 50nm 이하 정도의 박막으로 형성함으로써, 반도체막 표면에 형성되는 게이트 절연층의 폐복 불량을 저감할 수 있다. 또한 반도체막을 박막으로 형성함으로써, TFT를 보다 소형화할 수 있다. 또한 TFT의 역치전압을 제어하기 위해서 채널 형성 영역에의 불순물원소의 도프량을 증가시킨 경우에도, 반도체막을 박막으로 형성함으로써 완전 공핍형의 TFT를 쉽게 제조할 수 있게 되어, 양호한 S 값의 상태에서 역치전압이 제어된 TFT를 제조할 수 있다.

[0028] 또한 비결정 반도체막을 레이저광의 조사에 의해 결정화 혹은 재결정화한 막을 반도체막(201)으로 사용할 경우, 레이저광의 광원으로서 LD 여기의 연속발진(CW) 레이저( $\text{YVO}_4$ , 제2 고조파(파장 532nm))를 사용할 수 있다. 특히 제2 고조파에 한정할 필요는 없지만, 제2 고조파는 에너지 효율의 관점에서, 한층 더 고차의 고조파보다 뛰어나다. CW레이저를 반도체막에 조사하면, 연속적으로 반도체막에 에너지가 주어지기 때문에, 일단 반도체막을 용융 상태로 하면, 용융 상태를 유지시킬 수 있다. 또한, CW레이저를 주사함으로써 반도체막의 고액계면을 이동시키고, 이 이동의 방향을 따라 일 방향으로 긴 결정립을 형성할 수 있다. 이때 고체레이저를 사용하는 것은, 기체레이저 등과 비교하여, 출력의 안정성이 높고, 안정적인 처리가 기대되기 때문이다. 이때, CW레이저에 한정되지 않고, 반복 주파수가 10MHz 이상인 펄스레이저를 사용할 수도 있다. 반복 주파수가 높은 펄스레이저를 사용하면, 반도체막이 용융된 후 고화될 때까지의 시간보다도 레이저의 펄스 간격이 짧으면, 항상 반도체막을 용융 상태로 유지시킬 수 있고, 고액계면의 이동에 의해 일 방향으로 긴 결정립으로 구성된 반도체막을 형성할 수 있다. 그 외의 CW레이저 및 반복 주파수가 10MHz 이상인 펄스레이저를 사용할 수도 있다. 예를 들면 기체레이저에는, Ar레이저, Kr레이저,  $\text{CO}_2$ 레이저 등이 있다. 고체레이저에는, YAG레이저, YLF레이저,  $\text{YAlO}_3$ 레이저,  $\text{GdVO}_4$ 레이저, KGW레이저, KYW레이저, 알렉산드라이트레이저,  $\text{Ti}:\text{사파이어}$ 레이저,  $\text{Y}_2\text{O}_3$ 레이저,  $\text{YVO}_4$ 레이저 등이 있다. 또한 YAG레이저,  $\text{Y}_2\text{O}_3$ 레이저,  $\text{GdVO}_4$ 레이저,  $\text{YVO}_4$ 레이저 등의 세라믹 레이저가 있다. 금속 증기 레이저로서 헬륨 카드뮴 레이저 등을 들 수 있다. 또한 레이저 발진기에 있어서, 레이저광을 TEM<sub>00</sub>(단일 횡모드)로 발진해서 출사하면, 피조사면에서 얻어지는 선상의 빔 스폿의 에너지 균일성을 상승시킬 수 있어 바람직하다. 그 외에도, 펄스 발진의 엑시머 레이저를 사용해도 된다.

[0029] 다음에 반도체막(201) 위에 레지스트(202)를 선택적으로 형성한다(도 2a, 2e). 그리고 레지스트(202)를 마스크로 삼아 반도체막(201)을 드라이 에칭하여, 삼 형상의 반도체층(32)을 형성한다(도 2b, 2f). 이때, 레지스트(202)는, 에칭시의 마스크로 사용하는 것이며, 포지티브형 포토레지스트나 네거티브형 포토레지스트 등을 적절히 선택해서 사용할 수 있다.

[0030] 이때, 드라이 에칭시의 에칭 가스로서는,  $\text{CF}_4$ ,  $\text{NF}_3$ ,  $\text{SF}_6$ ,  $\text{CHF}_3$ ,  $\text{C}_2\text{F}_4$  등의 불소계의 가스, 또는 상기 불소계 가스에  $\text{O}_2$  가스,  $\text{H}_2$  가스,  $\text{He}$ 나  $\text{Ar}$  등의 불활성 가스를 적절히 첨가한 혼합 가스 등을 사용할 수 있다. 바람직하게는,  $\text{CF}_4$ 와  $\text{O}_2$ 의 혼합 가스,  $\text{SF}_6$ 과  $\text{O}_2$ 의 혼합 가스,  $\text{CHF}_3$ 과  $\text{He}$ 와의 혼합 가스, 또는  $\text{CF}_4$ 와  $\text{H}_2$ 와의 혼합 가스를 사용하면 좋다. 또한 에칭은 드라이 에칭에 한정되지 않고 웨트 에칭으로 행해도 된다. 그 경우, 반도체막(201)에 TMAH(tetramethyl ammonium hydroxide, 테트라메틸 암모늄 하이드록사이드)로 대표되는 유기 알칼리계 수용액을 사용한 웨트 에칭을 행함으로써, 삼 형상의 반도체층(32)을 형성할 수 있다. 이때, 에칭액으로서 TMAH 등을 사용했을 경우, 반도체막(201)만이 선택적으로 에칭되기 때문에, 하지 절연층(31)에 데미지를 주지 않고 에칭할 수 있다. 이렇게, 절연 표면에 형성된 반도체층을 삼 형상으로 분리 형성함으로써, 동일 기판 위에 복수의 박막 트랜지스터와 주변회로를 형성했을 경우

예, 각각의 소자를 분리할 수 있다.

[0031] 또한 반도체층(32)은, 단부가 수직 형상이 되도록 형성해도 좋고, 단부가 테이퍼 형상이 되도록 형성해도 좋다. 반도체층(32)의 단부의 형상은, 예칭 조건 등을 변화시킴으로써, 적절히 선택할 수 있다. 바람직하게는, 반도체층(32)의 단부를 테이퍼 각이  $45^\circ$  이상  $95^\circ$  미만, 더 바람직하게는 테이퍼 각이  $60^\circ$  이상  $95^\circ$  미만이 되도록 형성하면 좋다. 반도체층(32)의 단부를 수직에 가까운 형상으로 함으로써 기생 채널을 저감할 수 있다.

[0032] 계속해서, 반도체층(32) 위에 형성된 레지스트(202)를 제거한다.

[0033] 다음에 반도체층(32)을 덮도록 절연층(107)(이하, 제3 절연층(107)이라고도 한다)을 형성한다(도 2c, 2g). 제3 절연층(107)은, CVD법이나 스퍼터링법을 사용하여, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화산화 실리콘, SiOF, SiOC, DLC, 다공질 실리카 등의 재료를 사용해서 형성할 수 있다.

[0034] 또한 제3 절연층(107)은 반도체층(32)의 단부를 충분히 피복할 수 있는 막 두께로 형성한다. 제3 절연층(107)의 막 두께는, 하층에 형성되는 반도체층(32)의 막 두께의 1.5배 내지 3배의 범위의 두께로 형성하는 것이 바람직하다.

[0035] 다음에 제3 절연층(107)을, 수직 방향을 주체로 한 이방성 예칭을 행함으로써 선택적으로 예칭하여, 반도체층(32)의 측면에 접하는 절연층(36)(이하, 제4 절연층(36)이라고도 한다)을 형성한다(도 2d, 2h).

[0036] 제3 절연층(107)을, 수직 방향을 주체로 해서 이방성 예칭을 행하면, 반도체층(32)의 일 표면 위 및 절연층(31b) 위에 형성되어 있는 제3 절연층(107)으로부터 서서히 예칭되어 간다. 이때, 반도체층(32)의 일 표면 위 및 절연층(31b) 위에는, 거의 같은 막 두께의 제3 절연층(107)이 형성되어 있다. 따라서, 반도체층(106)의 일 표면이 노출한 곳에서 예칭을 정지시킴으로써, 반도체층(32)의 측면에 접하는 영역 및 그 부근에만 제3 절연층(107)을 남길 수 있다. 잔존하는 제3 절연층(107)은, 제4 절연층(36)에 해당한다. 이때, 반도체층(32)의 단부를 수직 형상에 가까운 형상으로 해 둠으로써, 반도체층(32)의 측면에 접하는 영역 및 그 부근에만 제3 절연층(107)을 남기는 것이 용이해진다. 즉, 제4 절연층(36)을 용이하게 형성할 수 있다.

[0037] 제3 절연층(107)의 예칭 방법은, 수직 방향을 주체로 한 이방성 예칭을 행할 수 있는 것이면 특별히 한정되지 않는다. 예를 들면 반응성 이온 예칭(RIE: Reactive Ion Etching)을 이용할 수 있다. 또한 반응성 이온 예칭은, 플라즈마 발생법에 의해, 평행 평판 방식, 마그네트론 방식, 2주파 방식, ECR방식, 헬리콘 방식, ICP방식 등으로 분류된다. 이때 사용하는 예칭 가스는, 제3 절연층(107)과, 그 이외의 층(반도체층(32))의 예칭 선택비가 얻어지는 것을 선택하면 좋다. 절연막을 선택적으로 예칭할 때에는, 예를 들면 CHF<sub>3</sub>, CF<sub>4</sub>, C<sub>4</sub>F<sub>8</sub>, C<sub>2</sub>F<sub>6</sub>, NF<sub>3</sub> 등의 불소계 가스를 사용할 수 있다. 그 외, 헬륨(He), 아르곤(Ar), 크세논(Xe) 등의 불활성 가스, 또는 O<sub>2</sub>가스, H<sub>2</sub>가스를 적절히 첨가해도 된다.

[0038] 제4 절연층(36)의 형상은, 박막을 형성하는 재료, 예칭 조건 등을 적절히 선택함으로써 변경할 수 있다. 본 실시예에서는, 제4 절연층(36)은, 저면(절연층(31b)에 접하는 면)으로부터의 수직 방향의 높이가 반도체층(32)과 대략 일치하도록 형성하고 있다. 또한 제4 절연층(36)은, 반도체층의 측면에 접하지 않는 면을 곡선 형상으로 형성하고 있다. 구체적으로는, 임의의 곡률을 가지고, 접하는 반도체층(32)의 측면에 대하여 볼록 형상으로 만곡하도록 형성하고 있다. 물론, 본 발명은 특별히 한정되지 않고, 제4 절연층(36)은 둥글린 형상이 아닌, 각이진 형상으로 해도 된다. 바람직하게는, 제4 절연층(36)의 코너부를 완만한 형상으로 하면, 상층에 적층되는 층(여기에서는, 절연층(33))의 피복성을 양호하게 할 수 있다. 이때, 예칭 조건은, 예칭 가스의 종류, 각 가스의 유량비 외에도, 기관에 배치한 전극에 인가되는 전력량, 기관에 배치한 전극의 전극 온도, 챔버 내 압력 등을 나타낸다.

[0039] 다음에 반도체층(32) 및 제4 절연층(36) 위에 절연층(33)(이하, 제5 절연층(33)이라고도 한다)을 형성한다(도 3a, 3d). 제5 절연층(33)은, CVD법이나 스퍼터링법에 의해, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화산화 실리콘, 질화알루미늄 등의 재료를 사용해서 형성한다. 또한 제5 절연층(33)은, 이들 재료 중 1개 또는 복수를 사용하여, 단층 구조 또는 적층 구조로 형성한다. 제5 절연층(33)은, 막 두께 1nm 내지 50nm, 바람직하게는 막 두께 1nm 내지 20nm, 더 바람직하게는 1nm 내지 10nm의 범위로 형성한다.

[0040] 이때, 절연층(36)의 형성 방법은 본 실시예에 나타내는 것에 한정되지 않고, 반도체층(32)의 단부를 웨트 산화 또는 산소를 포함한 분위기 하에서 플라즈마 처리함으로써 형성해도 좋다. 그 경우, 반도체층(32) 위에 절연층(33)을 형성한 후, 반도체층(32)의 단부를 덮는 절연층(33)을 제거하고, 반도체층(32)의 노출 부분에 플라즈마 처리 또는 웨트 산화함으로써 절연층(36)을 형성하는 것이 바람직하다.

[0041] 이때, 웨트 산화의 경우, 오존을 포함한 수용액, 과산화 수소를 포함한 수용액, 황산을 포함한 수용액, 옥소산을 포함한 수용액, 또는 초산을 포함한 수용액을 사용해서 반도체층(32)의 표면을 처리함으로써, 반도체층(32)의 노출 부분에 형성된 산화막을 절연층(36)으로 사용할 수 있다. 오존을 포함한 수용액, 과산화 수소를 포함한 수용액, 상기 황산을 포함한 수용액, 상기 옥소산을 포함한 수용액, 또는 상기 초산을 포함한 수용액은, 아세트산 또는 옥살산을 함유해도 된다.

[0042] 또한, 산소를 포함한 분위기 하로서 예를 들면 산소( $O_2$ )와 희가스(H e, N e, A r, K r, X e)의 적어도 하나를 포함한다)의 혼합 가스 분위기 하, 산소와 수소( $H_2$ )와 희가스의 혼합 가스 분위기 하, 일산화이질소와 희가스의 혼합 가스 분위기 하, 또는 일산화이질소와 수소와 희가스의 혼합 가스 분위기 하에서 행할 수 있다. 예를 들면 산소( $O_2$ ), 수소( $H_2$ )와 아르곤(A r)의 혼합 가스를 사용할 수 있다. 그 경우의 유량은, 산소를 0.1~100sccm, 수소를 0.1~100sccm, 아르곤을 100~5000sccm로 하면 좋다. 이때, 산소:수소:아르곤=1:1:100의 비율로 혼합 가스를 도입하는 것이 바람직하다. 예를 들면 산소를 5sccm, 수소를 5sccm, 아르곤을 500sccm로 해서 도입하면 좋다.

[0043] 또한 질소를 포함한 분위기 하로서 예를 들면 질소( $N_2$ )와 희가스(H e, N e, A r, K r, X e)의 적어도 하나를 포함한다)의 혼합 가스 분위기 하, 질소와 수소와 희가스의 혼합 가스 분위기 하, 또는 암모니아( $NH_3$ )와 희가스의 혼합 가스 분위기 하에서 행할 수 있다.

[0044] 이때, 플라스마 처리는, 상기 가스의 분위기 중에 있어서, 전자밀도가  $1 \times 10^{11} \text{ cm}^{-3}$  이상이며, 전자온도가 1.5eV 이하인 플라즈마를 사용해서 행한다. 보다 자세히 말하면, 전자밀도가  $1 \times 10^{11} \text{ cm}^{-3}$  이상  $1 \times 10^{13} \text{ cm}^{-3}$  이하이고, 전자온도가 0.5eV 이상 1.5eV 이하인 플라즈마로 행한다. 상기 플라즈마는 플라즈마의 전자밀도가 고밀도이며, 기관(30) 위에 형성된 피처리물(여기에서는, 반도체층(32)) 부근에서의 전자온도가 낮기 때문에, 피처리물에 대한 플라즈마에 의한 손상을 방지할 수 있다. 또한 플라즈마의 전자밀도가  $1 \times 10^{11} \text{ cm}^{-3}$  이상으로 고밀도이기 때문에, 플라스마 처리를 사용하여, 피조사물을 산화 또는 질화함으로써 형성되는 산화막 또는 질화막은, C V D 법이나 스퍼터링법 등에 의해 형성된 막과 비교해서 막 두께 등이 균일성에서 뛰어나고, 치밀한 막을 형성할 수 있다. 또한 플라즈마의 전자온도가 1.5eV 이하로 낮기 때문에, 종래의 플라스마 처리나 열산화법과 비교해서 낮은 온도로 산화 또는 질화 처리를 행할 수 있다. 예를 들면 유리 기관의 왜점에서도 100도 이상 낮은 온도로 플라스마 처리를 실시해도 충분히 산화를 행할 수 있다. 또한 플라즈마를 형성하기 위한 주파수로서는, 마이크로파(2.45GHz) 등의 고주파를 사용할 수 있다.

[0045] 다음에 게이트 절연층(33) 위에 게이트 전극으로서 기능하는 도전층(34)을 형성한다(도 3b, 3e). 여기에서는, 도전층(34)은 단층으로 형성한 예를 제시하고 있지만, 물론 도전성 재료를 2층 또는 3층 이상의 적층으로 설치한 구조로 해도 된다. 이때, 여기에서는 도시하지 않았지만, 도전층(34)은, 게이트 절연층(33) 위를 덮어서 형성된 도전층을 선택적으로 에칭함으로써 형성할 수 있다.

[0046] 또한, 도전층(34)은, 탄탈(T a), 텅스텐(W), 티타늄(T i), 몰리브덴(M o), 알루미늄(A l), 구리(C u), 크롬(C r), 니오브(N b) 등으로부터 선택된 원소 또는 이들 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료로 형성할 수 있다. 또한 인 등의 불순물원소를 도핑한 다결정 규소로 대표되는 반도체 재료로 형성할 수도 있다. 예를 들면 도전층(34)을 제1 도전막과 제2 도전막의 적층 구조로 할 경우, 제1 도전막으로서 질화 탄탈을 사용하고, 제2 도전막으로서 텅스텐을 사용해서 형성하면 좋다. 이때, 이 조합에 한정되지 않고, 도전층(34)을 적층해서 형성할 경우에는, 상기 재료를 자유롭게 조합해서 설치할 수 있다.

[0047] 계속해서, 도전층(34)을 마스크로 삼아 반도체층(32)에 불순물원소(121)를 도입함으로써, 반도체층(32)에 불순물영역(32b, 32c) 및 불순물원소(121)가 도입되지 않는 채널 형성 영역(32a)을 형성한다(도 3b, 3e). 이때, 여기에서는, 도전층(34)을 섬 형상의 반도체층(32)을 획단하도록 형성한 후에 불순물원소를 도입하기 때문에, 도전층(34)으로 덮어 있지 않은 반도체층(32)의 영역에 불순물이 도입되어서 불순물영역(32b, 32c)이 형성되고, 도전층(34)으로 덮인 반도체층(32)의 영역에는 불순물원소(121)가 도입되지 않는 채널 형성 영역(32a)이 형성된다.

[0048] 여기에서, 불순물원소(121)로서는, n 형을 부여하는 불순물원소 또는 p 형을 부여하는 불순물원소를 사용할 수 있다. n 형을 나타내는 불순물원소로서는, 인(P)이나 비소(A s) 등을 사용할 수 있다. p 형을 나타내는 불순물원소로서는, 봉소(B)나 알루미늄(A l)이나 갈륨(G a) 등을 사용할 수 있다. 예를 들면 불순물원소(121)로서,

인(P)을  $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 의 농도로 포함되도록 반도체층(32)에 도입하여, n형을 나타내는 불순물영역(32b, 32c)을 형성하면 좋다. 이때, 채널 형성 영역(32a)과 소스 영역 또는 드레인 영역인 불순물영역(32b, 32c)의 사이에, 소스 영역 또는 드레인 영역인 불순물영역(32b, 32c)보다 저농도로 불순물이 첨가된 저농도 불순물영역(LDD영역)을 형성해도 좋다. 저농도 불순물영역을 설치함으로써, 드레인 단부의 전계를 완화하여, 기록 및 소거의 반복으로 인한 열화를 억제할 수 있다.

[0049] 또한 채널 형성 영역(32a) 내에, 불순물영역(32b, 32c)에 첨가한 불순물과는 역도전형을 가지는 불순물원소(예를 들면 n형 TFT에 대하여는 봉소)를 첨가해도 좋다. 채널 형성 영역(32a) 내에 역도전형의 불순물을 첨가함으로써, TFT의 역치전압을 제어할 수 있다. 이때, 이 불순물원소는 게이트 전극을 통해 도프함으로써 첨가해도 좋고, 게이트 전극 형성 전에 미리 첨가해도 된다.

[0050] 다음에 도전층(34), 게이트 절연층(33)을 덮도록 절연층(203)을 형성한다(도 3c, 3f). 계속해서, 절연층(203) 위에 선택적으로 레지스트(207)를 형성한다.

[0051] 그 후에, 드라이 에칭에 의해 절연층(203), 게이트 절연층(33), 및 반도체층(32)에 콘택홀을 형성한다(도 4a, 4c). 다음에 절연층(203) 위에 소스 전극 또는 드레인 전극으로서 기능하는 도전층(204)을 선택적으로 형성한다(도 4b, 4d). 여기에서, 도전층(204)은, 절연층(203), 게이트 절연층(33), 및 반도체층(32)에 형성된 콘택홀을 충전하도록 형성되어 있다. 따라서, 도전층(204)과 소스 영역 또는 드레인 영역으로서 기능하는 불순물영역(32b, 32c)은, 불순물영역(32b, 32c)에 형성된 콘택홀의 측면에서 전기적으로 접속되도록 설치된다.

[0052] 여기에서, 절연층(203)에는, CVD법이나 스퍼터링법 등으로 형성한 산화 실리콘, 산화 질화 실리콘(SiO<sub>x</sub>Ny)(x>y>0), 질화산화 실리콘(SiNxOy)(x>y>0) 등을 사용할 수 있다. 또한 폴리아미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴, 에폭시 등의 유기재료, 또는 실록산 수지 등의 실록산 재료, 옥사졸 수지 등으로 이루어지는 단층 또는 적층 구조로 설치할 수 있다. 이때, 실록산 재료란, Si-O-Si 결합을 포함한 재료에 해당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격구조가 구성된다. 치환기로서, 적어도 수소를 포함한 유기기(예를 들면 알킬기, 방향족 탄화수소)를 사용할 수 있다. 치환기로서, 플루오르기를 사용할 수도 있다. 옥사졸 수지는, 예를 들면 감광성 폴리벤조옥사졸 등이다. 감광성 폴리벤조옥사졸은, 유전율이 낮고(상온 1MHz에서 유전율 2.9), 내열성이 높고(시차열 열중량 동시 측정(TG/DTA: Thermogravimetry-Differential Thermal Analysis)으로 승온 5도/min에서 열분해온도 550도), 흡수율이 낮은(상온 24시간에서 0.3%) 재료다. 옥사졸 수지는, 폴리아미드 등의 비유전율(3.2~3.4 정도)과 비교하면, 비유전률이 낮기 때문에(2.9 정도), 기생 용량의 발생을 억제하고, 고속 동작을 행할 수 있다. 여기에서는, 절연층(203)으로서, CVD법으로 형성한 산화 실리콘, 산화 질화 실리콘(SiO<sub>x</sub>Ny)(x>y>0) 또는 질화산화 실리콘(SiNxOy)(x>y>0)을 단층 또는 적층해서 형성한다. 또한, 폴리아미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴, 에폭시 등의 유기재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지를 적층해서 형성해도 좋다.

[0053] 또한, 도전층(204)은 알루미늄, 텅스텐, 티타늄, 탄탈, 몰리브덴, 니켈, 네오디뮴으로부터 선택된 일종의 원소 또는 그 원소를 복수 포함한 합금으로 이루어진 단층 구조 또는 적층 구조를 사용할 수 있다. 예를 들면 그 원소를 복수 포함한 합금으로 이루어지는 도전막으로서, 티타늄을 함유한 알루미늄 합금, 네오디뮴을 함유한 알루미늄 합금 등으로 형성할 수 있다. 또한 적층 구조로 설치할 경우, 예를 들면 알루미늄층 혹은 상기한 바와 같은 알루미늄 합금층을, 티타늄층 사이에 개재해서 적층한 구조로 해도 된다.

[0054] 이상의 공정에 의해, 박막 트랜지스터(205)를 포함한 반도체장치를 제조할 수 있다.

[0055] 본 실시예에 있어서, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다.

[0056] 또한 반도체층의 채널 형성 영역의 단부에 선택적으로 두껍게 절연층을 설치해도 좋다. 그렇게 함으로써, 반도체층의 채널 형성 영역의 단부에 있어서의 전계 집중을 완화할 수 있다. 따라서, 게이트 리크 불량을 저감하고, 게이트 전극의 내압을 향상시킬 수 있다.

[0057] (실시예 2)

[0058] 본 실시예에서는, 도 1과는 다른 반도체장치의 구성 및 제조 방법에 관하여 설명한다.

[0059] 도 5는 본 실시예에 관련되는 반도체장치의 구성을 설명하기 위한 평면도 및 단면도다. 도 5a는, 박막 트랜지스

터의 평면도를 나타내고, 도 5b는 도 5a의 A와 B를 잇는 파선에 있어서의 단면도를 나타내고, 도 5c는 도 5a의 C와 D를 잇는 파선에 있어서의 단면도를 나타낸다.

[0060] 본 실시예에 나타내는 반도체장치는, 기판(30) 위에 절연층(31)을 사이에 두고 섬 형상으로 설치된 반도체층(32)과, 반도체층(32) 위에 형성된 게이트 절연층(33)과, 반도체층(32)의 위쪽에 게이트 절연층(33)을 사이에 두고 설치된 게이트 전극으로서 기능하는 도전층(34)을 포함한 박막 트랜지스터(205)와, 게이트 절연층(33) 및 도전층(34)을 덮어서 설치된 절연층(203)과, 절연층(203) 위에 설치된 소스 전극 또는 드레인 전극으로서 기능하는 도전층(204)을 가지고 있다(도 5a~5c). 이때, 반도체층(32)은, 채널 형성 영역(32a)과 소스 영역 또는 드레인 영역으로서 기능하는 불순물영역(32b, 32c)에 추가로, 반도체층(32)의 단부, 여기에서는 도전층(34)의 아래쪽의 채널 형성 영역(32a)에 접한 부분에 형성된 절연층(36)을 가지고 있다. 이때, 채널 형성 영역(32a) 내에, 불순물영역(32b, 32c)에 접가한 불순물과는 역도전형의 불순물이 접가되어 있어도 된다.

[0061] 본 실시예에 나타내는 반도체장치는, 절연층(203) 및 반도체층(32)의 불순물영역(32b, 32c), 절연층(31b)을 에칭하여, 절연층(31a)에 달하는 콘택홀을 형성하고, 상기 콘택홀을 충전하도록 도전층(204)을 형성하고 있다. 즉, 본 실시예에 있어서, 도전층(204)과 불순물영역(32b, 32c)은, 불순물영역(32b, 32c)에 형성된 콘택홀의 측면에서 전기적으로 접속되어 있다.

[0062] 다음에 도 5a의 A와 B를 연결하는 파선에서의 단면에 있어서의 제조 공정을 도 6a~6b를 사용하여, 도 5a의 C과 D를 연결하는 파선에서의 단면에 있어서의 제조 공정을 도 6c~6d를 사용하여 설명한다.

[0063] 우선, 실시예 1과 마찬가지로, 기판(30) 위에 절연층(31a, 31b)을 형성하고, 절연층(31b) 위에 반도체층(32), 절연층(36) 및 게이트 절연층(33)을 형성하고, 게이트 절연층(33) 위에 게이트 전극으로서 기능하는 도전층(34)을 형성하고, 도전층(34) 위에 절연층(203)을 형성한다(도 6a, 6c). 여기에서, 절연층(203) 위에는 레지스트(207)가 형성되어 있다.

[0064] 계속해서, 레지스트(207)를 마스크로 삼아 절연층(203), 게이트 절연층(33), 반도체층(32), 및 절연층(31b)을 에칭하여, 절연층(31a)에 달하는 콘택홀을 형성한다(도 6b, 6d).

[0065] 계속해서, 레지스트(207)를 제거한다. 이후의 공정은, 실시예 1과 마찬가지로 콘택홀을 충전하도록 도전층(204)을 형성함으로써 도 5에 나타내는 반도체장치를 제조할 수 있다.

[0066] 본 실시예에 있어서, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다.

[0067] 또한 반도체층의 채널 형성 영역의 단부에 선택적으로 두껍게 절연층을 형성해도 된다. 그렇게 함으로써, 반도체층의 채널 형성 영역의 단부에 있어서의 전계 집중을 완화할 수 있다. 따라서, 게이트 리크 불량을 저감하고, 게이트 전극의 내압을 향상시킬 수 있다.

[0068] (실시예 3)

[0069] 본 실시예에서는, 도 1 또는 도 5와는 다른 반도체장치의 구성 및 제조 방법에 관하여 설명한다.

[0070] 도 7은 본 실시예에 관련되는 반도체장치의 구성을 설명하기 위한 평면도 및 단면도다. 도 7a는 박막 트랜지스터의 평면도를 나타내고, 도 7b는 도 7a의 A와 B를 잇는 파선에 있어서의 단면도를 나타내고, 도 7c는 도 7a의 C과 D를 잇는 파선에 있어서의 단면도를 나타낸다.

[0071] 본 실시예의 반도체장치는 도 7에 나타낸 바와 같이, 도 5에 나타내는 구성과 도전층(204)이 충전되는 콘택홀의 형상이 다르다. 즉, 본 실시예에 나타내는 반도체장치에 있어서, 절연층(203), 반도체층(32)의 불순물영역(32b, 32c), 절연층(31b)을 에칭해서 형성된 절연층(31a)에 달하는 콘택홀은, 반도체층(32)의 표면의 일부(불순물영역 32b, 32c)도 노출하도록 형성되어 있다. 따라서, 본 실시예에 있어서, 도전층(204)과 불순물영역(32b, 32c)은, 불순물영역(32b, 32c)에 형성된 콘택홀의 측면 및 불순물영역(32b, 32c)의 표면에서 전기적으로 접속되어 있다. 이때, 본 실시예에 있어서, 절연층(31b)에도 콘택홀을 형성하지만, 절연층(31b)에는 콘택홀을 형성하지 않고, 절연층(31b)의 표면이 노출하도록 콘택홀을 형성해도 좋다.

[0072] 다음에 도 7a의 A와 B를 연결하는 파선에서의 단면에 있어서의 제조 공정을 도 8a~8c, 도 9a~9b를 사용하여, 도 7a의 C과 D를 연결하는 파선에서의 단면에 있어서의 제조 공정을 도 8d~8f, 도 9c~9d를 사용하여 설명한다.

- [0073] 우선, 실시예 1과 마찬가지로, 기판(30) 위에 절연층(31a, 31b)을 형성하고, 절연층(31b) 위에 반도체층(32), 절연층(36) 및 게이트 절연층(33)을 형성하고, 게이트 절연층(33) 위에 게이트 전극으로서 기능하는 도전층(34)을 형성하고, 도전층(34) 위에 절연층(203)을 형성한다(도 8a, 8d). 여기에서, 절연층(203) 위에는 레지스트(207)가 형성되어 있다.
- [0074] 다음에 레지스트(207)를 마스크로 삼아 절연층(203), 게이트 절연층(33)을 드라이 에칭하여, 반도체층(32)에 달하는 콘택홀을 형성한다(도 8b, 8e).
- [0075] 다음에 레지스트(207)를 마스크로 삼아, 절연층(203), 게이트 절연층(33)을 웨트 에칭하여, 절연층(203), 게이트 절연층(33)을 외측으로 후퇴시킨다.
- [0076] 다음에 레지스트(207)를 마스크로 삼아 반도체층(32) 및 절연층(31b)을 드라이 에칭하여, 절연층(31a)에 달하는 콘택홀을 형성한다. 이에 따라 불순물영역(32b, 32c)의 측면 및 불순물영역(32b, 32c)의 표면의 일부가 노출하는 콘택홀을 형성할 수 있다.
- [0077] 이후의 공정은, 실시예 1 또는 실시예 2와 마찬가지로 콘택홀을 충전하도록 도전층(204)을 형성함으로써 도 7에 나타내는 반도체장치를 제조할 수 있다.
- [0078] 다음에 도 8~9에 나타낸 방법과는 다른 제조 방법에 대해서 도 10을 사용하여 설명한다. 도 7a의 A와 B를 연결하는 파선에서의 단면에 있어서의 제조 공정을 도 10a~10c를 사용하여, 도 7a의 C과 D를 연결하는 파선에서의 단면에 있어서의 제조 공정을 도 10d~10f를 사용하여 설명한다.
- [0079] 우선, 도 8b, 8e와 마찬가지로, 기판(30) 위에 절연층(31a, 31b)을 형성하고, 절연층(31b) 위에 반도체층(32), 절연층(36) 및 게이트 절연층(33)을 형성하고, 게이트 절연층(33) 위에 게이트 전극으로서 기능하는 도전층(34)을 형성하고, 도전층(34) 위에 절연층(203)을 형성하고, 절연층(203) 위에 형성된 레지스트(207)를 마스크로 삼아 절연층(203) 및 게이트 절연층(33)을 드라이 에칭해서 콘택홀을 형성한다(도 10a, 10d).
- [0080] 다음에 레지스트(207)를 드라이 에칭해서 레지스트(207)를 외측으로 후퇴시킨다(도 10b, 10e). 다음에 레지스트(207)를 마스크로 삼아, 절연층(203), 게이트 절연층(33), 반도체층(32), 절연층(31b)을 드라이 에칭하여, 절연층(31a)를 노출하는 콘택홀을 형성한다(도 10c, 10f). 이에 따라 불순물영역(32b, 32c)의 측면 및 불순물영역(32b, 32c)의 표면의 일부가 노출하는 콘택홀을 형성할 수 있다.
- [0081] 이후의 공정은, 실시예 1과 마찬가지로 콘택홀을 충전하도록 도전층(204)을 형성함으로써 도 7에 나타내는 반도체장치를 제조할 수 있다.
- [0082] 본 실시예에 있어서, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 할 수 있다. 또한 절연층(203)과 반도체층(32)에 의하여 단차가 형성되기 때문에, 콘택홀의 측면에 있어서의 도전층(204)의 피복성이 향상되어, 도전층(204)의 막 두께의 편차나 도전층(204)의 단선을 방지할 수 있고, 콘택 저항의 편차를 억제할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다.
- [0083] 또한 반도체층의 채널 형성 영역의 단부에 선택적으로 두껍게 절연층을 형성해도 된다. 그렇게 함으로써, 반도체층의 채널 형성 영역의 단부에 있어서의 전계 집중을 완화할 수 있다. 따라서, 게이트 리크 불량을 저감하고, 게이트 전극의 내압을 향상시킬 수 있다.
- [0084] (실시예 4)
- [0085] 본 발명에 따른 반도체장치는, 실시예 1~3에 나타낸 구성에 한정되지 않고 여러 가지 형상을 취할 수 있다. 본 실시예에서는, 반도체층을 부분적으로 실리사이드화시킨 박막 트랜지스터의 구성 및 제조 방법에 관하여 설명한다. 도 11에 본 실시예의 반도체장치의 구성을 나타낸다. 도 11a는 평면도이며, 도 11b는 도 11a의 파선 A B에 서의 단면도를 나타내고, 도 11c은 도 11a의 파선 C D에서의 단면도를 나타낸다.
- [0086] 본 실시예의 반도체장치는, 도 11에 나타낸 바와 같이, 도 1에 나타내는 구성에 더해서 반도체층(32)의 표면의 일부에 실리사이드 영역(1102)이 형성되어 있다. 또한 게이트 전극으로서 기능하는 도전층(34)은, 제1 도전층(34a)과 제2 도전층(34b)의 적층 구조로 형성되어 있고, 도전층(34)의 측벽에 절연층(사이드월) 절연층이라고도 한다)(1101)이 형성되어 있다. 또한, 소스 영역 또는 드레인 영역으로서 기능하는 불순물영역(고농도 불순물영역이라고도 한다)(32b, 32c)과 채널 형성 영역(32a)의 사이에, 불순물영역(32b, 32c)보다도 저농도로 불순물이 첨가된 영역(저농도 불순물영역이라고도 한다)(32d, 32e)이 형성되어 있다.

[0087] 다음에 도 11에 나타내는 반도체장치의 제조 방법을 설명한다.

[0088] 우선, 실시예 1과 마찬가지로, 기판(30) 위에 절연층(31a, 31b)을 형성하고, 절연층(31b) 위에 반도체층(32), 절연층(36) 및 게이트 절연층(33)을 형성하고, 게이트 절연층(33) 위에 게이트 전극으로서 기능하는 제1 도전층(34a), 제2 도전층(34b)을 형성한다(도 12a). 다음에 도전층(34b)을 마스크로 한 제1 농도의 일도전형을 부여하는 불순물원소를 첨가한 후, 도전층(34a) 및 도전층(34b)을 마스크로 한 제2 농도의 불순물원소의 첨가를 행하고, 자기정합적으로 한 쌍의 고농도 불순물영역(32b, 32c)과, 한 쌍의 저농도 불순물영역(32d, 32e)과, 채널 형성 영역(32a)을 형성한다. 여기에서, 제1 농도의 불순물원소 및 제2 농도의 불순물원소는, 같은 도전형의 불순물원소를 첨가하는데, 예를 들면 p형을 부여하는 불순물원소인 봉소(B), 알루미늄(A1), 갈륨(Ga), n형을 부여하는 불순물원소인 인(P), 비소(As) 등을 첨가할 수 있다.

[0089] 이때, 채널 형성 영역(32a)에 트랜지스터의 역치전압을 제어하기 위한 일도전형을 부여하는 불순물원소를 첨가해도 좋다. 채널 형성 영역(32a)에 대한 불순물원소의 첨가는, 도전층(34)을 형성하기 전에 행할 수 있다. 또한 일도전형을 부여하는 불순물원소를 첨가한 후, 열처리를 행해서 첨가한 불순물원소를 활성화해도 좋다. 열처리는, 레이저 빔의 조사, 또는 RTA 혹은 퍼니스 어닐로를 사용해서 행할 수 있고, 400도 내지 700도, 바람직하게는 500도 내지 650도의 온도 범위에서 행하면 좋다. 또한 열처리는 질소분위기 하에서 행하는 것이 바람직하다.

[0090] 다음에 도전층(34a) 및 도전층(34b)의 측면에 접하는 사이드월 절연층(1101)을 형성한다(도 12b).

[0091] 사이드월 절연층(1101)은, 도전층(34a) 및 도전층(34b) 위에 절연층을 형성하고, 그 절연층을 수직 방향을 주체로 한 이방성 에칭에 의해 선택적으로 에칭함으로써 형성할 수 있다. 예를 들면 CVD법이나 스퍼터링법에 의해, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화산화 실리콘 등의 무기재료, 유기수지 등의 유기재료를 사용해서 단층 구조 또는 적층 구조의 절연층을 형성하고, 그 절연층을 선택적으로 에칭해서 형성할 수 있다. 사이드월 절연층(1101)은, 후에 실리사이드 영역을 형성할 때의 실리사이드용 마스크로 사용한다. 또한 여기에 서는, 사이드월 절연층(1101)은, 도전층(34a, 34b)의 측면에 접하지 않는 면을 곡선 형상으로 형성하고 있다. 이때, 사이드월 절연층(1101)은, 게이트 전극을 형성하는 도전층(34a) 및 도전층(34b)의 측면을 완전히 덮도록 형성되어 있다.

[0092] 또한 본 실시예에 있어서, 사이드월 절연층(1101)을 형성할 때의 에칭에 의해 하층의 절연층(33)도 에칭하여, 반도체층(32)의 일부를 선택적으로 노출한다. 구체적으로는 사이드월 절연층(1101)과 겹치지 않는 영역의 고농도 불순물영역(32b, 32c)을 노출한다. 이때, 에칭 조건에 따라서는 고농도 불순물영역(32b, 32c)의 상층도 에칭되어서 막 두께가 감소하는(막 감소라고 한다) 경우가 있다.

[0093] 다음에 반도체층(32)의 노출 면 위에 금속층(1103)을 형성한다(도 12c).

[0094] 금속층(1103)은, 적어도 노출한 반도체층(32) 위에 형성하면 좋다. 즉, 반도체층(32)에 있어서 사이드월 절연층(1101)과 겹치지 않는 영역에 형성한다. 본 실시예에서는, 금속층(1103)은 반도체층(32)의 노출 면뿐만 아니라 사이드월 절연층(1101)이나 도전층(34)도 덮도록 형성한다. 금속층(1103)은, 반도체층과 반응해서 실리사이드를 형성하는 재료를 사용해서 형성한다. 예를 들면, 니켈(Ni), 티타늄(Ti), 코발트(Co), 또는 백금(Pt) 등의 금속 원소, 또는 그 금속 원소를 포함한 합금재료를 사용할 수 있다. 금속층(1103)은, 이들 재료를 사용해서 스퍼터링법, 증착법, 도금법 등에 의해 형성한다. 이때, 금속층(1103)의 막 두께는, 형성하려는 실리사이드 영역의 막 두께에 따라 적절히 선택할 필요가 있다. 본 실시예에서는, 금속층(1103)으로서, 막 두께 10nm의 니켈층을 형성한다. 이때, 금속층(1103)을 형성할 때에, 노출한 반도체층(32) 위에 자연 산화막이 형성되어 있는 경우에는, 자연 산화막을 제거한 후 금속층(1103)을 형성하면 좋다.

[0095] 다음에, 반도체층(32)의 일부에 실리사이드 영역(1102)을 형성한다(도 12d).

[0096] 실리사이드 영역(1102)은, 열처리를 행함으로써, 반도체층(32) 및 금속층(1103)이 접하는 영역이 반응해서 형성된다. 또한 실리사이드 영역(1102)은, 금속층(1103)이 접하는 영역의 반도체층(32)의 일부가 실리사이드화해서 형성된다. 이때, 반도체층(32)에 형성된 고농도 불순물영역(32b, 32c)은, 그 일부가 실리사이드화되어서 영역이 감소한다. 이때, 고농도 불순물영역의 일부에 실리사이드 영역이 형성된다고도 할 수 있다. 예를 들면 금속층(1103)으로서 니켈을 형성한 경우에는 실리사이드 영역(1102)으로서 니켈 실리사이드가 형성된다. 마찬가지로, 금속층(1103)으로서 티타늄, 코발트, 또는 백금을 형성한 경우에는, 각각 실리사이드 영역(1102)으로서 티타늄 실리사이드, 코발트 실리사이드, 백금 실리사이드가 형성된다.

[0097] 열처리는, R T A 또는 퍼니스 어닐로를 사용해서 행할 수 있다. 구체적으로는, 300도 내지 700도의 온도 범위에서, 10초 내지 1시간, 바람직하게는 20초 내지 30분의 범위에서 행하면 좋다. 본 실시예에서는, 550도 30초의 열처리를 행하고, 니켈 실리사이드로 된 실리사이드 영역(1102)을 형성한다.

[0098] 도 12d에서는, 실리사이드 영역(1102)을, 반도체층(32)에 있어서 채널 형성 영역(32a)이 형성되어 있는 영역의 막 두께 미만이 되도록 형성한다. 즉, 사이드월 절연층(1101)과 겹치지 않는 영역의 반도체층(32)에 있어서, 상기 영역에 있어서의 반도체층(32)의 절연층(31b)과 접하는 측에 고농도 불순물(32b, 32c)이 형성되고, 고농도 불순물(32b, 32c)의 상층에 접해서 실리사이드 영역(1102)이 형성된다.

[0099] 이때, 실리사이드 영역(1102)의 형상, 막 두께 등은, 반응시키는 금속층(1103)의 막 두께, 열처리의 온도, 열처리의 시간 등을 적절히 제어함으로써, 선택할 수 있다. 예를 들면, 도 13b에 나타낸 바와 같이, 사이드월 절연층(1101)과 겹치지 않는 영역의 반도체층(32)에 있어서, 상기 영역에 있어서의 반도체층(32)의 일부 또는 전체에, 윗면으로부터 아랫면까지의 전체를 실리사이드화한 실리사이드 영역(1102)을 형성해도 좋다. 여기에서 윗면은 반도체층(32)에 있어서 실리사이드화를 위한 금속층이 형성되는 면측이며, 아랫면은 절연층(31b)과 접하는 면측이다. 이때, 윗면으로부터 아랫면까지의 전체를 실리사이드화할 경우, 사이드월 절연층(1101)의 아래에는 고농도 불순물영역이 형성되도록 한다. 이때, 본 발명은 특별히 한정되지 않고, 실리사이드 영역의 일부가, 사이드월 절연층(1101) 아래의 반도체층(32)(단, 채널 형성 영역(32a)은 제외한다)까지 형성되어 있어도 된다.

[0100] 이때, 반도체층(32)과 금속층(1103)을 반응시킨 후에 미반응의 금속층이 잔존하는 경우에는 미반응의 금속층을 제거한다. 여기에서는, 도면에는 나타내지 않았지만, 절연층(36), 사이드월 절연층(1101), 도전층(34b) 및 절연층(31b) 위에 형성된 금속층(1103)을 제거한다. 또한 형성된 실리사이드 영역(1102) 위에 미반응의 금속층이 잔존하는 경우에는, 그 잔존하는 금속층도 제거한다. 미반응의 금속층 제거는, 웨트 에칭이나 드라이 에칭을 사용할 수 있다. 이때, 에칭 가스 또는 에칭 용액으로서는, 미반응의 금속층과 다른 층(예를 들면 절연층(36), 사이드월 절연층(1101), 도전층(34b), 절연층(31b) 및 실리사이드 영역(1102))과의 에칭 선택비가 충분히 얻어지는 것을 사용한다. 즉, 금속층에 대한 에칭 레이트가 높고, 다른 층에 대한 에칭 레이트가 낮은 것을 사용하면 좋다. 예를 들면 금속층(1103)으로서 니켈을 사용해서 형성했을 경우, 염산(HCl), 초산(HNO<sub>3</sub>) 및 순수(H<sub>2</sub>O)의 혼합 용액을 사용한 웨트 에칭에 의해 제거할 수 있다. 예를 들면 용액의 혼합비는, HCl : HNO<sub>3</sub> : H<sub>2</sub>O = 3:2:1로 할 수 있다.

[0101] 이때, 본 실시예에 있어서, 반도체층(32) 단부의 측면에 접해서 절연층(36)이 형성되어 있기 때문에, 미반응의 금속층을 에칭 제거할 때에, 반도체층(32)의 측면이 에칭되는 것을 방지할 수 있다.

[0102] 이때, 실리사이드 영역을 형성할 경우에는, 실리사이드 영역 및 게이트 전극을 형성하는 도전층이 접하지 않도록 할 필요가 있다. 이는 실리사이드 영역 및 게이트 전극이 접해버리면, 게이트 전극과, 소스 영역 또는 드레인 영역이 쇼트 해서 스위칭 특성(온 오프비)을 얻을 수 없게 되어, 반도체장치로서 동작할 수 없게 되기 때문이다. 따라서, 본 실시예에서는, 게이트 전극을 형성하는 도전층(34a, 34b)의 폭을 게이트 절연층으로서 기능하는 절연층(33)보다도 좁게 하여, 사이드월 절연층(1101)의 단부를 절연층(33)의 단부와 대략 일치하도록 한다.

[0103] 다음에 기판(30) 위에 설치된 절연층이나 도전층 등을 덮도록 절연층(203)을 형성한다(도 13a).

[0104] 이후의 공정은, 실시예 1과 마찬가지로 절연층(203) 및 반도체층(32)에, 절연층(31b)에 달하는 콘택홀을 형성하고, 콘택홀을 충전하도록 도전층(204)을 형성함으로써, 도 11 또는 도 13a에 나타내는 반도체장치를 제조할 수 있다.

[0105] 본 실시예의 반도체장치는, 도 11~도 13에 나타내는 것에 한정되지 않고, 도 14~도 15에 나타낸 바와 같은 형상으로 해도 된다.

[0106] 도 14a에 나타내는 반도체장치는, 도 13a에 나타내는 구성과 도전층(204)이 충전되는 콘택홀의 형상이 다르다. 즉, 도 14a에 나타내는 반도체장치에 있어서, 도전층(204)이 충전되는 콘택홀은, 절연층(203), 반도체층(32)의 불순물영역(32b, 32c), 절연층(31b)을 에칭해서 형성된 절연층(31a)에 달하도록 형성되어 있다. 따라서, 본 실시예에 있어서, 도전층(204)과 불순물영역(32b, 32c)은, 불순물영역(32b, 32c)에 형성된 콘택홀의 측면에서 전기적으로 접속되어 있다. 도 14a에 나타내는 콘택홀은, 실시예 3과 마찬가지로 행함으로써 형성할 수 있다. 이때, 도 14a에 나타내는 것에 한정되지 않고, 도 14b에 나타낸 바와 같이, 반도체층(32)의 일부 또는 전체에, 윗면으로부터 아랫면까지의 전체를 실리사이드화한 실리사이드 영역(1102)을 형성해도 좋다.

[0107] 또한 도 15a에 나타내는 반도체장치는, 도 13a에 나타내는 구성과 도전층(204)이 충전되는 콘택홀의 형상이 다

르다. 즉, 본 실시예에 나타내는 반도체장치에 있어서, 절연층(203), 반도체층(32)의 불순물영역(32b, 32c), 절연층(31b)을 에칭해서 형성된 절연층(31a)에 달하는 콘택홀은, 반도체층(32)의 표면의 일부(불순물영역(32b, 31c))도 노출하도록 형성되어 있다. 따라서, 본 실시예에 있어서, 도전층(204)과 불순물영역(32b, 32c)은, 불순물영역(32b, 32c)에 형성된 콘택홀의 측면 및 불순물영역(32b, 32c)의 표면에서 전기적으로 접속되어 있다. 이 때, 본 실시예에 있어서, 절연층(31b)에도 콘택홀을 형성하고 있지만, 절연층(31b)에는 콘택홀을 형성하지 않고, 절연층(31b)의 표면이 노출하도록 콘택홀을 형성해도 좋다. 도 15a에 나타내는 콘택홀은, 실시예 3과 마찬가지로 함으로써 형성할 수 있다. 이때, 도 15a에 나타내는 것에 한정되지 않고, 도 15b에 나타낸 바와 같이 반도체층(32)의 일부 또는 전체에, 윗면으로부터 아랫면까지의 전체를 실리사이드화한 실리사이드 영역(1102)을 형성해도 좋다.

[0108] 본 실시예에 있어서, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다.

[0109] (실시예 5)

[0110] 실시예 1~4에 설명한 반도체장치는, 단결정 실리콘 기판 위에 산화 실리콘으로 된 산화막을 형성하고, 산화막 위에 형성된 단결정 반도체 박막을 활성층으로 사용할 수 있다. 본 실시예에서는, SIMOX라 불리는 SOI 기술을 사용한 반도체장치에 대해서 설명한다.

[0111] 우선, 단결정 실리콘층의 형성 재료가 되는 단결정 실리콘 기판(601)을 준비한다(도 16a). 여기에서는 P형의 단결정 실리콘 기판을 사용할 경우를 설명하지만 N형의 단결정 실리콘 기판으로 해도 된다. 물론, 단결정 실리콘 게르마늄 기판을 사용할 수도 있다.

[0112] 계속해서, 단결정 실리콘 기판(601)에 산소 이온을 첨가하여, 소정의 깊이로 산소 함유층(602)을 형성한다(도 16b). 산소 이온은, 예를 들면  $1 \times 10^{18} \text{ atoms/cm}^2$  정도의 도즈량으로 첨가하면 된다. 이때, 산소 함유층(602)이 형성되는 깊이(단결정 실리콘 기판(601)의 주표면과 산소 함유층(602)의 사이의 거리)는, 후에 형성되는 TFT의 활성층으로서 기능하는 단결정 실리콘층의 막 두께가 된다.

[0113] 다음에 800~1200도의 온도로 열처리를 행하여, 산소 함유층(602)을 매립 절연층(603)으로 변화시킨다. 산소 함유층(602)의 깊이 방향의 폭은, 이온 첨가시의 산소 이온의 분포로 결정되어 있다. 산소 이온의 농도가 단결정 실리콘 기판(601)으로부터 산소 함유층(602)을 향해서 감소해 가기 때문에, 단결정 실리콘 기판(601)과 매립 절연층(603)의 계면은 불명확이지만, 이 열처리 공정에 의해 단결정 실리콘 기판(601)과 매립 절연층(603)의 계면은 명확해진다(도 16b, 16c).

[0114] 이 매립 절연층(603)의 막 두께는 10~500nm(대표적으로는 20~50nm)로 한다. 본 실시예에서는, 단결정 실리콘 기판(601)과 매립 절연층(603)의 계면이 안정적으로 접합되어 있기 때문에, 20~50nm와 같은 얇은 매립 절연층을 형성할 수 있다.

[0115] 이렇게 해서 매립 절연층(603)이 형성되면, 매립 절연층(603) 위에는 부분적으로 단결정 실리콘 기판의 일부가 잔존하고, 단결정 실리콘층(604)이 형성된다. 이때, 단결정 실리콘층(604)의 막 두께는 10~200nm(바람직하게는 10~50nm, 더 바람직하게는 10nm~30nm)가 되도록, 산소 함유층(602)이 형성되는 깊이를 조절하면 된다.

[0116] 다음에 단결정 실리콘층(604) 위에 선택적으로 레지스트를 형성하여, 단결정 실리콘층(604)을 선택적으로 에칭 함으로써, 후에 형성되는 TFT의 활성층이 되는 섬 형상의 단결정 실리콘층(605)을 형성한다. 이때, 본 실시예에서는 하나의 섬 형상의 단결정 실리콘층밖에 기재하지 않지만, 동일 기판 위에 복수 개가 형성되어도 된다.(도 16d)

[0117] 이후의 공정은, 실시예 1~4와 마찬가지로 함으로써, 본 발명에 따른 반도체장치를 제조할 수 있다.

[0118] 본 실시예에 관련되는 반도체장치는, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다. 또한 본 실시예에 관련되는 반도체장치는, 활성층으로서 단결정 반도체층을 사용하기 때문에, 더욱 특성을 향상시킬 수 있다.

[0119] (실시예 6)

- [0120] 본 실시예에서는, 단결정 실리콘 기판 위에 산화 실리콘으로 된 산화막을 형성하고, 산화막 위에 형성된 단결정 반도체 박막을 활성층으로 사용하는 반도체장치에 관하여 설명한다. 본 실시예에서는, Smart-Cut 법을 사용해서 형성되는 SOI 기판을 사용한 반도체장치에 관하여 설명한다.
- [0121] 우선, 단결정 실리콘층의 형성 재료가 되는 단결정 실리콘 기판(801)을 준비한다. 여기에서는 P형의 단결정 실리콘 기판을 사용할 경우를 설명하지만 N형의 단결정 실리콘 기판으로 해도 된다. 물론, 단결정 실리콘 계르마늄 기판을 사용할 수도 있다.
- [0122] 이어서 열산화 처리를 행하고, 그 주표면(소자 형성면에 해당한다)에 산화 실리콘 막(802)을 형성한다. 막 두께는 실시자가 적절히 결정하면 되지만, 10~500nm(대표적으로는 20~50nm)로 하면 좋다. 이 산화 실리콘 막(802)은 후에 SOI 기판의 매립 절연층의 일부로서 기능한다(도 17a).
- [0123] 다음에 단결정 실리콘 기판(801)의 주표면 측에서 산화 실리콘 막(802)을 통해 수소 이온을 첨가해서 수소 함유층(803)을 형성한다(도 17b). 이때, 수소 함유층(803)이 형성되는 깊이(단결정 실리콘 기판(801)의 주표면과 수소 함유층(803) 사이의 거리)는, 후에 TFT의 활성층으로서 기능하는 단결정 실리콘층의 막 두께가 된다. 예를 들면, 단결정 실리콘 기판(801)의 주표면과 수소 함유층(803)의 사이에 50nm 두께의 단결정 실리콘층이 남도록, 이온 인플랜테이션법을 사용해서 수소 이온을  $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^2$ 의 도즈량으로 첨가할 수 있다.
- [0124] 다음에 단결정 실리콘 기판(801)과 지지 기판을 접착한다. 본 실시예에서는 지지 기판으로서 단결정 실리콘 기판(804)을 사용하고, 그 표면에는 접착용 산화 실리콘막(805)을 설치해 둔다(도 17c). 이때, 단결정 실리콘 기판(804) 대신에, FZ 법으로 형성된 실리콘 기판, 다결정 실리콘 기판 등을 사용해도 된다. 또한, 석영기판, 세라믹 기판, 결정화 유리 기판 등의 고내열성 기판을 사용해도 된다.
- [0125] 이때, 접착 계면은 친수성이 높은 산화 실리콘 막의 계면이 되기 때문에, 두 표면에 포함된 수분의 반응에 의해 접착된다.
- [0126] 다음에 400~600도(예를 들면 500도)의 열처리(제1 열처리)를 행한다. 이 열처리에 의해 수소 함유층(803)에서 미소 공간의 체적 변화가 발생하고, 수소 함유층(803)을 따라 파단면이 발생한다. 이에 따라 단결정 실리콘 기판(801)은 분단되고, 지지 기판 위에는 산화 실리콘 막(802)과 단결정 실리콘층(806)이 남는다(도 17d).
- [0127] 다음에 제2 열처리 공정으로서 1050~1150도(예를 들면 1100도)의 온도 범위에서 퍼니스 어닐 공정을 행한다. 이 공정에서는 접착 계면에서, Si-O-Si 결합의 응력 완화가 발생하고, 접착 계면이 안정화된다. 다시 말해, 단결정 실리콘층(806)을 지지 기판 위에 완전히 접착시키기 위한 공정이 된다. 이렇게 해서 접착 계면이 안정화됨으로써, 매립 절연층(807)이 형성된다(도 17e). 이때, 본 실시예에서는, 수소 함유층(803)을 형성하고, 수소 함유층(803)을 따라 파단면을 발생시켜 박막의 단결정 실리콘층(806)을 형성하지만, 이것에 한정되지 않고, 수소 함유층(803)을 설치하지 않고 단결정 실리콘 기판(801)을 연마함으로써 박막의 단결정 실리콘층(806)을 형성해도 좋다.
- [0128] 다음에 단결정 실리콘층(806)의 표면을 평탄화하는 처리를 행해도 된다. 평탄화에는 CMP(케미컬 메커니컬 폴리싱)라 불리는 연마 공정이나 환원 분위기에서 고온(900~1200도 정도)의 퍼니스 어닐 처리를 행하면 좋다.
- [0129] 최종적인 단결정 실리콘층(806)의 막 두께는 10~200nm(바람직하게는 10~50nm, 더 바람직하게는 10nm~30nm)로 하면 좋다.
- [0130] 다음에 단결정 실리콘층(806) 위에 선택적으로 레지스트를 형성하여, 단결정 실리콘층(806)을 선택적으로 에칭 함으로써, 후에 형성되는 TFT의 활성층이 되는 섬 형상의 단결정 실리콘층(808)을 형성한다. 이때, 본 실시예에서는 하나의 섬 형상의 단결정 실리콘층밖에 기재하지 않지만, 동일 기판 위에 복수의 섬 형상의 단결정 실리콘층이 형성되어도 된다.(도 17f)
- [0131] 이후의 공정은, 실시예 1~4와 마찬가지로 함으로써, 본 발명에 따른 반도체장치를 제조할 수 있다.
- [0132] 본 실시예에 관련되는 반도체장치는, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다. 또한 본 실시예에 관련되는 반도체장치는, 활성층으로서 단결정 반도체층을 사용하기 때문에, 더욱 특성을 향상시킬 수 있다.
- [0133] (실시예 7)

- [0134] 본 실시예에서는, 실시예 1에서 설명한 반도체장치와 일렉트로루미네선스 소자(이하, 「E L 소자」라고도 한다.)를 갖는 표시장치(E L 표시장치)를 제조하는 방법에 관하여 설명한다. 이때, 본 실시예에서 사용할 수 있는 반도체장치는 실시예 1에 나타내는 것에 한정되지 않고, 실시예 2~6에서 설명한 반도체장치를 사용해도 된다.
- [0135] 본 실시예에서는, 일렉트로루미네선스 소자로부터의 빛을 제1 전극(110) 측에서 추출하는 구조로 하기 위해, 투광성을 가지는 막을 사용해서 제1 전극(110)을 형성한다. 본 실시예에서는, 실시예 1과 마찬가지로, 산화 규소를 포함한 산화인듐주석(I T S O)을 제1 전극(110)으로 사용한다.
- [0136] 우선, 도 18에 나타낸 바와 같이, 실시예 1과 마찬가지로 T F T(1701~1703)와, T F T(1701~1703)를 덮는 절연층(1710)과, T F T(1701~1703)의 소스 영역 또는 드레인 영역과 전기적으로 접속하는 배선(1704~1709)을 형성한다. 다음에 배선(1704~1709)을 덮도록 절연층(109)을 형성하고, 절연층(109) 위에 배선(1709)과 전기적으로 접속하는 제1 전극(110)을 형성한다. 다음에 제1 전극(110)의 단부 및 절연층(109)을 덮도록 절연막(111)(뱅크, 분리벽, 장벽, 제방 등이라고도 불린다.)을 형성한다.
- [0137] 절연막(111)으로는, 산화 규소, 질화규소, 산화 질화규소, 산화알루미늄, 질화알루미늄 기타의 무기절연성 재료, 또는 아크릴산, 메타크릴산 및 이것들의 유도체, 또는 폴리이미드(polyimide), 방향족 폴리아미드, 폴리벤조이미다졸(polybenzimidazole) 등의 내열성 고분자, 또는 규소, 산소, 수소로 이루어지는 화합물 중 Si-O-Si 결합을 포함한 무기 실록산, 규소에 결합하고 있는 수소가 메틸이나 페닐과 같은 유기기로 치환된 유기 실록산계의 절연성 재료를 사용할 수 있다. 아크릴, 폴리이미드 등의 감광성, 비감광성의 재료를 사용해서 형성해도 좋다. 본 실시예에서는, 감광성 폴리이미드를 사용하여, 평坦한 영역에서 막 두께가 1.5  $\mu$ m가 되도록 절연막(111)을 형성한다.
- [0138] 또한 절연막(111)은 곡률반경이 연속적으로 변화하는 형상이 바람직하고, 절연막(111) 위에 형성되는 전계발광층(112)(유기 화합물을 포함한 층), 제2 전극(113)의 피복성을 향상시킬 수 있다.
- [0139] 또한 신뢰성을 한층 더 향상시키기 위해서, 전계발광층(112)을 형성하기 전에 제1 전극(110) 및 절연막(111)에 대하여, 고밀도 플라스마장치를 사용해서 질화 처리 또는 산화 처리를 행하면 좋다. 제1 전극(110)을 고밀도 플라스마장치를 사용해서 질화 또는 산화함으로써 전극의 표면 개질시의 플라즈마 데미지가 적고, 보다 결함이 적은 표면을 얻을 수 있기 때문에, 본 실시예의 발광소자에 의한 표시는 고화질이며 표시 편차가 적다. 또한, 절연막(111)을 질화 했을 경우, 절연막(111)의 표면이 개질 되어, 절연막 내부로의 수분의 흡수를 억제 수 있다. 또한 절연막(111)을 산화했을 경우, 막이 강고해져, 유기 가스의 방출을 억제할 수 있다. 본 실시예에서는, 고밀도 플라스마장치를 사용함으로써 플라즈마 데미지가 적은 처리를 행할 수 있다. 여기에서, 절연막(111) 표면에 대하여, 산화 처리를 행할지, 질화 처리를 행할지는 절연막의 재료 및 효과를 고려해서 적절히 선택하면 된다.
- [0140] 다음에 제1 전극(110) 위에 전계발광층(112)을 형성한다. 이때, 도 18에서는 1화소밖에 도시하지 않지만, 본 실시예에서는 적색(R), 녹색(G), 청색(B)의 각 색에 대응한 전계발광층을 나누어 제조한다. 본 실시예에서는 전계발광층(112)으로서, 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료를, 중착 마스크를 사용한 중착법에 의해, 각각 선택적으로 형성한다. 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료는, 중착 마스크를 사용한 중착법에 의해 각각 선택적으로 형성하는 방법이나, 액적토출법에 의해 형성할 수 있다. 액적토출법의 경우, 마스크를 사용하지 않고 R G B를 나누어 형성할 수 있는 이점이 있다. 본 실시예에서는, 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료를 중착법에 의해 각각 형성한다.
- [0141] 이때, E L의 중착 전에, 불활성 가스를 주성분으로 해서 산소의 농도가 5% 이하 또한 물의 농도가 1% 이하인 분위기에서 가열처리를 행하여, 수분 등을 제거하는 것이 바람직하다. 본 실시예에서는, 300도로 1시간 가열처리를 행한다.
- [0142] 다음에 전계발광층(112) 위에 도전막으로 된 제2 전극(113)을 형성한다. 제2 전극(113)으로는, 일함수가 작은 재료(A l, A g, L i, C a, 또는 이것들의 합금 Mg A g, Mg I n, A l L i, C a F<sub>2</sub>, 또는 질화 칼슘)를 사용하면 좋다. 이렇게 해서 제1 전극(110), 전계발광층(112) 및 제2 전극(113)으로 이루어진 발광소자가 형성된다.
- [0143] 도 18에 나타내는 표시장치에 있어서, 발광소자로부터 발한 빛은, 기판(101)과 제1 전극(110)의 사이에 형성된 막을 투과해서 제1 전극(110) 측으로부터 화살표 방향으로 출사된다.
- [0144] 또한 제2 전극(113)을 덮도록 해서 패시베이션 막을 설치하는 것은 효과적이다. 패시베이션 막으로는,

질화규소, 산화 규소, 산화 질화규소(SiON), 질화산화 규소(SiNO), 질화알루미늄(AlN), 산화 질화알루미늄(AlON), 질소 함유량이 산소 함유량보다도 많은 질화산화알루미늄(AlNO) 또는 산화알루미늄, 다이아몬드 라이크 카본(DLC), 질소함유 탄소막(CN)을 포함한 절연막으로 이루어지고, 상기 절연막을 단층 혹은 조합한 적층을 사용할 수 있다. 또한 실리콘(Si)과 산소(O)의 결합으로 골격구조가 구성되는 실록산을 사용해도 된다. 실록산은, 치환기로서 적어도 수소를 포함한 유기기(예를 들면 알킬기, 방향족 탄화수소)를 사용할 수 있다. 또한 치환기로서 플루오르기, 또는 적어도 수소를 포함한 유기기와 플루오르기를 사용해도 된다.

[0145] 이때, 커버리지가 좋은 막을 패시베이션 막으로 사용하는 것이 바람직하고, 탄소막, 특히 DLC막을 사용하는 것은 효과적이다. DLC막은 실온 내지 100도 이하의 온도 범위에서 성막 가능하기 때문에, 내열성이 낮은 전계발광층(112)의 위쪽에도 용이하게 성막할 수 있다. 또한 DLC막은 산소에 대한 블록킹 효과가 높아, 전계발광층(112)의 산화를 억제하는 것이 가능하다. 그 때문에 그 후에 이어지는 밀봉 공정을 행하는 동안에 전계발광층(112)이 산화하는 문제를 방지할 수 있다.

[0146] 다음에 발광소자가 형성된 기판(101)과, 밀봉기판을 셀재에 의해 고정하여, 발광소자를 밀봉한다. 단면으로부터의 수분의 침입이 셀재에 의해 차단되므로, 발광소자의 열화를 방지할 수 있고, 표시장치의 신뢰성이 향상된다. 이때, 셀재로 둘러싸인 영역에는 충전재를 충전해도 되고, 질소분위기 하에서 밀봉함으로써, 질소 등을 봉입해도 좋다. 또 충전재는, 액상의 상태에서 적하하고, 표시장치 내에 충전할 수도 있다. 본 실시예는, 아랫면 사출형이기 때문에, 투광성을 가지는 충전재를 사용할 필요는 없지만, 충전재를 투과해서 빛을 추출하는 구조의 경우에는, 투광성을 가지는 재료를 사용해서 충전재를 형성할 필요가 있다. 충전재의 일례로서는, 가시광선 경화, 자외선 경화 또는 열경화의 애폐시 수지를 들 수 있다. 이상의 공정에서, 발광소자를 가지는 표시장치가 완성된다.

[0147] 또한 소자의 수분에 의한 열화를 방지하기 위해서 EL표시 패널 내에 건조제를 설치하는 것이 바람직하다. 본 실시예에서는, 화소 영역을 둘러싸도록 밀봉기판에 형성된 오목부에 건조제를 설치하고, 초박형화를 방해하지 않는 구성으로 한다. 또한 게이트 배선층에 대응하는 영역에도 건조제를 설치함으로써 급수 면적을 넓게 잡을 수 있고, 급수 효과가 높다. 또한 직접 발광하지 않는 게이트 배선층 위에 건조제를 형성하기 때문에, 빛 추출 효율을 저하하지 않는다.

[0148] 이때, 발광소자를 밀봉하는 처리란, 발광소자를 수분으로부터 보호하기 위한 처리이며, 커버재로 기계적으로 봉입하는 방법, 열경화성 수지 또는 자외광 경화성 수지로 봉입하는 방법, 금속산화물이나 질화물 등의 배리어 능력이 높은 박막에 의해 밀봉하는 방법 중 어느 하나를 사용한다. 밀봉기판 또는 커버재로서는, 유리, 세라믹, 플라스틱 혹은 금속을 사용할 수 있지만, 커버재 층에 빛을 방사시키는 경우에는 투광성이어야 한다. 또한 커버재와 상기 발광소자가 형성된 기판은 열경화성 수지 또는 자외광 경화성 수지 등의 셀재를 사용해서 접착되고, 열처리 또는 자외광 조사처리에 의해 수지를 경화시켜서 밀폐 공간을 형성한다. 이 밀폐 공간 내에 산화바륨으로 대표되는 흡습재를 설치하는 것도 효과적이다. 이 흡습재는, 셀재 위에 접해서 형성해도 되고, 발광소자로부터의 빛을 방해하지 않도록, 분리벽 위나 주변부에 형성해도 된다. 또한, 커버재와 발광소자가 형성된 기판과의 공간을 열경화성 수지 혹은 자외광 경화성 수지로 충전하는 것도 가능하다. 이 경우, 열경화성 수지 혹은 자외광 경화성 수지 내에 산화바륨으로 대표되는 흡습재를 침가해 두는 것은 효과적이다.

[0149] 본 실시예에서 나타내는 TFT(1701~1703)는 실시예 1~6 중의 방법으로 제조되어 있고, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다. 따라서, 특성 좋은 EL표시장치를 용이하게 제조할 수 있다.

[0150] (실시예 8)

[0151] 본 실시예에서는, 실시예 1에서 제조한 반도체장치를 사용하여, 투파형 액정표시장치를 제조하는 방법에 관하여 설명한다. 물론, 실시예 2~6에서 제조한 반도체장치를 사용할 수도 있다.

[0152] 우선, 실시예 1과 마찬가지로 TFT(1701~1703)와, TFT(1701~1703)를 덮는 절연층(1710)과, TFT(1701~1703)의 소스 영역 또는 드레인 영역과 전기적으로 접속하는 배선(1704~1709)을 형성한다(도 19). 다음에 배선(1704~1709)을 덮도록 절연층(109)을 형성하고, 절연층(109) 위에 배선(1709)과 전기적으로 접속하는 제1 전극(110)을 형성한다. 본 실시예에서는, 제1 전극(110)의 재료로서, 산화 규소를 포함한 산화인듐 주석(ITO)을 사용한다. 다음에 도 19에 나타내는 것과 같이, 절연층(109) 및 제1 전극(110) 위에 배향막(1801)을 형성한다. 본 실시예에서는, 배향막(1801)에 폴리이미드를 사용했다. 다음에 대향기판(1802)을 준비한

다. 대향기판(1802)은, 유리 기판(1803), 투명도전막으로 이루어진 대향전극(1804), 배향막(1805)으로 구성된다.

[0153] 다음에 상기 공정에 의해 얻은 TFT 기판(1806)과 대향기판(1802)을 쌔재를 통해 접착한다. 여기에서, 두 기판의 간격을 일정하게 유지하기 위해서, 배향막(1801)과 배향막(1805)의 사이에 스페이서를 형성해도 된다. 그 후에 두 기판 사이에 액정(1807)을 주입하고, 밀봉재에 의해 밀봉함으로써 도 19에 나타낸 바와 같은 투과형 액정표시장치가 완성된다.

[0154] 이때, 본 실시예에 있어서는 투과형 액정표시장치에 관하여 설명했지만, 본 발명의 액정표시장치는 이것에 한정되지 않는다. 제1 전극(110)으로서 반사성을 가지는 전극을 사용하거나, 제1 전극(110)의 윗면 또는 아랫면에 반사막을 설치함으로써, 반사형 액정표시장치에 사용할 수 있다. 또한 반투과형 액정표시장치에 사용해도 된다.

[0155] 본 실시예에 나타내는 TFT(1701~1703)는 실시예 1~6 중의 방법으로 제조되어 있고, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다. 따라서, 특성 좋은 액정표시장치를 용이하게 제조할 수 있다.

[0156] (실시예 9)

[0157] 본 실시예에서는, 실시예 1~6에서 설명한 박막 트랜지스터, 기억소자 및 안테나를 포함한 본 발명의 반도체장치의 제조 방법에 대해서, 도면을 참조해서 설명한다.

[0158] 본 실시예에 나타내는 반도체장치를 도 20에 나타낸다. 이때, 도 20a는 본 실시예에 나타내는 반도체장치의 윗면 구조의 일례를 개시하고, 도 20a의 단면 구조의 일부를 도 20b에 나타낸다.

[0159] 본 실시예에 있어서, 반도체장치(1200)는 집적회로부(1201), 메모리부(1202), 안테나(1203)를 가지고 있다(도 20a). 이때, 도 20b에 있어서, 영역(1204)은 도 20a의 집적회로부(1201)의 단면 구조의 일부에 대응하고, 영역(1205)은 도 20a의 메모리부(1202)의 단면 구조의 일부에 대응하고, 영역(1206)은 도 20a의 안테나(1203)의 단면 구조의 일부에 대응하고 있다.

[0160] 본 실시예의 반도체장치는, 도 20b에 나타낸 바와 같이, 제1 기체(775) 위에 절연층(703)을 사이에 두고 설치된 박막 트랜지스터(TFT)(744~748)와, 박막 트랜지스터(744~748) 위에 설치된 절연막(750)과, 그 절연막(750) 위에 설치된 소스 전극 또는 드레인 전극으로서 기능하는 도전막(752~761)을 가진다. 또한 절연막(750) 및 도전막(752~761) 위에 설치된 절연막(762)과, 절연막(762) 위에 설치된 도전막(763~765)과, 절연막(762) 및 도전막(763~764)의 일부를 덮도록 설치된 절연막(766)과, 절연막(766) 위에 설치된 기억소자부(789, 790)와, 도전막(765) 위에 설치된 안테나로서 기능하는 도전층(786)과, 절연막(766), 도전막(771) 및 안테나로서 기능하는 도전층(786)을 덮도록 설치된 절연막(772)과, 절연막(772) 위에 설치된 제2 기체(776)를 가지고 있다. 이때, 제1 기체(775) 및 제2 기체(776)에 의하여, 반도체장치의 집적회로부(1201), 메모리부(1202), 안테나(1203)는 밀봉되어 있다.

[0161] 본 실시예에 나타내는 박막 트랜지스터(744~748)는 실시예 1~6 중의 방법으로 제조되어 있고, 반도체막의 표면에서 에칭을 멈출 필요가 없기 때문에, 콘택홀 형성시의 에칭의 제어를 용이하게 행할 수 있다. 또한 반도체층에 형성된 콘택홀의 측면에서 소스 전극 또는 드레인 전극과 전기적인 접속을 취할 수 있기 때문에, 특성의 열화가 억제된 반도체장치를 용이하게 제조할 수 있다. 따라서, 특성 좋은 무선통신 가능한 반도체장치를 용이하게 제조할 수 있다.

## 도면의 간단한 설명

[0162] 도 1은 본 발명의 반도체장치의 구성을 설명하는 평면도 및 단면도.

[0163] 도 2는 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.

[0164] 도 3은 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.

[0165] 도 4는 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.

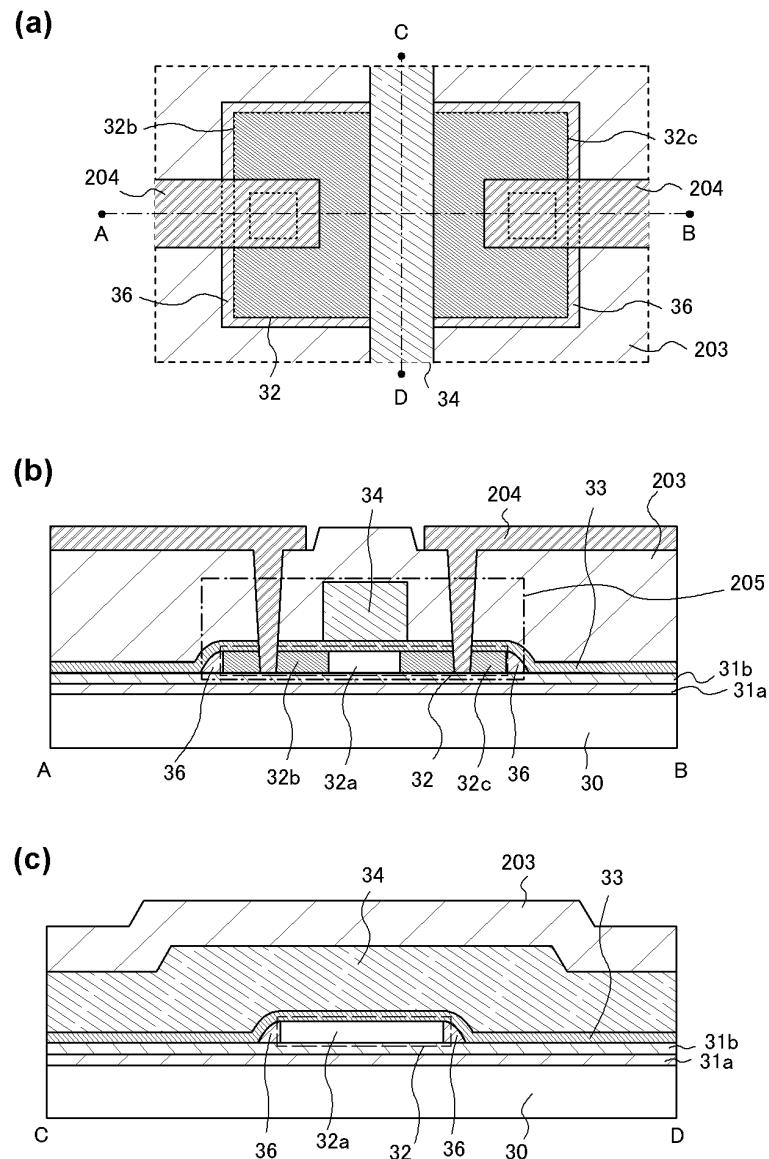
[0166] 도 5는 본 발명의 반도체장치의 구성을 설명하는 평면도 및 단면도.

[0167] 도 6은 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.

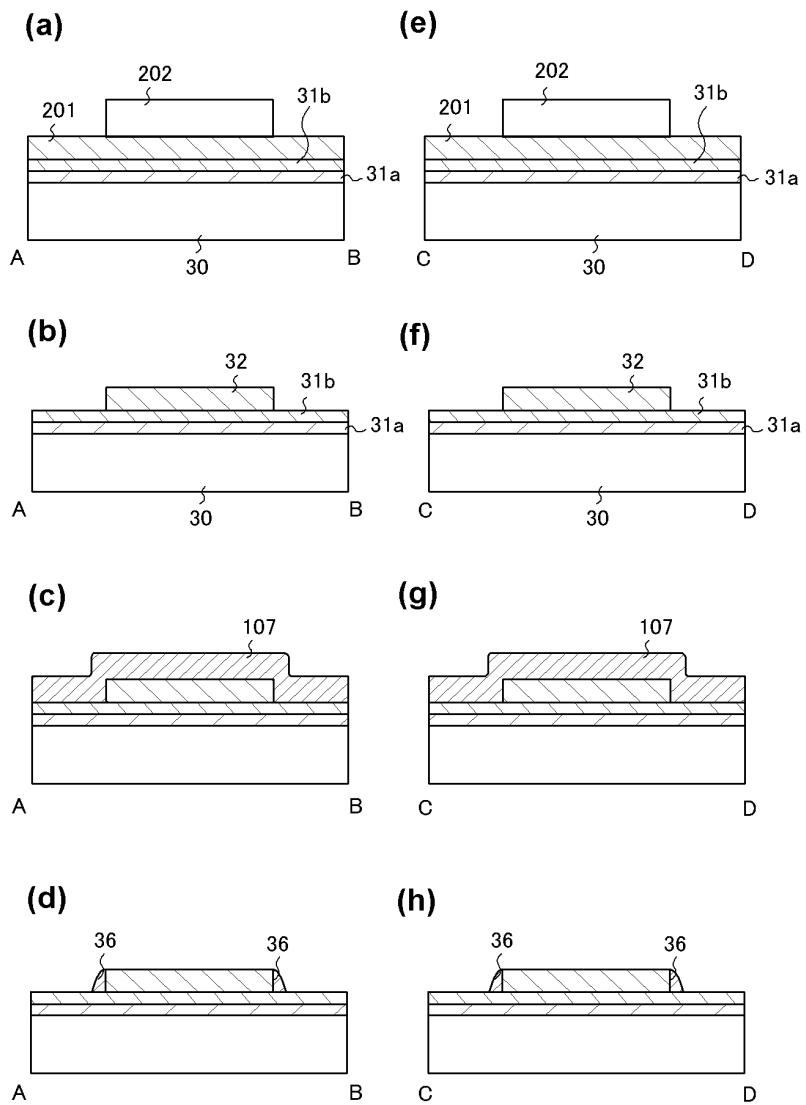
- [0168] 도 7은 본 발명의 반도체장치의 구성을 설명하는 평면도 및 단면도.
- [0169] 도 8은 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.
- [0170] 도 9는 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.
- [0171] 도 10은 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.
- [0172] 도 11은 본 발명의 반도체장치의 구성을 설명하는 평면도 및 단면도.
- [0173] 도 12는 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.
- [0174] 도 13은 본 발명의 반도체장치의 구성을 설명하는 단면도.
- [0175] 도 14는 본 발명의 반도체장치의 구성을 설명하는 단면도.
- [0176] 도 15는 본 발명의 반도체장치의 구성을 설명하는 단면도.
- [0177] 도 16은 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.
- [0178] 도 17은 본 발명의 반도체장치의 제조 공정을 설명하는 단면도.
- [0179] 도 18은 본 발명의 반도체장치의 구성을 설명하는 단면도.
- [0180] 도 19는 본 발명의 반도체장치의 구성을 설명하는 단면도.
- [0181] 도 20은 본 발명의 반도체장치의 구성을 설명하는 평면도와 단면도.
- [0182] 도 21은 종래의 반도체장치의 구성을 설명하는 단면도.
- [0183] [부호의 설명]
- |                     |              |
|---------------------|--------------|
| [0184] 30 기판        | 31 절연층       |
| [0185] 32 반도체층      | 33 게이트 절연층   |
| [0186] 34 도전층       | 36 절연층       |
| [0187] 203 절연층      | 204 도전층      |
| [0188] 205 박막 트랜지스터 | 32a 채널 형성 영역 |
| [0189] 32b 불순물영역    | 32c 불순물영역    |

도면

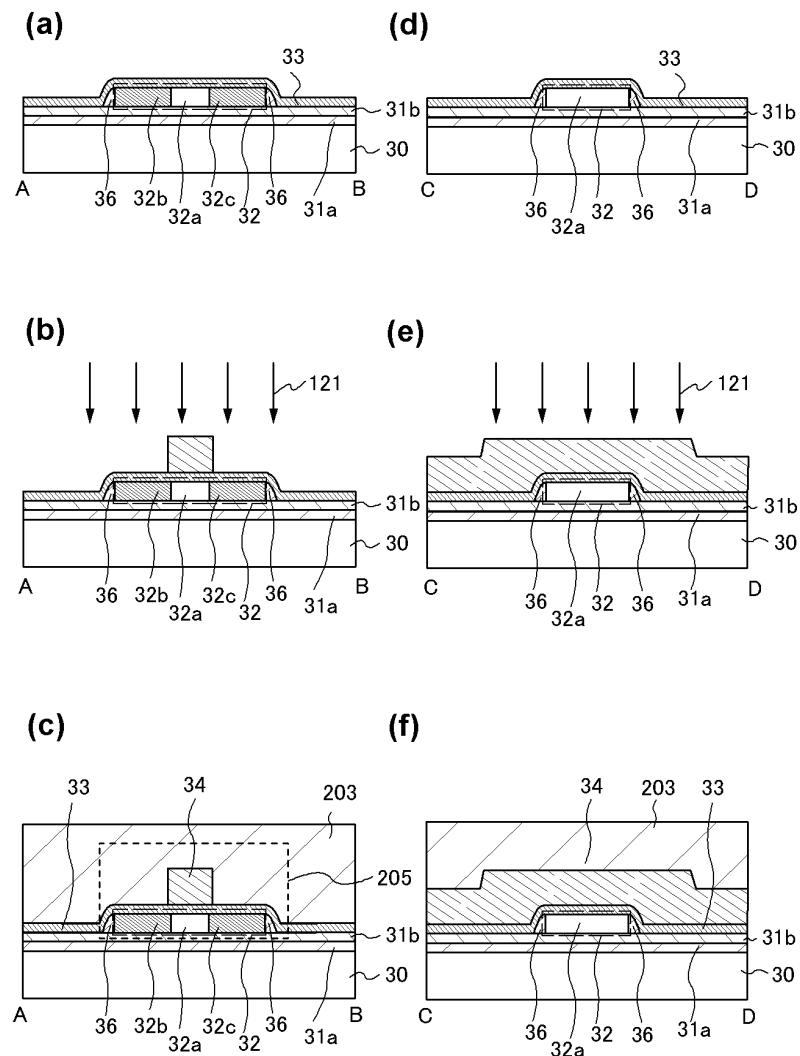
도면1



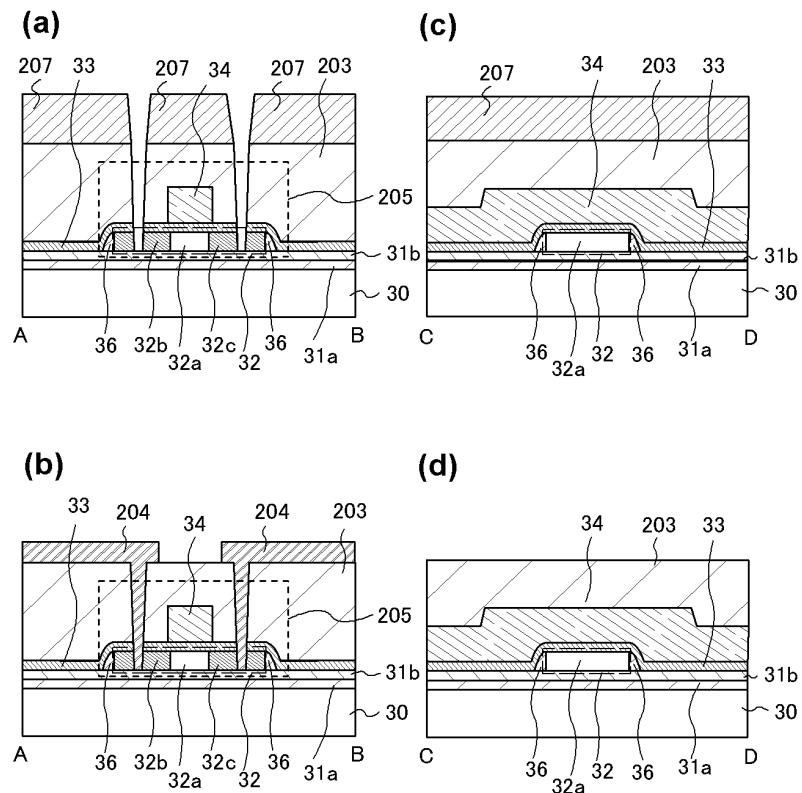
## 도면2



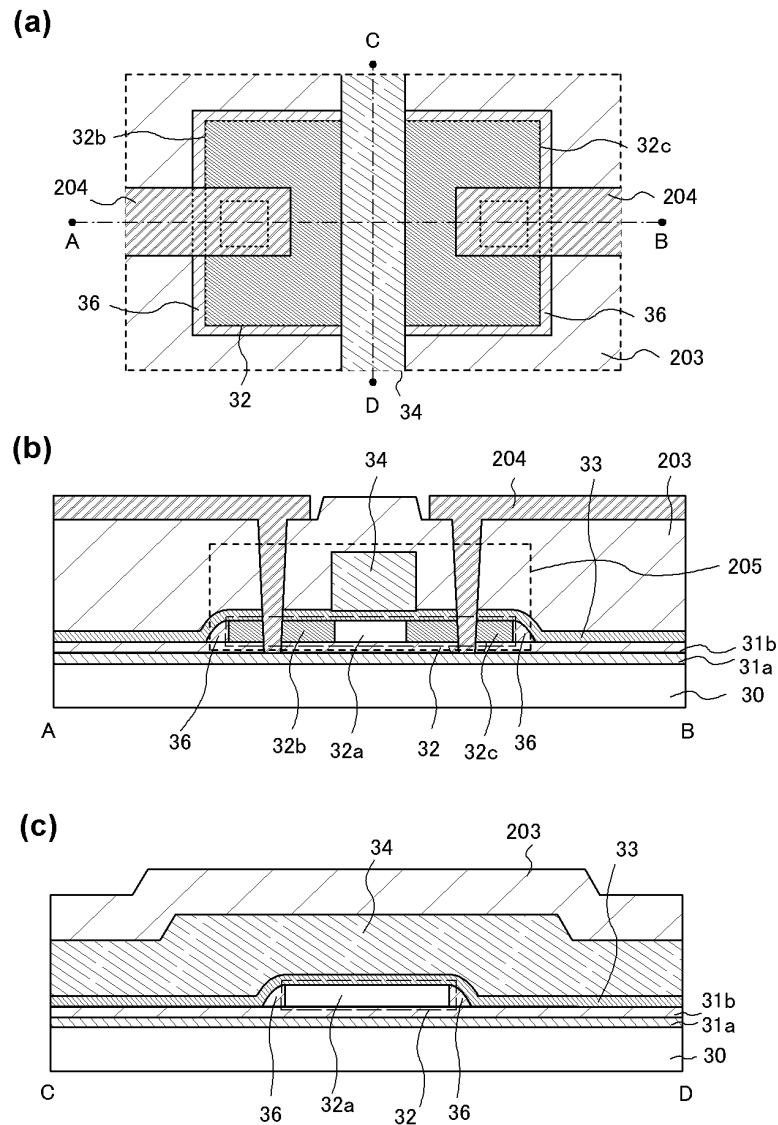
## 도면3



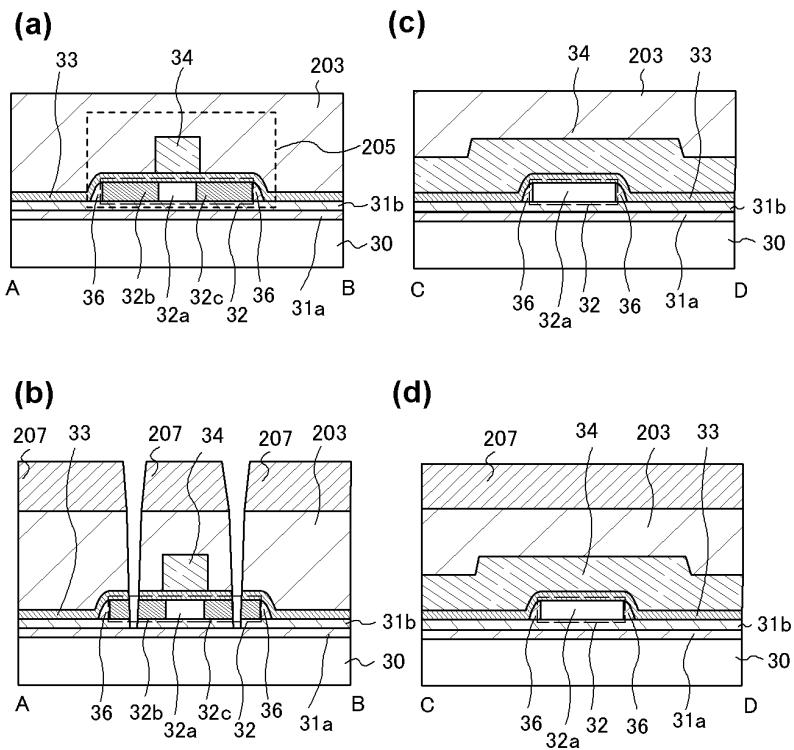
## 도면4



## 도면5

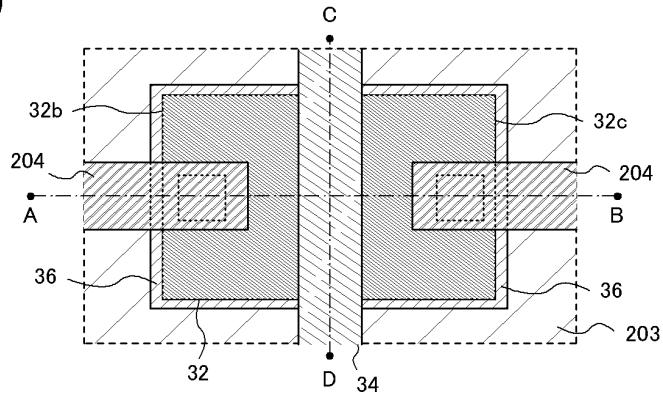


## 도면6

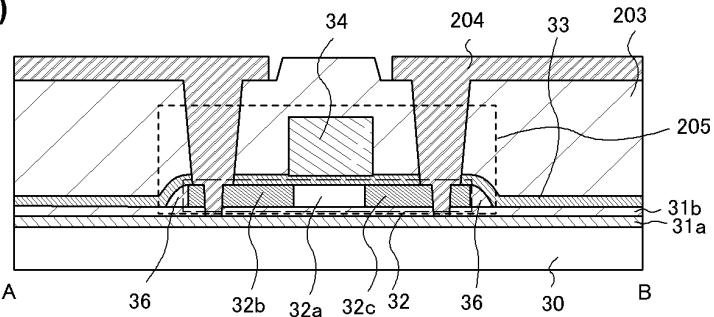


## 도면7

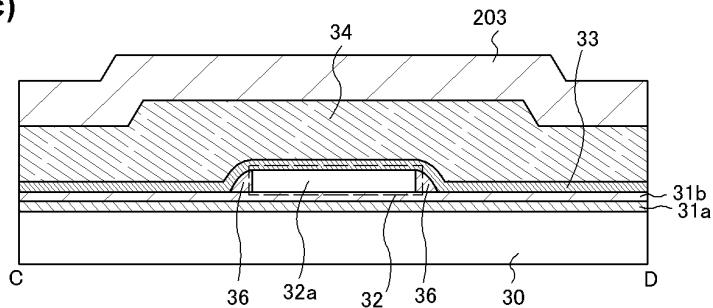
(a)



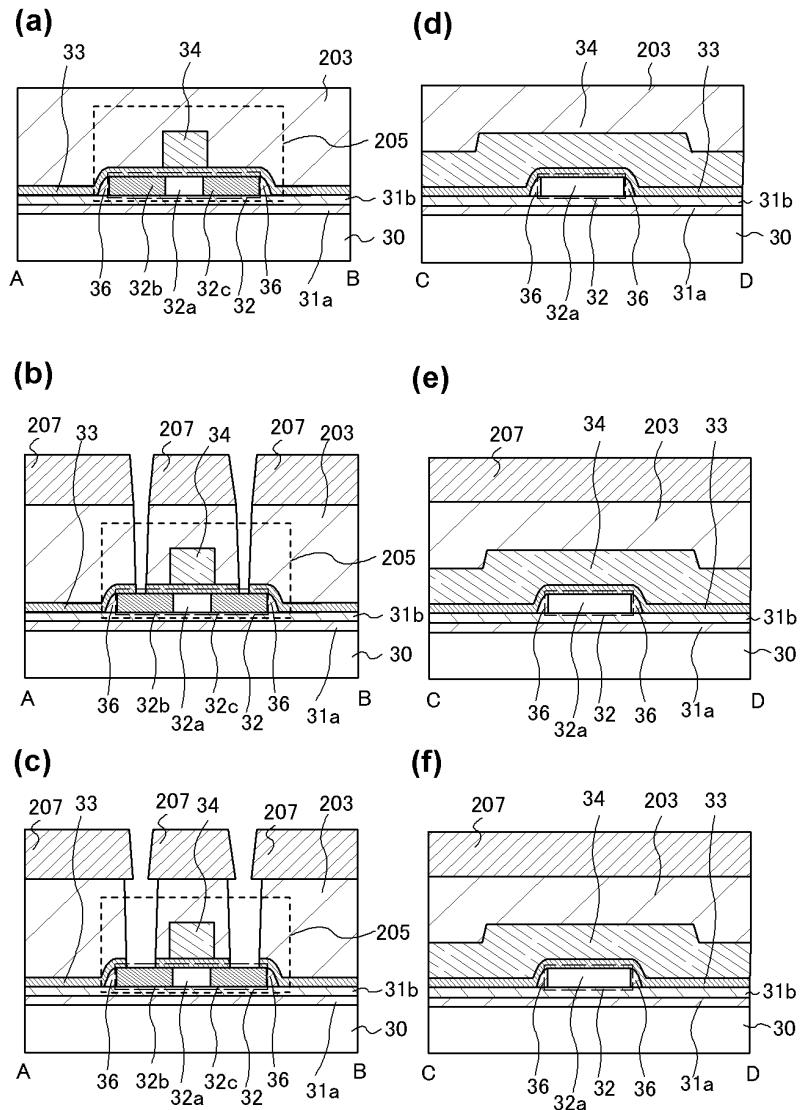
(b)



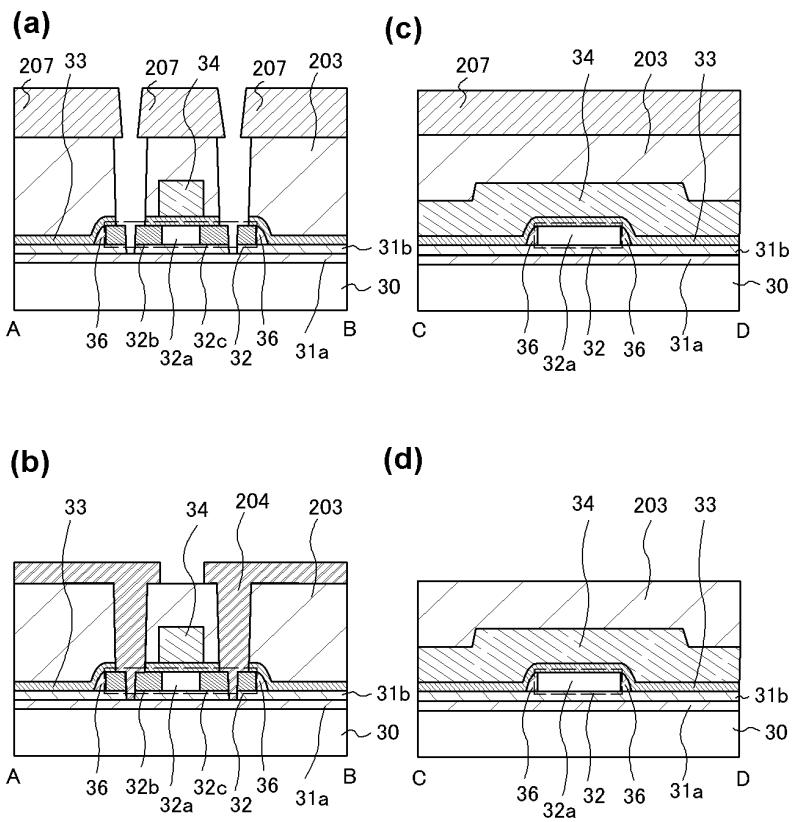
(c)



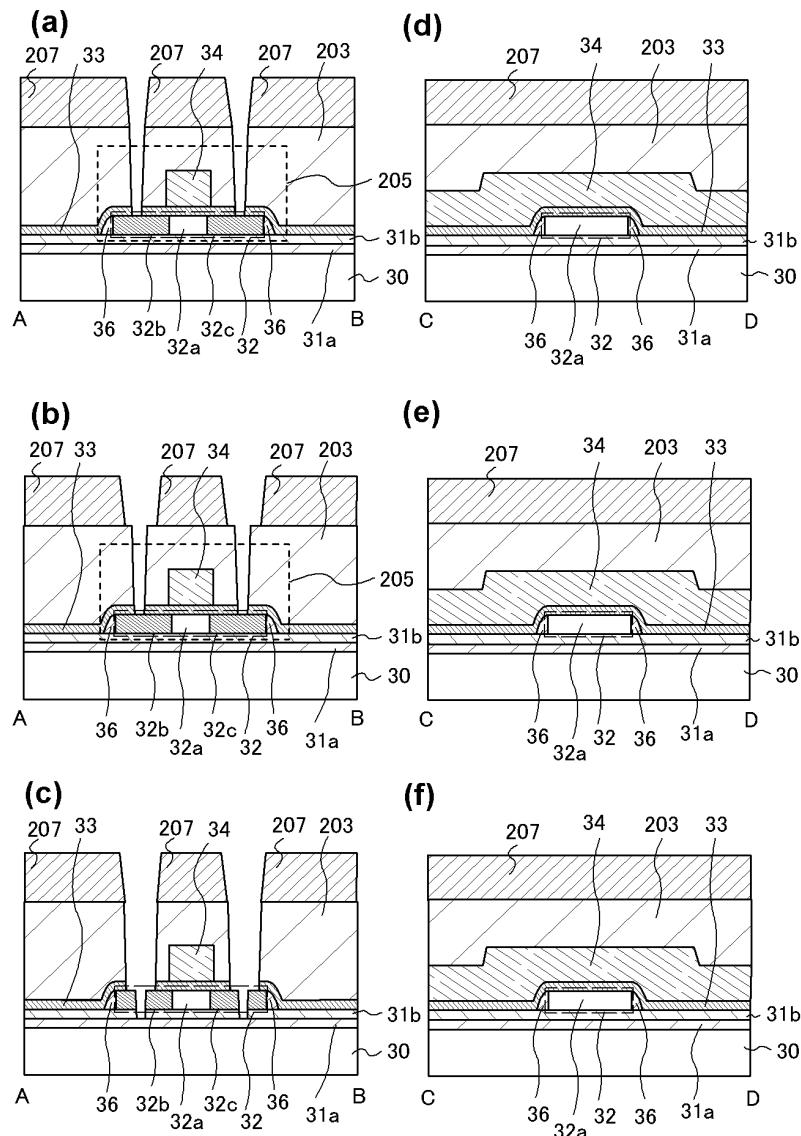
## 도면8



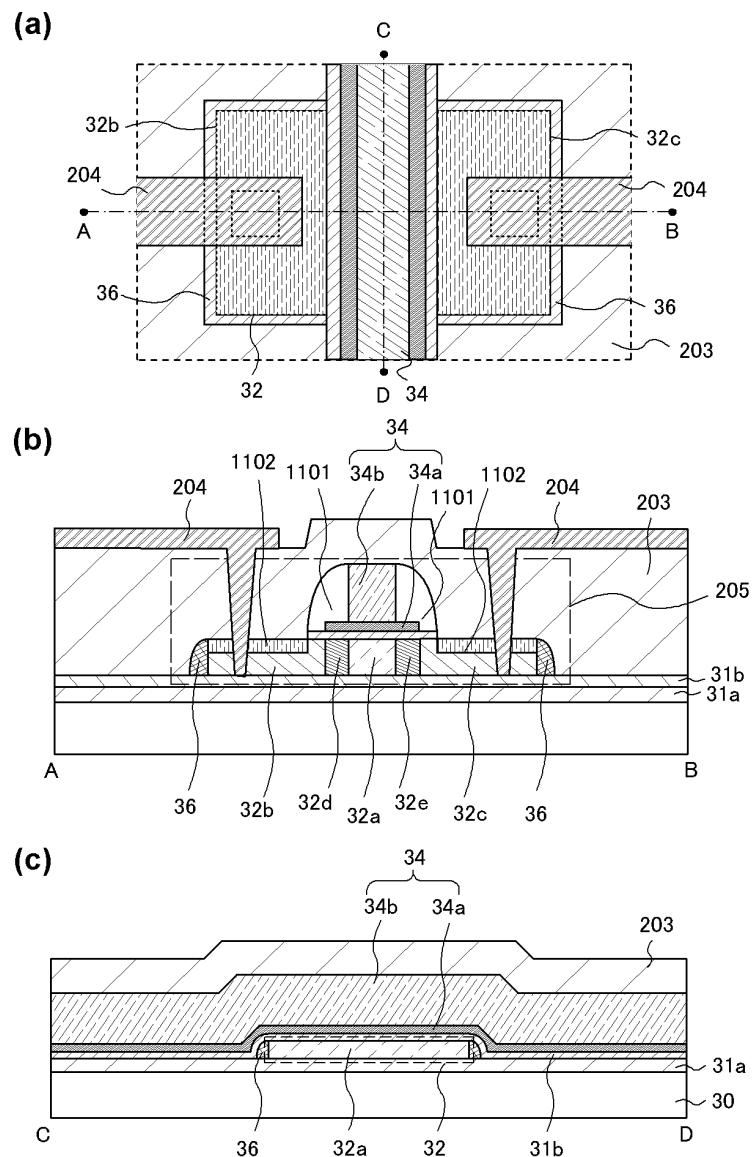
## 도면9



도면10

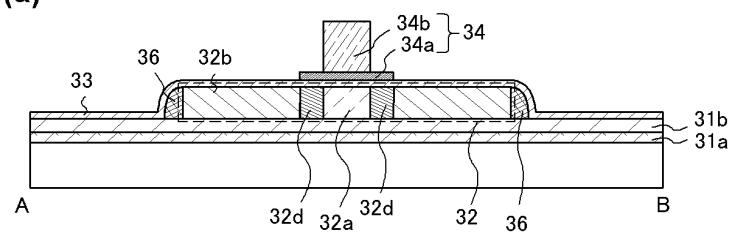


## 도면11

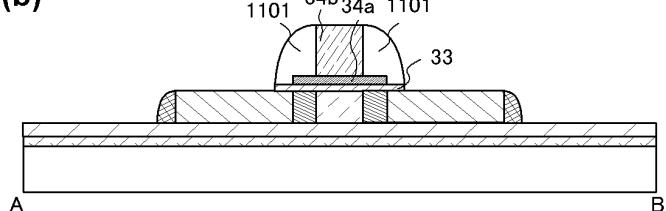


## 도면12

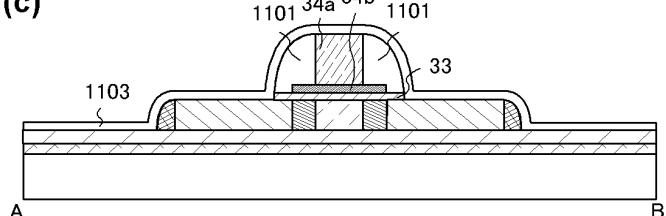
(a)



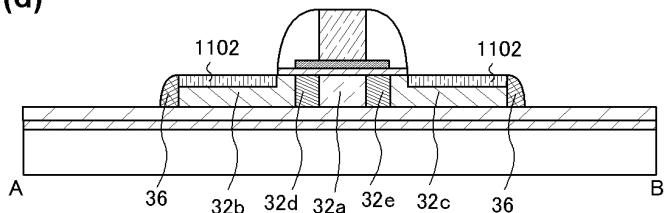
(b)



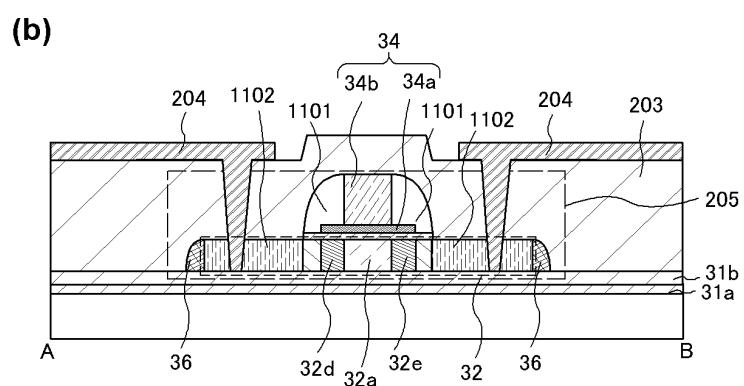
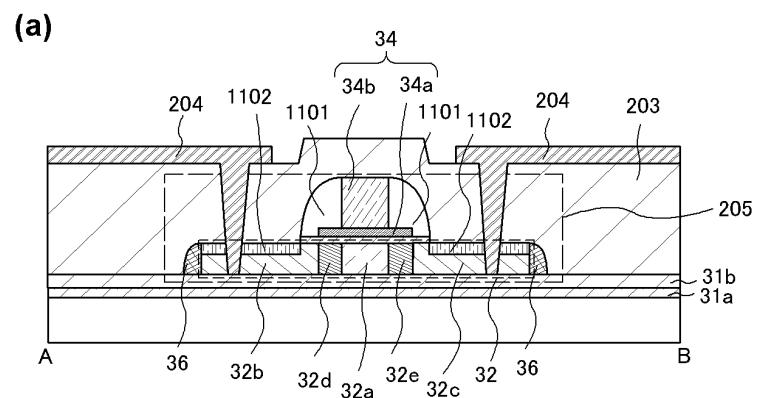
(c)



(d)

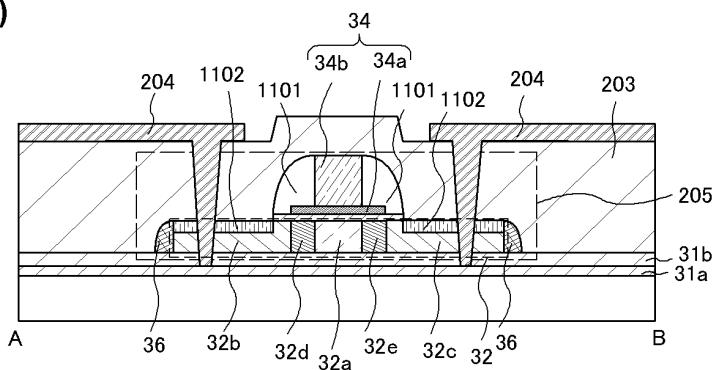


### 도면13

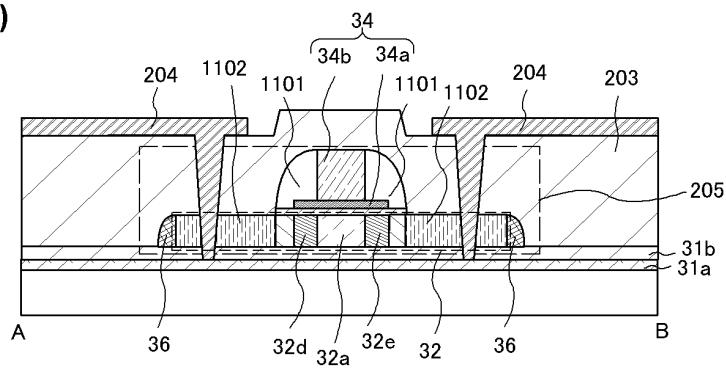


도면14

(a)

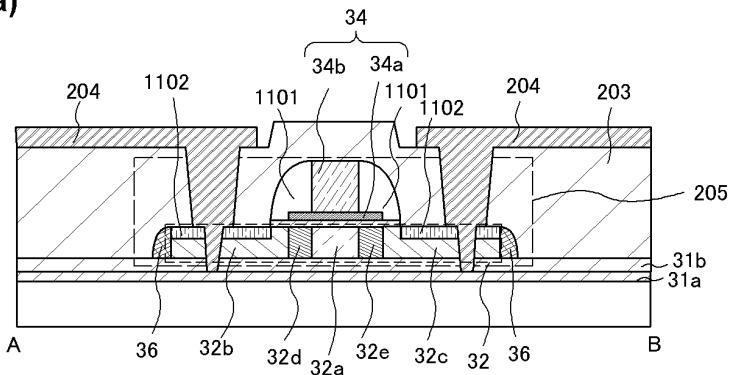


(b)

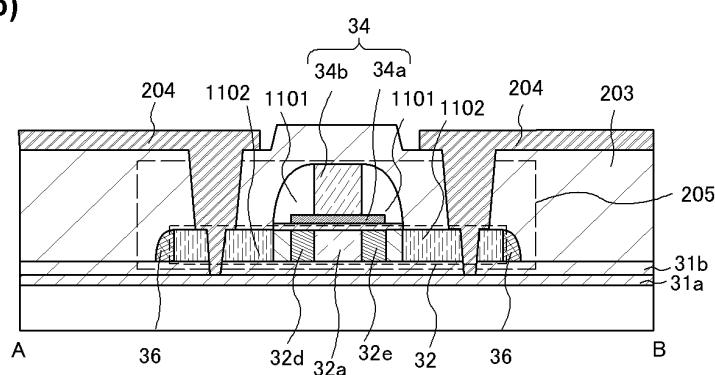


도면15

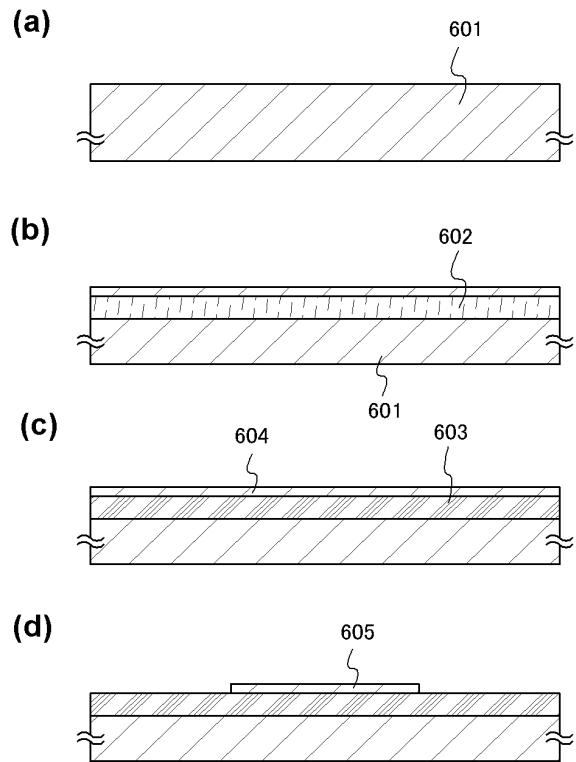
(a)



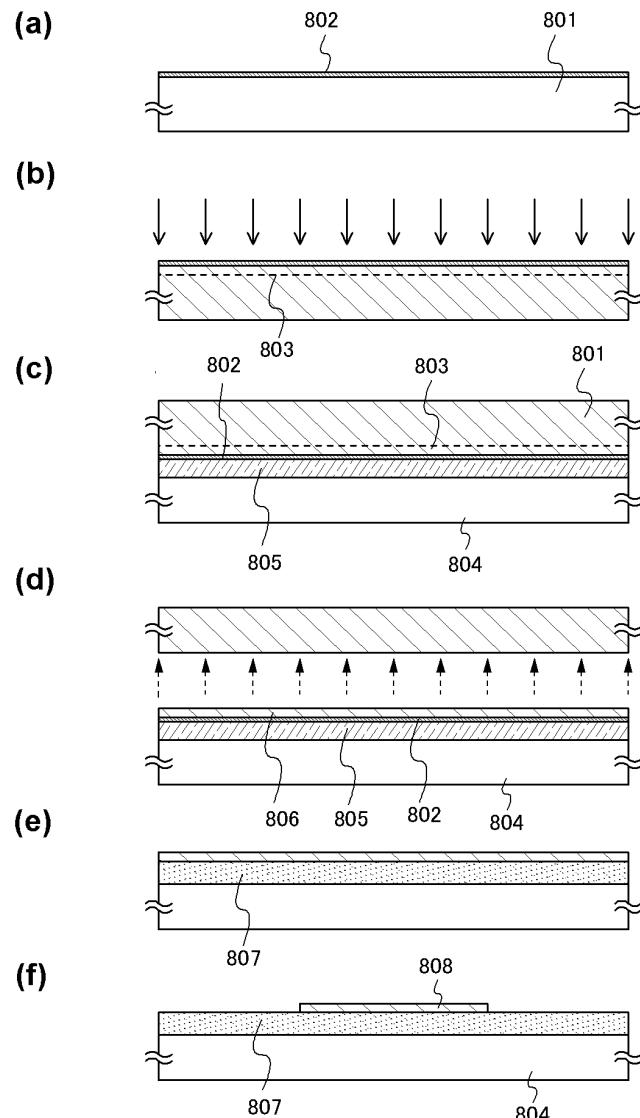
(b)



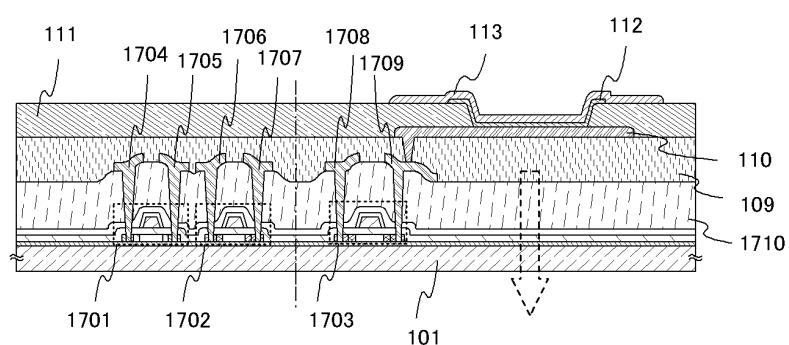
도면16



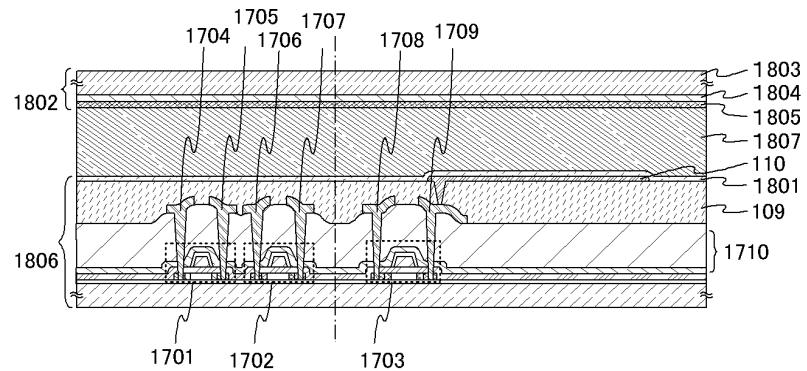
도면17



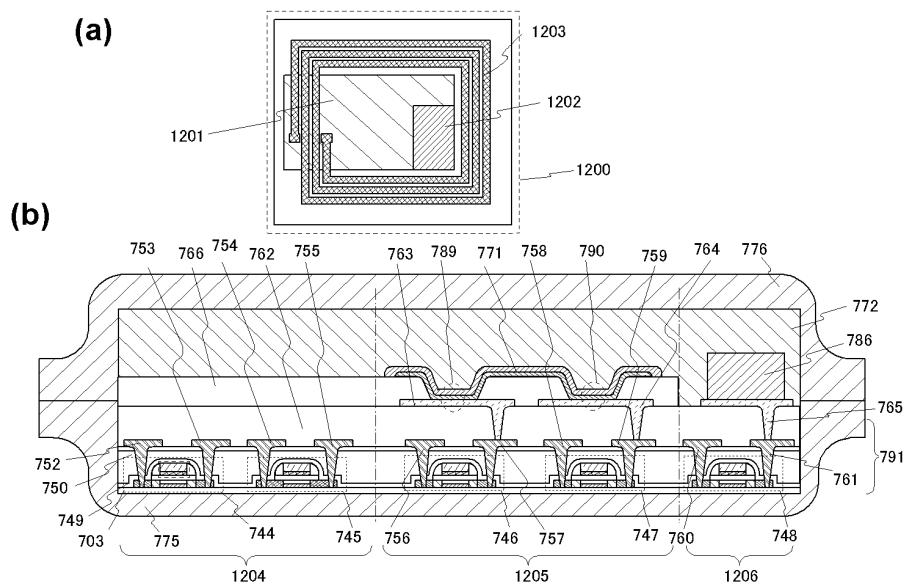
도면18



도면19



도면20



도면21

