

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5261979号
(P5261979)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl.	F I	
G09F 9/30 (2006.01)	G09F 9/30	3 3 8
G02F 1/167 (2006.01)	G02F 1/167	
G02F 1/1368 (2006.01)	G02F 1/1368	
G09F 9/37 (2006.01)	G09F 9/37	Z
H01L 21/336 (2006.01)	H01L 21/336	6 1 2 Z
請求項の数 5 (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2007-130279 (P2007-130279)
 (22) 出願日 平成19年5月16日(2007.5.16)
 (65) 公開番号 特開2008-286911 (P2008-286911A)
 (43) 公開日 平成20年11月27日(2008.11.27)
 審査請求日 平成22年4月23日(2010.4.23)

(73) 特許権者 000003193
 凸版印刷株式会社
 東京都台東区台東1丁目5番1号
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 伊藤 学
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
 (72) 発明者 宮▲崎▼ ちひろ
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
 審査官 請園 信博

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項1】

実質的に透明な基材上に形成されたカラーフィルタ層上にソース電極、ドレイン電極、ゲート絶縁膜、ゲート電極、及びアモルファス酸化亜鉛ガリウムインジウムからなる半導体活性層を備えた実質的に透明な薄膜トランジスタと、
 前記実質的に透明な薄膜トランジスタと電気的接点を有する実質的に透明な導電材料によって形成された配線と、
 からなる実質的に透明な半導体回路を設けた画像表示装置において、
 前記半導体活性層の膜厚が15nmであることを特徴とする画像表示装置。

【請求項2】

前記実質的に透明な半導体回路上に積層された画像表示要素を有することを特徴とする請求項1記載の画像表示装置。

【請求項3】

前記画像表示要素は液晶又は電気泳動粒子を含むことを特徴とする請求項2に記載の画像表示装置。

【請求項4】

実質的に透明な基材と、
 前記実質的に透明な基材上に形成されたカラーフィルタ層と、
 前記カラーフィルタ層上の第1の領域に配設されたゲート電極、前記ゲート電極上のゲート絶縁膜、前記ゲート絶縁膜上の膜厚が15nmであるアモルファス酸化亜鉛ガリウムイ

ンジウムからなる半導体活性層、前記半導体活性層上の一对の主電極領域、及び前記一对の主電極領域上の層間絶縁膜を有する実質的に透明な薄膜トランジスタと、前記カラーフィルタ層上の前記第1の領域とは異なる第2の領域に配設され、前記一对の主電極領域の一方に電氣的に接続された画素電極と、前記画素電極上に配設された画像表示要素と、前記画像表示要素上に配設された共通電極と、を備えたことを特徴とする画像表示装置。

【請求項5】

前記実質的に透明な薄膜トランジスタが行列状に複数配列されていることを特徴とする請求項4に記載の画像表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置に関し、特に半導体回路とカラーフィルタとの位置合わせが容易かつ信頼性に優れた画像表示装置に関する。

【背景技術】

【0002】

一般に電子デバイスの駆動用トランジスタとして、アモルファスシリコンや多結晶シリコン等を用いた薄膜トランジスタが用いられてきた。しかしながら、アモルファスシリコンや多結晶シリコンは不透明であり、また可視光領域において光感度を持つため、遮光膜が必要となる。そのため薄膜トランジスタやその配線等の半導体回路（以下、半導体回路と呼ぶ。）は視認性を害するためディスプレイ観察側から見て画像表示要素の裏側に設置されてきた。

20

【0003】

反射型液晶表示装置や電気泳動表示装置等の反射型の表示装置のカラー化においては一般的にはカラーフィルタが用いられるが、上記の理由により、カラーフィルタと薄膜トランジスタ基板の間に液晶封入層や電気泳動粒子層が形成される。しかしながら、この位置にカラーフィルタおよび半導体回路基板が形成されると、例えば液晶の場合は、液晶を封入した後、半導体回路とカラーフィルタとを位置合わせする必要があり、高い精度を得るためには困難が伴い、コスト上昇や歩留まり低下の原因となっている。そのため、透明な半導体回路を直接カラーフィルタ上に形成することで、位置合わせが容易な表示装置を実現するため研究開発がなされている。

30

【0004】

上記のディスプレイ構造を取ることでカラーフィルタと半導体回路との位置合わせは容易になる。しかしながらこの構造では視認側から見て半導体回路が画像表示要素の表側に存在するため、太陽光など外光が半導体回路に直接当たると薄膜トランジスタが誤動作する恐れがある。実際、酸化物半導体は透明であってもバンドギャップが $3.0\text{ eV} \sim 3.5\text{ eV}$ 程度であることが多く、バンドギャップがこの範囲であると太陽光などの照射により半導体活性層に光電流が流れ薄膜トランジスタが誤作動することが分かった。そのため上記ディスプレイ構造では屋外など非常に明るい所では画像表示に問題が生じることが分かった。なお、この種の画像表示装置については、例えば下記非特許文献1に開示されている。

40

【非特許文献1】M. Ito et al., Proc. 13th IDW, 585 (2006)

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、半導体回路とカラーフィルタとの位置合わせが容易かつ信頼性に優れた画像表示装置を提供することである。

【課題を解決するための手段】

50

【0006】

本発明の請求項1に係る発明は、実質的に透明な基材上に形成されたカラーフィルタ層上にソース電極、ドレイン電極、ゲート絶縁膜、ゲート電極、及びアモルファス酸化亜鉛ガリウムインジウムからなる半導体活性層を備えた実質的に透明な薄膜トランジスタと、実質的に透明な薄膜トランジスタと電気的接点を有する実質的に透明な導電材料によって形成された配線と、からなる実質的に透明な半導体回路を設けた画像表示装置において、半導体活性層の膜厚が15nmであることを特徴とする画像表示装置としたものである。

【0007】

本発明の請求項2に係る発明は、実質的に透明な半導体回路上に積層された画像表示要素を有することを特徴とする請求項1記載の画像表示装置としたものである。

10

【0008】

本発明の請求項3に係る発明は、画像表示要素は液晶又は電気泳動粒子を含むことを特徴とする請求項2に記載の画像表示装置としたものである。

【0009】

本発明の請求項4に係る発明は、実質的に透明な基材と、実質的に透明な基材上に形成されたカラーフィルタ層と、カラーフィルタ層上の第1の領域に配設されたゲート電極、ゲート電極上のゲート絶縁膜、ゲート絶縁膜上の膜厚が15nmであるアモルファス酸化亜鉛ガリウムインジウムからなる半導体活性層、半導体活性層上の一对の主電極領域、及び一对の主電極領域上の層間絶縁膜を有する実質的に透明な薄膜トランジスタと、カラーフィルタ層上の第1の領域とは異なる第2の領域に配設され、一对の主電極領域の一方に電

20

【0010】

本発明の請求項5に係る発明は、実質的に透明な薄膜トランジスタが行列状に複数配列されていることを特徴とする請求項4に記載の画像表示装置としたものである。

【発明の効果】

【0012】

本発明によれば、実質的に透明な基板上に設けられたカラーフィルタの上に実質的に透明な半導体回路を形成し、反射型画像表示要素の前面に配置することで、カラーフィルタと半導体回路との位置合わせが容易で製造コストの安い反射型表示装置を提供することができる。

30

【発明を実施するための最良の形態】

【0013】

本発明の実施形態を、図面を参照しつつ説明する。しかしながら、本発明はこれらに限定されるものではない。

【0014】

図1に示すように、本発明の実施の形態に係る画像表示装置の一画素100は、実質的に透明な基材3、カラーフィルタ層4、ゲート電極6、半導体活性層11、一对の主電極領域(ソース電極9及びドレイン電極10)及び層間絶縁膜12を備え、画素電極13、画像表示要素1及び共通電極14を備えている。

40

【0015】

図2に示すように、本発明の実施の形態に係る画像表示装置200は、画像表示装置の1画素100を行列状に配置している。実質的に透明な基材3の下面に位相差板20、偏光膜21を備えている。画像表示要素1には液晶23を用いている。

【0016】

カラーフィルタ層4及び実質的に透明な半導体回路2を形成する基材は実質的に透明でなければならない。ここで実質的に透明とは可視光である波長領域400nm~700nmの範囲内で透過率が70%以上であること。具体的にはポリメチルメタクリレート、ポリアクリレート、ポリカーボネート、ポリスチレン、ポリエチレンサルファイド、ポリエーテルスルホン、ポリオレフィン、ポリエチレンテレフタレート、ポリエチレンナフタレー

50

ト、シクロオレフィンポリマー、ポリエーテルサルフェン、トリアセチルセルロース、ポリビニルフルオライドフィルム、エチレン-テトラフルオロエチレン共重合樹脂、耐候性ポリエチレンテレフタレート、耐候性ポリプロピレン、ガラス繊維強化アクリル樹脂フィルム、ガラス繊維強化ポリカーボネート、透明性ポリイミド、フッ素系樹脂、環状ポリオレフィン系樹脂、ガラス及び石英等を使用することができるがこれらに限定されるものではない。これらは単独の基材として使用してもよいが、二種以上を積層した複合基材を使用することもできる。

【0017】

また基材が有機物フィルムである場合は、素子の耐久性を上げるために透明のガスバリア層（図示せず）を形成することも好ましい。ガスバリア層としては Al_2O_3 、 SiO_2 、 SiN 、 $SiON$ 、 SiC 及びダイヤモンドライクカーボン（DLC）などを使用することができるがこれらに限定されるものではない。またこれらのガスバリア層は二層以上積層して使用することもできる。またガスバリア層は有機物フィルム基板の片面だけに付与してもよいし、両面に付与しても構わない。ガスバリア層は真空蒸着法、イオンプレーティング法、スパッタリング法、レーザアブレーション法、プラズマCVD（Chemical Vapor Deposition）法、ホットワイヤーCVD法及びゾルゲル法などで形成されるがこれらに限定されるものではない。

【0018】

本発明の実質的に透明な半導体回路2に用いる、ゲート電極6、ソース電極9、ドレイン電極10、補助コンデンサ電極7、画素電極13、走査線電極（図示せず）及び信号線電極（図示せず）には、酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化カドミウム（ CdO ）、酸化インジウムカドミウム（ $CdIn_2O_4$ ）、酸化カドミウムスズ（ Cd_2SnO_4 ）、酸化亜鉛スズ（ Zn_2SnO_4 ）及び酸化インジウム亜鉛（ $In-Zn-O$ ）等の酸化物材料でもよい。またこの酸化物材料に不純物をドーブしたのもも好適に用いられる。例えば、酸化インジウムにスズ（ Sn ）やモリブデン（ Mo ）、チタン（ Ti ）をドーブしたもの、酸化スズにアンチモン（ Sb ）やフッ素（ F ）をドーブしたもの、酸化亜鉛にインジウム、アルミニウム及びガリウム（ Ga ）をドーブしたものなどである。この中では特に酸化インジウムにスズ（ Sn ）をドーブした酸化インジウムスズ（通称ITO）が高い透明性と低い抵抗率のために特に好適に用いられる。また上記導電性酸化物材料と Au 、 Ag 、 Cu 、 Cr 、 Al 、 Mg 及び Li などの金属の薄膜を複数積層したものも使用できる。この場合、金属材料の酸化や経時劣化を防ぐために導電性酸化物薄膜、金属薄膜、導電性酸化物薄膜の順に積層した3層構造が特に好適に用いられる。また金属薄膜層での光反射や光吸収が表示装置の視認性を妨げないために金属薄膜層はできる限り薄くすることが好ましい。具体的には1nm以上20nm以下であることが望ましい。

【0019】

またPEDOT（ポリエチレンジオキシチオフェン）等の有機導電性材料も好適に用いることができる。ゲート電極6、ソース電極9、ドレイン電極10、補助コンデンサ電極7、画素電極13、走査線電極（図示せず）及び信号線電極（図示せず）は同じ材料であっても構わないし、また全て違う材料であっても構わない。しかし、工程数を減らすためにゲート電極6及び補助コンデンサ電極7とソース電極9及びドレイン電極10とは同一の材料であることがより望ましい。これらの透明電極は、真空蒸着法、イオンプレーティング法、スパッタリング法、レーザアブレーション法、プラズマCVD法、光CVD法、ホットワイヤーCVD法またはスクリーン印刷、凸版印刷、インクジェット法等で形成することができるがこれらに限定されるものではない。またこれらの透明電極の透明度を増加させるために成膜中基板を加熱したり、成膜後に基板を熱処理したりすることも好適に行われる。但し下地層のカラーフィルタ層4にダメージを与えないために基板温度は230以下であることが望ましい。

【0020】

本発明の画像表示装置に用いる実質的に透明な半導体活性層11としては酸化物半導体材

10

20

30

40

50

料が好適に使用できる。酸化物半導体材料は亜鉛、インジウム、スズ、タングステン、マグネシウム及びガリウムのうち一種類以上の元素を含む酸化物である、酸化亜鉛、酸化インジウム、酸化インジウム亜鉛、酸化スズ、酸化タングステン(WO)、酸化亜鉛ガリウムインジウム(In-Ga-Zn-O)等の材料が挙げられるがこれらに限定されるものではない。これらの材料は実質的に透明であり、バンドギャップが2.8 eV以上、好ましくはバンドギャップが3.2 eV以上であることが望ましい。これらの材料の構造は単結晶、多結晶、微結晶、結晶、アモルファスの混晶、ナノ結晶散在アモルファス、アモルファスのいずれであってもかまわない。また前記酸化物半導体材料の電子キャリア濃度が $10^{18}/\text{cm}^3$ 以下であることが望ましい。酸化物半導体層はスパッタリング法、パルスレーザ堆積法、真空蒸着法、CVD法、MBE(Molecular Beam Epitaxy)法、ゾルゲル法などの方法を用いて形成されるが、好ましくはスパッタリング法、パルスレーザ堆積法、真空蒸着法、CVD法である。スパッタリング法ではRFマグネトロンスパッタ法、DCスパッタ法、真空蒸着法では加熱蒸着法、電子ビーム蒸着法、イオンプレーティング法、CVD法ではホットワイヤーCVD法、プラズマCVD法などが挙げられるがこれらに限定されるものではない。

【0021】

半導体活性層11の膜厚は10 nm以上35 nm以下の範囲であれば、歩留まりが高くかつ光照射の影響をほぼ回避することができる。膜厚が10 nmよりも薄いと生産工程でわずかな膜厚不均一などがあると半導体活性層11が十分な機能を果たす程度に成膜されず歩留まりが下がるという問題がある。また膜厚が35 nmよりも厚いと半導体活性層11で十分に光吸収が起こり、光照射のために薄膜トランジスタが誤作動を起こす。

【0022】

本発明で用いられる薄膜トランジスタのゲート絶縁膜8に用いる材料は、特に限定しないが、酸化シリコン、窒化シリコン、シリコンオキシナイトライド(SiNxOy)、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等の無機材料、または、PMMA(ポリメチルメタクリレート)等のポリアクリレート、PVA(ポリビニルアルコール)、PS(ポリスチレン)、透明性ポリイミド、ポリエステル、エポキシ、ポリビニルフェノール及びポリビニルアルコール等が挙げられるがこれらに限定されるものではない。ゲートリーク電流を抑えるためには、絶縁材料の抵抗率は 10^{11} cm以上、望ましくは 10^{14} cm以上であることが好ましい。ゲート絶縁膜8は真空蒸着法、イオンプレーティング法、スパッタリング法、レーザアブレーション法、プラズマCVD法、光CVD法、ホットワイヤーCVD法、スピコート、ディップコート、スクリーン印刷などの方法を用いて形成される。ゲート絶縁膜8の厚さは50 nm~2 μmであることが望ましい。これらのゲート絶縁膜8は単層として用いても構わないし、複数の層を積層したものを用いても構わないし、また成長方向に向けて組成を傾斜したものでも構わない。

【0023】

本発明で用いられる薄膜トランジスタの構成は特に限定されない。ボトムコンタクト型、トップコンタクト型のどちらであっても構わない。また本発明で用いられる薄膜トランジスタ上に層間絶縁膜12を設けさらにその上にドレイン電極10と電気的に接続されている画素電極13とを設けることで、開口率を高くすることは好適に行われる。

【0024】

層間絶縁膜12としては絶縁性で実質的に透明であれば特に限定されない。例えば、酸化シリコン、窒化シリコン、シリコンオキシナイトライド(SiNxOy)、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等の無機材料、または、PMMA(ポリメチルメタクリレート)等のポリアクリレート、PVA(ポリビニルアルコール)、PS(ポリスチレン)、透明性ポリイミド、ポリエステル、エポキシ、ポリビニルフェノール、ポリビニルアルコール等の有機材料が挙げられるがこれらに限定されるものではない。層間絶縁膜12はゲート絶縁膜8と同じ材料であっても構わないし、異なる材料であっても構わない。これらの

10

20

30

40

50

層間絶縁膜 12 は単層として用いても構わないし、複数の層を積層したものをを用いても構わない。

【0025】

またボトムゲート構造の素子の場合には半導体活性層 11 の上を覆うような保護膜を設けることも好ましい。保護膜を用いることで、半導体活性層 11 が湿度などで経時変化を受けたり、層間絶縁膜 12 から影響を受けたりすることを防ぐことができる。保護膜として酸化シリコン、窒化シリコン、シリコンオキシナイトライド (SiN_xO_y)、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等の無機材料、または、PMMA (ポリメチルメタクリレート) 等のポリアクリレート、PVA (ポリビニルアルコール)、PS (ポリスチレン)、透明性ポリイミド、ポリエステル、エポキシ、ポリビニルフェノール、ポリビニルアルコール、フッ素系樹脂等が挙げられるがこれらに限定されるものではない。これらの保護膜は単層として用いても構わないし、複数の層を積層したものをを用いても構わない。

10

【0026】

また画素電極 13 は薄膜トランジスタのドレイン電極 10 と電氣的に接続していなければならぬ。具体的には、層間絶縁膜 12 をスクリーン印刷などの方法でパターン印刷してドレイン電極 10 の部分に層間絶縁膜 12 を設けない方法などや、層間絶縁膜 12 を全面に塗布し、そのあとレーザービーム等層間絶縁膜 12 に穴を空ける方法などが挙げられる。

【0027】

本発明で用いられるカラーフィルタ層 4 は赤色フィルタ (R)、緑色フィルタ (G)、青色カラーフィルタ (B) の 3 種類、もしくは赤色フィルタ (R)、緑色フィルタ (G)、青色カラーフィルタ (B)、白色カラーフィルタ (W) から形成されていることが好ましいがこれらに限定されるものではない。前記カラーフィルタ層 4 の着色層はその各色フィルタ (R、G、B または R、G、B、W) をそれぞれ所定幅の線条 (ストライプ) マトリクス状、または所定サイズの矩形マトリクス状等、適宜パターン状にパターンニングされている。また着色パターン形成後に、着色パターンを保護し、カラーフィルタ層 4 の凸凹を小さくするために、カラーフィルタ層 4 上に透明なオーバーコートが好適に設けられる。

20

【0028】

本発明の画像表示要素 1 としては、液晶を封入した液晶表示装置、分散媒溶液と電荷を帯びた電気泳動粒子とを充填した電気泳動表示装置、分散媒溶液に分散された電荷を帯びた表面領域を有する回転粒子を充填した回転粒子表示装置、気体中に固体状物質が分散質として安定に浮遊するエアロゾル状態で高流動性を示す粉流体を封入した粉流体を移動させる電子粉流体方式表示装置等が挙げられるが特に液晶表示装置および電気泳動表示装置が望ましい。また本発明の反射型画像表示要素は視認する側からみて薄膜トランジスタの裏に設けられているため、本発明の画像表示要素 1 に付与される共通電極 14 は透明導電膜であっても構わないし、また不透明な電極であっても構わない。具体的には酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化カドミウム (CdO)、酸化インジウムカドミウム (CdIn_2O_4)、酸化カドミウムスズ (Cd_2SnO_4)、酸化亜鉛スズ (Zn_2SnO_4)、酸化インジウム亜鉛 (In-Zn-O) 等の酸化物材料や Au、Ag、Cu、Cr、Al、Mg、Li、Ni、NiCr などの金属などがあげられる。またこれらを複数組み合わせ合わせたものも好適に用いられる。

30

40

【0029】

また同様の理由から画像表示要素 1 を構成する基材は透明であっても透明でなくても構わない。また可撓性基材であっても可撓性基材でなくても構わない。具体的にはポリメチルメタクリレート、ポリアクリレート、ポリカーボネート、ポリスチレン、ポリエチレンサルファイド、ポリエーテルスルホン、ポリオレフィン、ポリエチレンテレフタレート、ポリエチレンナフタレート、シクロオレフィンポリマー、ポリエーテルサルフェン、トリアセチルセルロース、ポリビニルフルオライドフィルム、エチレン-テトラフルオロエチレン共重合樹脂、耐候性ポリエチレンテレフタレート、耐候性ポリプロピレン、ガラス繊維強化アクリル樹脂フィルム、ガラス繊維強化ポリカーボネート、透明性ポリイミド、フッ

50

素系樹脂、環状ポリオレフィン系樹脂、ガラス及び石英等を使用することができるがこれらに限定されるものではない。これらは単独の基材として使用してもよいが、二種以上を積層した複合基材を使用することもできる。

【0030】

また本発明の画像表示要素1の基材に導電性の材料を用いて共通電極14として代用することもできる。具体的には薄SUS板、アルミ фоль、薄銅板などがあげられる。このように反射型表示装置前面板の基材として導電性材料を用いる場合は基材の表示装置を設けない側に絶縁層もしくは絶縁材料を付与することが望ましい。

【0031】

(実施例1)

実質的に透明な基材3としてコーニング社製無アルカリガラス1737(厚さ0.7mm)を用い、その一方の面にR(赤)、G(緑)、B(青)のカラーフィルタ層4を形成し、そのうえに透明樹脂からなるオーバーコート層を形成した。続いて、カラーフィルタ層4上に、ITO薄膜をDCマグネトロンスパッタ法で50nm形成した。そして、前記ITO薄膜をカラーフィルタ層4の各画素と位置合わせをしながら、所望の形状にパターニングし、ゲート電極6及び補助コンデンサ電極7とした。さらにその上に窒化シリコン(Si_3N_4)のターゲットを用いてRFスパッタリング法でSiON薄膜を330nm形成し、ゲート絶縁膜8とした。さらに、半導体活性層11として、InGaZnO₄ターゲットを用いアモルファスIn-Ga-Zn-O薄膜をRFスパッタリング法で15nm形成し、所望の形状にパターニングした。その上に、レジストを塗布し、乾燥、現像を行った後、ITO膜をDCマグネトロンスパッタ法で50nm形成し、リフトオフを行いソース電極9およびドレイン電極10とした。さらに、エポキシ系樹脂を厚さ3μmスピンコート法で塗布し、フォトリソグラフィ法でドレイン電極10上に貫通孔を開け、層間絶縁膜12とした。そして最後にITO膜をマグネトロンスパッタ法で100nm成膜しパターニングを行い、画素電極13とした。各膜の作成条件を表1に示す。なお成膜は全て室温で行った。作製後、半導体回路の透明度を増すために大気中で200℃にて1時間熱処理を行った。ここで作製した透明な半導体回路2は160×120の画素を持つ薄膜トランジスタアレイである。また薄膜トランジスタのゲート長は10μmゲート幅は50μmである。こうして作成された実質的に透明な半導体回路2の上に配向膜22を塗布した。それに、共通電極25としてITO薄膜を70nm成膜したコーニング社製無アルカリガラス1737(厚さ0.7mm)上に配向膜24を塗布して薄膜トランジスタを形成した基材をスペーサを介して配置し、その後そのスペーサ間に液晶を封入した。最後に、実質的に透明な基材3のカラーフィルタ層4が形成されていない面に位相差板20と偏光板21とを配置して実施例1の表示装置を作製した。

【0032】

(実施例2)

実質的に透明な基材3としてコーニング社製無アルカリガラス1737(厚さ0.7mm)を用い、その一方の面にR(赤)、G(緑)、B(青)のカラーフィルタ層4を形成し、そのうえに透明樹脂からなるオーバーコート層を形成した。続いて、カラーフィルタ層4上に、ITO薄膜をDCマグネトロンスパッタ法で50nm形成した。そして、前記ITO薄膜をカラーフィルタ層4の各画素と位置合わせをしながら、所望の形状にパターニングし、ゲート電極6及び補助コンデンサ電極7とした。さらにその上に窒化シリコン(Si_3N_4)のターゲットを用いてRFスパッタリング法でSiON薄膜を330nm形成し、ゲート絶縁膜8とした。さらに、半導体活性層11として、InGaZnO₄ターゲットを用いアモルファスIn-Ga-Zn-O薄膜をRFスパッタリング法で25nm形成し、所望の形状にパターニングした。その上に、レジストを塗布し、乾燥、現像を行った後、ITO膜をDCマグネトロンスパッタ法で50nm形成し、リフトオフを行いソース電極9およびドレイン電極10とした。さらに、エポキシ系樹脂を厚さ3μmスピンコート法で塗布し、フォトリソグラフィ法でドレイン電極10上に貫通孔を開け、層間絶縁膜12とした。そして最後にITO膜をマグネトロンスパッタ法で100nm成膜しパタ

10

20

30

40

50

ーニングを行い、画素電極 13 とした。各膜の作成条件を表 1 に示す。なお成膜は全て室温で行った。作製後、半導体回路の透明度を増すために大気中で 200℃にて 1 時間熱処理を行った。ここで作製した透明な半導体回路 2 は 160 × 120 の画素を持つ薄膜トランジスタアレイである。また薄膜トランジスタのゲート長は 10 μm ゲート幅は 50 μm である。こうして作成された実質的に透明な半導体回路 2 の上に配向膜 22 を塗布した。それに、共通電極 25 として ITO 薄膜を 70 nm 成膜したコーニング社製無アルカリガラス 1737 (厚さ 0.7 mm) 上に配向膜 24 を塗布して薄膜トランジスタを形成した基材をスペーサを介して配置し、その後そのスペーサ間に液晶を封入した。最後に、実質的に透明な基材 3 のカラーフィルタ層 4 が形成されていない面に位相差板 20 と偏光板 21 とを配置して実施例 2 の表示装置を作製した。

10

【0033】

(実施例 3)

実質的に透明な基材 3 としてコーニング社製無アルカリガラス 1737 (厚さ 0.7 mm) を用い、その一方の面に R (赤)、G (緑)、B (青) のカラーフィルタ層 4 を形成し、そのうえに透明樹脂からなるオーバーコート層を形成した。続いて、カラーフィルタ層 4 上に、ITO 薄膜を DC マグネトロンスパッタ法で 50 nm 形成した。そして、前記 ITO 薄膜をカラーフィルタ層 4 の各画素と位置合わせをしながら、所望の形状にパターニングし、ゲート電極 6 および補助コンデンサ電極 7 とした。さらにその上に窒化シリコン (Si₃N₄) のターゲットを用いて RF スパッタリング法で SiON 薄膜を 330 nm 形成し、ゲート絶縁膜 8 とした。さらに、半導体活性層 11 として、InGaZnO₄ ターゲットを用いアモルファス In-Ga-Zn-O 薄膜を RF スパッタリング法で 35 nm 形成し、所望の形状にパターニングした。その上に、レジストを塗布し、乾燥、現像を行った後、ITO 膜を DC マグネトロンスパッタ法で 50 nm 形成し、リフトオフを行いソース電極 9 およびドレイン電極 10 とした。さらに、エポキシ系樹脂を厚さ 3 μm スピンコート法で塗布し、フォトリソグラフィ法でドレイン電極 10 上に貫通孔を開け、層間絶縁膜 12 とした。そして最後に ITO 膜をマグネトロンスパッタ法で 100 nm 成膜しパターニングを行い、画素電極 13 とした。各膜の作成条件を表 1 に示す。なお成膜は全て室温で行った。作製後、半導体回路の透明度を増すために大気中で 200℃にて 1 時間熱処理を行った。ここで作製した透明な半導体回路 2 は 160 × 120 の画素を持つ薄膜トランジスタアレイである。また薄膜トランジスタのゲート長は 10 μm ゲート幅は 50 μm である。こうして作成された実質的に透明な半導体回路 2 の上に配向膜 22 を塗布した。それに、共通電極 25 として ITO 薄膜を 70 nm 成膜したコーニング社製無アルカリガラス 1737 (厚さ 0.7 mm) 上に配向膜 24 を塗布して薄膜トランジスタを形成した基材をスペーサを介して配置し、その後そのスペーサ間に液晶を封入した。最後に、実質的に透明な基材 3 のカラーフィルタ層 4 が形成されていない面に位相差板 20 と偏光板 21 とを配置して実施例 3 の表示装置を作製した。

20

30

【0034】

(比較例 1)

実質的に透明な基材 3 としてコーニング社製無アルカリガラス 1737 (厚さ 0.7 mm) を用い、その一方の面に R (赤)、G (緑)、B (青) のカラーフィルタ層 4 を形成し、そのうえに透明樹脂からなるオーバーコート層を形成した。続いて、カラーフィルタ層 4 上に、ITO 薄膜を DC マグネトロンスパッタ法で 50 nm 形成した。そして、前記 ITO 薄膜をカラーフィルタ層 4 の各画素と位置合わせをしながら、所望の形状にパターニングし、ゲート電極 6 および補助コンデンサ電極 7 とした。さらにその上に窒化シリコン (Si₃N₄) のターゲットを用いて RF スパッタリング法で SiON 薄膜を 330 nm 形成し、ゲート絶縁膜 8 とした。さらに、半導体活性層 11 として、InGaZnO₄ ターゲットを用いアモルファス In-Ga-Zn-O 薄膜を RF スパッタリング法で 7 nm 形成し、所望の形状にパターニングした。その上に、レジストを塗布し、乾燥、現像を行った後、ITO 膜を DC マグネトロンスパッタ法で 50 nm 形成し、リフトオフを行いソース電極 9 およびドレイン電極 10 とした。さらに、エポキシ系樹脂を厚さ 3 μm スピン

40

50

コート法で塗布し、フォトリソグラフィ法でドレイン電極 10 上に貫通孔を開け、層間絶縁膜 12 とした。そして最後に ITO 膜をマグネトロンスパッタ法で 100 nm 成膜しパターンニングを行い、画素電極 13 とした。各膜の作成条件を表 1 に示す。なお成膜は全て室温で行った。作製後、半導体回路の透明度を増すために大気中で 200 °C にて 1 時間熱処理を行った。ここで作製した透明な半導体回路 2 は 160 × 120 の画素を持つ薄膜トランジスタアレイである。また薄膜トランジスタのゲート長は 10 μm ゲート幅は 50 μm である。こうして作成された実質的に透明な半導体回路 2 の上に配向膜 22 を塗布した。それに、共通電極 25 として ITO 薄膜を 70 nm 成膜したコーニング社製無アルカリガラス 1737 (厚さ 0.7 mm) 上に配向膜 24 を塗布して薄膜トランジスタを形成した基材をスペーサを介して配置し、その後そのスペーサ間に液晶を封入した。最後に、実質的に透明な基材 3 のカラーフィルタ層 4 が形成されていない面に位相差板 20 と偏光板 21 を配置して実施例 3 の表示装置を作製した。

10

【0035】

(比較例 2)

実質的に透明な基材 3 としてコーニング社製無アルカリガラス 1737 (厚さ 0.7 mm) を用い、その一方の面に R (赤)、G (緑)、B (青) のカラーフィルタ層 4 を形成し、そのうえに透明樹脂からなるオーバーコート層を形成した。続いて、カラーフィルタ層 4 上に、ITO 薄膜を DC マグネトロンスパッタ法で 50 nm 形成した。そして、前記 ITO 薄膜をカラーフィルタ層 4 の各画素と位置合わせをしながら、所望の形状にパターンニングし、ゲート電極 6 および補助コンデンサ電極 7 とした。さらにその上に窒化シリコン (Si₃N₄) のターゲットを用いて RF スパッタリング法で SiON 薄膜を 330 nm 形成し、ゲート絶縁膜 8 とした。さらに、半導体活性層 11 として、InGaZnO₄ ターゲットを用いアモルファス In-Ga-Zn-O 薄膜を RF スパッタリング法で 10 nm 形成し、所望の形状にパターンニングした。その上に、レジストを塗布し、乾燥、現像を行った後、ITO 膜を DC マグネトロンスパッタ法で 50 nm 形成し、リフトオフを行いソース電極 9 およびドレイン電極 10 とした。さらに、エポキシ系樹脂を厚さ 3 μm スピンコート法で塗布し、フォトリソグラフィ法でドレイン電極 10 上に貫通孔を開け、層間絶縁膜 12 とした。そして最後に ITO 膜をマグネトロンスパッタ法で 100 nm 成膜しパターンニングを行い、画素電極 13 とした。各膜の作成条件を表 1 に示す。なお成膜は全て室温で行った。作製後、半導体回路の透明度を増すために大気中で 200 °C にて 1 時間熱処理を行った。ここで作製した透明な半導体回路 2 は 160 × 120 の画素を持つ薄膜トランジスタアレイである。また薄膜トランジスタのゲート長は 10 μm ゲート幅は 50 μm である。こうして作成された実質的に透明な半導体回路 2 の上に配向膜 22 を塗布した。それに、共通電極 25 として ITO 薄膜を 70 nm 成膜したコーニング社製無アルカリガラス 1737 (厚さ 0.7 mm) 上に配向膜 24 を塗布して薄膜トランジスタを形成した基材をスペーサを介して配置し、その後そのスペーサ間に液晶を封入した。最後に、実質的に透明な基材 3 のカラーフィルタ層 4 が形成されていない面に位相差板 20 と偏光板 21 とを配置して実施例 3 の表示装置を作製した。

20

30

【0036】

(比較例 3)

実質的に透明な基材 3 としてコーニング社製無アルカリガラス 1737 (厚さ 0.7 mm) を用い、その一方の面に R (赤)、G (緑)、B (青) のカラーフィルタ層 4 を形成し、そのうえに透明樹脂からなるオーバーコート層を形成した。続いて、カラーフィルタ層 4 上に、ITO 薄膜を DC マグネトロンスパッタ法で 50 nm 形成した。そして、前記 ITO 薄膜をカラーフィルタ層 4 の各画素と位置合わせをしながら、所望の形状にパターンニングし、ゲート電極 6 及び補助コンデンサ電極 7 とした。さらにその上に窒化シリコン (Si₃N₄) のターゲットを用いて RF スパッタリング法で SiON 薄膜を 330 nm 形成し、ゲート絶縁膜 8 とした。さらに、半導体活性層 11 として、InGaZnO₄ ターゲットを用いアモルファス In-Ga-Zn-O 薄膜を RF スパッタリング法で 40 nm 形成し、所望の形状にパターンニングした。その上に、レジストを塗布し、乾燥、現像を行

40

50

った後、ITO膜をDCマグネトロンスパッタ法で50nm形成し、リフトオフを行いソース電極9およびドレイン電極10とした。さらに、エポキシ系樹脂を厚さ3μmスピンコート法で塗布し、フォトリソグラフィ法でドレイン電極10上に貫通孔を開け、層間絶縁膜12とした。そして最後にITO膜をマグネトロンスパッタ法で100nm成膜しパターンニングを行い、画素電極13とした。各膜の作成条件を表1に示す。なお成膜は全て室温で行った。作製後、半導体回路の透明度を増すために大気中で200℃にて1時間熱処理を行った。ここで作製した透明な半導体回路2は160×120の画素を持つ薄膜トランジスタアレイである。また薄膜トランジスタのゲート長は10μmゲート幅は50μmである。こうして作製された実質的に透明な半導体回路の上に配向膜22を塗布した。それに、共通電極としてITO薄膜を70nm成膜したコーニング社製無アルカリガラス1737(厚さ0.7mm)上に配向膜24を塗布して薄膜トランジスタを形成した基材をスペーサを介して配置し、その後そのスペーサ間に液晶を封入した。最後に、実質的に透明な基材3のカラーフィルタ層4が形成されていない面に位相差板20と偏光板21とを配置して比較例1の表示装置を作製した。

10

【0037】

(比較例4)

実質的に透明な基材3としてコーニング社製無アルカリガラス1737(厚さ0.7mm)を用い、その一方の面にR(赤)、G(緑)、B(青)のカラーフィルタ層4を形成し、そのうえに透明樹脂からなるオーバーコート層を形成した。続いて、カラーフィルタ層4上に、ITO薄膜をDCマグネトロンスパッタ法で50nm形成した。そして、前記ITO薄膜をカラーフィルタ層4の各画素と位置合わせをしながら、所望の形状にパターンニングし、ゲート電極6及び補助コンデンサ電極7とした。さらにその上に窒化シリコン(Si₃N₄)のターゲットを用いてRFスパッタリング法でSiON薄膜を330nm形成し、ゲート絶縁膜8とした。さらに、半導体活性層11として、InGaZnO₄ターゲットを用いアモルファスIn-Ga-Zn-O薄膜をRFスパッタリング法で50nm形成し、所望の形状にパターンニングした。その上に、レジストを塗布し、乾燥、現像を行った後、ITO膜をDCマグネトロンスパッタ法で50nm形成し、リフトオフを行いソース電極9およびドレイン電極10とした。さらに、エポキシ系樹脂を厚さ3μmスピンコート法で塗布し、フォトリソグラフィ法でドレイン電極10上に貫通孔を開け、層間絶縁膜12とした。そして最後にITO膜をマグネトロンスパッタ法で100nm成膜しパターンニングを行い、画素電極13とした。各膜の作成条件を表1に示す。なお成膜は全て室温で行った。作製後、半導体回路の透明度を増すために大気中で200℃にて1時間熱処理を行った。ここで作製した透明な半導体回路2は160×120の画素を持つ薄膜トランジスタアレイである。また薄膜トランジスタのゲート長は10μmゲート幅は50μmである。こうして作成された実質的に透明な半導体回路の上に配向膜22を塗布した。それに、共通電極としてITO薄膜を70nm成膜したコーニング社製無アルカリガラス1737(厚さ0.7mm)上に配向膜24を塗布して薄膜トランジスタを形成した基材をスペーサを介して配置し、その後そのスペーサ間に液晶を封入した。最後に、実質的に透明な基材3のカラーフィルタ層4が形成されていない面に位相差板20と偏光板21とを配置して比較例2の表示装置を作製した。

20

30

40

【0038】

【表 1】

	ターゲット	Ar 流量 [SCCM]	O ₂ 流量 [SCCM]	動作圧 力 [Pa]	投入電力 [W]
ゲート電極 6 及び補助 コンデンサ電極 7	SnO ₂ : 5 wt. %-In ₂ O ₃	1 0	0. 3	0. 5	2 0 0
ゲート絶縁膜 8	Si ₃ N ₄	4 0	2	0. 5	2 0 0
半導体活性層 1 1	InGaZnO ₄	1 0	0. 2	0. 5	2 0 0
ソース電極 9 及び ドレイン電極 1 0	SnO ₂ : 5 wt. %-In ₂ O ₃	1 0	0. 3	0. 5	2 0 0
画素電極 1 3	SnO ₂ : 5 wt. %-In ₂ O ₃	1 0	0. 2	1. 0	5 0

10

【 0 0 3 9 】

上記実施例 1 ~ 3 及び比較例 1 ~ 4 で作製した画像表示装置の各画素の歩留まり（全画素数中正常な動作を示した画素の割合）及び実施例 1 ~ 3 及び比較例 1 ~ 3 で作製した透明な半導体回路 2 中の薄膜トランジスタの動作特性[光照射時及び暗状態時のオン・オフ比]を表 2、図 3 及び図 4 に示す。ここで光照射とは基準太陽 A M 1 . 5（オリエル社製擬似太陽光）を照射して測定している。

20

【 0 0 4 0 】

【表 2】

	半導体活性層 の膜厚 (nm)	歩留まり (%)	暗状態	光照射状態
			オン・オフ比	オン・オフ比
実施例 1	1 5	9 1	4×10^7	6×10^7
実施例 2	2 5	9 4	3×10^7	6×10^7
実施例 3	3 5	9 5	9×10^6	3×10^7
比較例 1	7	5	6×10^7	1×10^7
比較例 2	1 0	5 1	6×10^7	2×10^6
比較例 3	4 0	9 8	7×10^6	9×10^5
比較例 4	5 0	9 6	3×10^6	2×10^5

30

【 0 0 4 1 】

表 2、図 3 及び図 4 から明らかな通り半導体活性層の膜厚を 1 5 n m よりも薄くすると薄膜トランジスタの歩留まりが大きく減少し、また半導体活性層の膜厚を 3 5 n m よりも厚くすると光照射時にオン・オフ比が大きく減少することが分かる。

40

【 0 0 4 2 】

以上のとおり、カラーフィルタの上に実質的に透明な半導体回路を設けることで、視認性に影響を与えず、かつカラーフィルタと半導体回路の位置合わせが容易にできるようになる上、半導体層の活性層の膜厚を 1 0 n m 以上 3 5 n m 以下に制御することで歩留まりが高くかつ光照射の影響がほぼ回避できる画像表示装置を実現できる。

【図面の簡単な説明】

【 0 0 4 3 】

【図 1】本発明の画像表示装置の一画素の部分断面図である。

【図 2】本発明の実施例による反射型画像表示装置の概略断面図である。

【図 3】半導体層の膜厚を変えた時の画素の歩留まり率である。

50

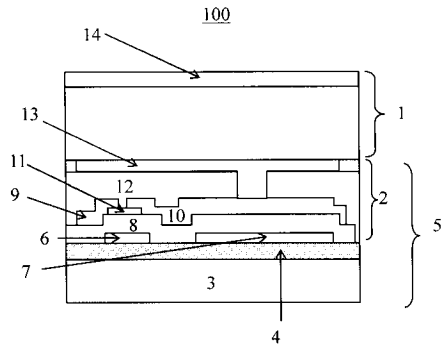
【図4】半導体層の膜厚を変えた時の暗時および光照射時のオン・オフ比である。

【符号の説明】

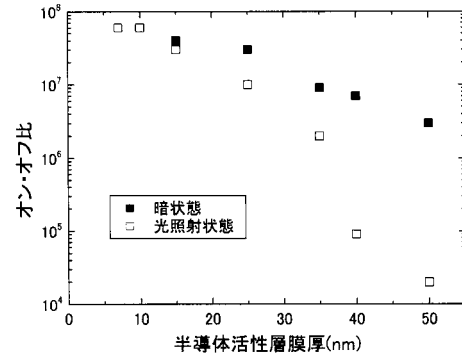
【0044】

- | | | |
|-----|--------------|----|
| 1 | 画像表示要素 | |
| 2 | 実質的に透明な半導体回路 | |
| 3 | 実質的に透明な基材 | |
| 4 | カラーフィルタ層 | |
| 5 | 基材 | |
| 6 | ゲート電極 | |
| 7 | 補助コンデンサ電極 | 10 |
| 8 | ゲート絶縁膜 | |
| 9 | ソース電極 | |
| 10 | ドレイン電極 | |
| 11 | 半導体活性層 | |
| 12 | 層間絶縁膜 | |
| 13 | 画素電極 | |
| 14 | 共通電極 | |
| 20 | 位相差板 | |
| 21 | 偏光膜 | |
| 22 | 配向膜1 | 20 |
| 23 | 液晶 | |
| 24 | 配向膜2 | |
| 25 | 共通電極 | |
| 26 | 画像表示要素用基材 | |
| 27 | 導電性基材 | |
| 100 | 画像表示装置の一画素 | |
| 200 | 画像表示装置 | |

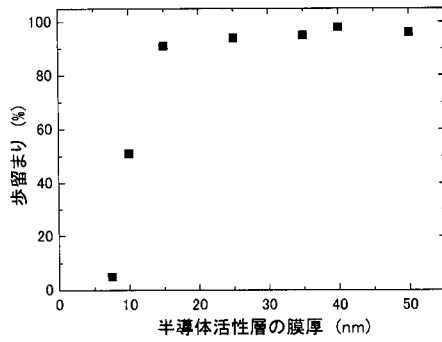
【図1】



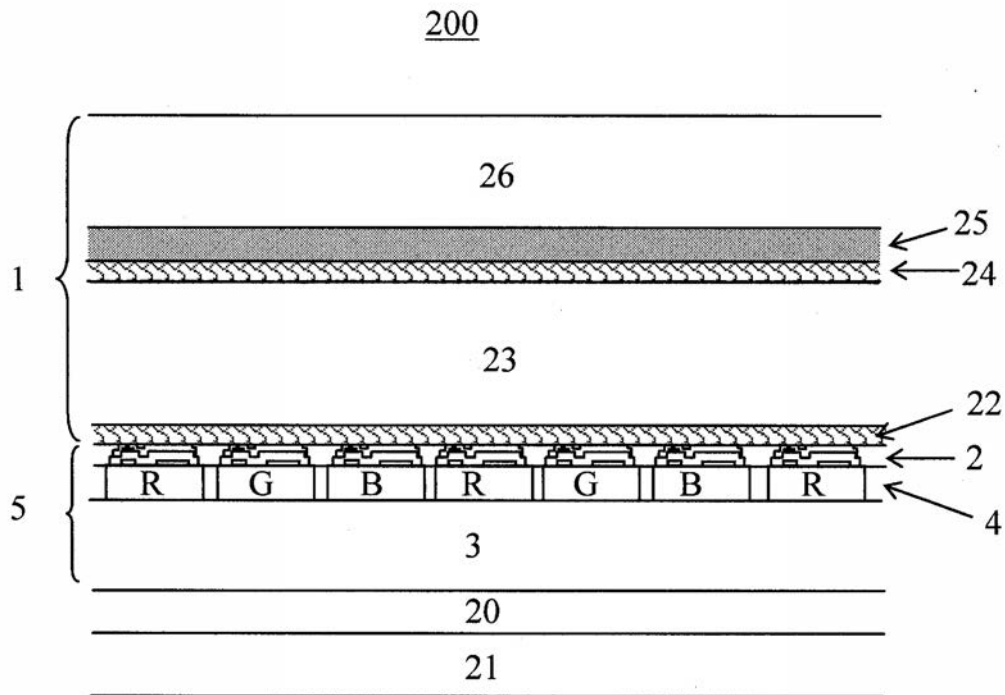
【図4】



【図3】



【図2】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 8 B

(56) 参考文献 特開昭 59 - 087491 (JP, A)
特開 2004 - 014982 (JP, A)
特開 2007 - 115808 (JP, A)
特開 2007 - 115902 (JP, A)
特開平 10 - 239680 (JP, A)
特開昭 62 - 075419 (JP, A)
特開 2005 - 134904 (JP, A)

(58) 調査した分野(Int.Cl., DB名)

G 0 9 F 9 / 0 0 - 9 / 3 0
9 / 3 0 7 - 9 / 4 6
H 0 1 L 2 7 / 3 2
H 0 1 L 2 1 / 3 3 6
2 9 / 7 8 6
G 0 2 F 1 / 1 5 - 1 / 1 9
G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5
1 / 1 3 5 - 1 / 1 3 6 8