

(19) 日本国特許庁 (JP)

## (12) 特 許 公 報 (B2)

(11) 特許番号

特許第4906022号  
(P4906022)

(45) 発行日 平成24年3月28日 (2012. 3. 28)

(24) 登録日 平成24年1月20日 (2012. 1. 20)

(51) Int. Cl.

F I

H 0 5 B 33/26 (2006. 01)

G 0 9 F 9/30 (2006. 01)

H 0 1 L 27/32 (2006. 01)

H 0 5 B 33/06 (2006. 01)

H 0 5 B 33/12 (2006. 01)

H 0 5 B 33/26 Z

G 0 9 F 9/30 3 3 0 Z

G 0 9 F 9/30 3 3 8

G 0 9 F 9/30 3 6 5 Z

H 0 5 B 33/06

請求項の数 9 (全 35 頁) 最終頁に続く

(21) 出願番号 特願2001-238812 (P2001-238812)  
 (22) 出願日 平成13年8月7日 (2001. 8. 7)  
 (65) 公開番号 特開2002-151276 (P2002-151276A)  
 (43) 公開日 平成14年5月24日 (2002. 5. 24)  
 審査請求日 平成20年6月23日 (2008. 6. 23)  
 (31) 優先権主張番号 特願2000-242718 (P2000-242718)  
 (32) 優先日 平成12年8月10日 (2000. 8. 10)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 小山 潤  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 犬飼 和隆  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 納 光明  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型 E L 表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

第 1 の E L 素子と、第 1 のトランジスタと、を有する第 1 の画素が列方向に配置された複数の第 1 の画素列と、

前記第 1 の E L 素子とは異なる色に発光する第 2 の E L 素子と、第 2 のトランジスタと、を有する第 2 の画素が列方向に配置された複数の第 2 の画素列と、

前記第 1 の E L 素子及び前記第 2 の E L 素子とは異なる色に発光する第 3 の E L 素子と、第 3 のトランジスタと、を有する第 3 の画素が列方向に配置された複数の第 3 の画素列と、

前記複数の第 1 の画素列にそれぞれ設けられた第 1 の電源供給線と、

前記複数の第 2 の画素列にそれぞれ設けられた第 2 の電源供給線と、

前記複数の第 3 の画素列にそれぞれ設けられた第 3 の電源供給線と、

前記複数の第 1 乃至第 3 の画素列を含む画素部の周辺に設けられ、前記複数の第 1 の電源供給線と電氣的に接続する第 1 の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第 2 の電源供給線と電氣的に接続する第 2 の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第 3 の電源供給線と電氣的に接続する第 3 の引き回し配線と、

前記第 1 乃至第 3 の引き回し配線と電氣的に接続する引き出し端子と、を有し、

前記第 1 の電源供給線は、前記第 1 のトランジスタを介して前記第 1 の E L 素子と電氣

10

20

的に接続され、

前記第 2 の電源供給線は、前記第 2 のトランジスタを介して前記第 2 の E L 素子と電氣的に接続され、

前記第 3 の電源供給線は、前記第 3 のトランジスタを介して前記第 3 の E L 素子と電氣的に接続され、

前記第 1 乃至第 3 の電源供給線は、前記第 1 乃至第 3 の E L 素子のうち発光時に流れる電流が大きい E L 素子に電氣的に接続された電源供給線ほど、幅の大きい部分を有することを特徴とするアクティブマトリクス型 E L 表示装置。

【請求項 2】

第 1 の E L 素子と、第 1 のトランジスタと、を有する第 1 の画素が列方向に配置された複数の第 1 の画素列と、

10

前記第 1 の E L 素子とは異なる色に発光する第 2 の E L 素子と、第 2 のトランジスタと、を有する第 2 の画素が列方向に配置された複数の第 2 の画素列と、

前記複数の第 1 の画素列にそれぞれ設けられた第 1 の電源供給線と、

前記複数の第 2 の画素列にそれぞれ設けられた第 2 の電源供給線と、

前記複数の第 1 及び第 2 の画素列を含む画素部の周辺に設けられ、前記複数の第 1 の電源供給線と電氣的に接続する第 1 の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第 2 の電源供給線と電氣的に接続する第 2 の引き回し配線と、

前記第 1 及び第 2 の引き回し配線と電氣的に接続する引き出し端子と、を有し、

20

前記第 1 の電源供給線は、前記第 1 のトランジスタを介して前記第 1 の E L 素子と電氣的に接続され、

前記第 2 の電源供給線は、前記第 2 のトランジスタを介して前記第 2 の E L 素子と電氣的に接続され、

発光時に前記第 1 の E L 素子を流れる電流は発光時に前記第 2 の E L 素子を流れる電流よりも大きく、前記第 1 の電源供給線の幅は、前記第 2 の電源供給線の幅よりも大きい部分を有することを特徴とするアクティブマトリクス型 E L 表示装置。

【請求項 3】

第 1 の E L 素子と、第 1 のトランジスタと、を有する第 1 の画素が列方向に配置された複数の第 1 の画素列と、

30

前記第 1 の E L 素子とは異なる色に発光する第 2 の E L 素子と、第 2 のトランジスタと、を有する第 2 の画素が列方向に配置された複数の第 2 の画素列と、

前記第 1 の E L 素子及び前記第 2 の E L 素子とは異なる色に発光する第 3 の E L 素子と、第 3 のトランジスタと、を有する第 3 の画素が列方向に配置された複数の第 3 の画素列と、

前記複数の第 1 の画素列にそれぞれ設けられた第 1 の電源供給線と、

前記複数の第 2 の画素列にそれぞれ設けられた第 2 の電源供給線と、

前記複数の第 3 の画素列にそれぞれ設けられた第 3 の電源供給線と、

前記複数の第 1 乃至第 3 の画素列を含む画素部の周辺に設けられ、前記複数の第 1 の電源供給線と電氣的に接続する第 1 の引き回し配線と、

40

前記画素部の周辺に設けられ、前記複数の第 2 の電源供給線と電氣的に接続する第 2 の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第 3 の電源供給線と電氣的に接続する第 3 の引き回し配線と、

前記第 1 乃至第 3 の引き回し配線と電氣的に接続する引き出し端子と、を有し、

前記第 1 の電源供給線は、前記第 1 のトランジスタを介して前記第 1 の E L 素子と電氣的に接続され、

前記第 2 の電源供給線は、前記第 2 のトランジスタを介して前記第 2 の E L 素子と電氣的に接続され、

前記第 3 の電源供給線は、前記第 3 のトランジスタを介して前記第 3 の E L 素子と電氣

50

的に接続され、

前記第 1 乃至第 3 の引き回し配線は、前記第 1 乃至第 3 の E L 素子のうち発光時に流れる電流が大きい E L 素子に電氣的に接続された引き回し配線ほど、幅の大きい部分を有することを特徴とするアクティブマトリクス型 E L 表示装置。

【請求項 4】

第 1 の E L 素子と、第 1 のトランジスタと、を有する第 1 の画素が列方向に配置された複数の第 1 の画素列と、

前記第 1 の E L 素子とは異なる色に発光する第 2 の E L 素子と、第 2 のトランジスタと、を有する第 2 の画素が列方向に配置された複数の第 2 の画素列と、

前記複数の第 1 の画素列にそれぞれ設けられた第 1 の電源供給線と、

前記複数の第 2 の画素列にそれぞれ設けられた第 2 の電源供給線と、

前記複数の第 1 及び第 2 の画素列を含む画素部の周辺に設けられ、前記複数の第 1 の電源供給線と電氣的に接続する第 1 の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第 2 の電源供給線と電氣的に接続する第 2 の引き回し配線と、

前記第 1 及び第 2 の引き回し配線と電氣的に接続する引き出し端子と、を有し、

前記第 1 の電源供給線は、前記第 1 のトランジスタを介して前記第 1 の E L 素子と電氣的に接続され、

前記第 2 の電源供給線は、前記第 2 のトランジスタを介して前記第 2 の E L 素子と電氣的に接続され、

発光時に前記第 1 の E L 素子を流れる電流は発光時に前記第 2 の E L 素子を流れる電流よりも大きく、前記第 1 の引き回し配線の幅は、前記第 2 の引き回し配線の幅よりも大きい部分を有することを特徴とするアクティブマトリクス型 E L 表示装置。

【請求項 5】

第 1 の E L 素子と、第 1 のトランジスタと、を有する第 1 の画素が列方向に配置された複数の第 1 の画素列と、

前記第 1 の E L 素子とは異なる色に発光する第 2 の E L 素子と、第 2 のトランジスタと、を有する第 2 の画素が列方向に配置された複数の第 2 の画素列と、

前記第 1 の E L 素子及び前記第 2 の E L 素子とは異なる色に発光する第 3 の E L 素子と、第 3 のトランジスタと、を有する第 3 の画素が列方向に配置された複数の第 3 の画素列と、

前記複数の第 1 の画素列にそれぞれ設けられた第 1 の電源供給線と、

前記複数の第 2 の画素列にそれぞれ設けられた第 2 の電源供給線と、

前記複数の第 3 の画素列にそれぞれ設けられた第 3 の電源供給線と、

前記複数の第 1 乃至第 3 の画素列を含む画素部の周辺に設けられ、前記複数の第 1 の電源供給線と電氣的に接続する第 1 の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第 2 の電源供給線と電氣的に接続する第 2 の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第 3 の電源供給線と電氣的に接続する第 3 の引き回し配線と、

前記第 1 乃至第 3 の引き回し配線と電氣的に接続する引き出し端子と、を有し、

前記第 1 の電源供給線は、前記第 1 のトランジスタを介して前記第 1 の E L 素子と電氣的に接続され、

前記第 2 の電源供給線は、前記第 2 のトランジスタを介して前記第 2 の E L 素子と電氣的に接続され、

前記第 3 の電源供給線は、前記第 3 のトランジスタを介して前記第 3 の E L 素子と電氣的に接続され、

発光時に前記第 1 の E L 素子を流れる電流の電流密度を  $I_1$  とし、発光時に前記第 2 の E L 素子を流れる電流の電流密度を  $I_2$  とし、発光時に前記第 3 の E L 素子を流れる電流の電流密度を  $I_3$  とし、前記第 1 の電源供給線は幅が  $W_1$  の部分を有し、前記第 2 の電源

10

20

30

40

50

供給線は幅が $W_2$ の部分を有し、前記第3の電源供給線は幅が $W_3$ の部分を有し、 $I_1 > I_2 > I_3$ のとき、 $W_1 > W_2 > W_3$ の関係を満たすことを特徴とするアクティブマトリクス型EL表示装置。

【請求項6】

第1のEL素子と、第1のトランジスタと、を有する第1の画素が列方向に配置された複数の第1の画素列と、

前記第1のEL素子とは異なる色に発光する第2のEL素子と、第2のトランジスタと、を有する第2の画素が列方向に配置された複数の第2の画素列と、

前記複数の第1の画素列にそれぞれ設けられた第1の電源供給線と、

前記複数の第2の画素列にそれぞれ設けられた第2の電源供給線と、

前記複数の第1及び第2の画素列を含む画素部の周辺に設けられ、前記複数の第1の電源供給線と電氣的に接続する第1の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第2の電源供給線と電氣的に接続する第2の引き回し配線と、

前記第1及び第2の引き回し配線と電氣的に接続する引き出し端子と、を有し、

前記第1の電源供給線は、前記第1のトランジスタを介して前記第1のEL素子と電氣的に接続され、

前記第2の電源供給線は、前記第2のトランジスタを介して前記第2のEL素子と電氣的に接続され、

発光時に前記第1のEL素子を流れる電流の電流密度を $I_1$ とし、発光時に前記第2のEL素子を流れる電流の電流密度を $I_2$ とし、前記第1の電源供給線は幅が $W_1$ の部分を有し、前記第2の電源供給線は幅が $W_2$ の部分を有し、 $I_1 > I_2$ のとき、 $W_1 > W_2$ の関係を満たすことを特徴とするアクティブマトリクス型EL表示装置。

【請求項7】

第1のEL素子と、第1のトランジスタと、を有する第1の画素が列方向に配置された複数の第1の画素列と、

前記第1のEL素子とは異なる色に発光する第2のEL素子と、第2のトランジスタと、を有する第2の画素が列方向に配置された複数の第2の画素列と、

前記第1のEL素子及び前記第2のEL素子とは異なる色に発光する第3のEL素子と、第3のトランジスタと、を有する第3の画素が列方向に配置された複数の第3の画素列と、

前記複数の第1の画素列にそれぞれ設けられた第1の電源供給線と、

前記複数の第2の画素列にそれぞれ設けられた第2の電源供給線と、

前記複数の第3の画素列にそれぞれ設けられた第3の電源供給線と、

前記複数の第1乃至第3の画素列を含む画素部の周辺に設けられ、前記複数の第1の電源供給線と電氣的に接続する第1の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第2の電源供給線と電氣的に接続する第2の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第3の電源供給線と電氣的に接続する第3の引き回し配線と、

前記第1乃至第3の引き回し配線と電氣的に接続する引き出し端子と、を有し、

前記第1の電源供給線は、前記第1のトランジスタを介して前記第1のEL素子と電氣的に接続され、

前記第2の電源供給線は、前記第2のトランジスタを介して前記第2のEL素子と電氣的に接続され、

前記第3の電源供給線は、前記第3のトランジスタを介して前記第3のEL素子と電氣的に接続され、

発光時に前記第1のEL素子を流れる電流の電流密度を $I_1$ とし、発光時に前記第2のEL素子を流れる電流の電流密度を $I_2$ とし、発光時に前記第3のEL素子を流れる電流の電流密度を $I_3$ とし、前記第1の引き回し配線は幅が $W_1$ の部分を有し、前記第2の引

10

20

30

40

50

き回し配線は幅が $W_2$ の部分を有し、前記第3の引き回し配線は幅が $W_3$ の部分を有し、 $I_1 > I_2 > I_3$ のとき、 $W_1 > W_2 > W_3$ の関係を満たすことを特徴とするアクティブマトリクス型EL表示装置。

【請求項8】

第1のEL素子と、第1のトランジスタと、を有する第1の画素が列方向に配置された複数の第1の画素列と、

前記第1のEL素子とは異なる色に発光する第2のEL素子と、第2のトランジスタと、を有する第2の画素が列方向に配置された複数の第2の画素列と、

前記複数の第1の画素列にそれぞれ設けられた第1の電源供給線と、

前記複数の第2の画素列にそれぞれ設けられた第2の電源供給線と、

前記複数の第1及び第2の画素列を含む画素部の周辺に設けられ、前記複数の第1の電源供給線と電氣的に接続する第1の引き回し配線と、

前記画素部の周辺に設けられ、前記複数の第2の電源供給線と電氣的に接続する第2の引き回し配線と、

前記第1及び第2の引き回し配線と電氣的に接続する引き出し端子と、を有し、

前記第1の電源供給線は、前記第1のトランジスタを介して前記第1のEL素子と電氣的に接続され、

前記第2の電源供給線は、前記第2のトランジスタを介して前記第2のEL素子と電氣的に接続され、

発光時に前記第1のEL素子を流れる電流の電流密度を $I_1$ とし、発光時に前記第2のEL素子を流れる電流の電流密度を $I_2$ とし、前記第1の引き回し配線は幅が $W_1$ の部分を有し、前記第2の引き回し配線は幅が $W_2$ の部分を有し、 $I_1 > I_2$ のとき、 $W_1 > W_2$ の関係を満たすことを特徴とするアクティブマトリクス型EL表示装置。

【請求項9】

請求項1乃至請求項8のいずれか一項において、

前記表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成されたEL（エレクトロルミネッセンス）表示装置及びそのEL表示装置を表示部に用いる電子機器（電子デバイス）に関する。

【0002】

【従来の技術】

近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。そして、アクティブマトリクス型表示装置の中でも特に、自発光型素子としてEL素子を有したアクティブマトリクス型EL表示装置の研究が活発化している。EL表示装置は有機ELディスプレイ（OLED：Organic EL Display）又は有機ライトエミティングダイオード（OLED：Organic Light Emitting Diode）とも呼ばれている。

【0003】

EL表示装置は、液晶表示装置と異なり自発光型である。EL素子是一对の電極間にEL層が挟まれた構造となっているが、EL層は通常、積層構造となっている。代表的には、イーストマン・コダック・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているEL表示装置は殆どこの構造を採用している。

【0004】

有機EL材料におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明のEL素子は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または

10

20

30

40

50

両方の発光を用いていても良い。

【0005】

また他にも、画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。E L層に対して蛍光性色素等をドーピングしても良い。

【0006】

そして、上記構造でなるE L層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてE L素子が発光することを、E L素子が駆動すると呼ぶ。

【0007】

なお、本明細書中では、陽極、E L層及び陰極で形成される発光素子をE L素子と呼ぶ。

【0008】

図14に、代表的なアクティブマトリクス型E L表示装置（以下、E L表示装置）の構造を示す。図14（A）はE L表示装置の画素部とその駆動回路の配置を示している。901は画素部、902はソース信号線駆動回路、903はゲート信号線駆動回路、905は引き出し端子である。

【0009】

画素部901は複数の画素906を有している。904は画素部901に設けられた電源供給線であり、全ての画素906が有するE L素子の画素電極に電位を与えている。電源供給線904は引き回し配線907に接続されており、引き回し配線907は引き出し端子905を介して外部の電源に接続されている。

【0010】

ゲート信号線駆動回路903からゲート信号線913に入力される選択信号によって画素906が選択される。そしてソース信号線駆動回路902からソース信号線912に入力されるビデオ信号によって、電源供給線904の電位が選択された画素906に与えられ、画素906に画像の一部が表示される。

【0011】

図14（A）に示した画素906のうち、R（赤）、G（緑）、B（青）にそれぞれ対応する画素の回路図を図14（B）に示す。

【0012】

図14（B）において、R用画素906rと、G用画素906gと、B用画素906bは、共通のゲート信号線913を有している。また、R用画素906rはR用ソース信号線912rを、G用画素906gはG用ソース信号線912gを、B用画素906bはB用ソース信号線912bをそれぞれ有している。

【0013】

R用画素906rと、G用画素906gと、B用画素906bとは、スイッチング用TFT910及びE L駆動用TFT911をそれぞれ有している。またR用画素906rはR用E L素子915rを、G用画素906gはG用E L素子915gを、B用画素906bはB用E L素子915bをそれぞれ有している。

【0014】

ゲート信号線913に選択信号が入力されると、ゲート信号線913にそのゲート電極が接続されたスイッチング用TFT910が全てオンの状態になる。この状態を本明細書ではゲート信号線913が選択されていると呼ぶ。

【0015】

そして、R用ソース信号線912r、G用ソース信号線912g及びB用ソース信号線912bに入力されたビデオ信号が、オンの状態のスイッチング用TFT910を介して、R用E L素子915r、G用E L素子915g及びB用E L素子915bにそれぞれ入力され、E L駆動用TFT911のゲート電極に入力される。

【0016】

ビデオ信号がE L駆動用TFT911のゲート電極に入力されると、R用電源供給線91

10

20

30

40

50

4 r の電位が R 用 E L 素子 9 1 5 r の画素電極に、G 用電源供給線 9 1 4 g の電位が G 用 E L 素子 9 1 5 g の画素電極に、B 用電源供給線 9 1 4 b の電位が B 用 E L 素子 9 1 5 b の画素電極にそれぞれ与えられる。その結果、R 用 E L 素子 9 1 5 r、G 用 E L 素子 9 1 5 g 及び B 用 E L 素子 9 1 5 b が発光し、R 用画素 9 0 6 r、G 用画素 9 0 6 g 及び B 用画素 9 0 6 b が表示を行う。

#### 【0017】

ところで、E L 表示装置には大きく分けて四つのカラー化表示方式があり、図 1 4 に示した E L 表示装置のように R ( 赤 ) G ( 緑 ) B ( 青 ) に対応した三種類の有機 E L 材料からなる E L 素子を形成する方式、白色発光の E L 素子とカラーフィルターを組み合わせた方式、青色又は青緑発光の E L 素子と蛍光体 ( 蛍光性の色変換層 : C C M ) とを組み合わせた方式、陰極 ( 対向電極 ) に透明電極を使用して R G B に対応した E L 素子を重ねる方式がある。

10

#### 【0018】

そして一般的には、E L 層にかかる電圧が同じであっても、E L 層に用いられている有機 E L 材料によって、E L 層の発光輝度は異なる。図 1 5 に各色の E L 層の電圧 - 輝度特性を示す。図 1 5 に示すように、E L 層への印加電圧に対する発光輝度は、各色の E L 素子に用いられる有機 E L 材料によって異なっている。これは、有機 E L 材料によって、同じ印加電圧における電流密度の大きさが異なるためである。

#### 【0019】

また電流密度が同じであっても、有機 E L 材料によって同じ電流密度における発光輝度は異なっている。

20

#### 【0020】

そのため、一般的に E L 表示装置は、3 色の E L 素子の発光輝度のバランスをそろえるために、各色の画素に対応する電源供給線の電位の高さをそれぞれ調整している。

#### 【0021】

##### 【発明が解決しようとする課題】

引き回し配線を介して画素部に流れる電流の大きさは、画素部において白表示を行っている画素の数で決まる。なお白表示を行っている画素とは、発光している状態の E L 素子を有する画素を意味する。白表示を行っている画素が多いほど、引き回し配線を介して画素部に流れる電流が大きくなる。

30

#### 【0022】

引き回し配線を流れる電流が大きくなると、引き回し配線において電位降下が起こる。そのため、白表示を行っている画素の数が多いときと少ないときとでは、多いときのほうが、1 つの E L 素子にかかる電圧が小さくなり、画素 1 つあたりの発光輝度が低くなる。

#### 【0023】

とくにカラー表示の E L 表示装置の場合、各色の E L 素子にかかる電圧の大きさをそれぞれ調整し、各色の E L 素子に流れる電流の大きさを変えている。流れる電流が大きい画素ほど、該画素に対応する引き回し配線の電位降下が大きくなる。そのため、各色の E L 素子にかかる電圧の大きさをそれぞれ調整していても、白表示の画素が多いときと少ないときとでは、3 色の E L 素子を流れる電流の比率が変わってしまう。

40

#### 【0024】

よって、白表示の画素の数が変わると、3 つの色にそれぞれ対応する画素の発光輝度のバランスが崩れるという事態が生じる。

#### 【0025】

また、従来の E L 表示装置では、E L 素子に流そうとする電流の大きさが各色ごとに異なっており、そのため E L 素子に加える電圧も異なっていた。しかし E L 素子と電源供給線との間にスイッチング素子として設けられた E L 駆動用 T F T の L D D 幅や、チャネル幅は全て同じであり、また全ての E L 駆動用 T F T のゲート電極に入力されるデジタル信号の電圧の振幅も同じであった。このため、電源供給線にかかる電圧の高さによって、E L 駆動用 T F T が劣化されてしまう。また E L 駆動用 T F T のゲート電極に入力されるデジ

50

タル信号の電圧の振幅が必要以上に大きいと、消費電力を抑えることができない。

【 0 0 2 6 】

上記問題に鑑み、本発明は、高精細なカラー表示が可能な E L 表示装置の提供を課題とする。

【 0 0 2 7 】

【課題を解決するための手段】

本発明者らは、E L 素子に流す電流を大きくしたい画素ほど、該画素の E L 素子に電圧または電流を供給する引き回し配線の幅を大きくした。これによって、E L 素子に流す電流を大きくしたい画素ほど、該画素の E L 素子に電圧または電流を供給する引き回し配線の配線抵抗が小さくなる。配線抵抗が小さくなると、引き回し配線における電位降下が小さくなり、E L 素子に流す電流を大きくすることが可能になる。なお実際のパネルでは、引き回し配線を配置するスペースは限られているので、各色における引き回し配線の幅の比を変えることで、各色の E L 素子に流れる電流の大きさのバランスを取ることが可能である。

10

【 0 0 2 8 】

上記構成によって、白表示の画素の数に関わりなく、R、G、Bの各画素の発光輝度のバランスを整えることが可能になる。

【 0 0 2 9 】

また引き回し配線だけではなく、E L 素子に流す電流を大きくしたい画素ほど、該画素の E L 素子に電圧または電流を供給する電源供給線の幅の比も大きくなるように設計すると、より一層高精細な画像を表示することが可能になる。

20

【 0 0 3 0 】

また本発明において、E L 素子に大きい電流が流れる画素においてのみ、入力するビデオ信号の振幅を大きくしても良い。上記構成によって、全ての画素に不必要に大きな振幅のビデオ信号を画素に入力せずに済み、消費電力を抑えることができる。

【 0 0 3 1 】

また、E L 素子への電流の制御を行う E L 駆動用 T F T は、E L 素子を発光させるために、E L 駆動用 T F T の駆動を制御するスイッチング用 T F T よりも比較的多くの電流を流す。なお T F T の駆動を制御するとは、T F T が有するゲート電極にかかる電圧を制御することで、その T F T をオン状態またはオフ状態にすることを意味する。特に本発明は上記構成において、電流の絶対値が大きい電源供給線に接続されている画素の E L 駆動用 T F T には、より多くの電流が流れることになる。そのため電流の絶対値が大きい電源供給線に接続されている画素の E L 駆動用 T F T は、他の画素の E L 駆動用 T F T よりもホットキャリア注入によって早く劣化してしまうという問題が浮上してくる。

30

【 0 0 3 2 】

そこで本発明において、ホットキャリア注入による E L 駆動用 T F T の劣化対策として、上記構成に加え、発光輝度の低い色を表示する画素の E L 駆動用 T F T の L D D 領域の長さを、発光輝度の高い色を表示する画素の E L 駆動用 T F T の L D D 領域の長さより長くする構成を加えても良い。

【 0 0 3 3 】

なお本明細書において L D D 領域の長さとは、ソース領域とドレイン領域を結ぶ方向における L D D 領域の長さを意味する。

40

【 0 0 3 4 】

また同時に、電流の絶対値が大きい電源供給線に接続されている画素の E L 駆動用 T F T のチャンネル幅 ( W ) をより大きくしても良い。

【 0 0 3 5 】

図 5 に代表的な T F T の上面図と断面図を示す。図 5 ( A ) は T F T の上面図であり、図 5 ( B ) は図 5 ( A ) の A - A ' における断面図である。

【 0 0 3 6 】

5 0 1 はソース領域、5 0 2 はドレイン領域、5 0 3 がゲート電極である。ゲート電極 5

50



03の下にはゲート絶縁膜505を介してチャネル形成領域504が設けられている。本明細書においてチャネル幅(W)とは、ソース領域501とドレイン領域502の間に流れる電流の方向に対して垂直方向におけるチャネル領域504の長さを意味する。またチャネル長(L)とは、ソース領域501とドレイン領域502に流れる電流の方向におけるチャネル領域504の長さを意味する。

#### 【0037】

本発明は上記構成により、電源供給線を通る電流の絶対値が大きくなることによってEL駆動用TFTが制御する電流の量が増えても、EL駆動用TFTの劣化を抑えることができる。そしてなおかつ、EL素子に印加される電圧の値によって、そのEL素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。

10

#### 【0038】

##### 【発明の実施の形態】

図1に本発明のEL表示装置の上面図を示す。図1(A)はEL表示装置の画素部とその駆動回路の配置を示している。101は画素部、102はソース信号線駆動回路、103はゲート信号線駆動回路、105は引き出し端子である。

#### 【0039】

画素部101は複数の画素106を有している。104は画素部101に設けられた電源供給線であり、全ての画素106が有するEL素子の画素電極に電位を与えている。電源供給線104は引き回し配線107に接続されており、引き回し配線107は引き出し端子105を介して外部の電源に接続されている。なお引き回し配線107のレイアウトは図1に示した形態に限定されない。

20

#### 【0040】

ゲート信号線駆動回路103からゲート信号線(図示せず)に輸入される選択信号によって画素106が選択される。そしてソース信号線駆動回路102からソース信号線(図示せず)に輸入されるビデオ信号によって、電源供給線104の電位が選択された画素106に与えられ、画素106に画像の一部が表示される。

#### 【0041】

図1(B)に図1(A)における引き回し配線107の拡大図を示す。107rはR用引き回し配線、107gはG用引き回し配線、107bはB用引き回し配線である。

30

#### 【0042】

EL素子は引き回し配線と直列に接続されていることから、RGBの各色に対応する引き回し配線を通る電流の比は、RGBの各色に対応するEL層の電流密度の比に相当する。また一般的に配線抵抗はシート抵抗と配線の長さに比例し、配線の幅に反比例する。ここでシート抵抗と配線の長さは固定している。

#### 【0043】

R用の引き回し配線にかかる電圧を $V_r$ 、G用の引き回し配線にかかる電圧を $V_g$ 、B用の引き回し配線にかかる電圧を $V_b$ とし、R用の引き回し配線の幅を $W_r$ 、G用の引き回し配線の幅を $W_g$ 、B用の引き回し配線の幅を $W_b$ とし、R用のEL素子の電流密度を $I_r$ 、G用のEL素子の電流密度を $I_g$ 、B用のEL素子の電流密度を $I_b$ とすると、オームの法則より以下の式1が成り立つ。なおaは定数である。

40

#### 【0044】

##### 【式1】

$$V_r = a \times I_r / W_r$$

$$V_g = a \times I_g / W_g$$

$$V_b = a \times I_b / W_b$$

#### 【0045】

ここで、 $V_r = V_g = V_b$ とすると、以下の式2が導き出される。

#### 【0046】

##### 【式2】

50

$$I_r / W_r = I_g / W_g = I_b / W_b$$

【 0 0 4 7 】

式 2 より以下の式 3 が導き出される。

【 0 0 4 8 】

【 式 3 】

$$W_r : W_g : W_b = I_r : I_g : I_b$$

【 0 0 4 9 】

よって式 3 より、R、G、B の各画素の発光輝度のバランスを整えるためには、電流密度が大きい E L 素子に電氣的に接続された引き回し配線の幅が、電流密度が小さい E L 素子に電氣的に接続された引き回し配線の幅より大きくなるように設計する。望ましくは、引き回し配線の幅の比を、式 3 を満たすように設計する。

10

【 0 0 5 0 】

また引き回し配線だけではなく、E L 素子に流す電流を大きくしたい画素ほど、該画素の E L 素子に電圧または電流を供給する電源供給線の幅の比も、式 3 を満たすように設計すると、より一層高精細な画像を表示することが可能になる。

【 0 0 5 1 】

上記構成によって、白表示の画素の数に関わりなく、R、G、B の各画素の発光輝度のバランスを整えることが可能になる。

【 0 0 5 2 】

【 実施例 】

20

( 実施例 1 )

本実施例では、E L 素子に大きい電圧を必要とする画素ほど、該画素に入力するデジタル信号の振幅を大きくする例について説明する。

【 0 0 5 3 】

E L 表示装置の画素において、E L 駆動用 T F T と E L 素子の接続構成を図 2 に簡単に示す。202 は E L 駆動用 T F T、203 は電源供給線、206 は E L 素子である。E L 駆動用 T F T 202 のゲート電極は、端子 201 に与えられるデジタル信号が入力されている。E L 駆動用 T F T 202 のソース領域は電源供給線 203 に接続されており、ドレイン領域は E L 素子 206 が有する画素電極に接続されている。

【 0 0 5 4 】

30

E L 素子の発光輝度を高くするために電源供給線 203 に与えられる電流の絶対値を大きくすると、E L 駆動用 T F T 202 のオフ電流 ( T F T がオフの状態のときに流れる電流 ) が大きくなる。そのため、E L 駆動用 T F T 202 がオフの状態のときでも E L 素子が発光するということが起こり得る。

【 0 0 5 5 】

本発明では、電源供給線を流れる電流の絶対値が大きい画素ほど、該画素に入力される ( 図 2 の場合、具体的には端子 201 に入力される ) デジタル信号の振幅を増幅する。増幅されたデジタル信号は E L 駆動用 T F T 202 のゲート電極に入力されるため、E L 駆動用 T F T 202 の  $|V_{GS}|$  はデジタル信号が増幅される前に比べて大きくなる。よって電源供給線 203 の電流の絶対値を大きくしても、E L 駆動用 T F T 202 のオフ電流を抑えることができ、E L 駆動用 T F T 202 がオフの状態のときでも E L 素子が発光するという事態を防ぐことが可能になる。

40

【 0 0 5 6 】

なお、本発明は、デジタル信号を用いて画像を表示する E L 表示装置に限定されず、アナログ信号を用いて画像を表示する E L 表示装置であっても良い。

【 0 0 5 7 】

( 実施例 2 )

本実施例では、実施例 1 で用いられるソース信号線駆動回路の具体的な構成について、例を挙げて説明する。

【 0 0 5 8 】

50

図3に本実施例のソース信号線駆動回路のブロック図を示す。400は画素部、401はソース信号線駆動回路である。ソース信号線駆動回路401は、シフトレジスタ回路402、第1ラッチ回路403、第2ラッチ回路404、レベルシフト回路405、バッファ回路406を有している。

【0059】

シフトレジスタ回路402において生成されたタイミング信号(TS)にしたがって、ソース信号線駆動回路401の外部から第1ラッチ回路403にデジタル信号(DV)が入力され保持される。全てのビットのデジタル信号が第1ラッチ回路403に入力され保持されると、ラッチパルス(LP)にしたがって、第1ラッチ回路403に保持されているデジタル信号が第2ラッチ回路404に一斉に入力され保持される。そして第1ラッチ回路403にソース信号線駆動回路401の外部からデジタル信号(DV)が入力され保持されるという動作が再び開始される。

10

【0060】

第2ラッチ回路404に一斉に入力され保持されたデジタル信号は、レベルシフト回路405に入力され、その振幅が増幅されてレベルシフト回路から出力される。増幅する大きさは、デジタル信号が入力される画素において、電源供給線を流れる電流の高さの絶対値によって異なる。デジタル信号が入力される画素において、電源供給線を流れる電流の高さの絶対値が大きいほど、該画素に入力されるデジタルビデオ信号の振幅は大きく増幅されるようにする。

【0061】

20

このように、レベルシフト回路の出力電圧、すなわちレベルシフト回路の電源電位を変えることによって、画素に入力されるデジタル信号の振幅を、各色ごとに変えることが可能になる。

【0062】

上記構成によって、電源供給線の電流の絶対値を大きくしても、EL駆動用TFTのオフ電流を抑えることができ、EL駆動用TFTがオフの状態のときでもEL素子が発光するという事態を防ぐことが可能になる。

【0063】

レベルシフト回路405から出力された増幅後のデジタル信号はバッファ回路406において緩衝増幅され、対応するソース信号線に入力される。

30

【0064】

図4にレベルシフト回路405の等価回路図の一例を示す。デジタル信号はレベルシフト回路405のVinから入力される。そしてデジタル信号の極性を反転させた信号はVinbから入力される。また、Vddhは高電圧側電源、Vssは低電圧側電源に接続されていることを意味している。

【0065】

レベルシフト回路403は、Vinに入力されたデジタル信号を増幅させた信号が、Voutから出力されるように設計されている。具体的には、VinにHiのデジタル信号が入力されるとVoutからVss相当の信号が、Loのデジタル信号が入力されるとVoutからVddh相当の信号が出力される。

40

【0066】

(実施例3)

本実施例では、図1に示した引き回し配線107の幅の具体的な数値を示す。

【0067】

本実施例では、R、G、BのEL素子の発光輝度がそれぞれ $100\text{ cd/m}^2$ 、 $100\text{ cd/m}^2$ 、 $50\text{ cd/m}^2$ となるように、R、G、Bの有機EL材料の電流密度をそれぞれ $7.5\text{ mA/cm}^2$ 、 $3\text{ mA/cm}^2$ 、 $5\text{ mA/cm}^2$ とした。

【0068】

上述した電流密度の値から、実施の形態で示した式3より、R、G、Bに対応する画素の電源供給線の幅の比は、式4で表される。

50

## 【式 4】

$$W_r : W_g : W_b = 7 : 5 : 3 : 5$$

## 【0069】

式 4 にしたがって引き回し配線の幅を設計すると、R、G、B の各画素の発光輝度のバランスを整えることができる。

## 【0070】

なお本実施例において R、G、B に対応する引き回し配線の幅は式 4 を満たしていなくとも良い。R に対応する引き回し配線の幅を一番大きくし、G に対応する引き回し配線の幅を一番小さくすれば良い。

## 【0071】

上記構成によって、白表示の画素の数に関わりなく、R、G、B の各画素の発光輝度のバランスを整えることが可能になる。

## 【0072】

また引き回し配線だけではなく、R に対応する電源供給線の幅を一番大きくし、G に対応する電源供給線の幅を一番小さくすれば、より効果的に R、G、B の各画素の発光輝度のバランスを整えることが可能になる。より好ましくは引き回し配線と同様に、電源供給線の幅も式 4 を満たすように設計すると、より一層、R、G、B の各画素の発光輝度のバランスを整えることが可能になる。

## 【0073】

なお本発明において用いられる有機 EL 材料の電流密度は上述した数値に限定されない。

## 【0074】

また本実施例では、デジタル信号で表示を行う EL 表示装置においてデジタル信号の振幅を増幅する例を示したが、本発明はこの構成に限定されない。アナログビデオ信号で表示を行う EL 表示装置においてアナログビデオ信号の振幅を増幅する構成も本発明に含まれる。

## 【0075】

本実施例は実施例 1 または実施例 2 と自由に組み合わせて実施することが可能である。

## 【0076】

## (実施例 4)

本発明の EL 表示装置は画素内にいくつの TFT を設けた構造としても良い。例えば、3 つ乃至 6 つまたはそれ以上の TFT を設けても構わない。本実施例では、EL 表示装置が画素内に 3 つの TFT を設けている構成について示す。

## 【0077】

図 6 において、4702 はスイッチング用 TFT、4701 はソース信号線、4703 はスイッチング用 TFT 4702 のゲート電極に接続されたゲート信号線、4704 は EL 駆動用 TFT、4705 はコンデンサ（省略することも可能）、4706 は電源供給線、4707 は電源制御用 TFT、4708 は電源制御用ゲート信号線、4709 は EL 素子とする。電源制御用 TFT 4707 の動作については特願 2000 - 364003 号を参照すると良い。

## 【0078】

また、本実施例では電源制御用 TFT 4707 を EL 駆動用 TFT 4704 と EL 素子 4708 との間に設けているが、電源制御用 TFT 4707 と EL 素子 4708 との間に EL 駆動用 TFT 4704 が設けられた構造としても良い。また、電源制御用 TFT 4707 は EL 駆動用 TFT 4704 と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

## 【0079】

図 7 において、4801 はソース信号線、4802 はスイッチング用 TFT、4803 はスイッチング用 TFT 4802 のゲート電極に接続されたゲート信号線、4804 は EL 駆動用 TFT、4805 はコンデンサ（省略することも可能）、4806 は電源供給線、4807 は消去用 TFT、4808 は消去用ゲート信号線、4809 は EL 素子とする

10

20

30

40

50

。消去用 T F T 4 8 0 7 の動作については特願 2 0 0 0 - 3 5 9 0 3 2 号を参照すると良い。

#### 【 0 0 8 0 】

消去用 T F T 4 8 0 7 のドレインは E L 駆動用 T F T 4 8 0 4 のゲートに接続され、E L 駆動用 T F T 4 8 0 4 のゲート電圧を強制的に変化させることができるようになっている。なお、消去用 T F T 4 8 0 7 は n チャネル型 T F T としても p チャネル型 T F T としても良いが、オフ電流を小さくできるようにスイッチング用 T F T 4 8 0 2 と同一構造とすることが好ましい。

#### 【 0 0 8 1 】

本実施例は実施例 1 ~ 実施例 3 と自由に組み合わせて実施することが可能である。

10

#### 【 0 0 8 2 】

( 実施例 5 )

本実施例では、本発明の E L 表示装置において、同一基板上に画素部と、画素部の周辺に設ける駆動回路の T F T ( n チャネル型 T F T 及び p チャネル型 T F T ) を同時に作製する方法について詳細に図 8 ~ 図 1 1 を用いて説明する。

#### 【 0 0 8 3 】

まず、本実施例ではコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 3 0 0 を用いる。なお、基板 3 0 0 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

20

#### 【 0 0 8 4 】

次いで、基板 3 0 0 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 3 0 1 を形成する。本実施例では下地膜 3 0 1 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 3 0 1 の一層目としては、プラズマ C V D 法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化珪素膜 3 0 1 a を 1 0 ~ 2 0 0 nm ( 好ましくは 5 0 ~ 1 0 0 nm ) 形成する。本実施例では、膜厚 5 0 nm の酸化窒化珪素膜 3 0 1 a ( 組成比  $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$  ) を形成した。次いで、下地膜 3 0 1 の二層目としては、プラズマ C V D 法を用い、 $\text{SiH}_4$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化珪素膜 3 0 1 b を 5 0 ~ 2 0 0 nm ( 好ましくは 1 0 0 ~ 1 5 0 nm ) の厚さに積層形成する。本実施例では、膜厚 1 0 0 nm の酸化窒化珪素膜 3 0 1 b ( 組成比  $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$  ) を形成した。

30

#### 【 0 0 8 5 】

次いで、下地膜上に半導体層 3 0 2 ~ 3 0 5 を形成する。半導体層 3 0 2 ~ 3 0 5 は、非晶質構造を有する半導体膜を公知の手段 ( スパッタ法、L P C V D 法、またはプラズマ C V D 法等 ) により成膜した後、公知の結晶化処理 ( レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等 ) を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層 3 0 2 ~ 3 0 5 の厚さは 2 5 ~ 8 0 nm ( 好ましくは 3 0 ~ 6 0 nm ) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素 ( シリコン ) またはシリコンゲルマニウム (  $\text{Si}_x\text{Ge}_{1-x}$  (  $x = 0.0001 \sim 0.02$  ) ) 合金などで形成すると良い。本実施例では、プラズマ C V D 法を用い、5 5 nm の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化 ( 5 0 0 °C、1 時間 ) を行った後、熱結晶化 ( 5 5 0 °C、4 時間 ) を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層 3 0 2 ~ 3 0 5 を形成した。

40

#### 【 0 0 8 6 】

また、半導体層 3 0 2 ~ 3 0 5 を形成した後、T F T のしきい値を制御するために微量な不純物元素 ( ボロンまたはリン ) のドーピングを行ってもよい。

50

## 【0087】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し、半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~400mJ/cm<sup>2</sup>(代表的には200~300mJ/cm<sup>2</sup>)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザーエネルギー密度を300~600mJ/cm<sup>2</sup>(代表的には350~500mJ/cm<sup>2</sup>)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行えばよい。

10

## 【0088】

次いで、半導体層302~305を覆うゲート絶縁膜306を形成する。ゲート絶縁膜306はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

## 【0089】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

20

## 【0090】

次いで、図8(A)に示すように、ゲート絶縁膜306上に膜厚20~100nmの第1の導電膜307と、膜厚100~400nmの第2の導電膜308とを積層形成する。本実施例では、膜厚30nmのTa<sub>2</sub>N膜からなる第1の導電膜307と、膜厚370nmのW膜からなる第2の導電膜308を積層形成した。Ta<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩ以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999%または99.99%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩを実現することができた。

30

## 【0091】

なお、本実施例では、第1の導電膜307をTa<sub>2</sub>N、第2の導電膜308をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cuからなる合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン(TiN)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

40

50

## 【0092】

次に、図8(B)に示すようにフォトリソグラフィ法を用いてレジストからなるマスク309~312を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスに $CF_4$ と $Cl_2$ と $O_2$ とを用い、それぞれのガス流量比を25/25/10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645-ICP)を用いた。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39nm/min、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は80.32nm/minであり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

10

## 【0093】

この後、図8(B)に示すようにレジストからなるマスク309~312を除去せずに第2のエッチング条件に変え、エッチング用ガスに $CF_4$ と $Cl_2$ とを用い、それぞれのガス流量比を30/30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 $CF_4$ と $Cl_2$ を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N<sub>5</sub>膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97nm/min、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は66.43nm/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

20

## 【0094】

上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層314~317(第1の導電層314a~317aと第2の導電層314b~317b)を形成する。319はゲート絶縁膜であり、第1の形状の導電層314~317で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

30

## 【0095】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。(図8(B))ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15}$ atoms/cm<sup>2</sup>とし、加速電圧を60~100keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{15}$ atoms/cm<sup>2</sup>とし、加速電圧を80keVとして行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、導電層314~317がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域320~323が形成される。高濃度不純物領域320~323には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度範囲でn型を付与する不純物元素を添加する。

40

## 【0096】

次いで、図8(C)に示すようにレジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスに $CF_4$ と $Cl_2$ と $O_2$ とを用い、それぞれのガス流量比を20/20/20(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試

50

料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124.62nm/min、Ta<sub>2</sub>Nに対するエッチング速度は20.67nm/minであり、Ta<sub>2</sub>Nに対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層324b~327bを形成する。一方、第1の導電層314a~317aは、ほとんどエッチングされず、第1の導電層324a~327aを形成する。

#### 【0097】

次いで、第2のドーピング処理を行う。ドーピングは第2の導電層324b~327bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーズ量 $1.5 \times 10^{14}$ 、電流密度0.5μA、加速電圧90keVにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域329~332を自己整合的に形成する。この低濃度不純物領域329~332へ添加されたリン(P)の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度の不純物元素が添加された高濃度不純物領域333~336を形成する。

#### 【0098】

次いで、図9(B)に示すようにレジストからなるマスクを除去してからフォトリソグラフィ法を用いて、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、第2の導電層と重なる形状にするために行われる。ただし、第3のエッチングを行わない領域には、図9(B)に示すようにレジストからなるマスク338を形成する。

#### 【0099】

第3のエッチング処理におけるエッチング条件は、エッチングガスとしてCl<sub>2</sub>とSF<sub>6</sub>とを用い、それぞれのガス流量比を10/50(sccm)として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理でのTa<sub>2</sub>Nに対するエッチング速度は、111.2nm/minであり、ゲート絶縁膜に対するエッチング速度は、12.8nm/minである。

#### 【0100】

本実施例では、1.3Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層340a~342aが形成される。

#### 【0101】

上記第3のエッチングによって、第1の導電層340a~342aと重ならない不純物領域(LDD領域)343~345が形成される。なお、不純物領域(GOLD領域)346は、第1の導電層324aと重なったままである。

#### 【0102】

また、第1の導電層324aと第2の導電層324bとで形成された電極は、最終的に駆動回路のnチャネル型TFTのゲート電極となり、また、第1の導電層340aと第2の導電層340bとで形成された電極は、最終的に駆動回路のpチャネル型TFTのゲート電極となる。

#### 【0103】

同様に、第1の導電層341aと第2の導電層341bとで形成された電極は、最終的に画素部のnチャネル型TFTのゲート電極となり、第1の導電層342aと第2の導電層342bとで形成された電極は、最終的に画素部のpチャネル型TFTのゲート電極となる。

10

20

30

40

50



## 【0104】

このようにして、本実施例は、第1の導電層340a～342aと重ならない不純物領域（LDD領域）343～345と、第1の導電層324aと重なる不純物領域（GOLD領域）346を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

## 【0105】

次にゲート絶縁膜319をエッチング処理する。ここでのエッチング処理は、エッチングガスに $\text{CHF}_3$ を用い、反応性イオンエッチング法（RIE法）を用いて行う。本実施例では、チャンバー圧力6.7Pa、RF電力800W、 $\text{CHF}_3$ ガス流量35sccmで第3のエッチング処理を行った。

## 【0106】

これにより、高濃度不純物領域333～336の一部は露呈し、絶縁膜356a～356dが形成される。

## 【0107】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク348、349を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型（n型）とは逆の導電型（p型）を付与する不純物元素が添加された不純物領域350～353を形成する。（図9（C））第1の導電層340aおよび342aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

## 【0108】

本実施例では、不純物領域350～353はジボラン（ $\text{B}_2\text{H}_6$ ）を用いたイオンドーピング法で形成する。なお、この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク348、349で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域350～353にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

## 【0109】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。

## 【0110】

次いで、レジストからなるマスク348、349を除去して第1の層間絶縁膜357を形成する。この第1の層間絶縁膜357としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜357は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

## 【0111】

次いで、図10（A）に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。

## 【0112】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域（334～336、350、351）にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いこと

10

20

30

40

50

から高い電界効果移動度が得られ、良好な特性を達成することができる。

【0113】

また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【0114】

その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜を形成させても良い。

【0115】

さらに、3～100%の水素を含む雰囲気中で、300～550 で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3%の含む窒素雰囲気中で410、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0116】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0117】

次いで、図10（B）に示すように第1の層間絶縁膜357上に有機絶縁物材料から成る第2の層間絶縁膜358を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、各不純物領域333、335、350、351に達するコンタクトホールを形成するためのパターニングを行う。

【0118】

第2の層間絶縁膜358としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）などを用いることができる。

【0119】

本実施例では、プラズマCVD法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは1～5μm（さらに好ましくは2～4μm）とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないためにEL素子の劣化を抑える上で有効である。

【0120】

また、コンタクトホールの形成には、ドライエッチングまたはウェットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウェットエッチング法を用いるのが望ましい。

【0121】

さらに、ここでのコンタクトホールの形成において、第1層間絶縁膜及び第2層間絶縁膜を同時にエッチングするため、コンタクトホールの形状を考えると第2層間絶縁膜を形成する材料は、第1層間絶縁膜を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0122】

そして、各不純物領域333、335、350、351とそれぞれ電氣的に接続する配線359～366を形成する。そして、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターニングして形成するが、他の導電膜を用いても良い。

【0123】

次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターニングすることによって透明電極367を形成する。（図10（B））

10

20

30

40

50

## 【0124】

なお、本実施例では、透明電極として酸化インジウム・スズ（ITO）膜や酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

## 【0125】

また、透明電極367は、ドレイン配線365と接して重ねて形成することによってEL駆動用TFTのドレイン領域と電気的な接続が形成される。

## 【0126】

次に、図11に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、透明電極367に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜368を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分にならなければ段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

10

## 【0127】

なお、本実施例においては、第3の層間絶縁膜として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）といった有機樹脂膜を用いることもできる。

## 【0128】

次に、図11で示すようにEL層369を蒸着法により形成し、更に蒸着法により陰極（MgAg電極）370および保護電極371を形成する。このときEL層369及び陰極370を形成するに先立って透明電極367に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではEL素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

20

## 【0129】

なお、EL層369としては、公知の材料を用いることができる。本実施例では正孔輸送層（Hole transporting layer）及び発光層（Emitting layer）でなる2層構造をEL層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

## 【0130】

本実施例では正孔輸送層としてポリフェニレンビレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1,3,4-オキサジアゾール誘導体のPBDを30～40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

30

## 【0131】

また、保護電極371でもEL層369を水分や酸素から保護することは可能であるが、さらに好ましくはパッシベーション膜372を設けると良い。本実施例ではパッシベーション膜372として300nm厚の窒化珪素膜を設ける。このパッシベーション膜も保護電極371の後に大気解放しないで連続的に形成しても構わない。

## 【0132】

また、保護電極371は陰極370の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、EL層369、陰極370は非常に水分に弱いので、保護電極371までを大気解放しないで連続的に形成し、外気からEL層を保護することが望ましい。

40

## 【0133】

なお、EL層369の膜厚は10～400[nm]（典型的には60～150[nm]）、陰極370の厚さは80～200[nm]（典型的には100～150[nm]）とすれば良い。

## 【0134】

こうして図11に示すような構造のEL表示装置が完成する。なお、本実施例におけるEL表示装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成し

50

ている材料であるＴ a、Ｗによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるＡ １によってゲート信号線を形成しているが、異なる材料を用いても良い。

【 ０ １ ３ ５ 】

また、ｎチャネル型ＴＦＴ５０１及びｐチャネル型ＴＦＴ５０２を有する駆動回路５０６と、スイッチング用ＴＦＴ５０３及びＥＬ駆動用ＴＦＴ５０４を有する画素部５０７を同一基板上に形成することができる。

【 ０ １ ３ ６ 】

駆動回路５０６のｎチャネル型ＴＦＴ５０１はチャネル形成領域３８０、ゲート電極の一部を構成する第１の導電層３２４ aと重なる低濃度不純物領域３２９（ＧＯＬＤ領域）とソース領域またはドレイン領域として機能する高濃度不純物領域３３３を有している。ｐチャネル型ＴＦＴ５０２にはチャネル形成領域３７３、ゲート電極の一部を構成する第１の導電層３４０ aと重ならない不純物領域３５２、ソース領域またはドレイン領域として機能する不純物領域３５０を有している。

10

【 ０ １ ３ ７ 】

画素部５０７のスイッチング用ＴＦＴ５０３にはチャネル形成領域３７４、ゲート電極を形成する第１の導電層３４１ aと重ならず、ゲート電極の外側に形成される低濃度不純物領域３４４（ＬＤＤ領域）とソース領域またはドレイン領域として機能する高濃度不純物領域３３５を有している。

【 ０ １ ３ ８ 】

画素部５０７のＥＬ駆動用ＴＦＴ５０４にはチャネル形成領域３７５、ゲート電極の一部を構成する第１の導電層３２７ aと重ならない不純物領域３５３、ソース領域またはドレイン領域として機能する高濃度不純物領域３５１を有している。

20

【 ０ １ ３ ９ 】

（実施例６）

本実施例では、本発明を用いてＥＬ表示装置を作製した例について、図１６、図１７を用いて説明する。

【 ０ １ ４ ０ 】

図１６（Ａ）は本発明のＥＬ表示装置のＴＦＴ基板の上面図を示している。なお本明細書においてＴＦＴ基板とは、画素部が設けられている基板を意味する。

30

【 ０ １ ４ １ 】

基板４００１上に、画素部４００２と、ソース信号線駆動回路４００３と、第１のゲート信号線駆動回路４００４ aと、第２のゲート信号線駆動回路４００４ bとが設けられている。なお本発明においてソース信号線駆動回路とゲート信号線駆動回路の数は図１６（Ａ）に示した数に限定されない。ソース信号線駆動回路とゲート信号線駆動回路の数は、設計者が適宜設定することが可能である。また、本実施例ではソース信号線駆動回路とゲート信号線駆動回路とをＴＦＴ基板上に設けているが、本発明はこの構成に限定されない。ＴＦＴ基板とは別の基板上に設けたソース信号線駆動回路とゲート信号線駆動回路とを、ＦＰＣ、ＴＡＢ等の外部接続端子により画素部と電氣的に接続するようにしても良い。

【 ０ １ ４ ２ 】

４００５ aは画素部４００２に設けられた電源供給線（図示せず）に接続された引き回し配線である。４００５ bは第１及び第２のゲート信号線駆動回路４００４ a、４００４ bに接続されたゲート用引き回し配線である。また４００５ cはソース信号線駆動回路４００３に接続されたソース用引き回し配線である。

40

【 ０ １ ４ ３ 】

ゲート用引き回し配線４００５ bと、ソース用引き回し配線４００５ cとは、基板４００１の外部に設けられたＩＣ等に、ＦＰＣ４００６を介して接続されている。また引き回し配線４００５ aは、基板４００１の外部に設けられた電源にＦＰＣ４００６を介して接続されている。

【 ０ １ ４ ４ 】

50

引き回し配線 4 0 0 5 a の拡大図を図 1 6 ( B ) に示す。4 1 0 0 は R 用引き回し配線、4 1 0 1 は G 用引き回し配線、4 1 0 2 は B 用引き回し配線である。

【 0 1 4 5 】

R 用 E L 素子の E L 層の電流密度と、G 用 E L 素子の E L 層の電流密度と、B 用 E L 素子の E L 層の電流密度の比が  $1.15 : 1.29 : 1$  とすると、本発明では R 用引き回し配線 4 1 0 0 の幅  $W_r$  と、G 用引き回し配線 4 1 0 1 の幅  $W_g$  と、B 用引き回し配線 4 1 0 2 の幅  $W_b$  は、 $W_g > W_r > W_b$  であることが重要である。実施の形態において示した式 3 より、より好ましくは  $W_r : W_g : W_b = 1.15 : 1.29 : 1$  であることが望ましい。

【 0 1 4 6 】

本発明の上記構成によって、白表示の画素の数に関わりなく、R、G、B の各画素の発光輝度のバランスを整えることが可能になる。

【 0 1 4 7 】

図 1 7 ( A ) は、図 1 6 ( A ) に示した T F T 基板をシーリング材によって封止することによって形成された E L 表示装置の上面図であり、図 1 7 ( B ) は、図 1 7 ( A ) の A - A ' における断面図、図 1 7 ( C ) は図 1 7 ( A ) の B - B ' における断面図である。なお図 1 6 において既に示したものは、同じ符号を用いて示す。

【 0 1 4 8 】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b とを囲むようにして、シール材 4 0 0 9 が設けられている。また画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b との上にシーリング材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

【 0 1 4 9 】

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b とは、複数の T F T を有している。図 1 7 ( B ) では代表的に、下地膜 4 0 1 0 上に形成された、ソース信号線駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示する) 4 2 0 1 及び画素部 4 0 0 2 に含まれる E L 駆動用 T F T (E L 素子に流れる電流を制御する T F T) 4 2 0 2 を図示した。

【 0 1 5 0 】

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された p チャネル型 T F T または n チャネル型 T F T が用いられ、E L 駆動用 T F T 4 2 0 2 には公知の方法で作製された p チャネル型 T F T が用いられる。また、画素部 4 0 0 2 には E L 駆動用 T F T 4 2 0 2 のゲートに接続された保持容量 (図示せず) が設けられる。

【 0 1 5 1 】

駆動 T F T 4 2 0 1 及び E L 駆動用 T F T 4 2 0 2 上には層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上に E L 駆動用 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 2 0 3 が形成される。画素電極 4 2 0 3 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【 0 1 5 2 】

そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0 2 は画素電極 4 2 0 3 の上に開口部が形成されている。この開口部において、画素電極 4 2 0 3 の上には E L (エレクトロルミネッセンス) 層 4 2 0 4 が形成される。E L 層 4 2 0 4 は公知の有機 E L 材料または無機 E L 材料を用いることができる。また、有機 E L 材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いても良い。

10

20

30

40

50

## 【0153】

E L層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、E L層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

## 【0154】

E L層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205とE L層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、E L層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

10

## 【0155】

以上のようにして、画素電極(陽極)4203、E L層4204及び陰極4205からなるE L素子4303が形成される。そしてE L素子4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、E L素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

## 【0156】

4005aは電源供給線に接続された引き回し配線であり、E L駆動用T F T 4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してF P C 4006が有するF P C用配線4301に電氣的に接続される。

20

## 【0157】

シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、F R P ( F i b e r g l a s s - R e i n f o r c e d P l a s t i c s ) 板、P V F ( ポリビニルフルオライド ) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをP V F フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

30

## 【0158】

但し、E L素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

## 【0159】

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、P V C ( ポリビニルクロライド )、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、P V B ( ポリビニルブチラル ) またはE V A ( エチレンビニルアセテート ) を用いることができる。本実施例では充填材として窒素を用いた。

40

## 【0160】

また充填材4210を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、E L素子4303の劣化を抑制できる。

50

## 【0161】

図17(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

## 【0162】

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

## 【0163】

本実施例は、実施例1～実施例5と自由に組み合わせて実施することが可能である。

10

## (実施例7)

本実施例では、基板上にTFTとEL素子とをシーリング材で封止した後、基板を付けかえる例について、図18を用いて説明する。なお、図18に示したのは画素部における作製工程を示す断面図である。

## 【0164】

図18(A)において、3101は素子が形成される基板(以下、素子形成基板という)であり、その上には非晶質シリコン膜からなる剥離層3102が100～500nm(本実施例では300nm)の厚さに形成される。本実施例では素子形成基板3101としてガラス基板を用いるが、石英基板、シリコン基板、金属基板(SUS基板)もしくはセラミックス基板を用いても構わない。

20

## 【0165】

また、剥離層3102の成膜は減圧熱CVD法、プラズマCVD法、スパッタ法もしくは蒸着法を用いれば良い。剥離層3102の上には酸化シリコン膜からなる絶縁膜3103が200nmの厚さに形成される。絶縁膜3103の形成は減圧熱CVD法、プラズマCVD法、スパッタ法もしくは蒸着法を用いれば良い。

## 【0166】

また、絶縁膜3103の上には画素部のスイッチング用TFT3104及びEL駆動用TFT3105が形成されている。なお本実施例では、スイッチング用TFT3104がnチャネル型TFTでEL駆動用TFT3105がpチャネル型TFTである例を示したが、本実施例はこの構成に限定されない。スイッチング用TFT3104とEL駆動用TFT3105はpチャネル型TFTとnチャネル型TFTのどちらでも良い。

30

## 【0167】

また本実施例では、スイッチング用TFT3104がダブルゲート構造になっているが、スイッチング用TFTはこの構造に限定されず、シングルゲート構造またはその他のマルチゲート構造であっても良い。本実施例のようにダブルゲート構造とすることで、二つのチャネル形成領域が直列に接続された構造となり、オフ電流値(TFTがオフされた時に流れる電流)を効果的に抑制することができる。

## 【0168】

スイッチング用TFT3104及びEL駆動用TFT3105上に、第1層間絶縁膜3107が形成されている。第1層間絶縁膜3107は後に形成される画素電極3106が平坦化するように、スイッチング用TFT3104及びEL駆動用TFT3105を覆って形成される

40

## 【0169】

また、EL駆動用TFT3105のドレイン領域に電氣的に接続するように、画素電極3106が形成される。本実施例において画素電極3106は、透明導電膜(代表的には酸化インジウムと酸化スズとの化合物膜)を100nmの厚さに形成し、パターニングにより形成される。画素電極3106はEL素子の陽極として機能する。

## 【0170】

画素電極3106を形成した後、酸化シリコン膜からなる第2層間絶縁膜3114が300nmの厚さに形成される。そして、開口部3108を形成し、70nm厚のEL層31

50

09及び300nm厚の陰極3110を蒸着法により形成する。本実施例ではEL層3109として20nm厚の正孔注入層及び50nm厚の発光層を積層した構造を用いる。勿論、発光層に正孔注入層、正孔輸送層、電子輸送層もしくは電子注入を組み合わせた公知の他の構造を用いても良い。

#### 【0171】

以上のようにして、画素電極（陽極）3106、EL層3109及び陰極3110からなるEL素子3111が形成される。本実施例ではこのEL素子3111が発光素子として機能する。

#### 【0172】

次に、第1接着剤3112により素子を固定するための基板（以下、シーリング材という）3113を貼り合わせる。本実施例ではシーリング材3113として可撓性のプラスチックフィルムを用いるが、ガラス基板、石英基板、プラスチック基板、シリコン基板もしくはセラミックス基板を用いても良い。また、第1接着剤3112としては、後に剥離層3102を除去する際に選択比のとれる材料を用いる必要がある。

#### 【0173】

代表的には樹脂からなる絶縁膜を用いることができ、本実施例ではポリイミドを用いるが、アクリル、ポリアミドもしくはエポキシ樹脂を用いても良い。なお、EL素子から見て観測者側（発光装置の使用者側）に位置する場合は、光を透過する材料であることが必要である。

#### 【0174】

第1接着剤3112により、EL素子を完全に大気から遮断することができる。これにより酸化による有機EL材料の劣化をほぼ完全に抑制することができ、EL素子の信頼性を大幅に向上させることができる。

#### 【0175】

次に、図18（B）に示すように、剥離層3102を除去し、素子形成基板3101と絶縁膜3103とを剥離する。本実施例ではフッ化ハロゲンを含むガス中に剥離層3102を晒し、剥離を行う。本実施例ではフッ化ハロゲンとして三フッ化塩素（ $\text{ClF}_3$ ）を用い、希釈ガスとして窒素を用いる。希釈ガスとしては、アルゴン、ヘリウムもしくはネオンを用いても良い。流量は共に500sccm（ $8.35 \times 10^{-6} \text{m}^3/\text{s}$ ）とし、反応圧力は1～10Torr（ $1.3 \times 10^2 \sim 1.3 \times 10^3 \text{Pa}$ ）とすれば良い。また、処理温度は室温（典型的には20～27℃）で良い。

#### 【0176】

この場合、シリコン膜はエッチングされるが、プラスチックフィルム、ガラス基板、ポリイミド膜、酸化シリコン膜はエッチングされない。即ち、三フッ化塩素ガスに晒すことで剥離層3102が選択的にエッチングされ、最終的には完全に除去される。なお、同じくシリコン膜で形成されているスイッチング用TFT3104及びEL駆動用TFT3105の活性層は第1層間絶縁膜3107に覆われているため三フッ化塩素ガスに晒されることがなく、エッチングされることはない。

#### 【0177】

本実施例の場合、剥離層3102は露呈した端部から徐々にエッチングされていき、完全に除去された時点で素子形成基板3101と絶縁膜3103が分離される。このとき、TFT及びEL素子は薄膜を積層して形成されているが、シーリング材3113に移された形で残る。

#### 【0178】

なお、ここでは剥離層3102が端部からエッチングされていくことになるが、素子形成基板3101が大きくなると完全に除去されるまでの時間が長くなり好ましいものではない。従って、エッチングで除去する場合は素子形成基板3101が対角3インチ以下（好ましくは対角1インチ以下）の場合に実施することが望ましい。

#### 【0179】

なお本実施例では剥離層3102を三フッ化塩素ガス雰囲気下においてエッチングするこ

10

20

30

40

50



とで除去したが、本実施例はこの構成に限定されない。素子形成基板 3 1 0 1 側から剥離層 3 1 0 2 にレーザー光を照射し、剥離層 3 1 0 2 を気化させることで素子形成基板 3 1 0 1 を剥離するようにしても良い。この場合、レーザー光が素子形成基板 3 1 0 1 を通過するように、レーザー光の種類と素子形成基板 3 1 0 1 の材質とを適宜選択する必要がある。例えば素子形成基板 3 1 0 1 に石英基板を用いるならば、YAGレーザー（基本波（1 0 6 4 nm）、第 2 高調波（5 3 2 nm）、第 3 高調波（3 5 5 nm）、第 4 高調波（2 6 6 nm））あるいはエキシマレーザー（波長 3 0 8 nm）を用い、線状ビームを形成し、石英基板を通過させれば良い。なお、エキシマレーザーはガラス基板を通過しない。したがって、素子形成基板 3 1 0 1 としてガラス基板を用いるのであれば、YAGレーザーの基本波、第 2 高調波、第 3 高調波を用い、好ましくは第 2 高調波（波長 5 3 2 nm）を用いて線状ビームを形成し、ガラス基板を通過させれば良い。

10

#### 【0 1 8 0】

またレーザー光を用いて剥離を行う場合、剥離層 3 1 0 2 として照射するレーザー光で気化するものを用いる。

#### 【0 1 8 1】

また、レーザー光を用いる方法のほかに、剥離層 3 1 0 2 を溶液によって溶解させることで素子形成基板 3 1 0 1 を剥離するようにしても良い。この場合、剥離層 3 1 0 2 だけが選択的に溶解するような溶液を用いることが好ましい。

#### 【0 1 8 2】

こうしてシーリング材 3 1 1 3 にTF T及びEL素子に移したら、図 1 8（C）に示すように、第 2 接着剤 3 1 1 4 を形成し、第 2 素子形成基板 3 1 1 5 を貼り合わせる。第 2 接着剤 3 1 1 4 としては樹脂からなる絶縁膜（代表的にはポリイミド、アクリル、ポリアミドもしくはエポキシ樹脂）を用いても良いし、無機絶縁膜（代表的には酸化シリコン膜）を用いても良い。なお、EL素子から見て観測者側に位置する場合は、光を透過する材料であることが必要である。

20

#### 【0 1 8 3】

こうして素子形成基板 3 1 0 1 から第 2 素子形成基板 3 1 1 5 へとTF T及びEL素子が移される。その結果、シーリング材 3 1 1 3、と第 2 素子形成基板 3 1 1 5 によって挟まれたEL表示装置を得ることができる。ここでシーリング材 3 1 1 3 と第 2 素子形成基板 3 1 1 5 を同一材料とすると熱膨張係数が等しくなるので、温度変化による応力歪みの影響を受けにくくすることができる。

30

#### 【0 1 8 4】

本実施例により作製されたEL表示装置は、シーリング材 3 1 1 3 と第 2 素子形成基板 3 1 1 5 の材料を、TF Tのプロセス時における耐熱性に左右されことなく選択することができる。例えばシーリング材 3 1 1 3 と第 2 素子形成基板 3 1 1 5 としてプラスチック基板を用いることができ、フレキシブルなEL表示装置を作成することも可能である。

#### 【0 1 8 5】

なお本実施例は、実施例 1 ～ 6 に示した構成と、自由に組み合わせて実施することが可能である。

#### 【0 1 8 6】

#### （実施例 8）

本実施例では、EL表示装置の表面全体またはEL表示装置の端部に、DLC膜を形成する例について説明する。

40

#### 【0 1 8 7】

図 1 9（A）は表面全体にDLC膜を形成したEL表示装置の断面図である。基板 3 2 0 1 上にスイッチング用TF T 3 2 0 5 と、EL駆動用TF T 3 2 0 4 とが形成されている。3 2 0 3 はEL素子であり、EL駆動用TF T 3 2 0 4 によってEL素子 3 2 0 3 に流れる電流が制御される。

#### 【0 1 8 8】

スイッチング用TF T 3 2 0 5、EL駆動用TF T 3 2 0 4 及びEL素子 3 2 0 3 はシー

50

リング材 3202 とシール材 3208 によって密封されており、外気から遮断されている。3209 は引き回し配線であり、シール材 3208 と基板 3201 との間を通して、EL 素子 3203 が密封された空間の外に露出している。

【0189】

3210 は DLC 膜であり、EL 素子 3203 が密封された空間の外に露出している引き回し配線 3209 の一部を除いて、EL 表示装置全体を覆っている。

【0190】

なお本実施例において DLC 膜の成膜は、ECR プラズマ CVD 法、RF プラズマ CVD 法、 $\mu$ 波プラズマ CVD 法もしくはスパッタ法を用いれば良い。DLC 膜の特徴としては、 $1550\text{ cm}^{-1}$  くらいに非対称のピークを有し、 $1300\text{ cm}^{-1}$  くらいに肩を持つラマンスペクトル分布を有する。また微小硬度計で測定した時に  $15\sim 25\text{ GPa}$  の硬度を示すという特徴をもつ。このような炭素膜は基板の表面を保護する特徴を有する。特にプラスチック基板の場合、傷がつきやすいことから、図 19 (A) のように表面を DLC 膜で覆うことは傷を防ぐのに有効である。

【0191】

また DLC 膜は、酸素および水の進入を防ぐのに有効である。よって本実施例のようにシール材 3208 を覆うように DLC 膜 3210 を形成することによって、外部からの水分や酸素等の、EL 層の劣化を促す物質が、EL 素子 3203 が密封されている空間に進入するのを防ぐことができる。

【0192】

なお、DLC 膜 3210 を形成する際に、EL 素子 3203 が密封された空間の外に露出している引き回し配線 3209 の一部を、レジストマスク等で覆うようにし、DLC 膜 3210 形成後該レジストマスクを除去する。DLC 膜 3210 に覆われていない引き回し配線 3209 の一部は、異方性導電膜 3213 によって、FPC 3211 に設けられた FPC 用配線 3211 に接続される。

【0193】

図 19 (B) は、EL 表示装置の端部に DLC 膜を形成した場合の、EL 表示装置の断面図である。基板 3301 上にスイッチング用 TFT 3305 と、EL 駆動用 TFT 3304 とが形成されている。3303 は EL 素子であり、EL 駆動用 TFT 3304 によって EL 素子 3303 に流れる電流が制御される。

【0194】

スイッチング用 TFT 3305、EL 駆動用 TFT 3304 及び EL 素子 3303 はシールリング材 3302 とシール材 3308 によって密封されており、外気から遮断されている。3309 は引き回し配線であり、シール材 3308 と基板 3301 との間を通して、EL 素子 3303 が密封された空間の外に露出している。

【0195】

3310 は DLC 膜であり、EL 素子 3303 が密封された空間の外に露出している引き回し配線 3309 の一部を除いて、シールリング材 3302 の一部と、基板 3301 の一部と、シール材 3308 とを覆って形成されている。

【0196】

DLC 膜 3310 は、酸素および水の進入を防ぐのに有効である。よって本実施例のようにシール材 3308 を覆うように DLC 膜 3310 を形成することによって、外部からの水分や酸素等の、EL 層の劣化を促す物質が、EL 素子 3303 が密封されている空間に進入するのを防ぐことができる。

【0197】

図 19 (B) で示した EL 表示装置は、EL 表示装置の端部 (シール材を含む部分) にのみ DLC 膜 3310 を形成しているので、DLC 膜 3310 の成膜が容易である。

【0198】

なお、DLC 膜 3310 を形成する際に、EL 素子 3303 が密封された空間の外に露出している引き回し配線 3309 の一部を、レジストマスク等で覆うようにし、DLC 膜 3

10

20

30

40

50

3 1 0 形成後該レジストマスクを除去する。D L C 膜 3 3 1 0 に覆われていない引き回し配線 3 3 0 9 の一部は、異方性導電膜 3 3 1 3 によって、F P C 3 3 1 1 に設けられた F P C 用配線 3 3 1 1 に接続される。

【 0 1 9 9 】

なお本実施例は、実施例 1 ~ 7 に示した構成と、自由に組み合わせて実施することが可能である。

【 0 2 0 0 】

( 実施例 9 )

本発明を実施して形成された E L 表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部に用いることができる。例えば、T V 放送等を大画面で鑑賞するには対角 3 0 インチ以上 ( 典型的には 4 0 インチ以上 ) の E L ディスプレイ ( E L 表示装置を筐体に組み込んだ電子機器 ) の表示部として本発明の E L 表示装置を用いるとよい。

【 0 2 0 1 】

なお、E L 表示装置には、パソコン用ディスプレイ、T V 放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器の表示部として本発明の E L 表示装置を用いることができる。

【 0 2 0 2 】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ ( ヘッドマウントディスプレイ ) 、ナビゲーションシステム、音響再生装置 ( カードオーディオ、オーディオコンポ等 ) 、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 ( モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等 ) 、記録媒体を備えた画像再生装置 ( 具体的には Digital Versatile Disc ( D V D ) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置 ) などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、E L 表示装置を用いることが望ましい。それら電子機器の具体例を図 1 2 、図 1 3 に示す。

【 0 2 0 3 】

図 1 2 ( A ) は E L ディスプレイであり、筐体 2 0 0 1 、支持台 2 0 0 2 、表示部 2 0 0 3 等を含む。本発明の E L 表示装置は表示部 2 0 0 3 に用いることができる。E L 表示装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。

【 0 2 0 4 】

図 1 2 ( B ) はビデオカメラであり、本体 2 1 0 1 、表示部 2 1 0 2 、音声入力部 2 1 0 3 、操作スイッチ 2 1 0 4 、バッテリー 2 1 0 5 、受像部 2 1 0 6 等を含む。本発明の E L 表示装置は表示部 2 1 0 2 に用いることができる。

【 0 2 0 5 】

図 1 2 ( C ) は頭部取り付け型の発光装置の一部 ( 右片側 ) であり、本体 2 2 0 1 、信号ケーブル 2 2 0 2 、頭部固定バンド 2 2 0 3 、スクリーン部 2 2 0 4 、光学系 2 2 0 5 、表示部 2 2 0 6 等を含む。本発明の E L 表示装置は表示部 2 2 0 6 に用いることができる。

【 0 2 0 6 】

図 1 2 ( D ) は記録媒体を備えた画像再生装置 ( 具体的には D V D 再生装置 ) であり、本体 2 3 0 1 、記録媒体 ( D V D 等 ) 2 3 0 2 、操作スイッチ 2 3 0 3 、表示部 ( a ) 2 3 0 4 、表示部 ( b ) 2 3 0 5 等を含む。表示部 ( a ) 2 3 0 4 は主として画像情報を表示し、表示部 ( b ) 2 3 0 5 は主として文字情報を表示するが、本発明の E L 表示装置はこれら表示部 ( a ) 、( b ) 2 3 0 4 、2 3 0 5 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 2 0 7 】

図 1 2 ( E ) はゴーグル型ディスプレイ ( ヘッドマウントディスプレイ ) であり、本体 2 4 0 1 、表示部 2 4 0 2 、アーム部 2 4 0 3 を含む。本発明の E L 表示装置は表示部 2 4

10

20

30

40

50

０２に用いることができる。

【０２０８】

図１２（Ｆ）はパーソナルコンピュータであり、本体２５０１、筐体２５０２、表示部２５０３、キーボード２５０４等を含む。本発明のＥＬ表示装置は表示部２５０３に用いることができる。

【０２０９】

なお、将来的にＥＬ材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０２１０】

また、上記電子機器はインターネットやＣＡＴＶ（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。ＥＬ材料の応答速度は非常に高いため、ＥＬ表示装置は動画表示に好ましい。

10

【０２１１】

また、ＥＬ表示装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にＥＬ表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【０２１２】

図１３（Ａ）は携帯電話であり、本体２６０１、音声出力部２６０２、音声入力部２６０３、表示部２６０４、操作スイッチ２６０５、アンテナ２６０６を含む。本発明のＥＬ表示装置は表示部２６０４に用いることができる。なお、表示部２６０４は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

20

【０２１３】

また、図１３（Ｂ）は音響再生装置、具体的にはカーオーディオであり、本体２７０１、表示部２７０２、操作スイッチ２７０３、２７０４を含む。本発明のＥＬ表示装置は表示部２７０２に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部２７０２は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

30

【０２１４】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例１～８に示したいずれの構成のＥＬ表示装置を用いても良い。

【０２１５】

【発明の効果】

【０２１６】

本発明の構成によって、白表示の画素の数に関わりなく、Ｒ、Ｇ、Ｂの各画素の発光輝度のバランスを整えることが可能になる。

【０２１７】

40

また本発明では、ＥＬ素子に大きい電圧がかかる画素は、入力するビデオ信号の振幅を大きくしても良い。上記構成によって、電源供給線の電圧を高くした際に、ＥＬ駆動用ＴＦＴのオフ電流が増加するのを防ぐことができる。

【０２１８】

また同時に、電流の絶対値が大きい電源供給線に接続されている画素のＥＬ駆動用ＴＦＴのチャネル幅（Ｗ）をより大きくしても良い。本発明は上記構成により、電源供給線を通れる電流の絶対値が大きくなることによってＥＬ駆動用ＴＦＴが制御する電流の量が増えても、ＥＬ駆動用ＴＦＴの劣化を抑えることができる。そしてなおかつ、ＥＬ素子に印加される電圧の値によって、そのＥＬ素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。

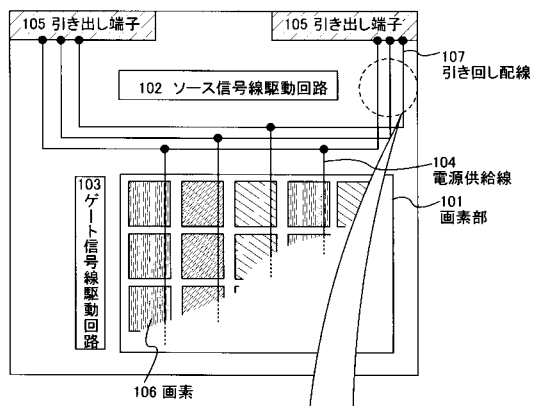
50

## 【図面の簡単な説明】

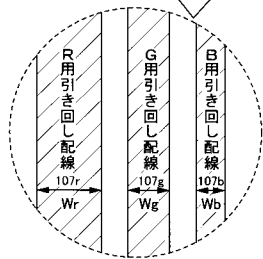
- 【図１】 本発明のＥＬ表示装置の構成を示す図。  
【図２】 ＥＬ表示装置の画素構成を示す図。  
【図３】 本発明のＥＬ表示装置のソース信号線駆動回路のブロック図。  
【図４】 レベルシフト回路の等価回路図。  
【図５】 ＴＦＴの上面図及び断面図。  
【図６】 ＥＬ表示装置の画素の回路図。  
【図７】 ＥＬ表示装置の画素の回路図。  
【図８】 ＥＬ表示装置の作製工程を示す図。  
【図９】 ＥＬ表示装置の作製工程を示す図。 10  
【図１０】 ＥＬ表示装置の作製工程を示す図。  
【図１１】 ＥＬ表示装置の作製工程を示す図。  
【図１２】 電子機器の具体例を示す図。  
【図１３】 電子機器の具体例を示す図。  
【図１４】 従来のＥＬ表示装置の構成を示す図。  
【図１５】 有機ＥＬ材料の電圧－輝度特性を示す図。  
【図１６】 本発明のＥＬ表示装置のＴＦＴ基板の上面図。  
【図１７】 本発明のＥＬ表示装置の概観図及び断面図。  
【図１８】 本発明のＥＬ表示装置の作成工程を示す図。  
【図１９】 ＤＬＣ膜を用いた本発明のＥＬ表示装置の断面図。 20
- 【符号の説明】  
１０１ 画素部  
１０２ ソース信号線駆動回路  
１０３ ゲート信号線駆動回路  
１０４ 電源供給線  
１０５ 引き出し端子  
１０６ 画素  
１０７ 引き回し配線  
１０７ｒ Ｒ用引き回し配線  
１０７ｇ Ｇ用引き回し配線 30  
１０７ｂ Ｂ用引き回し配線

【図 1】

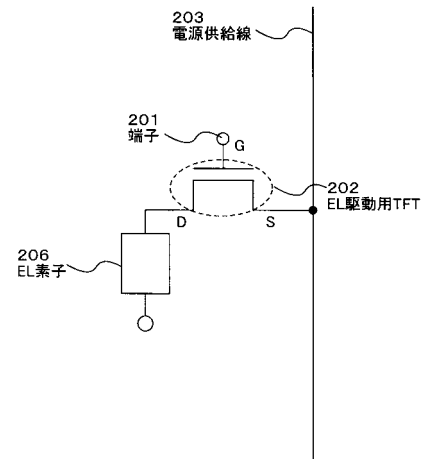
(A)



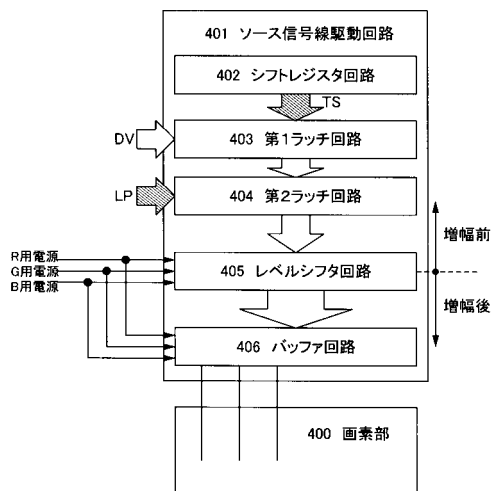
(B)



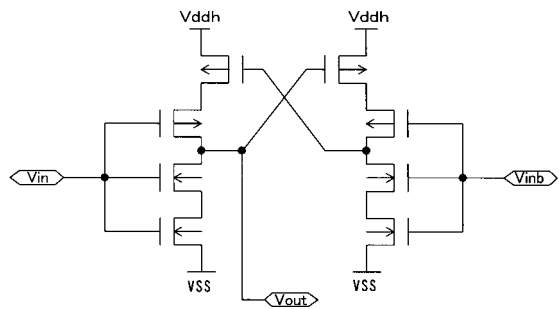
【図 2】



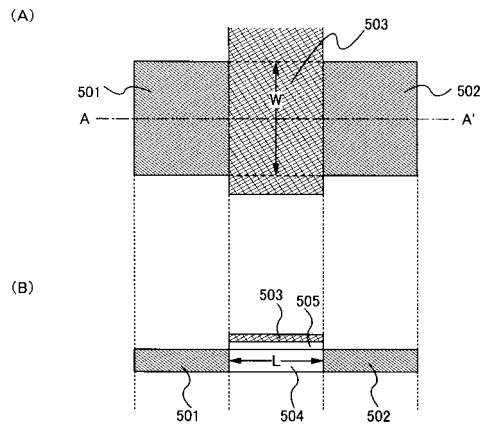
【図 3】



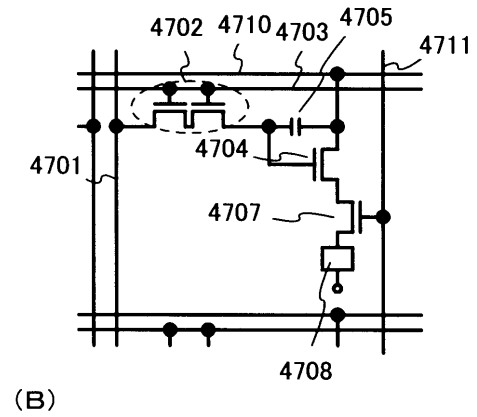
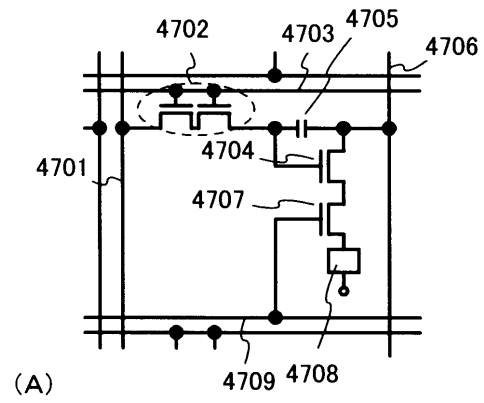
【図 4】



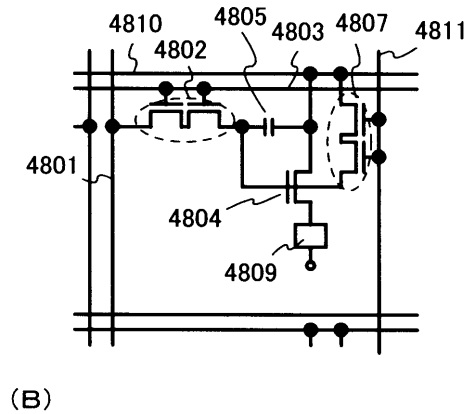
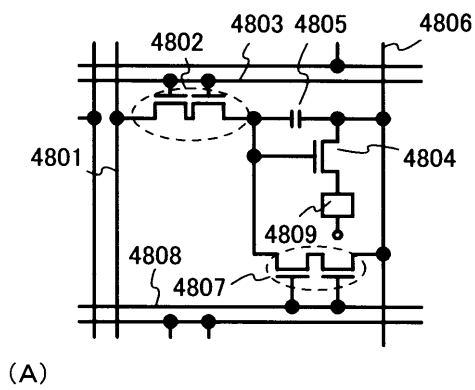
【図 5】



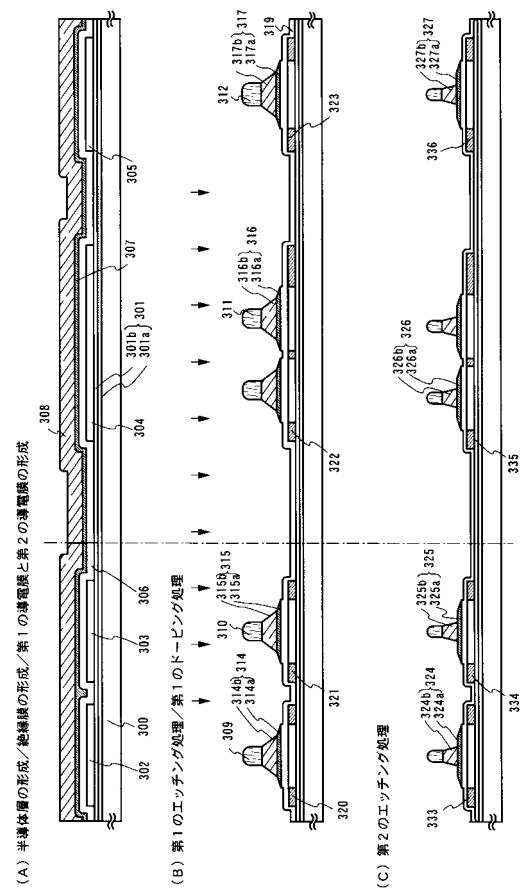
【図 6】



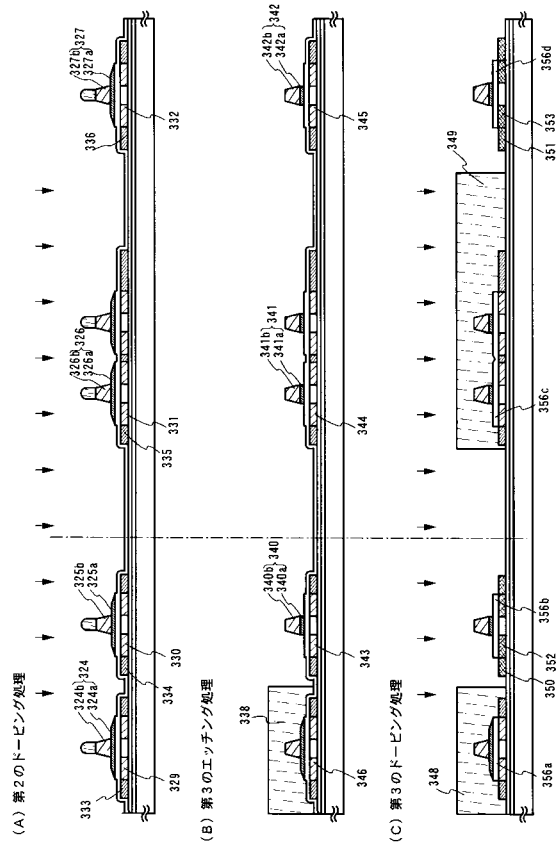
【図 7】



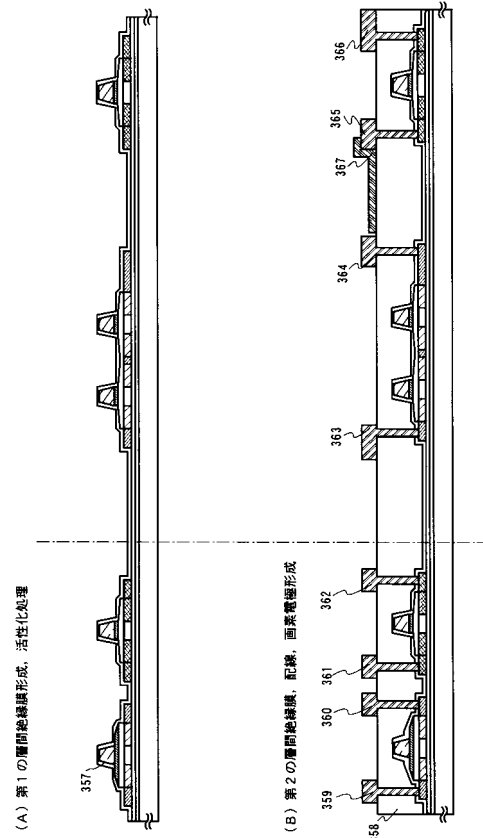
【図 8】



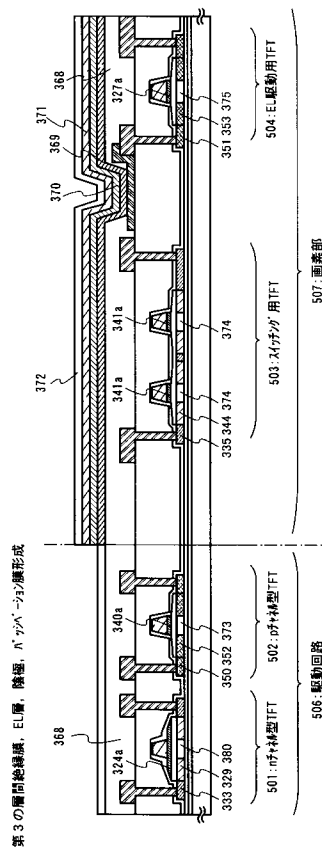
【図 9】



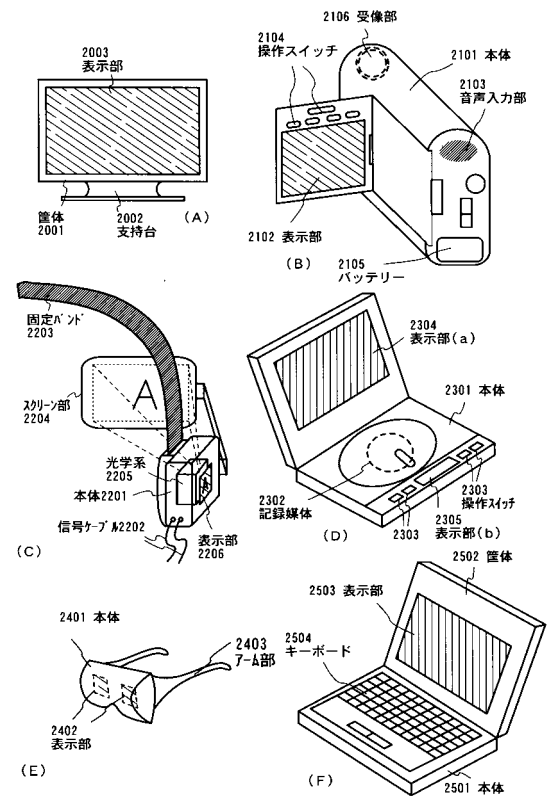
【図 10】



【図 11】

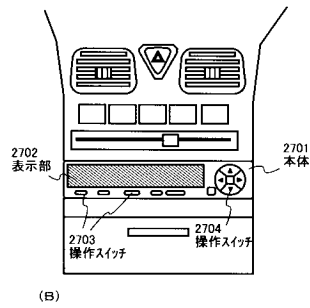
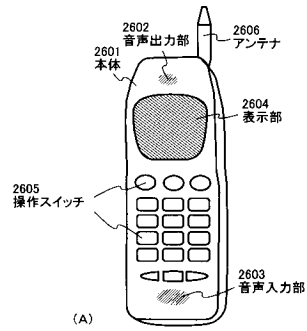


【図 12】

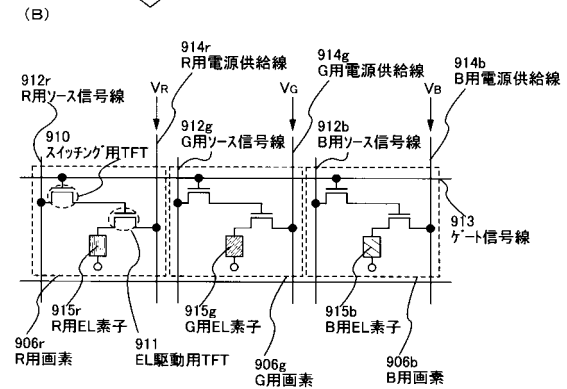
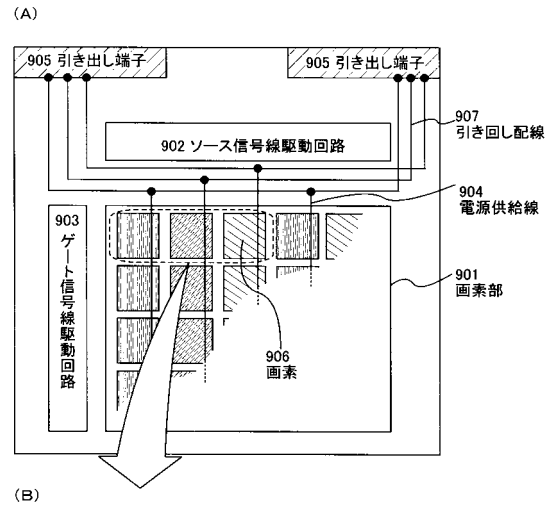




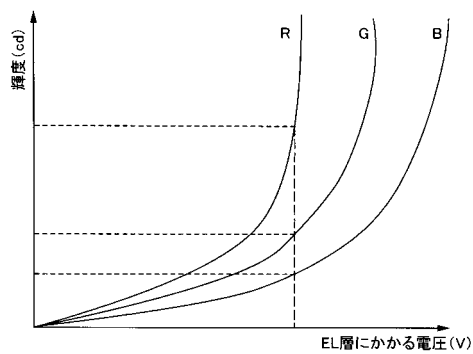
【図 13】



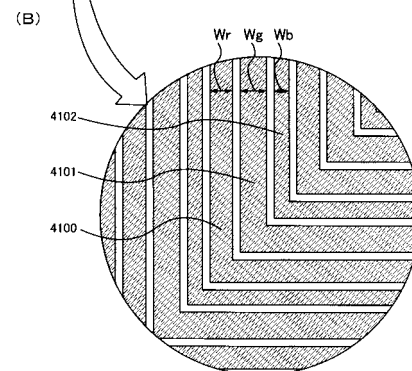
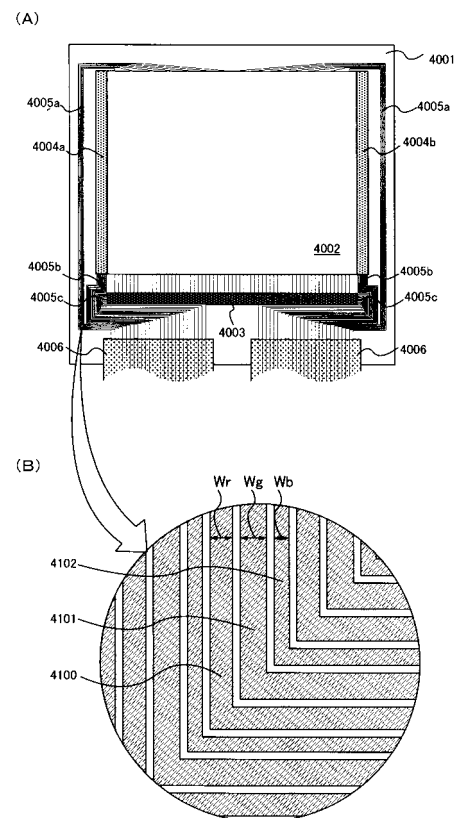
【図 14】



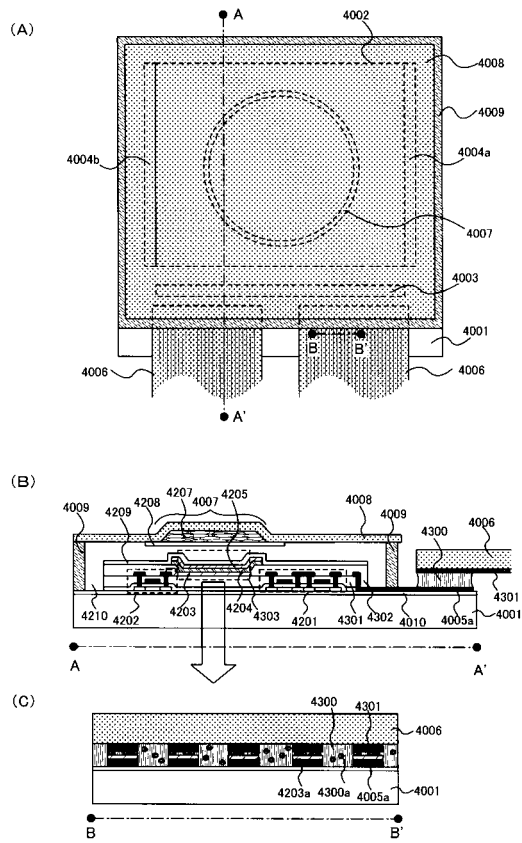
【図 15】



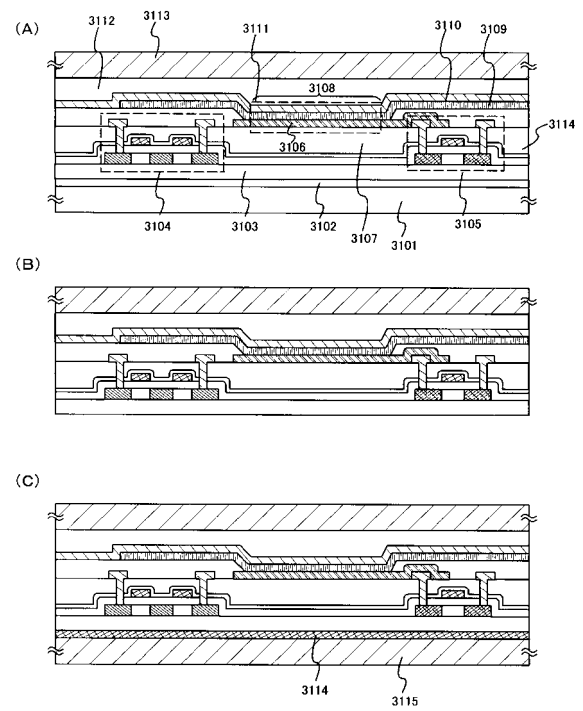
【図 16】



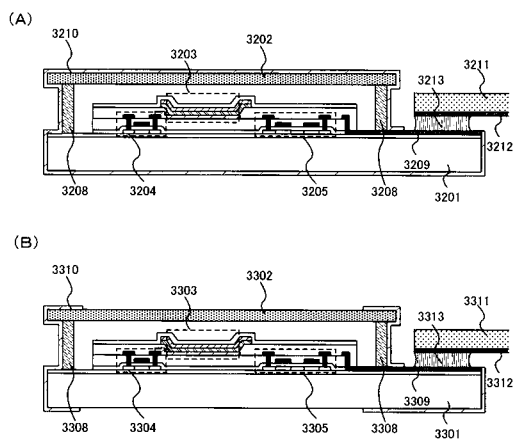
【図 17】



【図 18】



【図 19】



---

 フロントページの続き

(51)Int.Cl.			F I		
<b>H 0 1 L</b>	<b>51/50</b>	<b>(2006.01)</b>	H 0 5 B	33/12	B
G 0 9 G	3/20	(2006.01)	H 0 5 B	33/14	A
G 0 9 G	3/30	(2006.01)	G 0 9 G	3/20	6 2 1 M
			G 0 9 G	3/20	6 4 2 L
			G 0 9 G	3/30	K

審査官 川村 大輔

- (56)参考文献 特開平 0 8 - 2 2 7 2 7 6 ( J P , A )  
 特開平 0 7 - 1 1 1 3 4 1 ( J P , A )  
 特開昭 5 3 - 0 1 9 7 8 6 ( J P , A )  
 特開平 0 6 - 1 3 2 0 7 9 ( J P , A )  
 特開昭 6 3 - 1 8 0 9 3 6 ( J P , A )  
 特開平 1 0 - 0 9 8 1 9 7 ( J P , A )  
 特開 2 0 0 0 - 0 5 8 8 6 0 ( J P , A )  
 特開 2 0 0 0 - 0 3 1 4 9 8 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)

H01L 51/50-51/56