

公告本

申請日期	90.5.25
案 號	90112631
類 別	H01H 85/04

(以上各欄由本局填註)

552607

發 明 專 利 說 明 書

一、發明 名稱	中 文	熔絲-電路配置
	英 文	Fuse-circuit-arrangement
二、發明 創作人	姓 名	海茲海尼格史屈米德 HOENIGSCHMID, Heinz
	國 籍	德國
	住、居所	美國紐約州 12524 東費須屈爾傑佛遜大道 819 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	1.麥可勾威什(Michael Gollwitzer) 2.荷斯特卻佛(Dr. Horst Schäfer)

(由本局填寫)

承辦人代碼:

大 類:

I P C 分類:

本案已向：

德國 (地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
2000 年 5 月 26 日 10026253.8 號

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

五、發明說明(1)

本發明涉及一種熔絲-電路配置，其由第一開關電晶體及第二開關電晶體所形成之串聯電路所構成，其包括：一個熔絲及一個計算電路（其連接至此二個開關電晶體之間之連接點），此計算電路之輸出端可儲存此熔絲之狀態。

熔絲-電路配置（特別是熔絲門(latch)，即門鎖元件）較佳是用在一般之記憶體（例如，DRAMs、FeRAMs、快閃式記憶體等等）中作為備用(redundance)，晶片辨認用及其它不同之調整目的用。

此種熔絲門顯示在第4圖中：在晶片-電源電壓 VDD 和接地 gnd 之間串聯 p-通道-MOS-場效電晶體 p1，n-通道-MOS-場效電晶體 n1 及一種熔絲 F1。電晶體 p1 是由信號 FPUPn 所控制，電晶體 n1 由信號 FPUN 所控制。此二個電晶體 p1、n1 之間之節點 B 是與門 L 相連，其輸出端是 OUT。

在熔絲門起動期間，首先使控制信號 FPUPn 保持在低位準，即，保持在驅動(active)狀態，這樣就可使電晶體 p1 導通而處於導電狀態中。節點 B 因此充電至電壓 VDD 且藉由門 L 而固定於此電位處。輸出端 OUT 因此處於與此電位 VDD 反相之電位 gnd。

然後使控制信號 FPUPn 去驅動，即，處於電位 VDD 處，且使信號 FPUN 受驅動，即，處於一種高位準處。此電晶體 n1 因此可短暫地接通。節點 B 之電位現在是與熔絲 F1 是否導通或斷開有關。此處須指出：亦可使

五、發明說明(2)

用一種抗(anti-)熔絲以取代熔絲。抗熔絲是不導通的，但在照射狀態中是導通的。

若熔絲 F1 導通，則節點 B 處於電位 gnd 處，在熔絲未導通時則保持在先前之電位 VDD。

此種門 L 儲存其輸出端 OUT 上已反相之調整值：若熔絲 F1 未導通，即，節點 B 處於電位 VDD，則輸出端 OUT 處於低電位 gnd，在熔絲 F1 導通時，此節點 B 處於電位 gnd 且反相之電位 VDD 施加至輸出端 OUT。

第 5 圖是熔絲 F1 導通或未導通時輸出端 OUT 上之電位波形及信號 FPUPn、FPUN 之波形。

輸出端 OUT 上因此可得到此熔絲資訊之計算值（“導通”或“非導通”，即，在 Efuse 時是“未擊中”或“擊中”，在 Anti-Fuse 時是“擊中”或“未擊中”）。

在現有之熔絲電路配置中，如第 4 圖所示，由於寄生電容而會造成熔絲資訊之錯誤，這在以下是依據第 6、7 圖來詳述。

寄生電容 C_p （其例如在電路配置之佈局中必然會由於面積或導線而形成）是與熔絲 F1 並聯。若熔絲 F1 未導通時，則寄生電容 C_p 可使節點 B 本身放電。寄生電容 C_p 在熔絲 F1 未接通時經由導電之電晶體 n1 而充電，這樣可使節點 B 放電。若節點 B 放電，則輸出端 OUT 處於高電位 VDD。即，門 L 會發生切換，這樣會使熔絲 F1 之狀態發生錯誤，這由第 7 圖（第 4 列和第 6 列）中

五、發明說明(3)

即可知：在熔絲 F1 導通及 F1 未導通時，輸出端 OUT 上都有相同之值。

此種錯誤使熔絲-電路配置成為不可使用且因此而不適合用在記憶體配置中。

本發明之目的是提供一種熔絲-電路配置，其中由於寄生電容所造成之錯誤可被排除。

依據本發明，此種目的在本文開頭所述形式之熔絲電路配置中是以連接至連接節點之補償電容來達成，此補償電容對一種寄生電容形成反作用，此寄生電容發生於第二開關電晶體及熔絲之間之連接點及接地之間。

此種補償電容可以有利之方式形成第二開關電晶體與熔絲之間之連接之佈局。

在本發明之熔絲電路配置中，在該二個開關電晶體之間之節點上設置一種補償電容。此種補償電容首先充電至高電位 VDD。寄生電容 C_p 所需之充電電流因此可由此補償電容中引出，此時不須擔心該閘(latch)發生切換。由於空間上之原因，此補償電容之尺寸不可太大。

反之，此補償電容之值有利之方式是大約與寄生電容一樣大。這例如可以下述方式達成，即：第二開關電晶體與熔絲之間之連接之佈局隨後形成在節點和閘之間之連接區中。換言之，此熔絲配置之佈局在計算電路中須儘可能寬地重複著，以便因此而產生該補償電容，其對該寄生電容形成反作用。

本發明以下將依據圖式來詳述。圖式簡單說明：

五、發明說明(4)

第 1 圖本發明熔絲電路配置之電路圖。

第 2 圖該補償電容之佈局之第一實施例。

第 3 圖該補償電容之佈局之第二實施例。

第 4 圖現有之熔絲電路配置之電路圖。

第 5 圖第 4 圖之熔絲電路配置之信號時序圖。

第 6 圖對應於第 4 圖之電路圖，其另外有一個寄生電容。

第 7 圖第 6 圖之熔絲電路配置之信號時序圖。

第 4 至 7 圖在本文開頭已詳述。在這些圖式中互相對應之組件分別以相同之參考符號表示。

如第 1 圖所示，在本發明之熔絲電路配置中在節點 B（其使二個開關電晶體 $p1$ 、 $n1$ 互相連接）和接地 gnd 之間連接一種補償電容 C_c ，其值大約與寄生電容 C_p 相同， C_p 連接在電晶體 $n1$ 和熔絲 $F1$ 之間之連接點（此為一端）和接地 gnd （此為另一端）之間。若熔絲 $F1$ 未導通（即，擊中），則必定存在之寄生電容 C_p 之充電電流由補償電容 C_c 經由節點 B 和電晶體 $n1$ 而流出。因此可防止節點 B 之放電，使節點 B 保持在高電位。輸出端 OUT 上因此存在一種反相之狀態，即，低電位，這在熔絲 $F1$ 未導通時必須如此。

門 L 之輸出端 OUT 上之熔絲 $F1$ 之狀態之錯誤計算因此能可靠地防止。

第 2、3 圖是補償電容 C_c 有利之構造。此補償電容 C_c 應如上所述經由熔絲 $F1$ 儘可能模仿此電晶體 $n1$ 和接地

五、發明說明(5)

gnd 之間之連接之佈局。此補償電容 C_c 之構造是和電晶體 n1 及接地 gnd 之間之連接用之導電軌（其具有此種形成熔絲 F1 所用之金屬件）相似，其具有一種細窄處，其上可施加一種雷射，且雷射可進行切割使此細窄處斷開。

在第 2 圖之實施例中，熔絲 F1 之整個金屬件可“成像”在補償電容 C_c 上，使得在已擊中之熔絲 F1 中存在一種過(over)補償。

反之，在第 3 圖之實施例中藉由補償電容 C_c 使此電路之佈局在熔絲 F1 擊中之後在所預期之雷射切割中形成。即，補償電容之佈局須以下述方式變小：只有在雷射切割之後仍保留之金屬件可作為連接用。

符號說明

B... 節點

p1n1... 開關電晶體

C_c ... 補償電容

C_p ... 寄生電容

F1... 熔絲

L... 計算電路

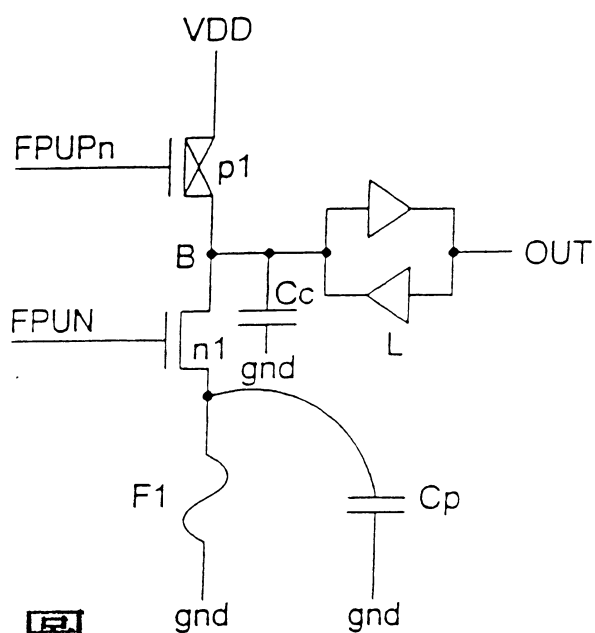
四、中文發明摘要 (發明之名稱： 熔絲電路配置)

本發明涉及一種熔絲電路配置，其中在計算電路(L)中設置一種補償電容(C_c)，其對一種介於開關電晶體(n1)和熔絲(F1)之間之寄生電容(C_p)形成反作用。

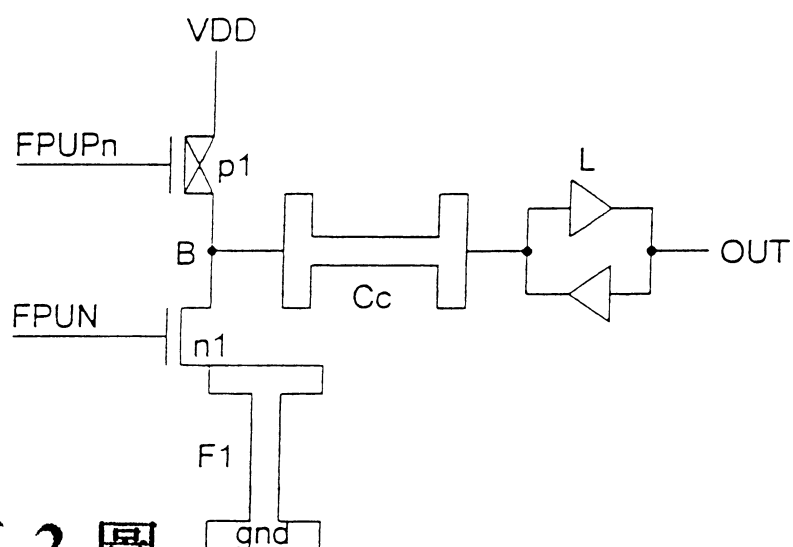
英文發明摘要 (發明之名稱： Fuse-circuit-arrangement)

This invention relates to a fuse-circuit-arrangement, in which in the evaluation-circuit (L) a composition-capacitor (C_c) is provided, which is against a parasitic capacitor (C_p) between a switch-transistor (n1) and the fuse (F1).

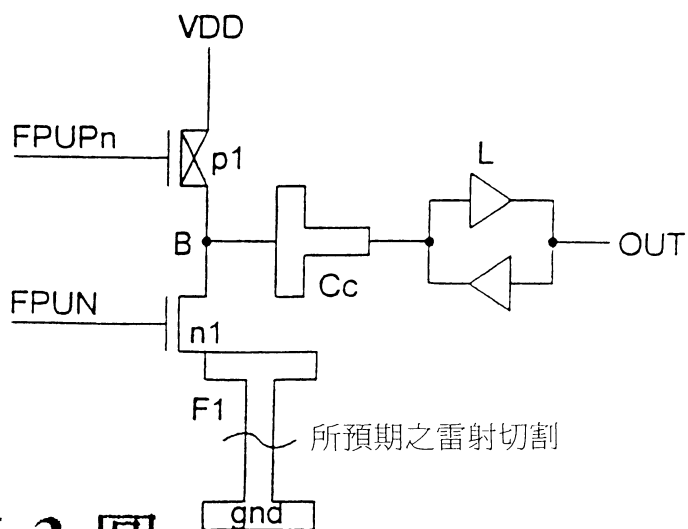
90112631



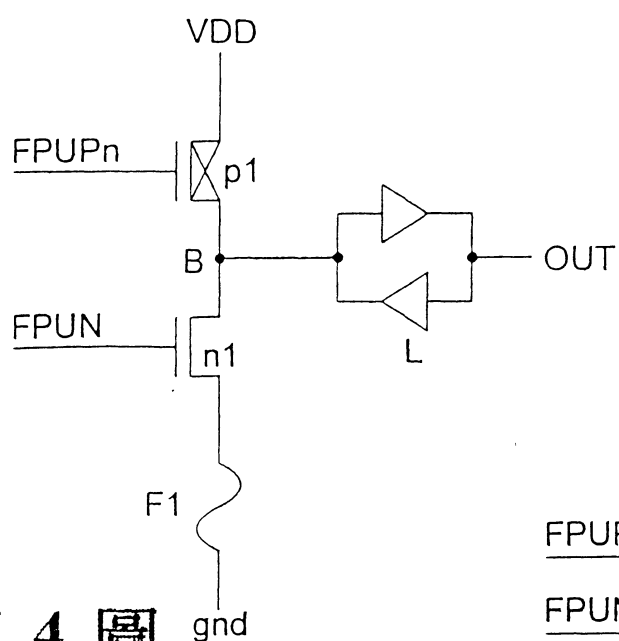
第 1 圖



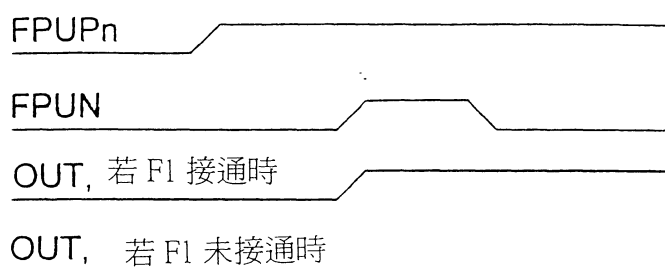
第 2 圖



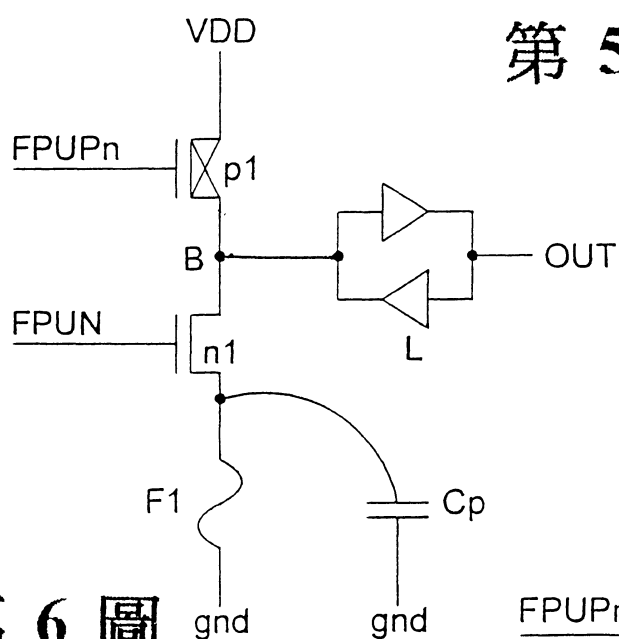
第 3 圖



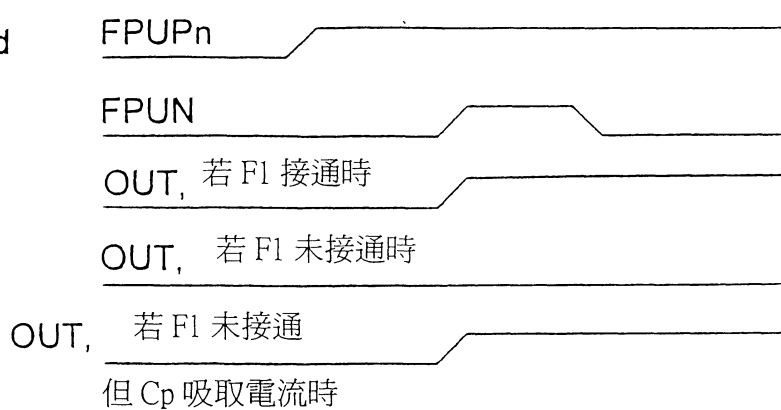
第 4 圖



第 5 圖



第 6 圖



第 7 圖

六、申請專利範圍

第 90112631 號「熔絲 - 電路配置」專利案

(92 年 7 月修正)

六、申請專利範圍：

1. 一種熔絲 - 電路配置，其由第一開關電晶體 ($p1$) 及第二開關電晶體 ($n1$) 所形成之串聯電路所構成，其包含：一個熔絲 ($F1$)；一個連接至此二個開關電晶體 ($p1, n1$) 之間之連接節點 (B) 上之計算電路 (L)，其輸出端 (OUT) 可儲存此熔絲 ($F1$) 之狀態，其特徵為：一種連接至連接節點 (B) 之補償電容 (C_c)，其對一種寄生電容 (C_p) 形成反作用，此寄生電容 (C_p) 連接在第二開關電晶體 ($n1$) 及熔絲 ($F1$) 之間之連接點（其是一端）及接地 (gnd)（其是另一端）之間。
2. 如申請專利範圍第 1 項之熔絲 - 電路配置，其中此補償電容 (C_c) 之形成方式類似於第二開關電晶體 ($n1$) 及熔絲 ($F1$) 之間之連接區。
3. 如申請專利範圍第 1 或第 2 項之熔絲 - 電路配置，其中此補償電容 (C_c) 之值是與寄生電容 (C_p) 相同。
4. 一種熔絲 - 電路配置，其由第一開關電晶體 ($p1$) 及第二開關電晶體 ($n1$) 所形成之串聯電路所構成，其包含：一個熔絲 ($F1$)；一個連接至此二個開關電晶體 ($p1, n1$) 之間之連接節點 (B) 上之計算電路 (L)，其輸出端 (OUT) 可儲存此熔絲 ($F1$) 之狀態，其特徵為：一種連接在連接節點 (B) 和接地 (gnd) 之間之補償電容

六、申請專利範圍

(C_c)，其對該寄生電容(C_p)提供一種充電電流，此寄生電容發生於第二開關電晶體(n1)及熔絲(F1)之間之連接點(其是其中一端)及接地(gnd)(其是另一端)之間。