



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0009006
(43) 공개일자 2021년01월26일

(51) 국제특허분류(Int. Cl.)

H01L 29/06 (2006.01) H01L 21/8234 (2006.01)
H01L 29/10 (2006.01) H01L 29/40 (2006.01)
H01L 29/423 (2006.01) H01L 29/66 (2006.01)
H01L 29/732 (2006.01) H01L 29/808 (2006.01)

(52) CPC특허분류

H01L 29/0634 (2013.01)
H01L 21/823418 (2013.01)

(21) 출원번호 10-2019-0085459

(22) 출원일자 2019년07월16일

심사청구일자 없음

(71) 출원인

현대자동차주식회사

서울특별시 서초구 현릉로 12 (양재동)

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

기아자동차주식회사

서울특별시 서초구 현릉로 12 (양재동)

(72) 발명자

주낙용

경기도 하남시 신장1로27번길 66, 709호(신장동, 하남아파트)

박정희

경기도 수원시 영통구 광고호수공원로 45, 1003동 1104호(원천동, 광고 호반베르디움)

(뒷면에 계속)

(74) 대리인

유미특허법인

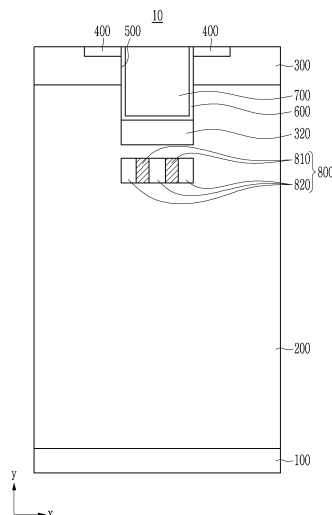
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 반도체 소자 및 그 제조 방법

(57) 요약

일 실시예에 따른 반도체 소자는 기판; 상기 기판의 제1 면 위에 위치하는 n-형 층; 상기 n-형 층 위에 위치하는 p형 층; 상기 p형 층 위에 위치하는 n+형 영역; 상기 n+형 영역 및 p형 층을 제2 방향으로 관통하는 트렌치; 상기 트렌치 내에 위치하는 게이트 산화막; 상기 게이트 산화막 위에 위치하는 게이트 전극; 상기 트렌치 아래에 위치하는 p 웰드 영역; 및 상기 p 웰드 영역 아래에 위치하며 상기 p 웰드 영역과 이격되는 초집합 영역을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/823462 (2013.01)
H01L 29/1066 (2013.01)
H01L 29/408 (2013.01)
H01L 29/4236 (2013.01)
H01L 29/66666 (2013.01)
H01L 29/732 (2013.01)
H01L 29/808 (2013.01)

고진영

서울특별시 마포구 광성로4길 22-9, 202호(신수동)

(72) 발명자

김광수

경기도 고양시 일산서구 일중로15번길 128, 203동
 402호(일산동, 유진스웰아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711075728
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	대학ICT연구센터지원사업
연구과제명	인공지능 서비스 실현을 위한 지능형 반도체 설계 핵심기술 개발
기 여 율	1/1
과제수행기관명	서강대학교 산학협력단
연구기간	2018.06.01 ~ 2021.12.31

명세서

청구범위

청구항 1

기관;

상기 기관의 제1 면 위에 위치하는 n-형 층;

상기 n-형 층 위에 위치하는 p형 층;

상기 p형 층 위에 위치하는 n+형 영역;

상기 n+형 영역 및 p형 층을 제2 방향으로 관통하는 트렌치;

상기 트렌치 내에 위치하는 게이트 산화막;

상기 게이트 산화막 위에 위치하는 게이트 전극;

상기 트렌치 아래에 위치하는 p 쉼드 영역; 및

상기 p 쉼드 영역 아래에 위치하며 상기 p 쉼드 영역과 이격되는 초집합 영역을 포함하는 반도체 소자.

청구항 2

제1항에서,

상기 초집합 영역은 n형 초집합 영역 및 p형 초집합 영역을 포함하고,

상기 n형 초집합 영역 및 상기 p형 초집합 영역은 상기 제2 방향을 가로지르는 제1 방향으로 교대로 위치하는 반도체 소자.

청구항 3

제2항에서,

상기 n형 초집합 영역의 도핑 농도는 상기 p형 초집합 영역의 도핑 농도와 동일한 반도체 소자.

청구항 4

제3항에서,

상기 n형 초집합 영역의 도핑 농도는 상기 n-형 층의 도핑 농도보다 높은 반도체 소자.

청구항 5

제4항에서,

상기 제1 방향을 기준으로 상기 초집합 영역의 양 끝에는 상기 n형 초집합 영역이 위치하는 반도체 소자.

청구항 6

제5항에서,

상기 초집합 영역은 상기 n-형 층으로 둘러싸인 반도체 소자.

청구항 7

제6항에서,

상기 제1 방향으로의 상기 초집합 영역의 폭은 상기 p 쉼드 영역의 폭보다 작거나 같은 반도체 소자.

청구항 8

제7항에서,

상기 p 웰드 영역의 도핑 농도는 상기 p형 층의 도핑 농도보다 높은 반도체 소자.

청구항 9

제8항에서,

상기 p 웰드 영역은 상기 게이트 산화막과 접하는 반도체 소자.

청구항 10

기판의 제1 면에 1차 n-형 층을 형성하는 단계;

상기 1차 n-형 층에 p 형 이온 및 n 형 이온을 주입하여 초집합 영역을 형성하는 단계;

상기 1차 n-형 층을 에피택셜 성장하여 n-형 층을 형성하는 단계;

상기 n-형 층 위에 p형 층 및 n+형 영역을 차례로 형성하는 단계;

상기 n+형 영역, 상기 p형 층 및 상기 n-형 층을 식각하여 트렌치를 형성하는 단계;

상기 트렌치의 아래에 p 웰드 영역을 형성하는 단계; 및

상기 트렌치 내부에 게이트 산화막 및 게이트 전극을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 11

제10항에서,

상기 초집합 영역을 형성하는 단계는 상기 1차 n-형 층 위에 오픈부를 포함하는 마스크를 위치하고 상기 오픈부를 통해 이온을 주입하여 수행되는 반도체 소자의 제조 방법.

청구항 12

제11항에서,

상기 초집합 영역은 상기 p 웰드 영역 아래에 위치하며 상기 p 웰드 영역과 이격되도록 형성되는 반도체 소자의 제조 방법.

청구항 13

제12항에서,

상기 초집합 영역을 형성하는 단계에서 상기 초집합 영역은 반도체 소자의 두께 방향을 가로지르는 제1 방향으로 n형 초집합 영역과 p형 초집합 영역이 교대로 위치하도록 형성되는 반도체 소자의 제조 방법.

청구항 14

제13항에서,

상기 초집합 영역을 형성하는 단계는 상기 n형 초집합 영역과 상기 p형 초집합 영역의 도핑 농도는 동일하도록 수행되는 반도체 소자의 제조 방법.

청구항 15

제14항에서,

상기 초집합 영역을 형성하는 단계에서 상기 n형 초집합 영역은 상기 초집합 영역의 상기 제1 방향을 기준으로 양 끝에 위치하도록 형성되는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 탄화 규소(SiC, 실리콘 카바이드)를 포함하는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 전력용 반도체 소자는 특히 매우 큰 전류를 흐르게 하면서도 도통 상태에서의 전력 손실을 적게 하기 위하여 낮은 온 저항 또는 낮은 포화 전압이 요구된다. 또한 오프 상태 또는 스위치가 오프되는 순간에 전력용 반도체 소자의 양단에 인가되는 PN 접합의 역방향 고전압에 견딜 수 있는 특성, 즉 높은 항복전압특성이 기본적으로 요구된다.

[0003] 기본적인 전기적 조건 및 물성적 조건을 만족하는 다중의 전력 반도체 소자를 하나의 패키지로 모듈화하는데, 전력 반도체 모듈 내부에 전력 반도체 소자의 개수 및 전기적 사양은 시스템에서 요구하는 조건에 따라 바뀔 수 있다.

[0004] 일반적으로 모터를 구동하기 위한 로런츠 힘(Lorentz force)을 형성하기 위하여 3상(three-phase) 전력 반도체 모듈이 이용된다. 즉, 3상 전력 반도체 모듈이 모터로 주입되는 전류 및 전력을 제어함으로써 모터의 구동상태가 결정되는 것이다.

[0005] 이러한 3상 전력 반도체 모듈 내부에 기존 실리콘(Silicon) 절연 게이트 양극성 트랜지스터(IGBT, Insulated Gate Bipolar Transistor)와 실리콘 다이오드(Diode)를 적용하였지만, 최근 3상 모듈에서 발생하는 전력 소모의 최소화 및 모듈의 스위칭 속도 증가를 목표로 탄화 규소(SiC) 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET, metal oxide semiconductor field effect transistor)과 탄화 규소 다이오드를 적용하는 것이 추세이다.

[0006] 특히, 최근에는 수직형 트랜치(trench) MOSFET에 대한 개발이 많이 이루어지고 있으며, 온 저항 및 항복 전압 특성이 향상된 고효율의 수직형 트랜치(trench) MOSFET에 대한 개발이 요구되고 있다.

발명의 내용

해결하려는 과제

[0007] 실시예들은 반도체 소자 내에 전계가 국부적으로 집중되는 것을 최소화하고, 결핍 영역(depletion region)의 확장을 억제하여 넓은 전류 통로를 가지는 반도체 소자를 제공하기 위한 것이다.

[0008] 또한, 실시예들은 온 저항이 개선되어 통전되는 전류량이 증가되고, 유리한 항복 전압 특성을 가지는 반도체 소자를 제공하기 위한 것이다.

과제의 해결 수단

[0009] 일 실시예에 따른 반도체 소자는 기판; 상기 기판의 제1 면 위에 위치하는 n-형 층; 상기 n-형 층 위에 위치하는 p형 층; 상기 p형 층 위에 위치하는 n+형 영역; 상기 n+형 영역 및 p형 층을 제2 방향으로 관통하는 트랜치; 상기 트랜치 내에 위치하는 게이트 산화막; 상기 게이트 산화막 위에 위치하는 게이트 전극; 상기 트랜치 아래에 위치하는 p 쉴드 영역; 및 상기 p 쉴드 영역 아래에 위치하며 상기 p 쉴드 영역과 이격되는 초접합 영역을 포함한다.

[0010] 상기 초접합 영역은 n형 초접합 영역 및 p형 초접합 영역을 포함하고, 상기 n형 초접합 영역 및 상기 p형 초접합 영역은 상기 제2 방향을 가로지르는 제1 방향으로 교대로 위치할 수 있다.

[0011] 상기 n형 초접합 영역의 도핑 농도는 상기 p형 초접합 영역의 도핑 농도와 동일할 수 있다.

[0012] 상기 n형 초접합 영역의 도핑 농도는 상기 n-형 층의 도핑 농도보다 높을 수 있다.

[0013] 상기 제1 방향을 기준으로 상기 초접합 영역의 양 끝에는 상기 n형 초접합 영역이 위치할 수 있다.

[0014] 상기 초접합 영역은 상기 n-형 층으로 둘러싸일 수 있다.

[0015] 상기 제1 방향으로의 상기 초접합 영역의 폭은 상기 p 쉴드 영역의 폭보다 작거나 같을 수 있다.

[0016] 상기 p 쉴드 영역의 도핑 농도는 상기 p형 층의 도핑 농도보다 높을 수 있다.

[0017] 상기 p 쉴드 영역은 상기 게이트 산화막과 접할 수 있다.

- [0018] 일 실시예에 따른 반도체 소자의 제조 방법은 기판의 제1 면에 1차 n-형 층을 형성하는 단계; 상기 1차 n-형 층에 p 형 이온 및 n 형 이온을 주입하여 초접합 영역을 형성하는 단계; 상기 1차 n-형 층을 에피택셜 성장하여 n-형 층을 형성하는 단계; 상기 n-형 층 위에 p형 층 및 n+형 영역을 차례로 형성하는 단계; 상기 n+형 영역, 상기 p형 층 및 상기 n-형 층을 식각하여 트렌치를 형성하는 단계; 상기 트렌치의 아래에 p 쉘드 영역을 형성하는 단계; 상기 트렌치 내부에 게이트 산화막 및 게이트 전극을 형성하는 단계를 포함한다.
- [0019] 상기 초접합 영역을 형성하는 단계는 상기 1차 n-형 층 위에 오픈부를 포함하는 마스크를 위치하고 상기 오픈부를 통해 이온을 주입하여 수행될 수 있다.
- [0020] 상기 초접합 영역은 상기 p 쉘드 영역 아래에 위치하며 상기 p 쉘드 영역과 이격되도록 형성될 수 있다.
- [0021] 상기 초접합 영역을 형성하는 단계에서 상기 초접합 영역은 반도체 소자의 두께 방향을 가로지르는 제1 방향으로 n형 초접합 영역과 p형 초접합 영역이 교대로 위치하도록 형성될 수 있다.
- [0022] 상기 초접합 영역을 형성하는 단계는 상기 n형 초접합 영역과 상기 p형 초접합 영역의 도핑 농도는 동일하도록 수행될 수 있다.
- [0023] 상기 초접합 영역을 형성하는 단계에서 상기 n형 초접합 영역은 상기 초접합 영역의 상기 제1 방향을 기준으로 양 끝에 위치하도록 형성될 수 있다.

발명의 효과

- [0024] 실시예들에 따르면, 반도체 소자는 반도체 소자 내에 전계가 국부적으로 집중되는 것을 최소화할 수 있고, 결핍 영역의 확장을 억제하여 넓은 전류 통로를 가질 수 있다.
- [0025] 또한, 실시예들에 따른 반도체 소자는 온 저항이 개선되어 통전되는 전류량이 증가될 수 있고, 유리한 항복 전압 특성을 가질 수 있다.

도면의 간단한 설명

- [0026] 도 1은 일 실시예에 따른 반도체 소자의 단면도이다.
- 도 2는 초접합 영역을 포함하지 않는 비교예에 따른 반도체 소자의 전류 밀도를 나타내는 이미지이다.
- 도 3은 일 실시예에 따른 반도체 소자의 전류 밀도를 나타내는 이미지이다.
- 도 4는 비교예에 따른 반도체 소자의 온 상태에서 드레인 전압에 따른 드레인 전류 밀도를 나타내는 그래프이다.
- 도 5는 일 실시예에 따른 반도체 소자의 온 상태에서 드레인 전압에 따른 드레인 전류 밀도를 나타내는 그래프이다.
- 도 6은 비교예와 일 실시예에 따른 반도체 소자의 항복 전압을 나타내는 그래프이다.
- 도 7 내지 도 10은 일 실시예에 따른 반도체 소자의 제조 방법의 각 단계를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0028] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 제1 실시예에서 설명하고, 그 외의 실시예에서는 제1 실시예와 다른 구성에 대해서만 설명하기로 한다.
- [0029] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 다른 층이 개재될 수도 있다.
- [0030] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

- [0031] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0032] 도 1은 일 실시예에 따른 반도체 소자의 단면도이다. 도 1을 참조하면, 일 실시예에 따른 반도체 소자(10)는 기판(100), n-형 층(200), p형 층(300), n+형 영역(400), 게이트 산화막(600), 게이트 전극(700), p 웰드 영역(320) 및 초접합 영역(800)을 포함한다.
- [0033] 기판(100)은 n+ 형 탄화 규소(SiC)를 포함할 수 있다.
- [0034] 기판(100)의 제1 면 위에 n-형 층(200)이 위치하고, n-형 층(200) 위에 p형 층(300)이 위치한다. p형 층(300) 위에는 n+형 영역(400)이 위치한다.
- [0035] n-형 층(200), p형 층(300) 및 n+형 영역(400)에는 트렌치(500)가 위치한다. 트렌치(500)는 반도체 소자(10)의 깊이 방향인 제2 방향(y)으로 p형 층(300) 및 n+형 영역(400)을 관통하고, 트렌치(500)의 하부면은 n-형 층(200)에 위치한다. n-형 층(200), p형 층(300) 및 n+형 영역(400)은 트렌치(500)의 측면에 인접할 수 있다.
- [0036] 트렌치(500)의 하부면의 아래에는 p 웰드 영역(320)이 위치할 수 있다. p 웰드 영역(320)은 트렌치(500)의 하부면과 인접할 수 있다. p 웰드 영역(320)은 트렌치(500) 주변에 전계가 집중되는 것을 완화시킬 수 있다.
- [0037] 여기에서, p 형은 실리콘(Si)과 같은 4가 원소의 진성 반도체에, 3가 원소(붕소(B), 알루미늄(Al) 등)를 불순물로 도핑한 반도체 영역을 말한다. p 웰드 영역(320)의 이온 도핑 농도는 p형 층(300)의 이온 도핑 농도보다 높을 수 있다.
- [0038] 또한, n 형은 실리콘(Si)과 같은 4가 원소의 진성 반도체에, 5가 원소(인(P), 비소(As) 등)를 불순물로 도핑한 반도체 영역을 말한다. n+형 영역(400)의 이온 도핑 농도는 n-형 층(200)의 이온 도핑 농도보다 높을 수 있다.
- [0039] 트렌치(500) 내에 게이트 산화막(600)이 위치한다. 게이트 산화막(600)은 산화 실리콘(SiO_x)을 포함할 수 있다. 게이트 산화막(600)은 p 웰드 영역(320) 위에 위치하며, p 웰드 영역(320)과 접할 수 있다.
- [0040] 게이트 산화막(600) 위에 게이트 전극(700)이 위치한다. 게이트 전극(700)은 트렌치(500)를 채우도록 위치할 수 있다. 게이트 전극(700)은 다결정 실리콘(poly-crystalline silicon) 또는 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등과 같은 금속을 포함할 수 있다.
- [0041] p 웰드 영역(320)의 아래에는 초접합 영역(800, super junction region)이 위치한다. 초접합 영역(800)은 p 웰드 영역(320)과 이격될 수 있고, n-형 층(200)으로 둘러싸일 수 있다. 초접합 영역(800)의 제1 방향(x)으로의 폭은 p 웰드 영역(320)의 제1 방향(x)으로의 폭 보다 작거나 같을 수 있다.
- [0042] 초접합 영역(800)은 p형 초접합 영역(810) 및 n형 초접합 영역(820)을 포함한다. p형 초접합 영역(810) 및 n형 초접합 영역(820)은 반도체 소자(10)의 두께 방향과 수직한 방향인 제1 방향(x)을 기준으로 교대로 위치할 수 있다. p형 초접합 영역(810)의 도핑 농도는 n형 초접합 영역(820)의 도핑 농도와 동일할 수 있다. 또한, n형 초접합 영역(820)의 도핑 농도는 n-형 층(200)의 도핑 농도 보다 높을 수 있다. n형 초접합 영역(820)은 초접합 영역(800)의 제1 방향(x)으로의 양 끝에 위치할 수 있다.
- [0043] 일 실시예에 따른 반도체 소자(10)는 p 웰드 영역(320)의 아래에 국부적으로 위치하는 초접합 영역(800)을 포함하여 결핍 영역(depletion region)의 확장을 억제할 수 있고, 온 저항을 낮출 수 있다. 특히, 제1 방향(x) 나열된 p형 초접합 영역(810) 및 n형 초접합 영역(820)을 포함하여, 결핍 영역의 제2 방향(y)으로의 확장을 억제할 수 있다. 구체적으로, 초접합 영역(800)의 양 끝에 위치하는 n형 초접합 영역(820)은 전류 퍼짐층(current spreading layer)이 되어 저항을 낮출 수 있다. 또한, 초접합 영역(800)의 p형 초접합 영역(810)은 p 웰드 영역(320)과 함께 전계가 집중되는 것을 완화할 수 있다.
- [0044] p형 층(300) 및 n+형 영역(400) 위에는 소스 전극(미도시)이 위치할 수 있다. 소스 전극은 n+형 영역(400)과 접촉하여 오믹(Ohmic) 접합을 형성할 수 있다. 기판(100)의 제2 면에는 드레인 전극(미도시)이 위치할 수 있고, 드레인 전극은 오믹(Ohmic) 접합을 형성할 수 있다.
- [0045] 이하에서는, 도 2 내지 도 5 및 표 1을 참조하여, 비교예와 일 실시예에 따른 반도체 소자 특성을 비교한다. 도 2는 p 웰드 영역을 포함하고 초접합 영역은 포함하지 않는 비교예에 따른 반도체 소자의 전류 밀도를 나타내는 이미지이고, 도 3은 일 실시예에 따른 반도체 소자의 전류 밀도를 나타내는 이미지이다.
- [0046] 하기 표 1은 비교예에 따른 반도체 소자 및 일 실시예에 따른 반도체 소자의 온 저항 및 최대 전류 밀도를 나타

내는 표이다.

표 1

	비교예	실시예
온 저항($m\Omega \cdot cm^2$)	51.49	26.47
최대 전류 밀도(MA/cm^2)	19.44	27.96

도 2 및 도 3을 참조하면, 일 실시예에 따른 반도체 소자가 비교예에 따른 반도체 소자에 비해 좁은 결핍영역을 가지고, 이로 인해 더 넓은 영역에서 전류가 흐르는 것을 알 수 있다. 특히, 표 1을 참조하면, 비교예에 따른 반도체 소자에 비해 일 실시예에 따른 반도체 소자의 최대 전류 밀도가 증가한 것을 알 수 있다.

도 4는 비교예에 따른 반도체 소자의 온 상태에서 드레인 전압에 따른 드레인 전류 밀도를 나타내는 그래프이고, 도 5는 일 실시예에 따른 반도체 소자의 온 상태에서 드레인 전압에 따른 드레인 전류 밀도를 나타내는 그래프이다.

도 4 및 도 5를 참조하면, 게이트 전압이 2 V, 4 V, 6 V, 8 V, 10 V일 때 일 실시예에 따른 반도체 소자의 온 저항이 감소함을 알 수 있다. 특히, 표 1을 참고하면, 게이트 전압이 10 V일 때 비교예에 따른 반도체 소자의 온 저항은 $51.49 m\Omega \cdot cm^2$ 이고, 게이트 전압이 10 V일 때 일 실시예에 따른 반도체 소자의 온 저항은 $26.47 m\Omega \cdot cm^2$ 로, 온 저항이 48 % 감소하였다.

이하, 도 6을 참조하여, 비교예와 일 실시예에 따른 반도체 소자의 항복 전압에 대해 살펴본다. 도 6은 비교예와 일 실시예에 따른 반도체 소자의 항복 전압을 나타내는 그래프이다.

도 6을 참조하면, 비교예에 따른 반도체 소자의 항복 전압은 1639 V 이고, 일 실시예에 따른 반도체 소자의 항복 전압은 1717 V 가 되어, 일 실시예에 따른 반도체 소자의 항복 전압이 비교예에 비해 4.75 % 증가한 것을 확인할 수 있다.

이하, 도 7 내지 도 10을 참조하여, 일 실시예에 따른 반도체 소자의 제조 방법에 대해 설명한다. 도 7 내지 도 10은 일 실시예에 따른 반도체 소자의 제조 방법의 각 단계를 나타내는 단면도이다.

도 7을 참조하면, 먼저, 기판(100)을 준비한다. 기판(100)은 n+ 형 탄화 규소(SiC)를 포함할 수 있다. 그 후, 기판(100)의 제1 면 위에 1차 n-형 층(200a)을 형성한다. 1차 n-형 층(200a)은 기판(100)의 제1 면 위에 에피택셜 성장으로 형성할 수 있다. 이 때, 1차 n-형 층(200a)은 초접합 영역(800)이 위치하는 곳까지 형성될 수 있다.

그 후, 1차 n-형 층(200a)에 초접합 영역(800)을 형성한다. 초접합 영역(800)은 1차 n-형 층(200a) 위에 초접합 영역(800)에 대응하는 영역에 오픈부(1001)를 포함하는 마스크(1000)를 위치시키고 p 형 이온 및 n 형 이온을 주입하여 초접합 영역(800)의 p형 초접합 영역(810) 및 n형 초접합 영역(820)을 형성한다. 이 때, n형 초접합 영역(820)의 이온 도핑 농도는 1차 n-형 층(200a)의 이온 도핑 농도보다 높을 수 있다.

도 8을 참조하면, 1차 n-형 층(200a)을 에피택셜 성장시켜 n-형 층(200)을 형성한다. n-형 층(200) 위에 p형 층(300)을 형성하고, p형 층(300) 위에 n+형 영역(400)을 형성한다. p형 층(300)은 n-형 층(200)에 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 등과 같은 p형 이온을 주입하여 형성할 수 있다. n+형 영역(400)은 p형 층(300)에 질소(N), 인(P), 비소(As) 및 안티몬(Sb) 등과 같은 n형 이온을 주입하여 형성할 수 있다.

도 9를 참조하면, n+형 영역(400), p형 층(300) 및 n-형 층(200)을 건식 식각하여 트렌치(500)를 형성한다. 이 때, 트렌치(500)는 n+형 영역(400), p형 층(300)을 관통하고, n-형 층(200) 또한 일부 식각되어 트렌치(500)의 하부면은 n-형 층(200)에 형성된다.

도 10을 참조하면, 트렌치(500)의 하부면에 p 쉘드 영역(320)을 형성한다. p 쉘드 영역(320)은 트렌치(500)의 하부면 아래에 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 등과 같은 p 형 이온을 주입하여 형성할 수 있다. p 쉘드 영역(320)의 이온 도핑 농도는 p형 층(300)의 이온 도핑 농도보다 높을 수 있다.

그 후, 트렌치(500)의 내부에 게이트 산화막(600)을 형성하고, 게이트 산화막(600) 위에 게이트 전극(700, 도 1 참조)을 형성한다. 게이트 전극(700)은 다결정 실리콘(poly-crystalline silicon) 또는 금속을 포함할 수 있다.

[0060] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구 범위의 기술적 사상에 의해 정해져야 할 것이다.

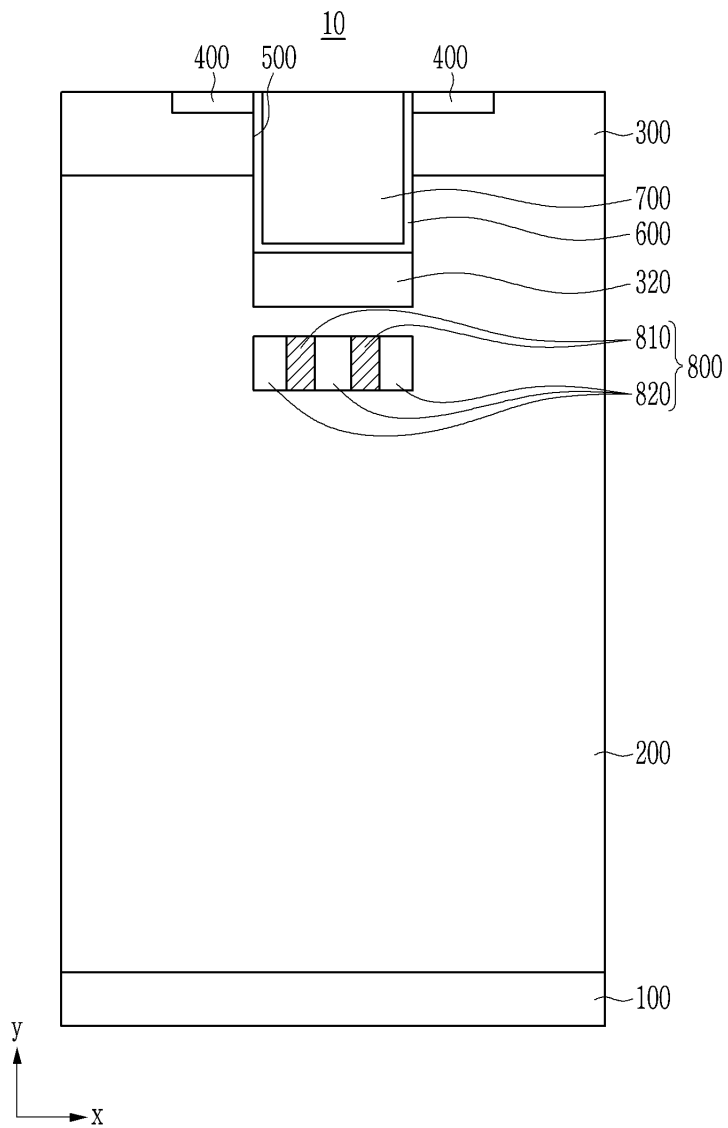
부호의 설명

[0061]

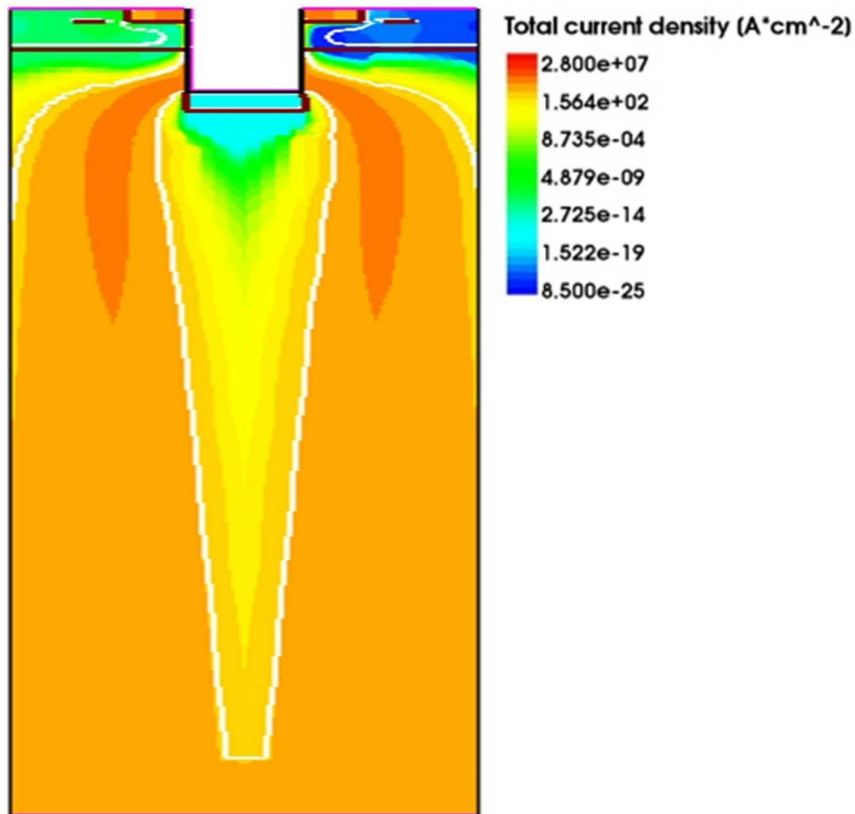
10: 반도체 소자 100: 기판
 1000: 마스크 200: n-형 층
 200a: 1차 n-형 층 300: p형 층
 320p: 쉘드 영역 400: n+형 영역
 500: 트렌치 600: 게이트 산화막
 700: 게이트 전극 800: 초집합 영역
 810: p형 초집합 영역 820: n형 초집합 영역

도면

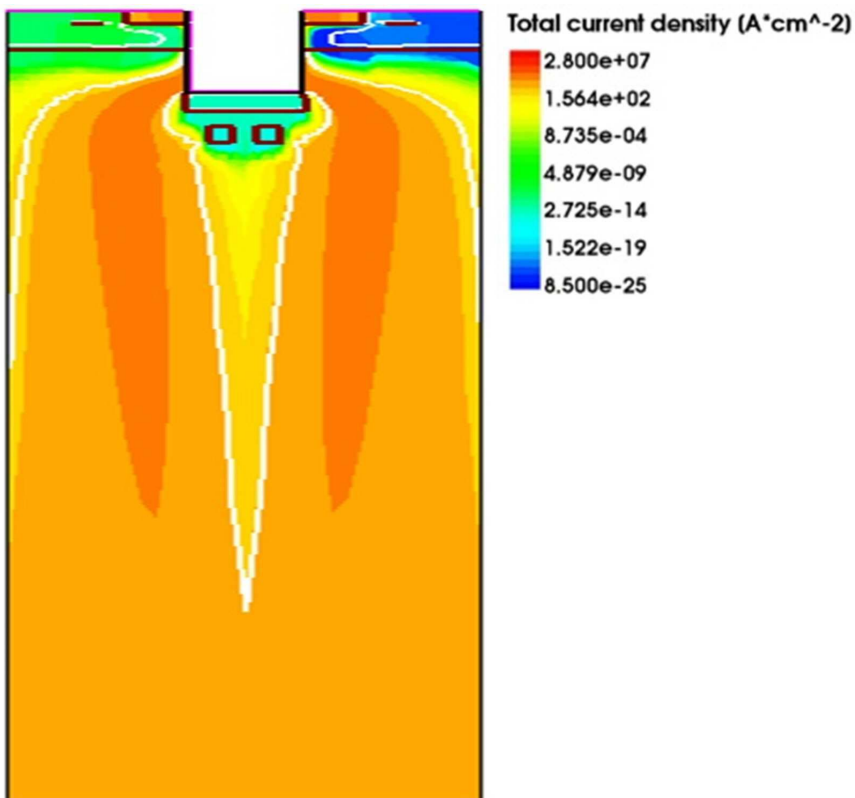
도면1



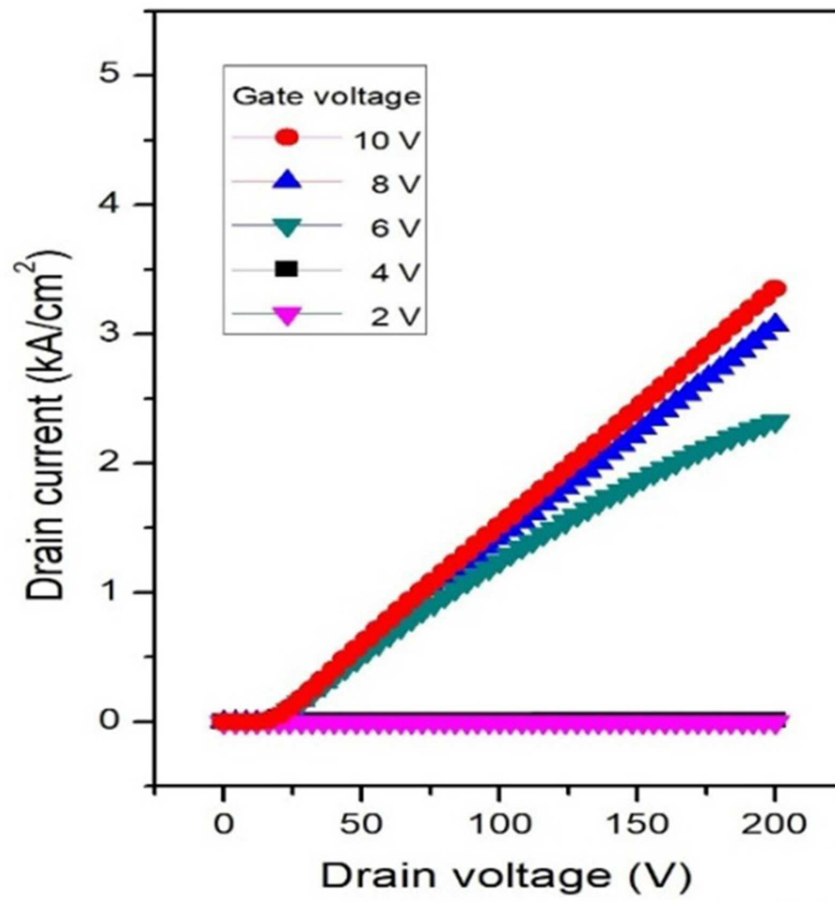
도면2



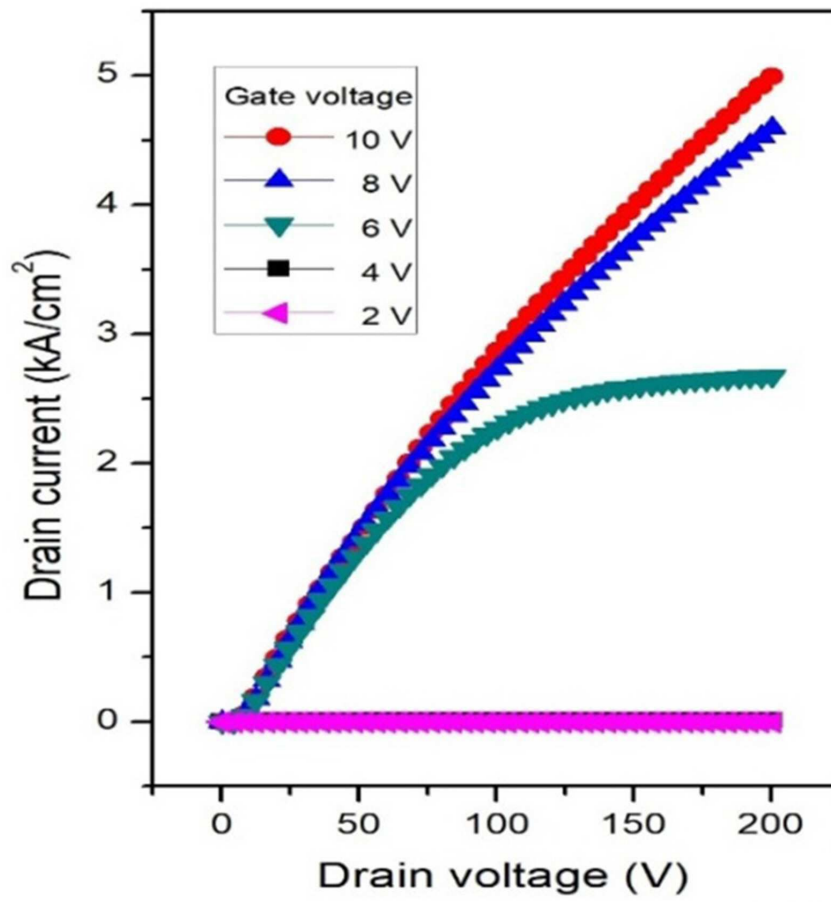
도면3



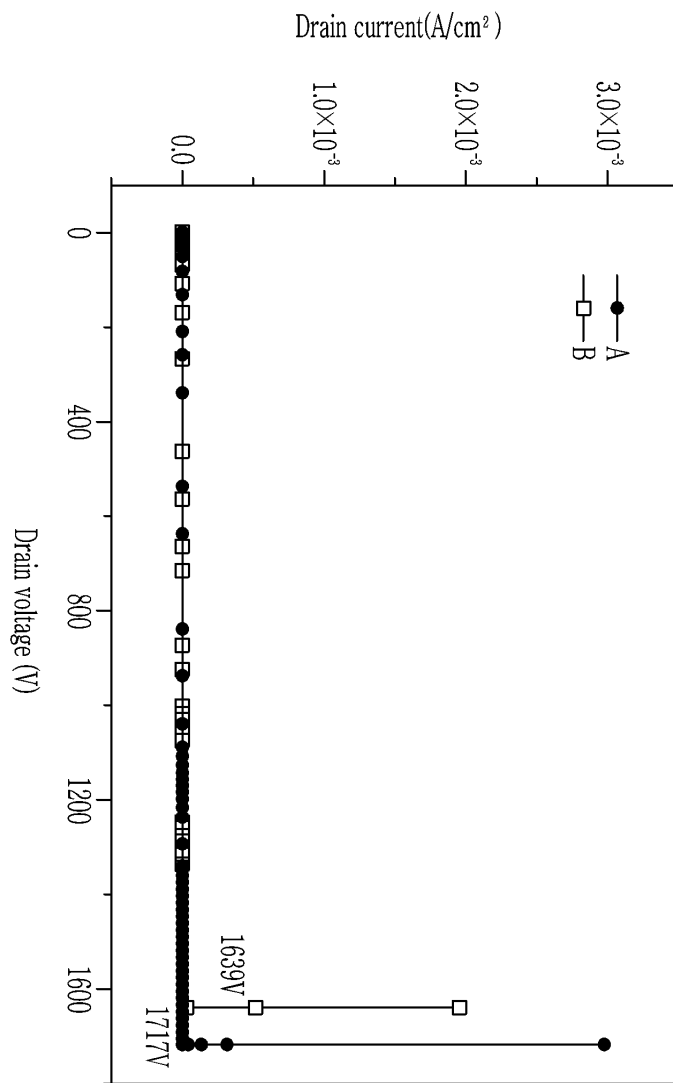
도면4



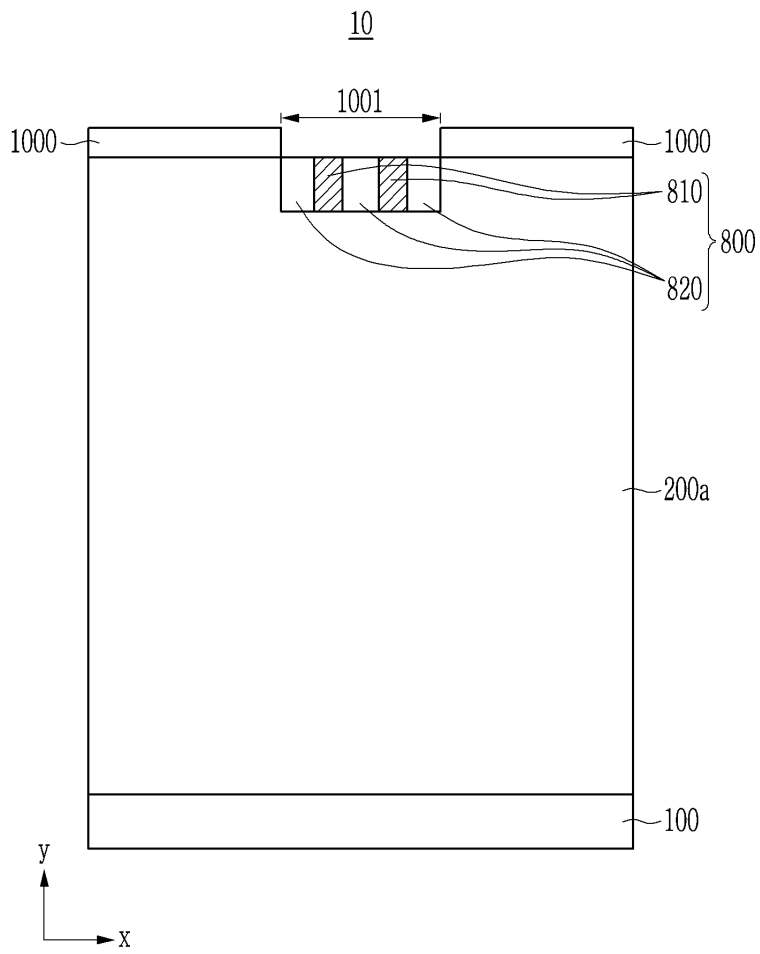
도면5



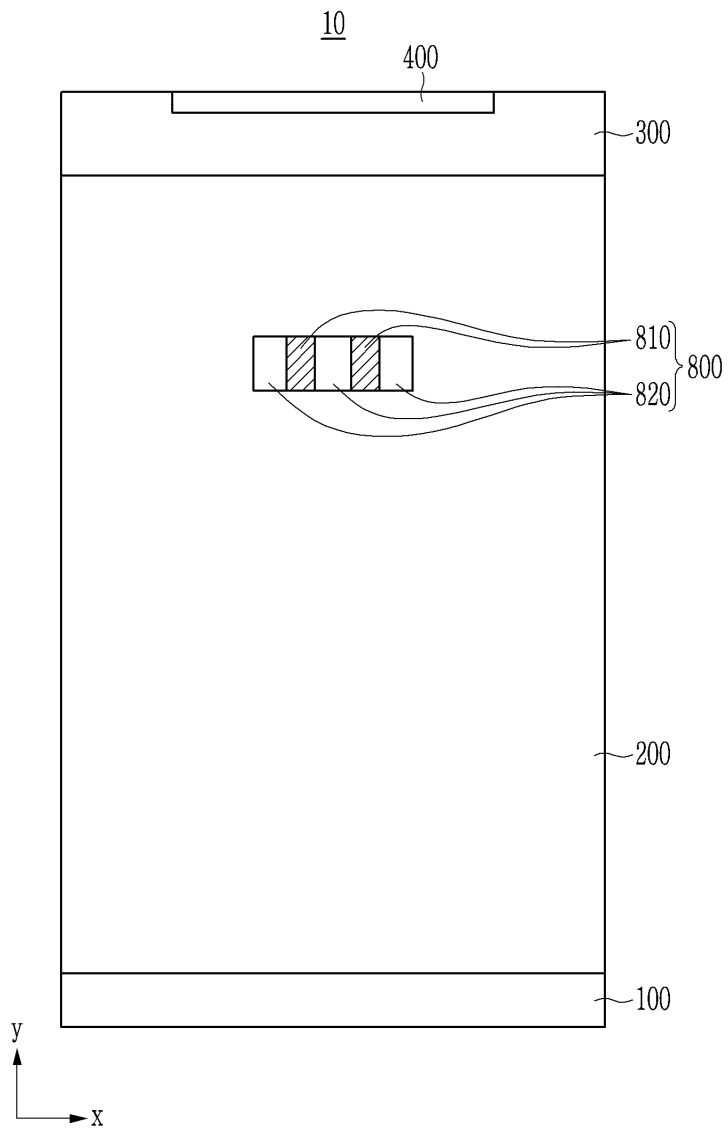
도면6



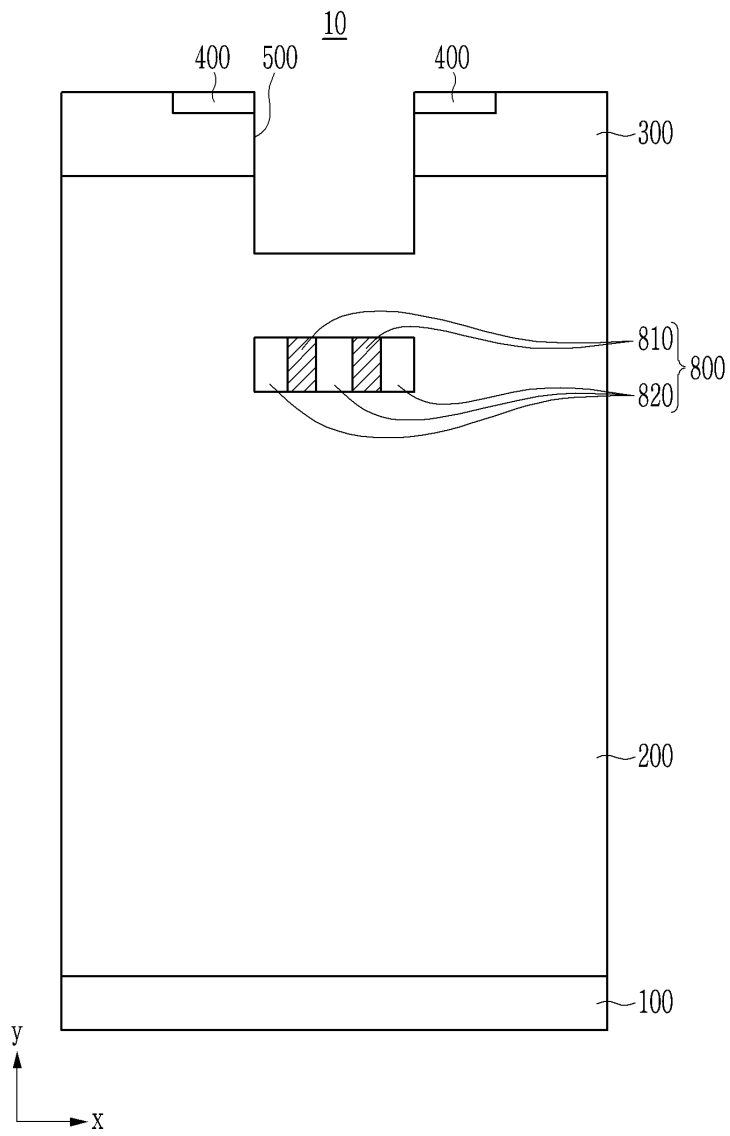
도면7



도면8



도면9



도면10

