

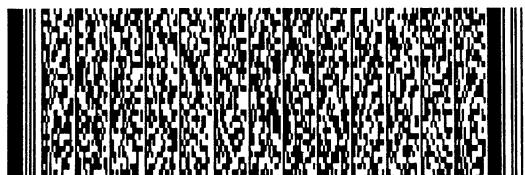
I255543

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	4. 多民尼克 J 薛皮斯 5. 蓋凡姆 G 雪西迪
	姓名 (英文)	4. SCHEPIS, DOMINIC J. 5. SHAHIDI, GHAVAM G.
	國籍 (中英文)	4. 美國 US 5. 伊朗 IR
	住居所 (中 文)	4. 美國紐約州12590瓦平爾瀑布市北山邊湖路890號 5. 美國紐約州10576塘脊市巴尼蓋路111號
	住居所 (英 文)	4. 890 North Hillside Lake Road, Wappingers Falls, NY 12590 USA 5. 111 Barnegat Road, Pound Ridge, NY 10576 USA
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



4IRM03138TW ptd

一、本案已向

國家(地區)申請專利 申請日期 案號 主張專利法第二十四條第一項優先權
美國 US 2003/01/07 10/338, 103 有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

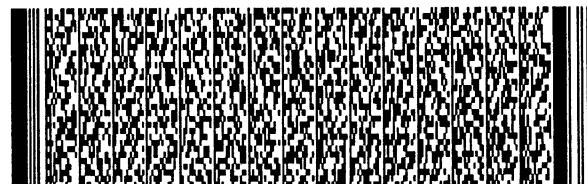
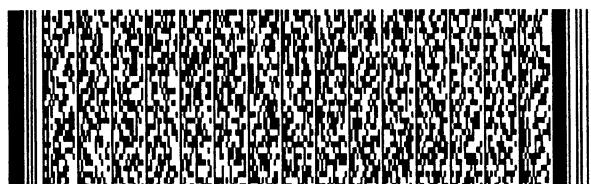
一、【發明所屬之技術領域】

本發明係關於一種互補式金氧半導體 (CMOS)裝置，特別是，關於一種在超薄絕緣層上矽製造具有增高式源 / 沖極層之互補式金氧半導體裝置。

二、【先前技術】

於 CMOS 發展中發現到習知以矽選擇性磊晶之增高式源極 / 沖極 (RSD) 層的問題。已發展出一些解決方案，如形成消耗較少量矽的 NiSi，但仍有一些限制如熱穩定性差。再者，於絕緣層上薄膜矽基材上形成具有增高式源極 / 沖極層之高性能 CMOS 裝置的習知製程具有下列的問題。首先，以矽選擇性磊晶形成增高式源極 / 沖極層極具挑戰性。增高式源極 / 沖極的習知製程包含於高溫 (一般 $> 825^\circ\text{C}$) 選擇性磊晶成長，以及於摻雜的源極 / 沖極表面的前清潔製程之化學蝕刻 / 清潔製程。磊晶製程習知為阻礙製造具有增高式源極 / 沖極於超薄絕緣層上矽之 CMOS 裝置的技術挑戰的因素。首先，高溫循環造成摻雜質 (源極 / 沖極延伸及環區 (S/D extension and halo)) 的瞬間增強擴散 (transient enhanced diffusion, TED)，其係於磊晶步驟前即介入通道區域。習知如此會造成顯著的短通道效應，如臨界電壓 (V_{th}) 下滑 (rolloff)。

其次，磊晶層及於基材上存在的源極 / 沖極區域之間的介面可造成相當大的變異性，且使得磊晶製程後形成的



五、發明說明 (2)

金屬矽化物層缺乏一致性，亦會增加源極 / 沖極阻值。再三，前清潔製程會破壞薄的淺溝渠隔離區域，其係亦由氧化物所形成。第四，形成於間隙壁上的磊晶層（面）的殘留，於磊晶製程期間可能改變於磊晶製程後植入之源極 / 沖極摻雜質的分佈。因此對裝置性能造成負面的影響。總之，於 CMOS 裝置的製程中，習知的磊晶製程涉及複雜的表面化學作用。再者，如此使得產業中的 CMOS 量產不容易實施。

因此，需要一種創新的在超薄絕緣層上矽製造具有增高式源 / 沖極層之互補式金氧半導體裝置及其製造方法，以克服習知製程及結構的限制。

三、【發明內容】

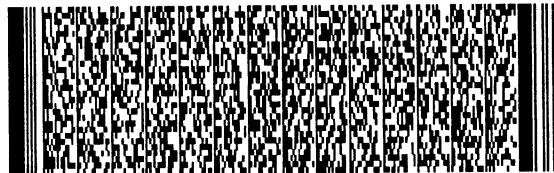
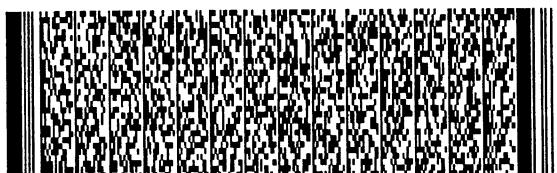
綜觀上述，本發明提供一種增高式源極 / 沖極絕緣層上矽電晶體裝置，包含一埋入式氧化 (BOX) 層、一絕緣層上矽晶圓於埋入式氧化層上、一閘極介電層於絕緣層上矽晶圓上、一閘極區域於閘極介電層上、一植入層鄰接絕緣層上矽晶圓，植入層包一沉積的材料、源極 / 沖極區域於植入層及絕緣層上矽晶圓上方、以及一淺溝渠隔離 (STI) 區域鄰接源極 / 沖極區域，其中淺溝渠隔離區域具有一上表面係高於閘極介電層之上表面。此裝置更包含至少一絕緣間隙壁包圍閘極區域。絕緣層上矽晶圓具有一預定厚度，且源極 / 沖極區域具有一厚度係大於絕緣層上矽晶圓



五、發明說明 (3)

之預定厚度。此外，淺溝渠隔離區域具有大體為圓形的角，其中淺溝渠隔離區域鄰接 (borders) 源極 / 沖極區域。再者，摻雜質層包含多晶矽及非晶矽之一。此外，源極 / 沖極區域無磊晶相關的缺陷。換句話說，源極 / 沖極區域包含一非磊晶材料。選替地，發明之一實施例提供一種互補式金氧半導體 (CMOS) 裝置，包含一埋入式氧化層、一絕緣層上矽晶圓於埋入式氧化層上，絕緣層上矽晶圓具有一預定厚度、一閘極結構於絕緣層上矽晶圓上、一閘極介電層於閘極結構及絕緣層上矽晶圓之間，閘極介電層位於埋入式氧化層上之一第一高度、一植入層鄰接絕緣層上矽晶圓，植入層包一沉積的材料、源極 / 沖極區域於植入層及絕緣層上矽晶圓內，其中源極 / 沖極區域具有一厚度係大於絕緣層上矽晶圓之預定厚度、以及一淺溝渠隔離區域具有大體為圓形的角，且位於埋入式氧化層上方，其中淺溝渠隔離區域之上表面係高於埋入式氧化層上之第一高度。CMOS 裝置更包含至少一絕緣間隙壁包圍閘極結構。絕緣層上矽晶圓之預定厚度係小於 55 奈米，且源極 / 沖極區域之厚度係於 200-300 埃之範圍。又，摻雜質層包含多晶矽及非晶矽之一。

一種形成一互補式金氧半導體 (CMOS) 裝置之方法，包含沉積一絕緣層上矽 (SOI) 晶圓於一埋入式氧化 (BOX) 基材上方，其中絕緣層上矽晶圓具有一預定厚度；形成一閘極介電層於絕緣層上矽晶圓上；形成一淺溝渠隔離 (STI) 區

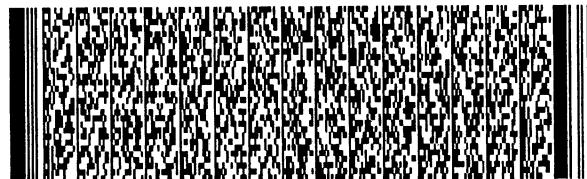
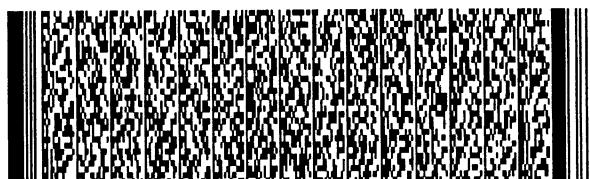


五、發明說明 (4)

域於埋入式氧化基材上，其中淺溝渠隔離區域具有一大體為圓形的角；形成一閘極結構於閘極介電層上；沉積一植入層於絕緣層上矽晶圓上；執行 N型及 P型之其一的摻雜質植入於絕緣層上矽晶圓及植入層內；以及加熱裝置以自植入層及絕緣層上矽晶圓形成源極及汲極區域，其中源極及汲極區域具有一厚度係大於絕緣層上矽晶圓之預定厚度；其中閘極介電層位於較淺溝渠隔離區域為低。

本方法更包含形成至少一絕緣間隙壁包圍閘極結構。再者，植入層包含多晶矽及非晶矽之一。此外，閘極結構之形成包含沉積一第一閘極多晶矽層於絕緣層上矽晶圓；沉積一氧化墊於第一閘極多晶矽層上；沉積一犧牲氮化層於氧化墊上；以及沉積一犧牲第二閘極多晶矽層於犧牲氮化層上。絕緣層上矽晶圓之預定厚度係小於 55奈米。源極 /汲極區域之厚度係於 200-300埃之範圍。

本發明提供一種獨特的解決方案，對於在超薄絕緣層上矽之低溫增高式源極 /汲極的形成、閘極後摻雜、分開源極 /汲極及多晶矽摻雜、以及閘極堆疊高度的降低，一起具有高的可用性及可製造性。相較於習知裝置及製程，本發明具有許多顯著不同的特徵。首先，本發明於淺溝渠隔離表面及閘極介電層介面之間提供一高度差（階梯）。再者，習知裝置固有以磊晶為基礎的增高式源極 /汲極特性，如面、多晶矽晶粒、氧的面劑濃度、以及於多晶矽閘



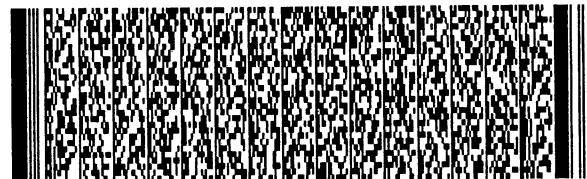
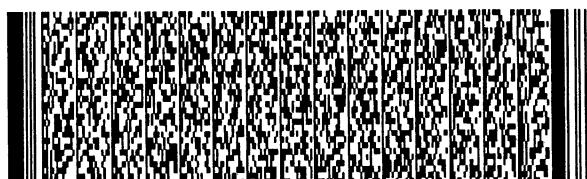
五、發明說明 (5)

極上的選擇性磊晶橫向成長，係不存在於本發明。此外，依據本發明，非磊晶增高式源極 / 汲極多晶矽層係全範圍地形成於淺溝渠隔離區域及主動區域上方。

本發明達成下列的優點。本發明藉由形成無需磊晶的增高式源極 / 汲極，解決所有於超薄絕緣層上矽之 CMOS 的選擇性磊晶增高式源極 / 汲極的基本問題。同時，本發明利用於源極 / 汲極上之多晶矽為緩衝層，後摻雜多晶矽閘極。再者，本發明係利用與增高式源極 / 汲極多晶矽平坦化相同的化學機械研磨，導致多晶矽閘極高度的降低。再者，對高性能邏輯 CMOS 裝置的製造，本發明達成於超薄絕緣層上矽之增高式源極 / 汲極，其係具有較習知閘極結構更積極的尺寸。此外，本發提供一種隔離源極 / 汲極電極的方法，係藉由階梯化淺溝渠隔離且利用淺溝渠隔離表面為標記回蝕刻多晶矽。此外，本發明提供一種解決與圍繞淺溝渠隔離邊緣之階梯狀角的多晶矽軌相關的問題，係於墊氧化層蝕刻及襯層氧化時圓化此角。

四、【實施方式】

如前所述，需要一種創新的在超薄絕緣層上矽製造具有增高式源 / 汲極層之互補式金氧半導體裝置及其製造方法，以克服習知製程及結構的限制。本發明提供一種形成縮小的 CMOS 結構於非常薄的絕緣層上矽具有增高式源極汲極層，係藉由多晶係沉積以及利用新設計的回蝕刻製程，

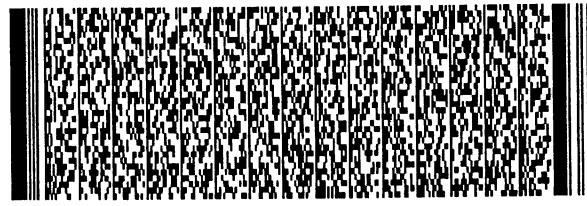
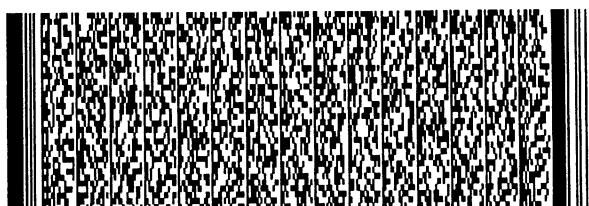


五、發明說明 (6)

而非用於習知製程的矽選擇性磊晶。

為方便說明，僅繪示一半的 CMOS 裝置 1、2 於圖式中（例如，僅繪示源極或汲極區域）。圖 15A 及 15B 則呈現整個結構。熟習技術之人士應明白實際上每一裝置 1、2 存在著鏡像結構（例如，對應的汲極或源極區域分別存在於閘極結構 40 的另一側）。本發明一般以下列方式執行。以圖 15A 所示的 N 型場效電晶體（NFET）裝置 1 為例，一電信號由源極 / 汲極區域 79(a)、79(b) 進入，且通過通道區域 20 到達互補的源極 / 汲極區域 79(a)、79(b)。如上所述，僅一半的 CMOS 裝置 1、2 繪示於圖 1A 至圖 14B。CMOS 裝置 1、2 包含一淺溝渠隔離區域 35 具有大體為圓形的角 37，且形成於一埋入式氧化層 10 上方，以及一閘極介電層 25 作為閘極 40 及源極 / 汲極區域 79(a)、79(b) 間的導阻障層。本發明之一獨特的特徵為淺溝渠隔離區域 35 之上表面 36 級結構上高於閘極介電介面 25。如此設計的好處是因為於製程時，即使在回蝕刻製程之後移除大部分的植入層 65，升高的淺溝渠隔離區域 35 允許保留植入層 65 的一部份。如此實質上允許非磊晶製程，有助於去除摻雜質的瞬間增強擴散效應，且亦降低短通道效應，如臨界電壓 (V_{th}) 下滑。此外，大體上曲型的淺溝渠隔離的角 37 消滅在多晶矽沉積後留在淺溝渠隔離上的多晶矽殘留量，藉此改進裝置性能。

參考圖式，且更特別參考圖 1A 至 18，其係本發明之較

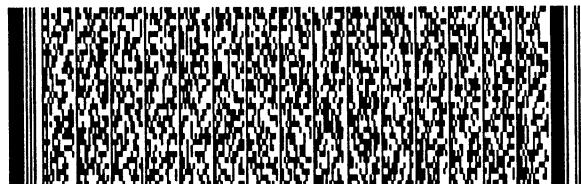
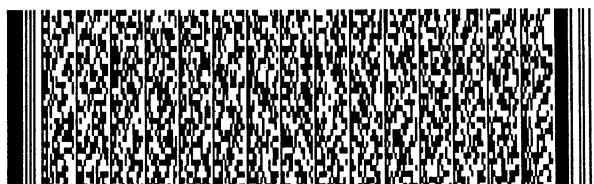


五、發明說明 (7)

佳實施例。本發明提供之 NFET 製程進行的步驟詳細繪示於圖 1A 至 15A，而本發明提供之 PFET 製程進行的步驟詳細繪示於圖 1B 至 15B。特別如圖 1A(NFET) 及 1B(PFET) 所示，一超薄的絕緣層上矽晶圓 20(如通道區域)，其較佳為厚度小於 55 奈米，係位於一埋入式氧化層 10 上。之後，依序沉積一氧化墊 25 及氮化層 30 於絕緣層上矽晶圓 20 上。氧化墊 25 為一犧牲層，用以保護一通道區域 26(示於圖 5A 及 5B)，且於濕蝕刻移除時，亦用以協助形成淺溝渠隔離區域 35 的圓角(示於圖 2A 及 2B)。氮化層 30 於後續的蝕刻製程中會被移除，其厚度較佳為尺寸化以接近等於後續增高式源極 /汲極層的目標厚度，其較佳約 200-300 埃。

製程的下一步驟示於圖 2A(NFET) 及 2B(PFET)，於氮化 / 氧化 / 絶緣層上矽堆疊 15 後，罩幕且蝕刻一淺溝渠隔離區域 35。此製程包含淺溝渠隔離襯層氧化，以助於形成淺溝渠隔離的圓角 37，如後續圖 4A 及 4B 所示。

然後，如圖 3A(NFET) 及 3B(PFET) 所示，利用濕蝕刻製程移除氮化層 30，藉此以淺溝渠隔離區域 35 配置一階梯，使得淺溝渠隔離表面 35 高於絕緣層上矽表面 20。之後，利用濕蝕刻製程移除氧化層 25，且同時圓化角 37，較佳如圖 4A(NFET) 及 4B(PFET) 所示。圓化淺溝渠隔離 35 的角 37 的製程避免於下個步驟中發生多晶矽軌的問題。多晶矽軌的問題涉及在反應性離子蝕刻後，留下閘極多晶矽的殘留於淺

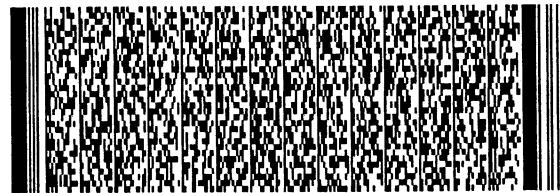


五、發明說明 (8)

溝渠隔離邊界，因此負面影響裝置的性能。因此，藉由圓化淺溝渠隔離 35的角 37，本發明較習知無圓化的淺溝渠隔離區域之裝置達到較佳的裝置性能。於製程的此步驟，淺溝渠隔離區域 35於絕緣層上矽表面 20上方的階梯高度較佳約為 300埃。

圖 5A(NFET)及 5B(PFET)繪示本發明的下一步驟。一多晶矽閘極堆疊 40係利用四乙基正矽酸鹽 (TEOS)硬遮罩 (未繪示)圖案化。多晶矽閘極堆疊 40係設計以於後續步驟中可減低其高度。多晶矽閘極堆疊 40的形成係利用沉積一多晶矽層 42，較佳係具有目標縮小高度約為 100埃。然後，依序沉積一氧化層 44、一氮化層 46及緩衝彷多晶矽層 48。接著，進行反應性離子蝕刻以形成閘極堆疊 40。假若淺溝渠隔離 35，係較佳約為 300埃，於淺溝渠隔離 35邊界造成多晶矽薄化，於多晶矽層 42沉積後，可選擇性利用化學機械研磨製程平坦化堆疊 40，然後可沉積薄氧化層 44、氮化層 46及緩衝彷多晶矽層 48，且之後可進行反應性離子蝕刻製程，以一致地定義閘極堆疊 40於淺溝渠隔離 35邊界上方。

製程的下一步驟如圖 6A(NFET)及 6B(PFET)所示係為閘極再氧化，其中一氧化或氮氧化絕緣層 50係沉積於絕緣層上矽晶圓 20、淺溝渠隔離區域 35及多晶矽閘極堆疊 40上方。此外，如圖 6A所示，一 N-延伸 /N-環植入發生於絕緣

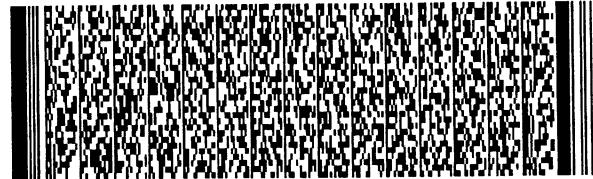


五、發明說明 (9)

層上矽晶圓 20內。區域 51表示為所致的 N型未回火摻雜區域，而區域 52表示為所致的 P型未回火摻雜區域。之後，沉積一低溫氧化 (LTO)帽蓋 55於氧化 /氮氧化絕緣層 50上方，較佳如圖 7A(NFET)及 7B(PFET)所示。選擇性地，可沿多晶矽閘極 40之側壁形成一氮化間隙壁 60。如圖 7B所示，P-延伸 /環植入發生於絕緣層上矽晶圓 20內。區域 53表示為所致的 P型未回火摻雜區域，而區域 54表示為所致的 N型未回火摻雜區域。

圖 8A(NFET)及 8B(PFET)繪示氮化間隙壁 60的進一步形成的製程，係利用快速熱化學氣相沉積 (RTCVD)，其中間隙壁 60被加寬。此外，移除除了介於間隙壁 60及絕緣層上矽 20間的部份以及介於間隙壁 60及多晶矽閘極堆疊 40間的部份以外的低溫氧化帽蓋 55及絕緣層 50。製程的下一步驟如圖 9A(NFET)及 9B(PFET)所示，沉積 (如非磊晶地)一層多晶矽 65於 NFET裝置 1及 PFET裝置 2上，較佳於低溫約 620°C 或更低。多晶矽層 65避免摻雜質遷移入通道 20，係利用低壓化學氣相沉積 (LPCVD)。選替地，一非晶矽層 (未繪示) 可較佳以低溫沉積於於裝置 1、2上。因此，相對於習知源極 /汲極結構利用磊晶成長技術，摻雜的源極 /汲極導體 65係利用共形沉積技術形成。如此允許共形沉積層 65無磊晶缺陷。

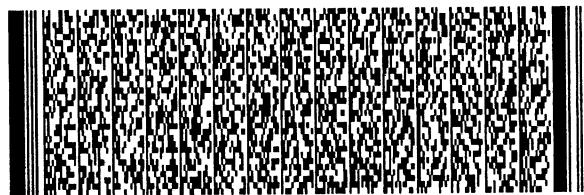
接著，圖 10A(NFET)及 10B(PFET)繪示利用化學機械研



五、發明說明 (10)

磨製程平坦化多晶矽層 65(例如，可使用習知 Obsidian化學機械研磨製程)，其中暴露出於多晶矽閘極 40頂端的氮化層 46。假如並未使用圖 5A及 5B的製程中所述之選擇性化學機械研磨製程，利用現行的 Obsidian化學機械研磨製程可能不會均勻地暴露氮化層 46，係因為於圖 3A及 3B的製程中所產生的淺溝渠隔離階梯 35。於此例中，當暴露及平坦化於氮化層 46頂端之仿多晶矽層 48時，Obsidian化學機械研磨製程可選擇性地終止。之後，進行多晶矽層 48的短回蝕刻製程，以暴露氮化層 46。再次說明，假如使用圖 5A及 5B的製程中所述之選擇性化學機械研磨製程，是不必要此回蝕刻製程。不論是使用上述的較佳製程或選擇性製程的哪一種，其所致的結構如圖 10A(NFET)及 10B(PFET)所示，於閘極結構 40之氮化層 46頂端的仿多晶矽層 48利用 Obsidian化學機械研磨製程移除，且其結果為多晶矽閘極 40的高度被減低至所欲達到的目標高度，同時形成了源極 /汲極遮擋多晶矽層 65。

依據本發明製程的下一步驟，裝置 1、2將進行閘極後摻雜植入。更明確地說，如圖 11A(NFET)及 11B(PFET)所示，裝置 1、2經歷中性物種的前非晶化製程(preamorphization)，然後分別利用 N型及 P型摻雜質進行 N閘極及 P閘極摻雜。因此，於源極 /汲極區域上的平坦化的多晶矽 65作為緩衝層，以將閘極摻雜及源極 /汲極摻雜分開。區域 66、67(與區域 51、54)表示 N型未回火摻雜區

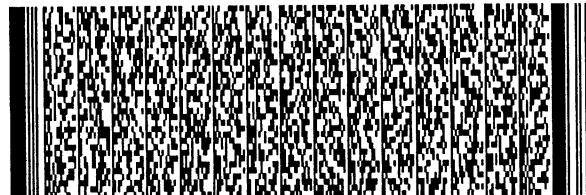


五、發明說明 (11)

域，而域區域 68、69(與區域 52、53)表示 P型未回火摻雜區域。之後，如圖 12A(NFET)及 12B(PFET)所示，多晶矽層 65經歷回蝕刻製程(乾蝕刻或選替地計時濕蝕刻)，而停止於淺溝渠離氧化表面 35。殘留的多晶矽 65包含增高式源極 /汲極區域。此外，因為多晶矽增高式源極 /汲極 65係於低溫沉積，植入的延伸及環摻雜質並未受到任何顯著的熱循環。因此，可避免如前所解釋磊晶增高式源極 /汲極的瞬間增強擴散的問題。再者，本發明於淺溝渠隔離區域 35的上表面 36及閘極介電層 25介面間提供了高度差(階梯)。也就是說，於淺溝渠隔離區域 35的上表面 35係結構上高於閘極介電介面 25。因為升高的淺溝渠隔離區域 35允許即使在蝕刻製程移除大部分的多晶矽層 65後，仍保留部分的多晶矽層 65，因此對摻雜質植入提供非磊晶層係為有益的。

於圖 13A(NFET)中，NFET 1經歷 NFET 源極 /汲極 (NSD) 砷植入。於此藉由執行砷植入係利用既存的薄氮化間隙壁 60，N-延伸 /NSD摻雜係盡可能的靠近閘極通道 26，因此最大化橫向摻雜程度而不傷害短通道特性，因為相較於 PFET 中的硼而言，砷係低擴散質。因此，區域 71與區域 51、67 表示為所致的 N-型未回火的摻雜區域。繪示於圖 13B 之 PFET 係保持於先前步驟未改變。

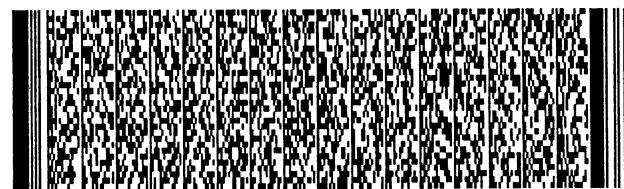
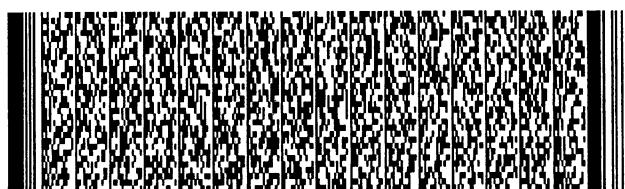
於圖 14A(NFET)及 14B(PFET)中，利用 RTCVD 沉積第一第二氮化間隙壁 61係相鄰第一氮化間隙壁 60。之後，於過蝕



五、發明說明 (12)

刻 (overetch)時，RIE製程移除多晶矽閘極40頂端的薄保護性氮化層46。假如此過蝕刻影響增高式源極/汲極層71、72的表面，則在最終RTCVD氮化間隙壁沉積前，選擇性地沉積一LTO帽蓋層(未繪示)，以保護增高式源極/汲極層71、72。圖14B顯示一PFET源極/汲極(PSD)硼/BF₂植入，接著形成最終氮化間隙壁61，其於後續最終熱循環時提供足夠的橫向間距以最小化於PFET元件2的硼橫向侵蝕。區域72與區域53、69表示為所致的P型未回火的摻雜區域，而區域54表示所致的N型未回火的摻雜區域。

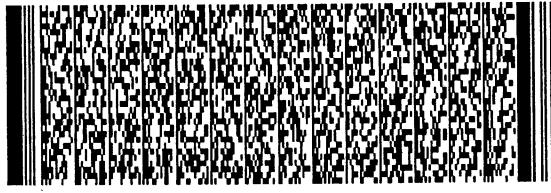
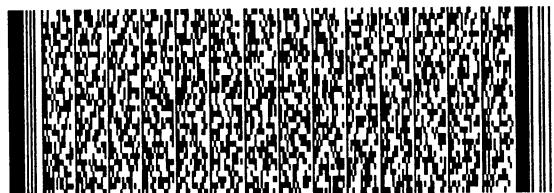
之後，如圖15A(NFET)及15B(PFET)所繪示，裝置1、2經歷一最終快速熱回火(RTA)製程，以回火所有摻雜質，且較佳於溫度950-1150°C。因為非磊晶增高式源極/汲極71、72係形成於非常低的溫度，且先前並未有其他的熱循環，RTA製程所有在裝置1、2中摻雜質的是唯一的回火製程。因此，本發明對高性能之深次0.1微米的CMOS裝置製造而言，提供摻雜質絕對最小的重分佈。區域73、85、86(示於圖15A)及區域87(示於圖15B)表示所致的N型活化摻雜區域，而區域74(示於圖15A)及區域75、88、89(示於圖15B)表示為所致的P型活化摻雜區域。區域70表示為裝置1、2的主動區域。裝置的不同區域經歷不同的摻雜、植入及回火製程，導致新的材料性質及物理結構。例如，示於圖13A的區域67變成圖15A的區域73。此外，示於圖13A的區域52變成圖15A的區域74。同時，示於圖13A的區域51的



五、發明說明 (13)

一部份變成圖 15A的區域 85。再者，示於圖 13A的區域 51的另一部份變成圖 15A的區域 86。又，示於圖 14B的區域 69變成圖 15B的區域 75。同樣地，示於圖 14B的區域 54變成圖 15B的區域 87。此外，示於圖 14B的區域 53變成圖 15B的區域 88。再者，示於圖 14B的區域 65變成圖 15B的區域 89。最後，示於圖 13A及圖 14B的區域 71、72分別變成圖 15A及圖 15B的區域 79(a)、79(b)。於此之後，矽金屬化及後端製程完成程序(未繪示)。

一種製造裝置 1、2的方法繪示於圖 16的流程圖，其中此方法包含形成 100STI 區域 35 鄰接一 SOI 晶圓 20，其中 SOI 晶圓 20 具有一 NFET 區域 51 及一 PFET 區域 53，且其中淺溝渠隔離區域 35 具有一大體為圓形的角 37。接下來的步驟包含形成 110—閘極結構 40 於 SOI 晶圓 20，執行 120 N-延伸及 N-環植入於 SOI 晶圓之 NFET 區域 51，且執行 130 P-延伸及 P-環植入於 SOI 晶圓之 PFET 區域 53。之後，一非磊晶植入層 65，較佳為包含多晶矽及非晶矽之其一，係於一極小溫度約 620°C 或更低之溫度，沉積於 SOI 晶圓上。製程的下一步驟涉及植入 150 閘極後摻雜植入於裝置 1、2。選擇性地，此方法包含形成 155 至少一絕緣間隙壁 60、61 鄰接閘極結構 40。然後，執行 160 N型及 P型源極 /汲極植入於植入層 65 內。最後，裝置 1、2 歷經回火製程 170 係於一升高的溫度約於 950-1150°C 的範圍。

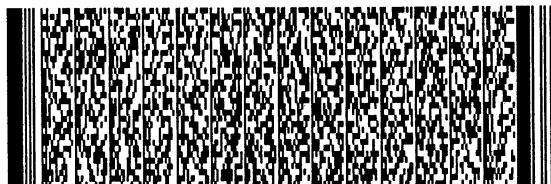
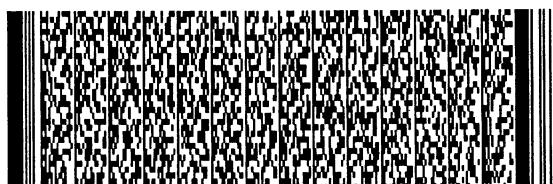


五、發明說明 (14)

如圖 17所示的流程圖，閘極結構 40係沉積 112—第一閘極多晶矽層 42於絕緣層上矽晶圓 20上，沉積 114—氧化墊 44於第一閘極多晶矽層 42上，沉積 116—犧牲氮化層 46於氧化墊 44上，以及沉積 118—犧牲第二閘極多晶矽層 48於犧牲氮化層 46上。

再者，本發明提供一種製造 CMOS裝置 1、2的方法，如圖 18之流程圖所示，其中此方法包含沉積 200—SOI晶圓 20於一埋入式氧化 (BOX)基材 10上方，其中絕緣層上矽晶圓 20具有一預定厚度。下一步驟涉及形成一閘極介電層 25於絕緣層上矽晶圓 20上。接下來，形成 220—淺溝渠隔離區域 35於埋入式氧化基材 10上，其中淺溝渠隔離區域 35具有一大體為圓形的角 37，且其中閘極介電層 25係位於較淺溝渠隔離區域 35為低。然後，形成 230—閘極結構 40於閘極介電層 25上，且一非磊晶植入層 65沉積 240於絕緣層上矽晶圓 20上。製程的下一步驟包含執行 250 N型及 P型摻雜質植入於絕緣層上矽晶圓 20及植入層 65內，以及加熱 260裝置 1、2以自植入層 65及絕緣層上矽晶圓 20形成源極及汲極區域 85、86、88、89，其中源極及汲極區域 85、86、88、89具有一厚度係大於絕緣層上矽晶圓 20之預定厚度。此方法更包含形成至少一絕緣間隙壁 60、61包圍閘極結構 40以及於一升高溫度回火 280 CMOS裝置 1、2。

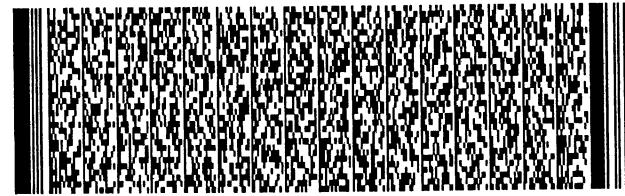
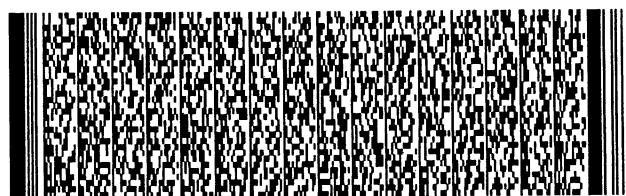
本發明提供一種獨特的解決方案，係為形成低溫增高



五、發明說明 (15)

式源極 /汲極於超薄 SOI、閘極摻雜、分離源極 /汲極及多晶矽摻雜，以及降低閘極堆疊高度，全部一起為高可用性及可製造性。此乃本發明與習知裝置及製程的幾個突出特徵，以下描述其中一些。首先，本發明於 STI表面 35及閘極介電層 25介面之間，提供一高度差。因為一升高的 STI允許即使在移除大部分的多晶矽層 65的回蝕刻製程後，保留多晶矽層 65的一部份，因此對摻雜質植入提供非磊晶層係為有益的。再者，習知裝置固有以磊晶為基礎的增高式源極 /汲極特性，如面、多晶矽晶粒、氧的面劑濃度、以及於多晶矽閘極上的選擇性磊晶橫向成長，係不存在於本發明。此外，依據本發明，非磊晶增高式源極 /汲極多晶矽層 65係全範圍地形成於淺溝渠隔離區域 35及主動區域上方。因此，於矽金屬化製程後，源極 /汲極區域（全體地為 85、86、88、89）於主動區域 79(a)、79(b)間為短路。

本發明一般以下列方式操作。以圖 15A中的 NFET裝置 1為例，一電信號於源極 /汲極區域 79(a)、79(b)進入，且通過通道區域 20到達互補的汲極 /源極區域 79(a)、79(b)。因此，本發明作用與傳統的電晶體作用一樣。然而，CMOS裝置 1、2包含一 STI區域 35係具有一大體為圓形的角 37形成於一 BOX層及一閘極介電介面 25上方，係作為閘極 40及源極 /汲極區域 74、85、86間的傳導屏障。本發明之一獨特特徵為 STI區域 35之上表面 36係結構性地高於閘極介電介面 25。如此為有益的，因為於製程期間，升高

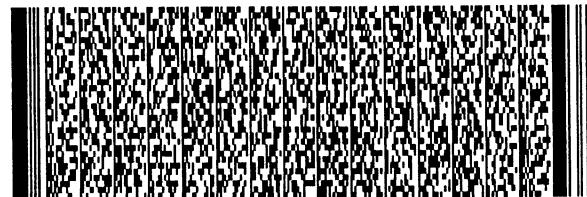


五、發明說明 (16)

的淺溝渠隔離區域 35允許即使在後續回蝕刻製程移除大部分的多晶矽層 65後，仍保留部分的多晶矽層 65。如此實質上允許一非磊晶基礎製程，有益於去除摻雜質的瞬間增強擴散效應，並且減少短通道效應，如臨界電壓 (V_{th})下滑。此外，一大體為曲化的 STI角 37降低在多晶係沉積後剩餘在 STI上的多晶矽殘留物的量，藉此改進元件性能。

本發明達到以下的優點。本發明藉由形成無需磊晶的增高式源極 /汲極，解決所有於超薄絕緣層上矽之 CMOS的選擇性磊晶增高式源極 /汲極的基本問題。同時，本發明利用於源極 /汲極上之多晶矽為緩衝層，後摻雜多晶矽閘極。再者，本發明係利用與增高式源極 /汲極多晶矽平坦化相同的化學機械研磨，導致多晶矽閘極高度的降低。再者，對高性能邏輯 CMOS裝置的製造，本發明達成於超薄絕緣層上矽之增高式源極 /汲極，其係具有較習知閘極結構更積極的尺寸。此外，本發提供一種隔離源極 /汲極電極的方法，係藉由階梯化淺溝渠隔離且利用淺溝渠隔離表面為標記回蝕刻多晶矽。此外，本發明提供一種解決與圍繞淺溝渠隔離邊緣之階梯狀角的多晶矽軌相關的問題，係於墊氧化層蝕刻及襯層氧化時圓化此角。

綜上所述之優點，本發明利用 SOI基材藉經由於非常低的溫度建造增高式源極 /汲極區域，使能製造最大化性能的 CMOS裝置，因此完全地避免許多問題，如在薄 SOI上



五、發明說明 (17)

形成金屬矽化物、短通道降級，以及高溫之選擇性磊晶增高式源極 /汲極製程於磊晶基材介面所引起的缺陷相關的問題等。

以上所述僅為本發明之較佳實施例而已，熟習此技術之人士應明瞭凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。此外，為使容易瞭解本發明，於圖式中僅繪示一半的 CMOS 裝置 1、2(例如，僅繪示源極或汲極區域)。熟習技術之人士應明白實際上每一裝置 1、2 存在著鏡像結構(例如，對應的汲極或源極區域分別存在於閘極結構 40 的另一側)。



圖式簡單說明

五、【圖式簡單說明】

本發明由較佳實施例的詳細說明配合圖式可更加的了解：

圖 1A係本發明 CMOS裝置之部分完成 NFET元件之示意圖；

圖 1B係本發明 CMOS裝置之部分完成 PFET元件之示意圖；

圖 2A係本發明 CMOS裝置之部分完成 NFET元件之示意圖；

圖 2B係本發明 CMOS裝置之部分完成 PFET元件之示意圖；

圖 3A係本發明 CMOS裝置之部分完成 NFET元件之示意圖；

圖 3B係本發明 CMOS裝置之部分完成 PFET元件之示意圖；

圖 4A係本發明 CMOS裝置之部分完成 NFET元件之示意圖；

圖 4B係本發明 CMOS裝置之部分完成 PFET元件之示意圖；

圖 5A係本發明 CMOS裝置之部分完成 NFET元件之示意圖；

圖 5B係本發明 CMOS裝置之部分完成 PFET元件之示意圖；

圖 6A係本發明 CMOS裝置之部分完成 NFET元件之示意



圖式簡單說明

圖；

圖 6B係本發明 CMOS裝置之部分完成 PFET元件之示意

圖；

圖 7A係本發明 CMOS裝置之部分完成 NFET元件之示意

圖；

圖 7B係本發明 CMOS裝置之部分完成 PFET元件之示意

圖；

圖 8A係本發明 CMOS裝置之部分完成 NFET元件之示意

圖；

圖 8B係本發明 CMOS裝置之部分完成 PFET元件之示意

圖；

圖 9A係本發明 CMOS裝置之部分完成 NFET元件之示意

圖；

圖 9B係本發明 CMOS裝置之部分完成 PFET元件之示意

圖；

圖 10A係本發明 CMOS裝置之部分完成 NFET元件之示意

圖；

圖 10B係本發明 CMOS裝置之部分完成 PFET元件之示意

圖；

圖 11A係本發明 CMOS裝置之部分完成 NFET元件之示意

圖；

圖 11B係本發明 CMOS裝置之部分完成 PFET元件之示意

圖；

圖 12A係本發明 CMOS裝置之部分完成 NFET元件之示意



圖式簡單說明

圖；

圖 12B係本發明 CMOS裝置之部分完成 PFET元件之示意

圖；

圖 13A係本發明 CMOS裝置之部分完成 NFET元件之示意

圖；

圖 13B係本發明 CMOS裝置之部分完成 PFET元件之示意

圖；

圖 14A係本發明 CMOS裝置之部分完成 NFET元件之示意

圖；

圖 14B係本發明 CMOS裝置之部分完成 PFET元件之示意

圖；

圖 15A係本發明 CMOS裝置之 NFET元件之示意圖；

圖 15B係本發明 CMOS裝置之 PFET元件之示意圖；

圖 16係本發明一較佳實施方法之流程圖；

圖 17係本發明一較佳實施方法之流程圖；以及

圖 18係本發明一較佳實施方法之流程圖。

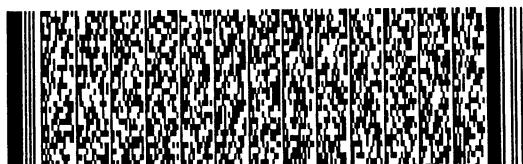
圖式元件符號說明

1	CMOS裝置	2	CMOS裝置
10	埋入式氧化基材	15	氮化 / 氧化 / 絝緣層上矽堆疊
20	絝緣層上矽晶圓	25	閘極介電層
26	通道區域	30	氮化層
35	淺溝渠隔離區域	36	上表面
37	圓角	40	閘極



圖式簡單說明

42	多晶矽層	44	氧化層
46	氮化層	48	緩衝仿多晶矽層
50	絕緣層	51	N型未回火摻雜區域
52	P型未回火摻雜區域	53	P型未回火摻雜區域
54	N型未回火摻雜區域	55	帽蓋層
60	間隙壁	61	間隙壁
65	植入層	66	N型未回火摻雜區域
67	N型未回火摻雜區域	68	P型未回火摻雜區域
69	P型未回火摻雜區域	71	N型未回火摻雜區域
72	P型未回火摻雜區域	73	N-型活化摻雜區域
74	P-型活化摻雜區域	75	P-型活化摻雜區域
79(a)	源極 / 沖極區域	79(b)	源極 / 沖極區域
85	N-型活化摻雜區域	86	N-型活化摻雜區域
87	N-型活化摻雜區域	88	P-型活化摻雜區域
89	P-型活化摻雜區域		

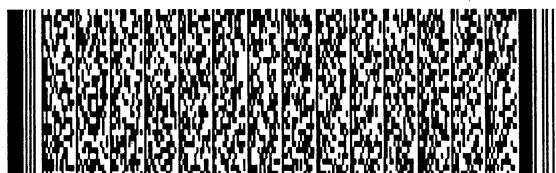


四、中文發明摘要 (發明名稱：一種在超薄絕緣層上覆矽而且具有增高式源 / 汲極之互補金
氧半導體及其製造方法)

一種互補式金氧半導體裝置的方法及結構，包含沉積
絕緣層上矽 (SOI) 晶圓於埋入式氧化 (BOX) 基材上方，其中
SOI 晶圓具有一預定厚度；形成閘極介電層於 SOI 晶圓上；
形成淺溝渠隔離 (STI) 區域於 BOX 基材上，其中淺溝渠隔離
區域具有大體為圓形的角；形成閘極結構於閘極介電層
上；沉積植入層於 SOI 晶圓上；執行 N型及 P型之其一的摻
雜質植入於 SOI 晶圓及植入層內；以及加熱此裝置以自植
入層及 SOI 晶圓，形成源極及汲極區域，其中源極及汲極
區域具有一厚度係大於 SOI 晶圓之預定厚度，且其中閘極
介電層位置較淺溝渠隔離區域為低。

五、英文發明摘要 (發明名稱：A CMOS DEVICE ON ULTRATHIN SOI WITH A DEPOSITED RAISED SOURCE/DRAIN, AND A METHOD OF MANUFACTURE)

A method and structure for a CMOS device comprises depositing a silicon over insulator (SOI) wafer over a buried oxide (BOX) substrate, wherein the SOI wafer has a predetermined thickness; forming a gate dielectric over the SOI wafer; forming a shallow trench isolation (STI) region over the BOX substrate, wherein the STI region is configured to have a generally rounded



四、中文發明摘要 (發明名稱：一種在超薄絕緣層上覆矽而且具有增高式源 / 沖極之互補金
氧半導體及其製造方法)

五、英文發明摘要 (發明名稱：A CMOS DEVICE ON ULTRATHIN SOI WITH A DEPOSITED
RAISED SOURCE/DRAIN, AND A METHOD OF MANUFACTURE)

corner; forming a gate structure over the gate dielectric; depositing an implant layer over the SOI wafer; performing one of N-type and P-type dopant implantations in the SOI wafer and the implant layer; and heating the device to form source and drain regions from the implant layer and the SOI wafer, wherein the source and drain regions have a thickness greater than the



四、中文發明摘要 (發明名稱：一種在超薄絕緣層上覆矽而且具有增高式源 / 沖極之互補金
氧半導體及其製造方法)

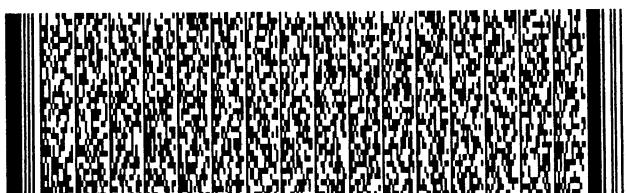
五、英文發明摘要 (發明名稱：A CMOS DEVICE ON ULTRATHIN SOI WITH A DEPOSITED
RAISED SOURCE/DRAIN, AND A METHOD OF MANUFACTURE)

predetermined thickness of the SOI wafer, wherein
the gate dielectric is positioned lower than the
STI region.



六、申請專利範圍

1. 一種增高式源極 / 沖極 (RSD) 之絕緣層上矽 (SOI) 電晶體裝置，包含：
 - 一埋入式氧化 (BOX) 層；
 - 一絕緣層上矽晶圓於該埋入式氧化層上；
 - 一閘極介電層於該絕緣層上矽晶圓上；
 - 一閘極區域於該閘極介電層上；
 - 一植入層鄰接該絕緣層上矽晶圓，該植入層包一沉積的材料；
 - 源極 / 沖極區域於該植入層及該絕緣層上矽晶圓上方；以及
 - 一淺溝渠隔離 (STI) 區域鄰接該源極 / 沖極區域，其中該淺溝渠隔離區域具有一上表面係高於該閘極介電層之上表面。
2. 如申請專利範圍第 1 項所述之裝置，更包含至少一絕緣間隙壁包圍該閘極區域。
3. 如申請專利範圍第 1 項所述之裝置，其中該絕緣層上矽晶圓具有一預定厚度，且該源極 / 沖極區域具有一厚度係大於該絕緣層上矽晶圓之該預定厚度。
4. 如申請專利範圍第 3 項所述之裝置，其中該淺溝渠隔離區域具有大體為圓形的角，其中該淺溝渠隔離區域鄰接 (borders) 該源極 / 沖極區域。



六、申請專利範圍

5.如申請專利範圍第1項所述之裝置，其中該摻雜質層包含多晶矽及非晶矽之一。

6.如申請專利範圍第1項所述之裝置，其中該源極/汲極區域無磊晶相關的缺陷。

7.如申請專利範圍第1項所述之裝置，其中該源極/汲極區域包含一非磊晶材料。

8.一種互補式金氧半導體(CMOS)裝置，包含：

一埋入式氧化層；

一絕緣層上矽晶圓於該埋入式氧化層上，該絕緣層上矽晶圓具有一預定厚度；

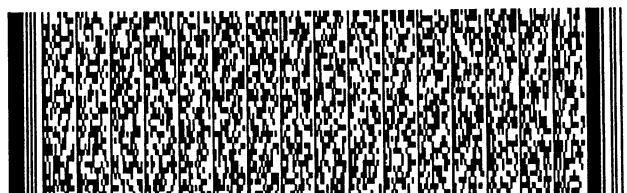
一閘極結構於該絕緣層上矽晶圓上；

一閘極介電層於該閘極結構及該絕緣層上矽晶圓之間，該閘極介電層位於該埋入式氧化層上之一第一高度；

一植入層鄰接該絕緣層上矽晶圓，該植入層包一沉積的材料；

源極/汲極區域於該植入層及該絕緣層上矽晶圓內，其中該源極/汲極區域具有一厚度係大於該絕緣層上矽晶圓之該預定厚度；以及

一淺溝渠隔離區域具有大體為圓形的角且位於該埋入式氧化層上方，其中該淺溝渠隔離區域之一上表面係高於



六、申請專利範圍

該埋入式氧化層上之該第一高度。

9.如申請專利範圍第8項所述之CMOS裝置，更包含至少一絕緣間隙壁包圍該閘極結構。

10.如申請專利範圍第8項所述之CMOS裝置，其中該絕緣層上矽晶圓之該預定厚度係小於55奈米。

11.如申請專利範圍第8項所述之CMOS裝置，其中該源極/汲極區域之該厚度係於200-300埃之範圍。

12.如申請專利範圍第8項所述之CMOS裝置，其中該摻雜質層包含多晶矽及非晶矽之一。

13.一種形成一互補式金氧半導體(CMOS)裝置之方法，該方法包含：

沉積一絕緣層上矽(SOI)晶圓於一埋入式氧化(BOX)基材上方，其中該絕緣層上矽晶圓具有一預定厚度；

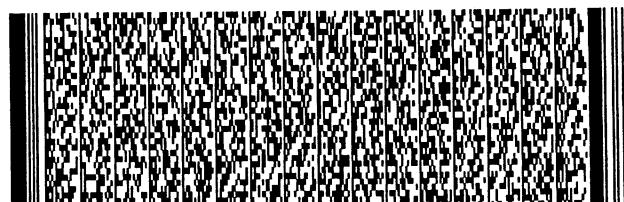
形成一閘極介電層於該絕緣層上矽晶圓上；

形成一淺溝渠隔離(STI)區域於該埋入式氧化基材上，其中該淺溝渠隔離區域具有一大體為圓形的角；

形成一閘極結構於該閘極介電層上；

沉積一植入層於該絕緣層上矽晶圓上；

執行N型及P型之其一的摻雜質植入於該絕緣層上矽晶



六、申請專利範圍

圓及該植入層內；以及

加熱該裝置以自該植入層及該絕緣層上矽晶圓形成源極及汲極區域，其中該源極及汲極區域具有一厚度係大於該絕緣層上矽晶圓之該預定厚度；

其中該閘極介電層位於較該淺溝渠隔離區域為低。

14.如申請專利範圍第13項所述之方法，更包含形成至少一絕緣間隙壁包圍該閘極結構。

15.如申請專利範圍第13項所述之方法，其中該植入層包含多晶矽及非晶矽之一。

16.如申請專利範圍第13項所述之方法，其中該閘極結構之形成包含：

沉積一第一閘極多晶矽層於該絕緣層上矽晶圓；

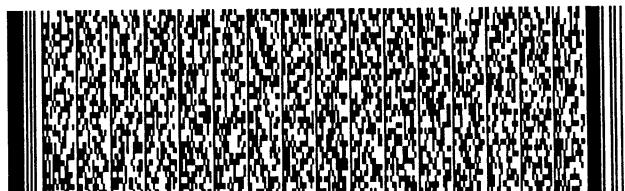
沉積一氧化墊於該第一閘極多晶矽層上；

沉積一犧牲氮化層於該氧化墊上；以及

沉積一犧牲第二閘極多晶矽層於該犧牲氮化層上。

17.如申請專利範圍第13項所述之方法，其中該絕緣層上矽晶圓之該預定厚度係小於55奈米。

18.如申請專利範圍第13項所述之方法，其中該源極/汲極區域之該厚度係於200-300埃之範圍。



I255543

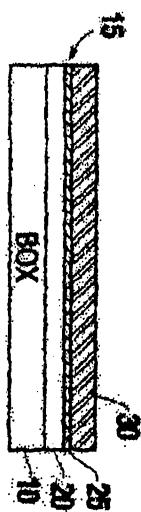


圖 1A



圖 1B

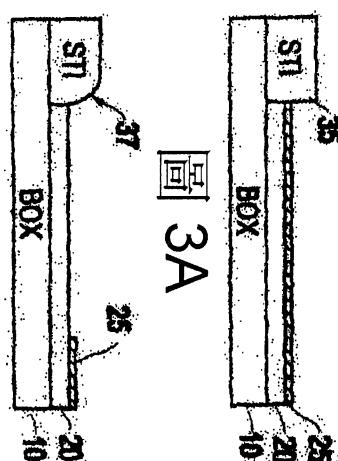


圖 2A

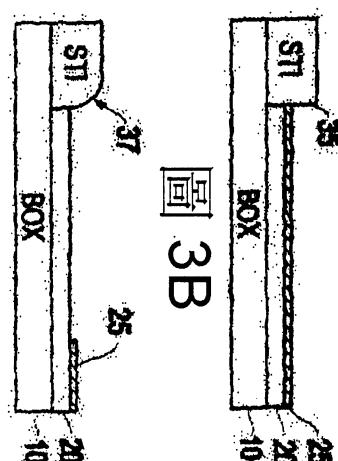


圖 2B

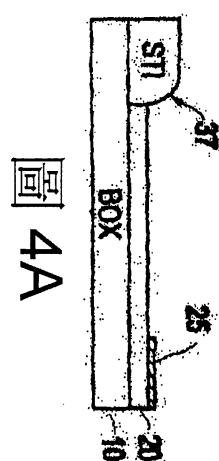


圖 3A

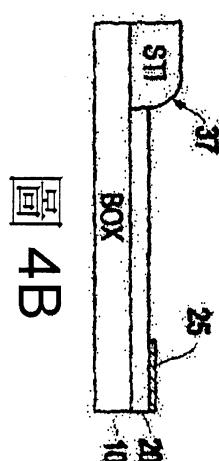


圖 3B

圖 4A

圖 4B

I255543

圖 5A

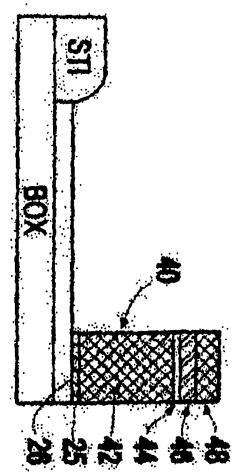


圖 5B

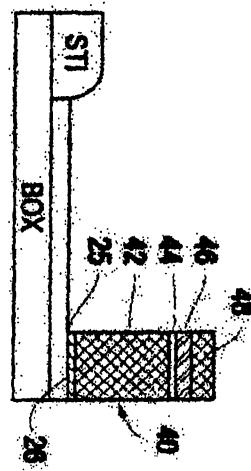


圖 6A

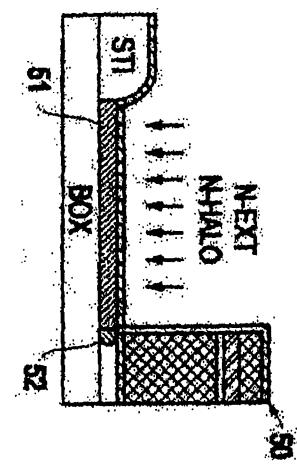
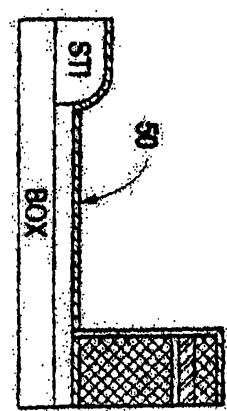


圖 6B



I255543

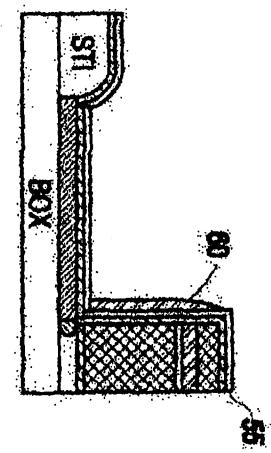


圖 7A

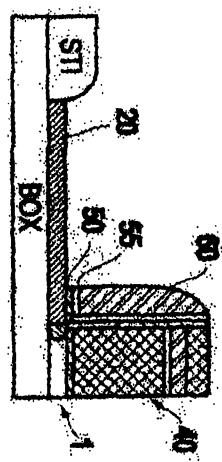


圖 8A

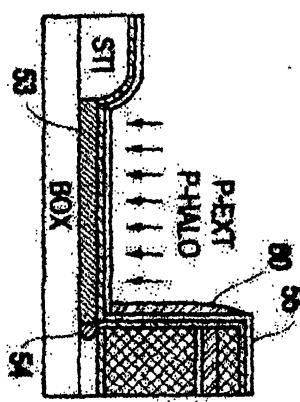


圖 7B

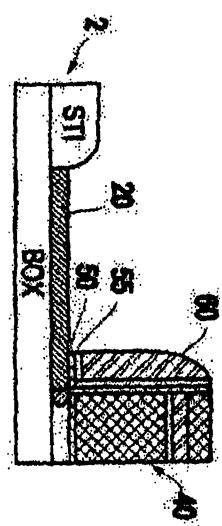


圖 8B

I255543

圖 10A

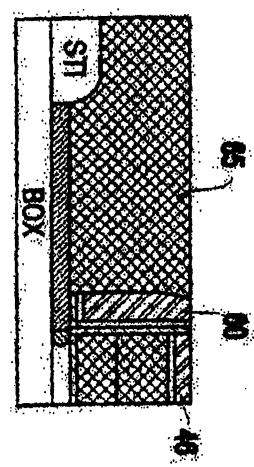


圖 9A

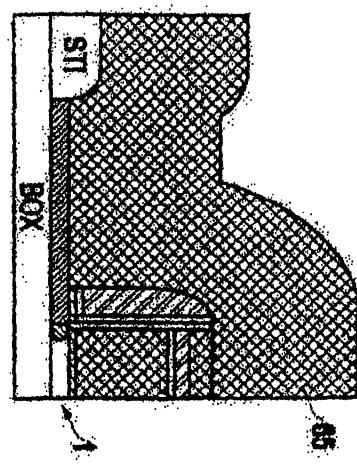


圖 10B

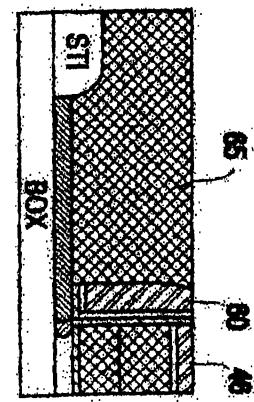
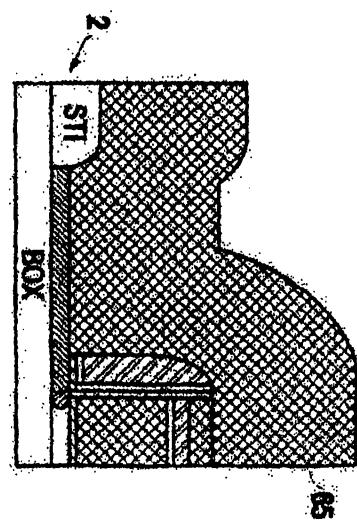


圖 9B



I25543

圖 11A

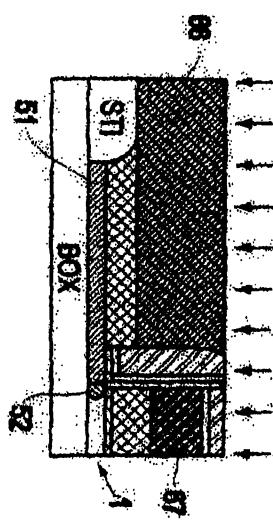


圖 11B

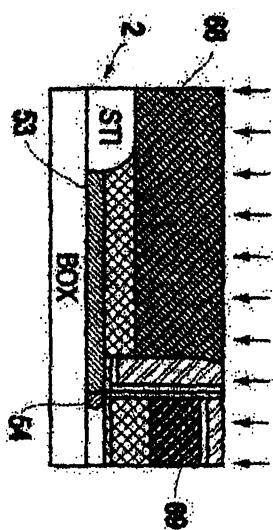


圖 12A

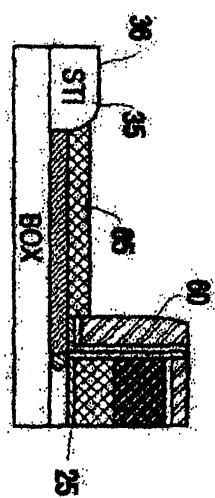
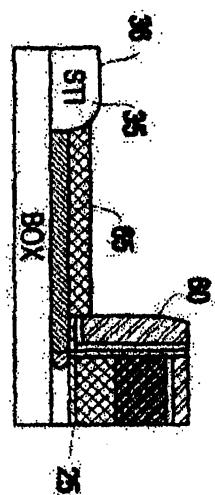


圖 12B



I255543

圖 13A

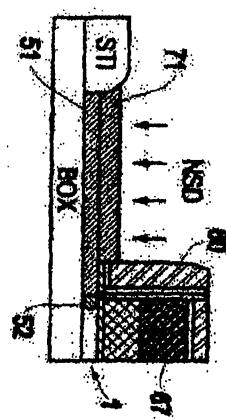


圖 13B

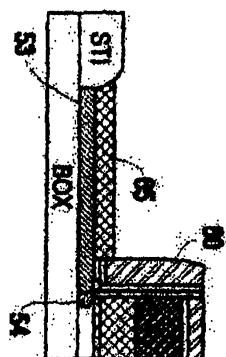


圖 14A

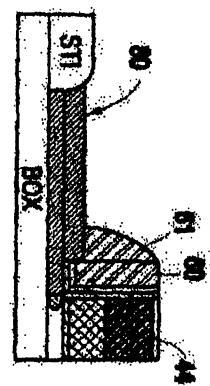
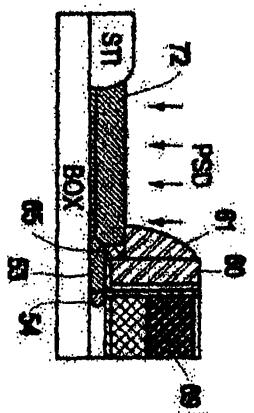


圖 14B



I25543

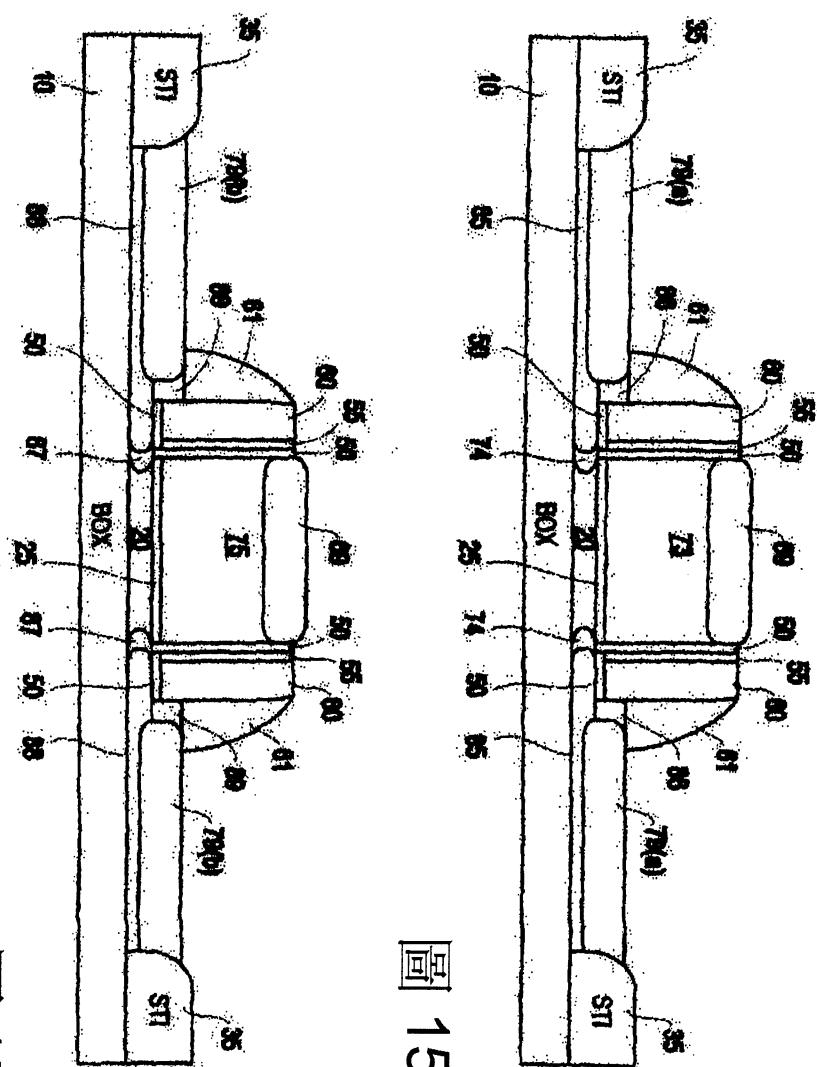


圖 15B

圖 15A

圖 16

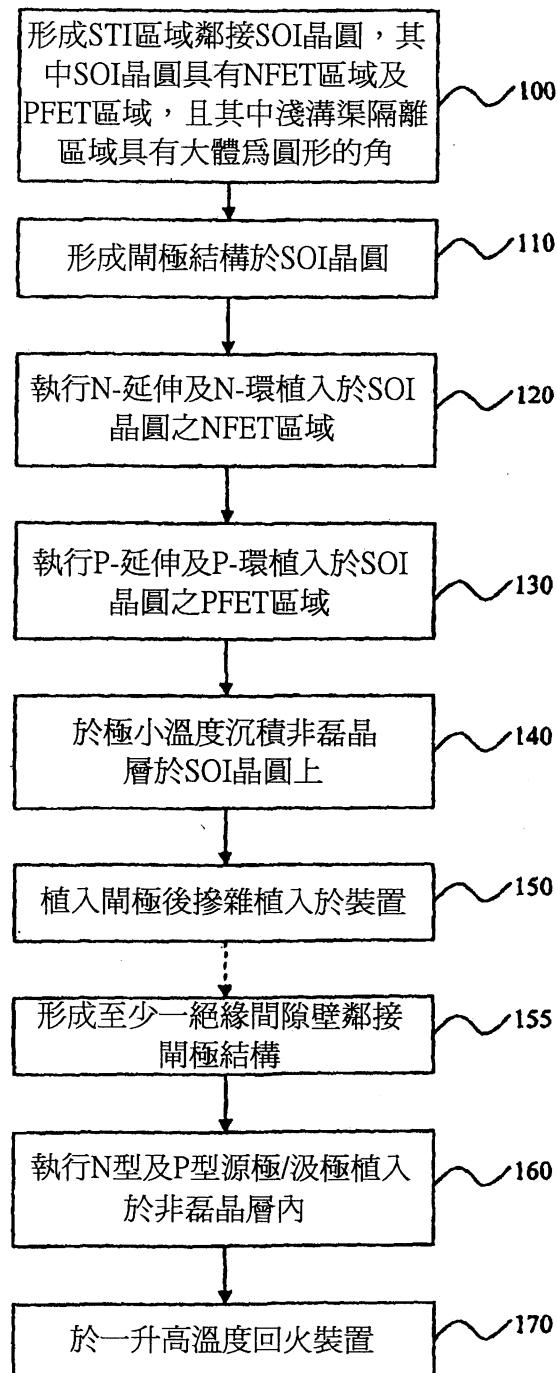


圖 17

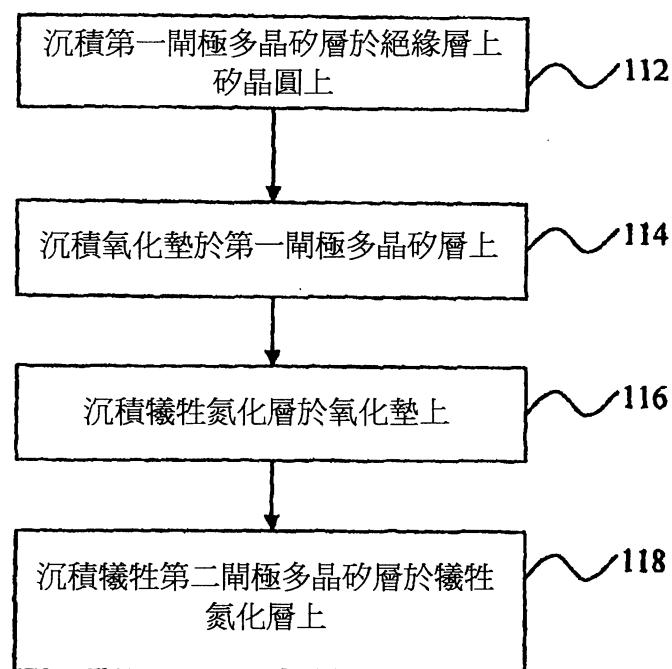
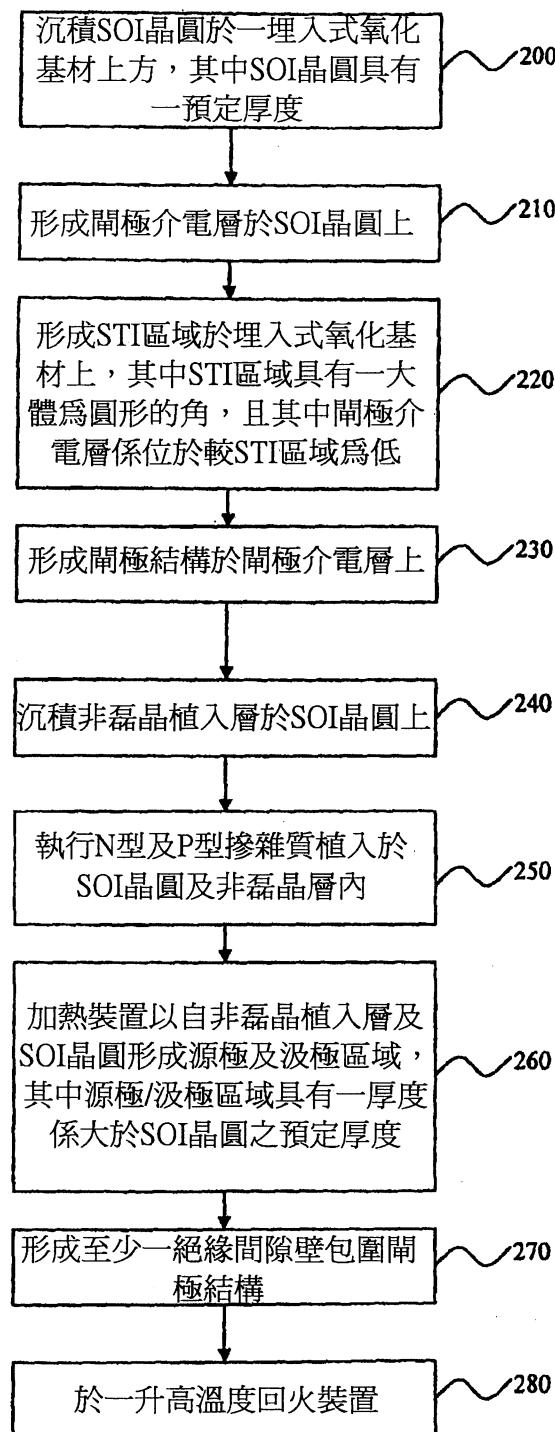


圖 18



六、指定代表圖

(一)、本案代表圖為：圖 15A

(二)、本案代表圖之元件代表符號簡單說明：

10	埋入式氧化基材	20	絕緣層上矽晶圓
25	閘極介電層	35	淺溝渠隔離區域
50	絕緣層	55	帽蓋層
60	間隙壁	61	間隙壁
73	N-型活化摻雜區域	74	P-型活化摻雜區域
79(a)	源極 / 沖極區域	85	N-型活化摻雜區域
86	N-型活化摻雜區域		



公告本

I255543
正補充

申請日期：93.1.2

IPC分類

申請案號：93100051

H01L 27/01

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	一種在超薄絕緣層上覆矽而且具有增高式源 / 沖極之互補金氧半導體及其製造方法
	英文	A CMOS DEVICE ON ULTRATHIN SOI WITH A DEPOSITED RAISED SOURCE/DRAIN, AND A METHOD OF MANUFACTURE
二、 發明人 (共5人)	姓名 (中文)	1. 保羅 D 阿格內羅 2. 李炳 H 3. 朴喜明
	姓名 (英文)	1. AGNELLO, PAUL D. 2. LEE, BYOUNG H. 3. PARK, HEEMYONG
	國籍 (中英文)	1. 美國 US 2. 韓國 KR 3. 韓國 KR
	住居所 (中 文)	1. 美國紐約州12590瓦平爾瀑布市布瑞農場巷17號 2. 美國紐約州12590瓦平爾瀑布市羅賓森巷20號 3. 美國紐約州12540農庄市回憶小徑8號
	住居所 (英 文)	1. 17 Bray Farm Lane, Wappingers Falls, NY 12590 USA 2. 20 Robinson Lane, Wappingers Falls, NY 12590 USA 3. 8 Memory Trail, LaGrangeville, NY 12540 USA
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 萬國商業機器公司
	名稱或 姓 名 (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中 文)	1. 美國紐約州10504亞芒克市新奧爾察德路 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. New Orchard Road, Armonk, NY 10504, USA
	代表人 (中文)	1. 傑羅 羅森梭
代表人 (英文)	1. Gerald Rosenthal	

