(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0077530
(43) 공개일자 2010년07월08일

(51) Int. Cl.
H03D 3/02 (2006.01) *H03L 7/091* (2006.01)
(21) 출원번호 10-2008-0135493
(22) 출원일자 2008년12월29일
심사청구일자 2008년12월29일

(71) 출원인
인하대학교 산학협력단
인천 남구 용현동 253 인하대학교
(72) 발명자
곽경섭
인천시 남구 용현3동 인하대학교 하이테크센터 302호
정정화
서울시 성동구 행당1동 한양대학교 산학기술관 718호
(뒷면에 계속)
(74) 대리인
특허법인무한

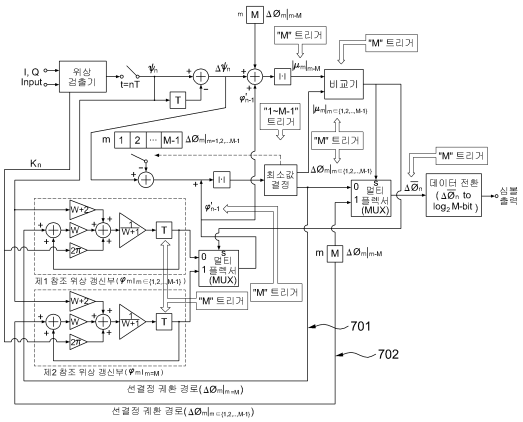
전체 청구항 수 : 총 3 항

(54) 결정 궤환 구조를 가진 차동 위상 검출기의 고속 데이터 처리 구조

(57) 요 약

결정 궤환 구조를 가진 차동 위상 검출기의 고속 데이터 처리 구조를 개시한다. 차동 위상 검출기의 고속 데이터 처리 구조는 수신 위상에 대하여 클럭 트리거의 M-1번째 과정에서 M번째의 위상 검출 결과를 선 계산하는 선 계산 구조; 및, 상기 클럭 트리거의 M-1번째 과정에서 첫 번째부터 M-1번째까지의 위상 검출 결과를 궤환하는 선 결정 궤환 구조를 포함한 고속 데이터 처리 구조를 DPD-RGPR(Differential Phase Detection with Recursively Generated Phase References)에 적용하고, 상기 고속 데이터 처리 구조에 의해 상기 클럭 트리거의 M번째 과정에서 상기 M-1번째까지의 위상 검출 결과와 M번째의 위상 검출 결과의 비교를 통해 차동 위상을 검출할 수 있다.

대 표 도 - 도7



(72) 발명자

정진두

서울시 성동구 행당1동 한양대학교 산학기술관 702호

오대건

서울시 성동구 행당1동 한양대학교 산학기술관 702호

이 발명을 지원한 국가연구개발사업

과제고유번호	IITA-2008-C1090-0801-0019
부처명	정보통신부
연구사업명	대학 IT 연구센터 육성 지원 사업
연구과제명	초광대역 (UWB) 무선전송 및 시스템 응용기술
주관기관	인하대학교 산학협력단
연구기간	2008년 01월 01일 ~ 2008년 12월 31일

특허청구의 범위

청구항 1

수신 위상에 대하여 클릭 트리거의 M-1번째 과정에서 M번째의 위상 검출 결과를 선 계산하는 선 계산 구조; 및,

상기 클릭 트리거의 M-1번째 과정에서 첫 번째부터 M-1번째까지의 위상 검출 결과를 궤환하는 선 결정 궤환 구조

를 포함한 고속 데이터 처리 구조를 DPD-RGPR(Differential Phase Detection with Recursively Generated Phase References)에 적용하고,

상기 고속 데이터 처리 구조에 의해 상기 클릭 트리거의 M번째 과정에서 상기 M-1번째까지의 위상 검출 결과와 M번째의 위상 검출 결과의 비교를 통해 차동 위상을 검출하는, 차동 위상 검출기의 고속 데이터 처리 구조.

청구항 2

제1항에 있어서,

상기 선 계산 구조는,

상기 M-1번째 과정에서 M번째 참조위상과의 비교 결과를 선 계산하는, 차동 위상 검출기의 고속 데이터 처리 구조.

청구항 3

제1항에 있어서,

상기 선 결정 궤환 구조는,

상기 M-1번째 과정에서 상기 M-1번째까지의 참조위상에서의 비교 결과를 통해 상기 M-1번째까지의 차동 위상을 선 결정하는, 차동 위상 검출기의 고속 데이터 처리 구조.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 차동 위상 검출기(DPD: Differential Phase Detector)에 관한 것으로, 더욱 상세하게는 결정 궤환 구조를 가진 차동 위상 검출기가 고속으로 데이터를 처리하기 위한 차동 위상 검출기의 고속 데이터 처리 구조에 관한 것이다.

배 경 기 술

[0002] M-ary DPSK(Differential Phase Shift Keying)는 비동기 복조를 위해 차동 부호화(differential encoding)와 차동 복호화(differential decoding)의 과정을 포함한 M-ary PSK(Phase Shift Keying) 방식이다. 이때, 차동 부호화는 이전 심볼의 위상에 현재 심볼에 해당하는 위상을 더하여 신호의 위상차로 전송될 신호를 나타내는 과정이며, 차동 복호화는 현재 수신된 위상과 이전에 수신된 위상의 차이를 구해 이에 해당하는 원래의 심볼을 찾아내는 과정이다.

[0003] 이러한 차동 복호화를 통해 수신된 신호의 위상을 복조하는 방법을 차동 위상 검출(Differential Phase Detection)이라 한다.

[0004] 수학식 1은 현재 수신된 위상(Ψ_n)의 구성 성분을 보여준다. 여기서, ϕ_n 는 송신된 위상 성분, η_n 는 채널에 의해 생성된 위상 잡음 성분, Θ 는 위상 오프셋 성분을 나타낸다.

수학식 1

[0005] $$\psi_n=(\phi_n+\eta_n+\theta)\bmod 2\pi$$

[0006] 수학식 2는 현재 수신된 위상(Ψ_n)과 이전에 수신된 위상(Ψ_{n-1})과의 차이를 구하는 차동 복호화를 나타낸다.

수학식 2

[0007] $$\Delta\psi_n=(\psi_n-\psi_{n-1})\bmod 2\pi=(\Delta\phi_n+\Delta\eta_n)\bmod 2\pi$$

[0008] 일반적인 차동 위상 검출기(이하, 'DPD'라 칭함)은 현재 수신된 신호의 위상(Ψ_n)을 검출한다. 현재 수신된 위상(Ψ_n)과 한 심볼 이전에 수신된 위상(Ψ_{n-1})과의 위상 차($\Delta\Psi_n$)를 구하여 M개의 참조 위상들 ($\Delta\phi_m|_{m=1,\ldots,M}(=2(m-1)\pi/M)$) 중에서 상기 위상 차($\Delta\Psi_n$)와 참조 위상($\Delta\phi_n$) 간 차이의 절대값이 가장 작아지는 값으로 차동 위상($\Delta\bar{\phi}_n$)를 결정하게 된다.

[0009] 상기 수학식 2에서 알 수 있듯이, 위상 오프셋(Θ)은 차동 위상 검출 과정을 통해 제거된다. 상기 결정된 차동 위상($\Delta\bar{\phi}_n$)의 결정식은 수학식 3과 같이 정의할 수 있다.

수학식 3

[0010] $$\Delta\bar{\phi}_n = \min_{over\ \Delta\phi_m}\left|\Delta\psi_n-\Delta\phi_m\right|$$

[0011] 일반적으로, 동기화 된 디지털 시스템에서 각 모듈은 클럭에 의해 트리거 된다. 다시 말해, 상기 디지털 시스템에서 클럭의 한 주기는 순차 회로의 최단 동작 주기를 나타내며 각 모듈의 동작은 클럭 주기(clock period)의 정수배의 시간으로 동기화 된다.

[0012] 도 1는 일반적인 DPD의 데이터 처리 구조를 도시한 도면이다. M-ary DPSK 복조기의 차동 위상 검출 과정에서는 현재 수신된 차동 위상($\Delta\Psi_n$)(101)과 참조 위상($\Delta\phi_m$)(102)과의 차이를 구한다. 다시 말해, 현재 검출하고자 하는 차동 위상($\Delta\bar{\phi}_n$)(103)를 얻기 위해서는 M번의 차이를 구하는 과정이 요구된다. 이는, 한 번의 차동 위상($\Delta\bar{\phi}_n$)을 검출하기 위해서는 최소한 M번의 클럭 트리거가 필요하다는 것을 의미한다.

[0013] 그러나, 상기한 일반 DPD는 동기 복조 방법과 비교해 볼 때 BER(비트 오류 확률) 면에서 성능이 떨어진다. 이러한 낮은 BER 특성을 극복하기 위해 DF-DPD (Decision Feedback Differential Phase Detection), DPD-RGPR (Differential Phase Detection with Recursively Generated Phase References) 등의 다중 심볼 검출 방식을 이용한다.

[0014] 도 2는 DF-DPD의 데이터 처리 구조를, 도 3은 DPD-RGPR의 데이터 처리 구조를 도시한 것이다. 상기 DF-DPD와 DPD-RGPR를 설계하는데 있어 일반 DPD와의 가장 큰 구조적 차이점은 결정 궤환(decision feedback)(201)(301)에 있다.

[0015] 구체적으로, DF-DPD 및 DPD-RGPR에서는 현재 검출된 차동 위상($\Delta\bar{\phi}_n$)을 결정 궤환 경로(201)(301)를 통해 궤환시켜 현재 수신된 차동 위상($\Delta\psi_n$)과 현재 검출된 차동 위상($\Delta\bar{\phi}_n$) 간 위상 차($\Delta\psi_n - \Delta\bar{\phi}_n$)를 구한다. 이어, 상기 위상 차($\Delta\psi_n - \Delta\bar{\phi}_n$)를 다음 수신 차동 위상($\Delta\psi_{n+1}$)의 검출에 이용한다. 이는, 상기 다음 수신 차동 위상($\Delta\psi_{n+1}$)을 검출하기 위한 검출 과정에 현재 검출된 차동 위상($\Delta\bar{\phi}_n$)의 잡음 성분($\Delta\eta_n(=\Delta\psi_n - \Delta\bar{\phi}_n)$)이 포함되어야 함을 의미한다.

[0016] 그러나, 현재 수신된 차동 위상($\Delta\psi_n$)은 M번의 클럭 트리거를 거쳐야만 검출이 완료되므로, 현재 수신된 차동 위상($\Delta\psi_n$)의 검출 완료와 다음 수신 차동 위상($\Delta\psi_{n+1}$)의 검출 시작 사이에 상기 위상 차($\Delta\psi_n - \Delta\bar{\phi}_n$)를 구하는 과정이 포함될 수 없다.

[0017] 도 4는 도 2와 도 3와 같은 결정 궤환을 가진 DPD에서의 차동 위상 검출 과정을 일반화하여 보여준다. 상기 DF-DPD와 DPD-RGPR는 결정 궤환 경로(402)를 통해 M번 트리거 만에 현재 검출된 차동 위상($\Delta\bar{\phi}_n$)(401)을 궤환시킨다. 이때, 다음 수신 차동 위상($\Delta\psi_{n+1}$)의 검출에 이용할 참조 위상($\gamma_{n-1}, \varphi_{n-1}$)을 갱신하는 참조 위상 갱신부(403)를 활성화시키기 위하여 또 한번의 트리거를 필요로 한다.

[0018] 상기한 다중 심볼 검출 방식 구조는 참조 위상으로 사용되는 이전 심볼에서의 잡음 효과를 작게 하기 위하여 검출된 위상을 궤환시키는 구조를 가지나, 검출 위상을 궤환시키는 작용은 데이터 처리 속도가 일반 DPD보다 느리다.

[0019] 통신 시스템에서 결정 궤환 구조를 가진 DPD를 채택할 경우 데이터 전송률과 관련된 클럭 분배 시스템과 차동 위상 검출기를 위한 또 하나의 클럭 분배 시스템을 필요로 한다. 이는, 두 클럭 분배 시스템 사이의 동기를 맞춰주기 위한 새로운 시스템을 필요로 하며 전체적인 시스템의 복잡도에 영향을 미친다. 또는, 두 가지 클럭 분배가 가능한 M(M+1)배 만큼의 빠른 클럭을 요구하게 되어 데이터 전송률에 대한 클럭의 비효율적 활용을 초래한다.

발명의 내용

해결 하고자하는 과제

[0020] 본 발명은 결정 궤환 구조를 가진 차동 위상 검출기의 데이터 처리 속도를 높일 수 있는 고속 데이터 처리 구조를 제공한다.

[0021] 본 발명은 결정 궤환을 가진 차동 위상 검출기를 통신 시스템에 효율적으로 활용할 수 있는 고속 데이터 처리 구조를 제공한다.

과제 해결수단

[0022] 본 발명의 일실시예에 따른 차동 위상 검출기의 고속 데이터 처리 구조는 수신 위상에 대하여 클럭 트리거의 M-1번째 과정에서 M번째의 위상 검출 결과를 선 계산하는 선 계산 구조; 및, 상기 클럭 트리거의 M-1번째 과정에서 첫 번째부터 M-1번째까지의 위상 검출 결과를 궤환하는 선 결정 궤환 구조를 포함한 고속 데이터 처리 구조를 DPD-RGPR(Differential Phase Detection with Recursively Generated Phase References)에 적용하고, 상기

고속 데이터 처리 구조에 의해 상기 클럭 트리거의 M번째 과정에서 상기 M-1번째까지의 위상 검출 결과와 M번째의 위상 검출 결과의 비교를 통해 차동 위상을 검출할 수 있다.

[0023] 이때, 상기 선 계산 구조는, 상기 M-1번째 과정에서 M번째 참조위상과의 비교 결과를 선 계산할 수 있다.

[0024] 또한, 상기 선 결정 궤환 구조는, 상기 M-1번째 과정에서 상기 M-1번째까지의 참조위상에서의 비교 결과를 통해 상기 M-1번째까지의 차동 위상을 선 결정할 수 있다.

효 과

[0025] 본 발명에 따르면, 클럭의 M-1번째 과정에서 참고 위상에서의 비교 결과를 선 결정(pre-decision)하여 궤환하고 클럭의 M-1번째 과정에서 M번째 과정을 미리 계산하는 선 계산(pre-calculation)하는 고속 데이터 처리 구조를 제공함으로써 M번씩의 클럭 분배 동안에 수신 심볼을 검출할 수 있어 데이터 처리 속도를 향상시킬 수 있다.

[0026] 본 발명에 따르면, 클럭 트리거의 M번에 검출 과정을 완료하는 결정 궤환 구조를 가진 차동 위상 검출기를 제공함으로써 이미 설계된 통신 시스템이나 IP(Intellectual property) 기반의 통신 시스템에서 효율적으로 활용할 수 있는 구조가 간단하고 데이터 처리 속도가 빠른 차동 위상 검출 구조를 구현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0027] 이하에서는, 첨부된 도면을 참조하여 본 발명의 일실시예에 따른 결정 궤환 구조를 가진 차동 위상 검출기의 고속 데이터 처리 구조를 상세하게 설명하기로 한다.

[0028] 도 5는 본 발명의 일실시예에 따른 차동 위상 검출기의 고속 데이터 처리 구조를 도시한 도면이다.

[0029] 본 발명의 고속 데이터 처리 구조는 결정 궤환 구조를 가진 차동 위상 검출기에 적용할 수 있다.

[0030] 도 5를 참조하면, 본 발명의 고속 데이터 처리 구조는 클럭 트리거의 M-1번째 위상 검출 과정에서 M번째 위상 검출을 미리 계산하는 선 계산(pre-calculation) 방식과, M번째가 아닌 M-1번째 위상 검출 과정에서 M번째의 예견 위상을 미리 궤환하는 선결정 궤환(pre-decision feedback) 방식을 포함할 수 있다.

[0031] 이를 위하여, 클럭 트리거의 M-1 번째 단계에서 1번째 내지 M-1 번째까지의 참조 위상들($\Delta\phi_m|_{m=1,2,\ldots,M-1}$)을 궤환하기 위한 제1 선결정 궤환 경로(501)와, M-1 번째 단계에서 M번째의 참고 위상인 예견 위상($\Delta\phi_m|_{m=M}$)을 궤환하기 위한 제2 선결정 궤환 경로(502)와, 상기 1번째 내지 M-1 번째까지의 참조 위상들($\Delta\phi_m|_{m=1,2,\ldots,M-1}$)에 의해 활성화 되는 제1 참조 위상 갱신부(503)와, 상기 예견 위상($\Delta\phi_m|_{m=M}$)에 의해 활성화 되는 제2 참조 위상 갱신부(504)를 포함할 수 있다.

[0032] 상기한 구성에 의하면, 클럭 트리거의 M-1 번째 단계에서 1번째 내지 M-1 번째까지의 참조 위상들($\Delta\phi_m|_{m=1,2,\ldots,M-1}$)을 상기 제1 선결정 궤환 경로(501)를 통해 상기 제1 참조 위상 갱신부(503)로 궤환시킬 수 있다.

[0033] 또한, 클럭 트리거의 M-1 번째 단계에서 예견 위상($\Delta\phi_m|_{m=M}$)을 상기 제2 선결정 궤환 경로(502)를 통해 상기 제2 참조 위상 갱신부(504)로 궤환시킬 수 있다.

[0034] 이때, 상기 제1 및 제2 참조 위상 갱신부(503)(504)는 M 번째 클럭 트리거에서 활성화 된 후 다음 수신 차동 위상의 검출에 이용할 참조 위상($\gamma_{n-1}, \varphi_{n-1}$)을 갱신할 수 있다.

[0035] 즉, M번째 클럭 트리거에서 수신 위상을 검출하는 기존의 데이터 처리 방식과는 달리 M-1 번째 단계에서 1번째

내지 M-1 번째까지의 참조 위상($\Delta\phi_m\,|_{m=1,2,\ldots,M-1}$)과의 비교 결과를 선 결정하여 선 결정 차동위상 ($\Delta\tilde{\phi}_m\,|_{m\in\{1,2,\ldots,M-1\}}$)을 결정할 수 있다.

[0036] 그리고, 역시 M-1 번째 클럭 트리거에서 M 번째 참조 위상($\Delta\phi_m|_{m=M}$)과의 비교 결과를 선계산할 수 있다.

[0037] M 번째 단계에서는 1번째 내지 M-1 번째까지의 선 결정된 차동위상($\Delta\tilde{\phi}_m\,|_{m\in\{1,2,\ldots,M-1\}}$)과 M번째 참조위상($\Delta\phi_m|_{m=M}$)과의 비교 검출을 통해 차동 위상($\Delta\bar{\phi}_n$)을 검출하게 된다.

[0038] 상기한 고속 데이터 처리 구조 즉, 클럭 트리거의 M-1번째 위상 검출 과정에서 M번째 위상 검출을 미리 계산하는 선 계산 구조와, M번째가 아닌 M-1번째 위상 검출 과정에서 M번째의 예견 위상을 미리 궤환하는 선 결정 궤환 구조를 결정 궤환을 가지는 대표적인 차동 위상 검출기인 DF-DPD와 DPD-RGPR에 적용 가능하다.

[0039] 도 6은 본 발명의 고속 데이터 처리 구조를 DF-DPD에 적용한 일례를 도시한 것으로, 1번째 내지 M-1 번째까지의 참조 위상들($\Delta\phi_m\,|_{m=1,2,\ldots,M-1}$)을 궤환하기 위한 제1 선결정 궤환 경로(601)와, M번째의 참고 위상인 예견 위상($\Delta\phi_m|_{m=M}$)을 궤환하기 위한 제2 선결정 궤환 경로(602)를 포함하는 데이터 처리 구조를 가진다.

[0040] 또한, 도 7은 본 발명의 고속 데이터 처리 구조를 DPD-RGPR에 적용한 일례를 도시한 것으로, 1번째 내지 M-1 번째까지의 참조 위상들($\Delta\phi_m\,|_{m=1,2,\ldots,M-1}$)을 궤환하기 위한 제1 선결정 궤환 경로(701)와, M번째의 참고 위상인 예견 위상($\Delta\phi_m|_{m=M}$)을 궤환하기 위한 제2 선결정 궤환 경로(702)를 포함하는 데이터 처리 구조를 가진다.

[0041] 도시한 바와 같이, 본 발명의 고속 데이터 처리 구조를 적용한 DF-DPD와 DPD-RGPR의 경우 M-1 번째 단계에서 1번째 내지 M-1 번째까지의 참조 위상($\Delta\phi_m\,|_{m=1,2,\ldots,M-1}$)과의 비교 결과를 선 결정할 수 있으며, M-1 번째 클럭 트리거에서 M 번째 참조 위상($\Delta\phi_m|_{m=M}$)과의 비교 결과를 선계산할 수 있다.

[0042] 따라서, 본 발명은 결정 궤환 구조를 가진 차동 위상 검출기에 있어 M번의 클럭 트리거만에 차동 위상 검출 과정을 완료하는 데이터 처리 구조를 제공할 수 있다.

[0043] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0044] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

[0045] 도 1은 일반적인 차동 위상 검출기의 구조를 도시한 도면이다.

[0046] 도 2는 DF-DPD의 데이터 처리 구조를 도시한 도면이다.

[0047] 도 3은 DPD-RGPR의 데이터 처리 구조를 도시한 도면이다.

[0048] 도 4는 결정 궤환 구조를 가진 차동 위상 검출기의 위상 검출 과정을 설명하기 위한 도면이다.

[0049] 도 5는 본 발명의 일실시예에 따른 결정 궤환 구조를 가진 차동 위상 검출기의 고속 데이터 처리 구조를 도시한 도면이다.

[0050] 도 6은 본 발명의 고속 데이터 처리 구조를 DF-DPD에 적용한 일례를 도시한 도면이다.

[0051] 도 7은 본 발명의 고속 데이터 처리 구조를 DPD-RGPR에 적용한 일례를 도시한 도면이다.

[0052] <도면의 주요 부분에 대한 부호의 설명>

[0053] 501: 제1 선 결정 궤환 경로

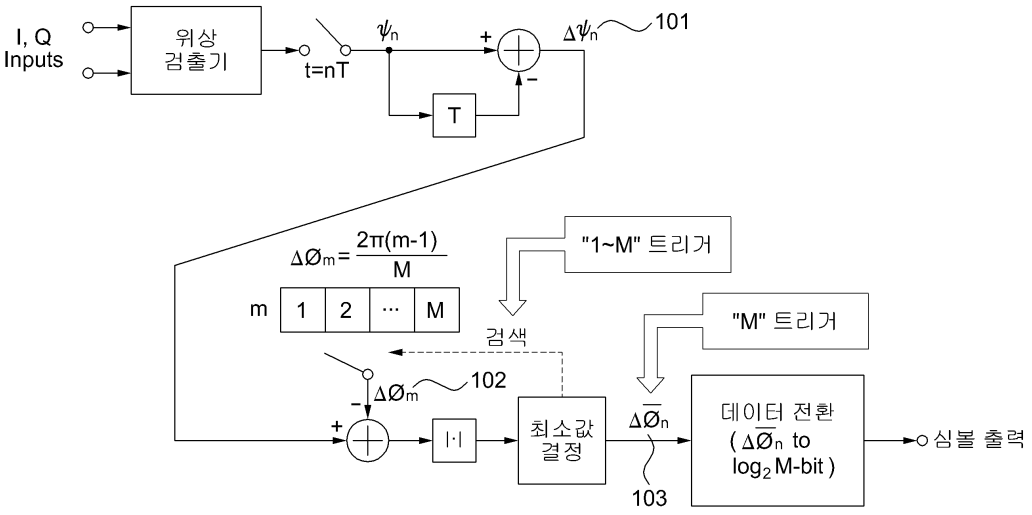
[0054] 502: 제2 선 결정 궤환 경로

[0055] 503: 제1 참조 위상 갱신부

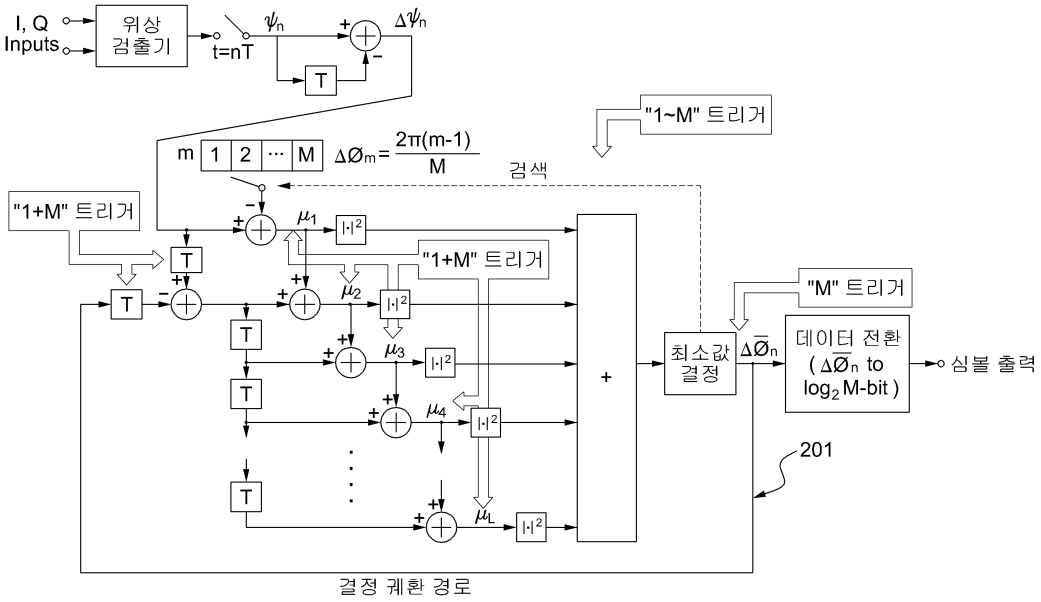
[0056] 504: 제2 참조 위상 갱신부

도면

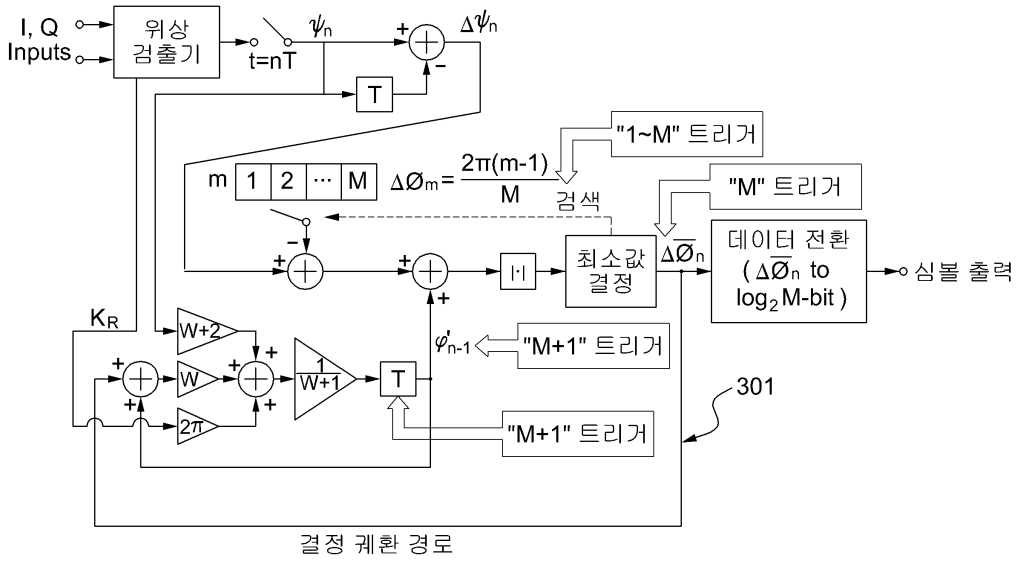
도면1



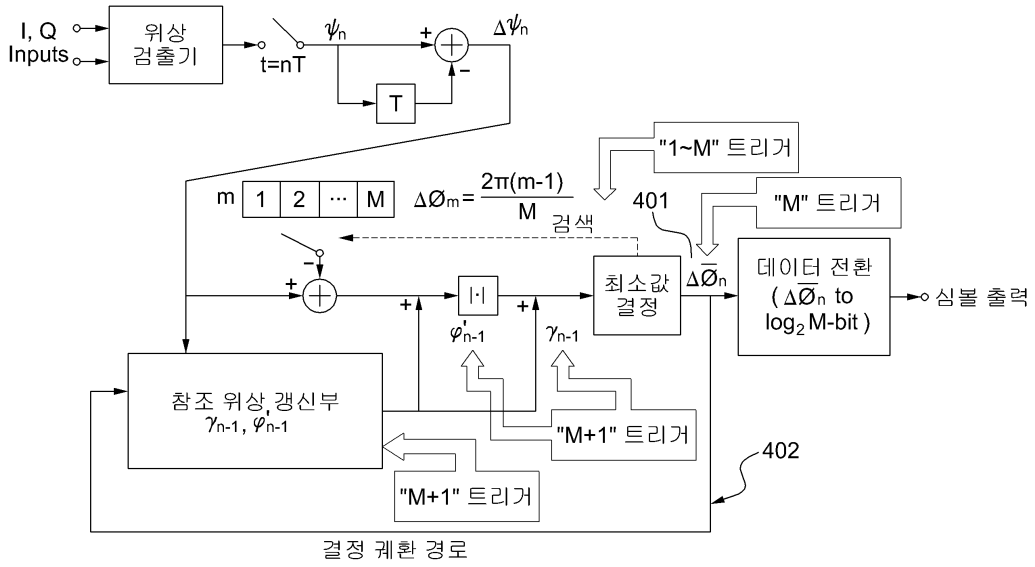
도면2


I, Q Inputs
위상 검출기
t=nT
T
"1~M" 트리거
m 1 2 ··· M
검색
"1+M" 트리거
"M" 트리거
최소값 결정
데이터 전환
심볼 출력
201
결정 궤환 경로

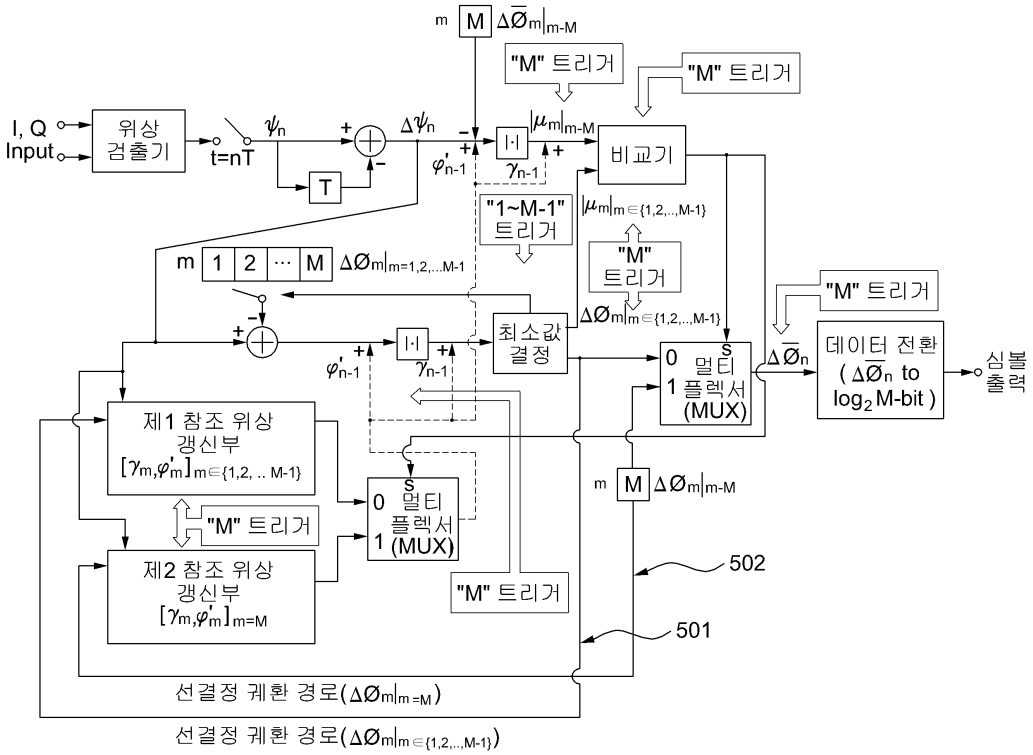
도면3


I, Q Inputs
위상 검출기
t=nT
T
"1~M" 트리거
m 1 2 ··· M
검색
"M" 트리거
최소값 결정
데이터 전환
심볼 출력
K_R
W+2
W
2π
"M+1" 트리거
301
결정 궤환 경로

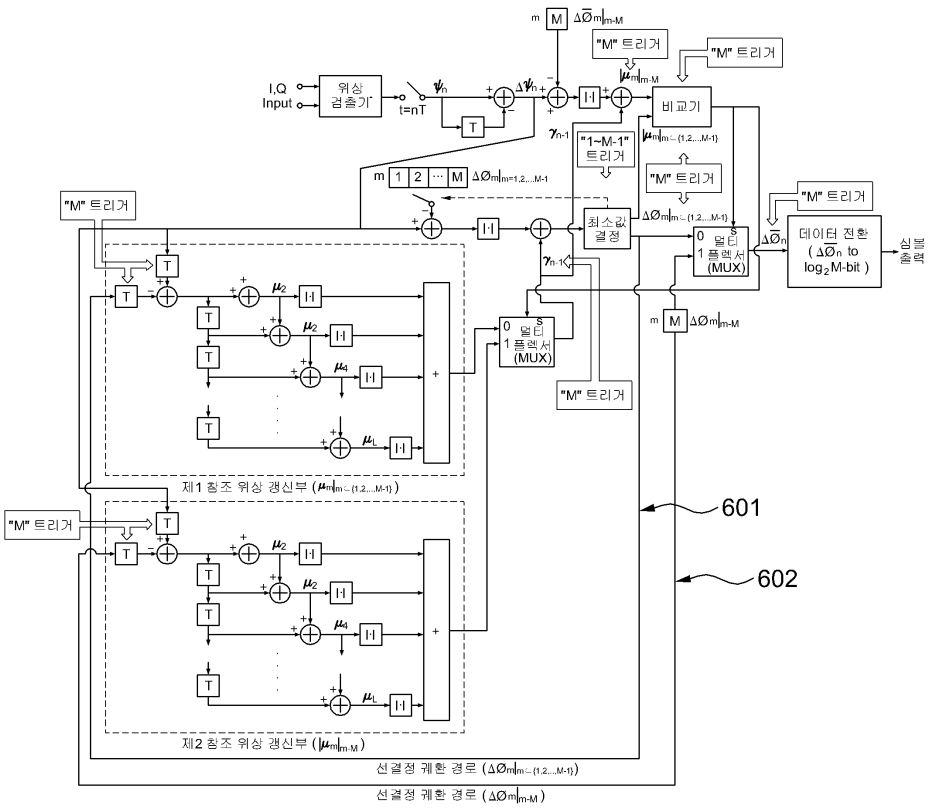
도면4


I, Q Inputs
위상 검출기
t=nT
T
m 1 2 ··· M
"1~M" 트리거
"M" 트리거
401
검색
최소값 결정
데이터 전환 (to log2 M-bit)
심볼 출력
참조 위상 갱신부
"M+1" 트리거
"M+1" 트리거
402
결정 궤환 경로

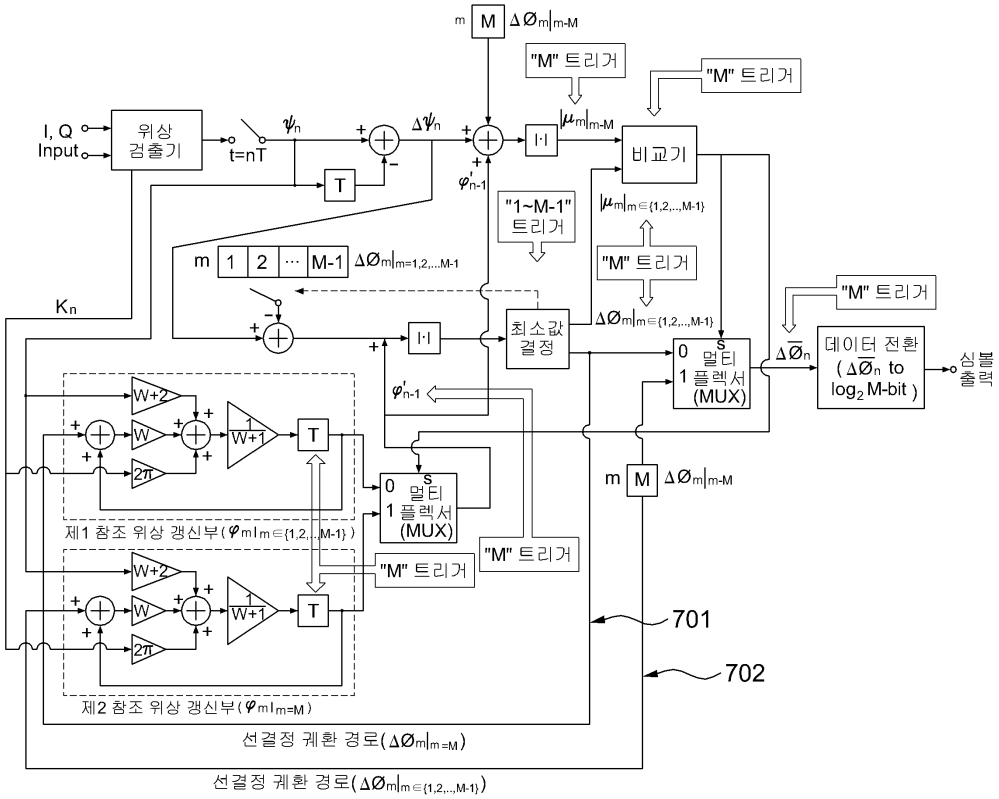
도면5


I, Q Input
위상 검출기
t=nT
T
"M" 트리거
"M" 트리거
비교기
"1~M-1" 트리거
"M" 트리거
"M" 트리거
최소값 결정
0 멀티 1 플렉서 (MUX)
데이터 전환 (to log2 M-bit)
심볼 출력
제1 참조 위상 갱신부
"M" 트리거
제2 참조 위상 갱신부
0 멀티 1 플렉서 (MUX)
"M" 트리거
502
501
선결정 궤환 경로
선결정 궤환 경로

도면6


I,Q Input
위상 검출기
t=nT
"M" 트리거
"1~M-1" 트리거
비교기
최소값 결정
0 멀티 1 플렉서 (MUX)
데이터 전환 (log2 M-bit)
심볼 출력
제1 참조 위상 갱신부
제2 참조 위상 갱신부
601
602
선결정 궤환 경로
선결정 궤환 경로

도면7


I, Q Input
위상 검출기
t=nT
"M" 트리거
"1~M-1" 트리거
비교기
최소값 결정
0 멀티 1 플렉서 (MUX)
데이터 전환 (log2 M-bit)
심볼 출력
제1 참조 위상 갱신부
제2 참조 위상 갱신부
701
702
선결정 궤환 경로
선결정 궤환 경로