

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-77358

(P2013-77358A)

(43) 公開日 平成25年4月25日(2013.4.25)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 5/00 (2006.01)	G 1 1 C 5/00 3 0 3 Z	5 F 0 8 3
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 8 1 C	
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 6 8 1 E	
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 9 5	
	H O 1 L 27/10 4 6 1	
審査請求 未請求 請求項の数 14 O L (全 28 頁) 最終頁に続く		

(21) 出願番号 特願2011-217658 (P2011-217658)
 (22) 出願日 平成23年9月30日 (2011.9.30)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100110881
 弁理士 首藤 宏平
 (72) 発明者 梶谷 一彦
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内
 (72) 発明者 小笠 和夫
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 関口 知紀
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

最終頁に続く

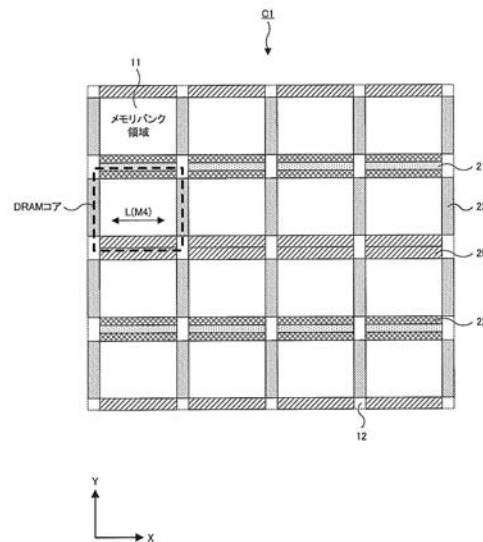
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体チップに構成されるメモリコアにおける電源系を容易に分離可能な配線構造を実現しスループットの向上が可能な半導体装置を提供する。

【解決手段】本発明の半導体装置は、半導体チップC 1に複数のメモリコア(DRAMコア)が構成される。各メモリコアは、第1電源によって動作し平行データバスを双方向に伝送するデータバスを駆動する第1回路領域と、第1電源と分離された第2電源によって動作しデータバスを伝送される平行データと外部端子を介して入出力されるシリアルデータとを双方向に変換する第2回路領域を含む。第1貫通電極群23は、第1回路領域に第1電源を供給する複数の貫通電極をY方向に並べて配置され、第2貫通電極群21は、第2回路領域に第2電源を供給する複数の貫通電極をY方向と交差するX方向に並べて配置される、それぞれの貫通電極群を經由して第1及び第2電源の配線群が互いに分離した配置で形成される。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

半導体チップに複数のメモリコアを構成した半導体装置であって、
各々の前記メモリコアは、
第 1 電源によって動作し、パラレルデータを双方向に伝送するデータバスを駆動する第 1 回路領域と、
前記第 1 電源と電氣的に分離された第 2 電源によって動作し、前記データバスを伝送される前記パラレルデータと外部端子を介して入出力されるシリアルデータとを双方向に変換する第 2 回路領域と、
前記第 1 回路領域に前記第 1 電源を供給する複数の貫通電極を配置した第 1 貫通電極群と、
前記第 2 回路領域に前記第 2 電源を供給する複数の貫通電極を配置した第 2 貫通電極群と、
を備えることを特徴とする半導体装置。

10

【請求項 2】

前記第 1 貫通電極群に含まれる前記複数の貫通電極は第 1 の方向に並べて配置され、前記第 2 貫通電極群に含まれる前記複数の貫通電極は前記第 1 の方向と交差する第 2 の方向に並べて配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記メモリコアは、所定数のメモリバンクを前記第 1 の方向に並べたメモリバンク領域を含み、
前記第 1 貫通電極群は前記メモリバンク領域の前記第 2 の方向の両端部にそれぞれ配置され、
前記第 2 貫通電極群は前記メモリバンク領域の前記第 1 の方向の一端部に配置される、
ことを特徴とする請求項 2 に記載の半導体装置。

20

【請求項 4】

前記第 1 回路領域は、前記メモリバンク領域と前記第 1 の方向に隣接して配置され、
前記第 2 回路領域は、前記第 1 回路領域と前記第 1 の方向に隣接して配置される、
ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

第 1 配線層には前記第 1 の方向に延びる配線群が形成され、
前記第 1 配線層の直下の第 2 配線層には前記第 2 の方向に延びる配線群が形成される、
ことを特徴とする請求項 4 に記載の半導体装置。

30

【請求項 6】

前記第 1 及び第 2 配線層において、前記メモリバンク領域と前記第 1 回路領域の上方の領域に前記第 1 電源の配線群が形成され、前記第 2 回路領域と前記第 2 貫通電極群の上方の領域に前記第 2 電源の配線群が形成され、前記第 1 回路領域と前記第 2 回路領域の間を境界として前記第 1 電源と前記第 2 電源が互いに分離されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 配線層において、前記メモリバンク領域と前記第 1 回路領域との上方の領域に、前記第 1 電源の配線群と前記データバスがそれぞれ形成されることを特徴とする請求項 6 に記載の半導体装置。

40

【請求項 8】

前記第 2 回路領域に接続される複数の前記外部端子である複数の貫通電極を前記第 2 の方向に並べて配置した第 3 貫通電極群を更に備え、
前記第 3 貫通電極群は、前記第 2 回路領域と前記第 2 貫通電極群との間の領域に配置されることを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 9】

前記第 2 貫通電極群の上端は前記第 2 配線層と電氣的に接続され、前記第 3 貫通電極群

50

の上端は前記第 2 配線層の下方の所定の配線層と電氣的に接続されることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記第 1 及び第 2 配線層において、前記第 2 電源の配線群がメッシュ状に配置されていることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記第 2 貫通電極群の各貫通電極は、複数のコンタクトを介して前記第 2 電源の配線群の対応する複数の配線と電氣的に接続されることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

複数のメモリコアを構成したマルチコアメモリチップと、
複数の制御コアを構成したマルチコア制御チップと、
を積層して構成され、前記マルチコアメモリチップと前記マルチコア制御チップとの間で複数の貫通電極を介してデータを送受信するメモリシステムにおいて、

各々の前記メモリコアは、
第 1 電源によって動作し、パラレルデータを双方向に伝送するデータバスを駆動する第 1 回路領域と、
前記第 1 電源と電氣的に分離された第 2 電源によって動作し、前記データバスを伝送される前記パラレルデータと外部端子を介して入出力されるシリアルデータとを双方向に変換する第 2 回路領域と、

前記第 1 回路領域に前記第 1 電源を供給する複数の貫通電極を配置した第 1 貫通電極群と、

前記第 2 回路領域に前記第 2 電源を供給する複数の貫通電極を配置した第 2 貫通電極群と、

を備えることを特徴とするメモリシステム。

【請求項 13】

前記第 1 貫通電極群に含まれる前記複数の貫通電極は第 1 の方向に並べて配置され、前記第 2 貫通電極群に含まれる前記複数の貫通電極は前記第 1 の方向と交差する第 2 の方向に並べて配置されることを特徴とする請求項 12 に記載のメモリシステム。

【請求項 14】

前記マルチコアメモリチップは、マルチコア DRAM チップであり、前記マルチコア制御チップは、マルチコア CPU チップであることを特徴とする請求項 12 に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体チップに複数のメモリコアを構成した半導体装置と、当該半導体チップと制御用チップを積層したメモリシステムに関するものである。

【背景技術】

【0002】

近年、複数のメモリコアを有するマルチコアメモリを構成し、貫通電極 (TSV: Through Silicon Via) を用いて 3 次元に積層した構造を有するメモリシステムが提案されている (例えば、非特許文献 1 参照)。このような構造を DRAM (Dynamic Random Access Memory) に適用したマルチコア DRAM チップを想定すると、マルチコア DRAM チップを構成する各々の DRAM コアが TSV を経由してデータを高速に通信することが要求される。高速なマルチコア DRAM を実現する場合、DQ 端子を介してデータを送受信するデータバス回路及び I/O 回路等の回路群を高いスループットで動作させることが重要である。また、これらの回路群による高速動作を実現する場合は、消費電流の増大や回路相互間の電源ノイズの影響などへの対策が必要となる。特に、一般的な DRAM の構成においては、機能ブロックに応じて多様な電源が用いられることから (例えば、特許文献 1

10

20

30

40

50

参照)、メモリ領域だけではなく、データバス回路やI/O回路等を含む周辺の回路群においても消費電流の増大や回路相互間のノイズを抑制することが望ましい。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2003-7059号公報

【非特許文献】

【0004】

【非特許文献1】K. Ono, A. Kotabe, Y. Yanagawa and T. Sekiguchi, "1-Tbyte/s 1-Gbit DRAM Architecture with Micro-pipelined 16-DRAM Cores, 8-ns Cycle Array and 16-Gbit/s 3D Interconnect for High Throughput Computing," IEEE Symposium on VLSI Circuits/Technical Digest of Technical Papers, pp. 187-188 (2010).

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述のDRAMコアにおける出力段において、メモリセルアレイのリード動作時には、リードデータが所定ビット数のパラレルデータとしてデータバスに伝送されるとともに、I/O回路でパラレルシリアル変換されてDQ端子を介して外部に転送される。メモリセルアレイのライト動作時は、逆の経路を経て、DQ端子からメモリセルアレイにライトデータが転送される。上記従来の構成のDRAMコアにおいてスループットの向上を図るには、データバスのビット数を増加することと、動作周波数を高くすることが有効である。しかし、データバス回路における消費電力は、データバスのビット数と動作周波数にそれぞれ比例して増大することになり、極めて大きくなることが問題である。また、データバス領域で多数のデータバスを駆動する際、そのタイミングが一致するために消費電流の時間的な変化が大きくなり、これが電源ノイズとなってI/O回路の動作に影響を及ぼす恐れがある。また、こうした問題に対処するため、データバス領域とI/O領域における電源系の配線インピーダンスを下げることは、集積化が進化したDRAMコアにおける配線構造に制約があるため、容易ではなかった。このように、DRAMコアの高速動作を実現する上で、特にデータバス領域とI/O領域において電源系に起因する性能上の問題を克服することが要請されている。

20

30

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明は、半導体チップに複数のメモリコアを構成した半導体装置であって、各々の前記メモリコアは、第1電源によって動作し、パラレルデータを双方向に伝送するデータバスを駆動する第1回路領域と、前記第1電源と電気的に分離された第2電源によって動作し、前記データバスを伝送される前記パラレルデータと外部端子を介して入出力されるシリアルデータとを双方向に変換する第2回路領域と、前記第1回路領域に前記第1電源を供給する複数の貫通電極を配置した第1貫通電極群と、前記第2回路領域に前記第2電源を供給する複数の貫通電極を配置した第2貫通電極群と、を備えて構成される。

40

【0007】

本発明の半導体装置によれば、データバスを駆動する第1回路領域とパラレルシリアル変換を行う第2回路領域が異なる動作周波数で動作するため、共通の電源で動作させる際に問題となる電源ノイズの影響を回避すべく、第1回路領域に供給される第1電源用の第1貫通電極群と、第2回路領域に供給される第2電源用の第2貫通電極群との配置の相違に基づき、第1及び第2回路領域における第1及び第2電源を確実に分離可能な配線構造を実現するものである。すなわち、第1貫通電極群と第2貫通電極群は位置と方向性を異ならせることができるため、配線層に各電源用の配線群を形成する際、相互の干渉を抑制可能な程度の距離を容易に確保できるとともに、配置に自由度を高めることで配線インピーダンスを下げるのが可能となる。これにより、第1回路領域と第2回路領域の間で電

50

源ノイズの影響を抑制し、データバスのビット数が増大し、かつ動作周波数を高めたとしても、データ転送のスループットの向上を図ることができる。

【0008】

また、上記課題を解決するために、本発明は、複数のメモリアコアを構成したマルチコアメモリチップと、複数の制御コアを構成したマルチコア制御チップとを積層して構成され、前記マルチコアメモリチップと前記マルチコア制御チップとの間で複数の貫通電極を介してデータを送受信するメモリシステムにおいて、各々の前記メモリアコアは、第1電源によって動作し、パラレルデータを双方向に伝送するデータバスを駆動する第1回路領域と、前記第1電源と電氣的に分離された第2電源によって動作し、前記データバスを伝送される前記パラレルデータと外部端子を介して入出力されるシリアルデータとを双方向に変換する第2回路領域と、前記第1回路領域に前記第1電源を供給する複数の貫通電極を配置した第1貫通電極群と、前記第2回路領域に前記第2電源を供給する複数の貫通電極を配置した第2貫通電極群と、を備える構成に適用することができる。このようなメモリシステムにおいて、マルチコアメモリチップとマルチコア制御チップとの間の高いスループットの通信を実現することができる。

10

【発明の効果】

【0009】

本発明によれば、半導体チップに構成される各々のメモリアコアにおいて、データバスを駆動する第1回路領域とパラレルシリアル変換を行う第2回路領域とに対し、それぞれの電源を供給する第1貫通電極群と第2貫通電極群とを互いに交差させるなど異なる配置としたので、比較的簡単な配線構造によって両電源を分離することができる。よって、第1及び第2回路領域の間でノイズの影響を抑制するとともに、それぞれの電源インピーダンスを十分に下げることができ、データ転送時のスループットを向上させることが可能となる。

20

【図面の簡単な説明】

【0010】

【図1】本実施形態のメモリシステムの概念を説明する図である。

【図2】本実施形態のマルチコアチップDRAMチップC1に含まれる1つのDRAMコアの全体ブロック図である。

【図3】図2の全体ブロックのうち電源系の分離に関連する構成要素を含む範囲の部分ブロック図である。

30

【図4】図3のマルチプレクサMUXの回路構成例を示す図である。

【図5】図3のデマルチプレクサDEMUXの回路構成例を示す図である。

【図6】図3の回路構成におけるリード動作の具体例を示す図である。

【図7】本実施形態のマルチコアDRAMチップの全体の配置を示す平面図である。

【図8】図7の平面図に含まれる1つのDRAMコアの平面構造を示す図である。

【図9】図8のメモリバンク領域11内の各メモリバンクの平面構造と各メモリバンク内のサブマト40の平面構造とを拡大して示す図である。

【図10】図9(B)のサブマト40の配置の変形例を示す図である。

【図11】DRAMコアにおける特徴的な配線構造に関し、メモリバンク領域11の配線層M5の平面構造と配線層M4の各平面構造とを一体的に示す図である。

40

【図12】図11の各断面における断面構造図である。

【図13】図9(B)のサブマト40内のメモリセルアレイMCAの周囲の領域における配線層M4、M5の各配線構造を示す図である。

【図14】図10の変形例において、図13と同様の領域における配線層M4、M5の各配線構造を示す図である。

【発明を実施するための形態】

【0011】

以下、本発明を適用したメモリシステムの一実施形態について説明する。本実施形態では、貫通電極であるTSV(Through Silicon Via)を用いて積層したマルチコアDRAM

50

チップを含むメモリシステムに対して本発明を適用する場合を説明する。

【0012】

図1は、本実施形態のメモリシステムの概念を説明する図である。図1に示すメモリシステムは、複数のCPUコアを含むマルチコアCPUチップC0と、複数のDRAMコアを含むマルチコアDRAMチップC1が積層され、貫通電極である複数のTSVを介して、それぞれ対応するCPUコア及びDRAMコアの間が電氣的に接続されている。CPUコアはマルチコアCPUチップC0の機能単位であり、DRAMコアはマルチコアDRAMチップC1の機能単位である。マルチコアDRAMチップC1の各DRAMコアは、マルチコアCPUチップC0の対応するCPUコアのメインメモリ、あるいはDRAMローカルメモリ又はキャッシュとして機能し、TSVを介してCPUコアとDRAMコアとの間でデータ及び制御信号を通信する。図1の構成を採用する場合、CPUコアとDRAMコアとの間で、TSVを経由して高いスループットで高速通信を行うことが求められる。本実施形態では、以下に述べるように電源配線の構造上の工夫により、メモリシステムにおける高いスループットの通信を実現するものである。

10

【0013】

次に、図2～図6を参照して、本実施形態のマルチコアDRAMチップC1の構成及び動作の概要について説明する。図2は、本実施形態のマルチコアチップDRAMチップC1に含まれる1つのDRAMコアの全体ブロック図である。図2に示すDRAMコアの全体領域は、コア制御領域10と、メモリバンク領域11と、電源領域12と、データバス駆動領域13と、I/O領域14とに区分することができる。また、DRAMコアに形成される複数のTSVは、制御用TSV群20と、I/O電源用TSV群21と、DQ用TSV群22と、周辺電源用TSV群23とに区分することができる。

20

【0014】

DRAMコアの動作を制御するコア制御領域10は、外部から入力されるアドレス(ADD)を取り込むアドレス入力回路30と、アドレス入力回路30から送出されるアドレスをラッチするアドレスラッチ回路31と、外部から入力されるコマンド(/RAS、/CAS、/WE等)を取り込むコマンド入力回路32と、コマンド入力回路32から送出されるコマンドをデコードするコマンドデコード回路33と、コマンドデコード回路33からリフレッシュコマンドが送出されたときにリフレッシュ動作を制御するリフレッシュ制御回路34と、所定のコマンド及びアドレスに対応するDRAMコアの動作モードを選択的に設定可能なモードレジスタ35と、外部クロック(CK、/CK)を取り込むクロック入力回路36と、外部クロックに基づいてデータ転送のタイミングを制御するDLL37と、外部クロックに基づいて各部のタイミングを規定する内部クロックを生成するタイミングジェネレータ38とを備えている。上述のアドレス、コマンド、外部クロックについては、いずれも制御用TSV群20を経由して外部(例えば、マルチコアCPUチップC0)から供給される。

30

【0015】

メモリバンク領域11は、DRAMコア内に配置される複数のメモリバンク(図1では不図示)からなるメモリ領域である。また、メモリバンク領域11の各メモリバンクは、単位領域としての複数のサブマット40とその周辺の回路群とを含む。図2では、1つのサブマット40と、このサブマット40に関連する回路群として、各メモリバンクに付随する複数のメインアンプ及び複数のライトドライバを含む1つのメインアンプ/ライトドライバ部(MA/WD)41と、各メモリバンクに付随するロウデコード及びカラムデコードを含むデコード部42と、データバス駆動領域13とデータバスDBを介してデータのリード又はライトを行うリードライト回路(RWC)43とを示している。

40

【0016】

電源領域12は、外部から供給される電源群、あるいは内部で生成した電源群を、DRAMコア内の各部に対して供給する回路群からなる。図2の例においては、周辺電源用TSV群23(本発明の第1貫通電極群)が電源電圧VDD及びグランド電位VSSを伝送するTSV群を含み、これらのTSVが電源領域12に接続され、コア制御領域10やメ

50

メモリバンク領域 11 で用いる各種電源電圧が生成又は直接供給される。また、周辺電源用 TSV 群 23 及び電源領域 12 を経由して、データバス駆動領域 13 で用いる各種電源電圧も生成又は直接供給される。電源領域 12 には、電源電圧 VDD 及びグランド電位 VSS を、電圧値が異なる電源電圧に変換するコンバータを設けてもよい。各々の DRAM コアにおいて、電源電圧の用途によっては、必要に応じて TSV を介して外部から供給する形態としてもよい。なお、周辺電源用 TSV 群 23 とは分離された I/O 電源用 TSV 群 21 (本発明の第 2 貫通電極群) については後述する。

【0017】

データバス駆動領域 13 (本発明の第 1 回路領域) は、リードライト回路 43 のリードデータ/ライトデータを双方向に送受信する複数のデータバス DB を駆動するデータバスドライバ/レシーバ回路 50 を備えている。また、I/O 領域 14 (本発明の第 2 回路領域) は、データバスドライバ/レシーバ回路 50 を介して伝送されるパラレルデータと、DQ 端子を介して入出力されるシリアルデータを双方向に変換するマルチプレクサ/デマルチプレクサ回路 51 を備えている。さらに、マルチプレクサ/デマルチプレクサ回路 51 は、複数の DQ 端子 (外部端子) として機能する DQ 用 TSV 群 22 と電氣的に接続されている。以上の構成により、DQ 用 TSV 群 22 から受信したライトデータのメモリバンクに対するライト動作と、メモリバンクから読み出したリードデータを DQ 用 TSV 群 22 経由で外部に送信するリード動作とを実行することができる。なお、本実施形態の構成においては、以下に説明するように、データバス駆動領域 13 と I/O 領域 14 の境界 B で電源系を分離した点が特徴的である。

【0018】

図 3 は、図 2 の全体ブロック図のうち、電源系の分離に関連する構成要素として、リードライト回路 43 と、データバス DB と、データバス駆動領域 13 内のデータバスドライバ/レシーバ回路 50 と、I/O 領域 14 内のマルチプレクサ/デマルチプレクサ回路 51 と、DQ 端子とを含む範囲の部分ブロック図である。図 3 の例では、1024 ビットのデータをパラレル転送するデータバス DB を想定する。よって、リードライト回路 43 はデータバス DB の 1024 本の各配線の一端に接続される 1024 個の双方向のバッファを含む。また、データバスドライバ/レシーバ回路 50 はデータバス DB の 1024 本の各配線の他端に接続される 1024 個のドライバ/レシーバを含む。一方、マルチプレクサ/デマルチプレクサ回路 51 は、32 個の DQ 端子の各々に接続される 32 個の単位回路を含む。これらの単位回路は、データバスドライバ/レシーバ回路 50 から受信される 32 ビットのパラレルデータ (TD) を 1 ビットのシリアルデータに変換して各 DQ 端子に転送するマルチプレクサ MUX と、各 DQ 端子から受け取った 1 ビットのシリアルデータを 32 ビットのパラレルデータ (RD) に変換してデータバスドライバ/レシーバ回路 50 に転送するデマルチプレクサ DEMUX とを含む。

【0019】

図 3 に示すように、データバス駆動領域 13 と I/O 領域 14 との間の境界 B で電源が分離されている。すなわち、データバス駆動領域 13 の側 (リードライト回路 43 を含む) には周辺電源 (本発明の第 1 電源) が供給されるのに対し、I/O 領域 14 の側には I/O 電源 (本発明の第 2 電源) が供給される。周辺電源は、例えば 1 対の電源電圧 VPE R I / グランド電位 VSS であり、図 2 の周辺電源用 TSV 群 23 及び電源領域 12 を経由して供給される。I/O 電源は、例えば 1 対の電源電圧 VDD Q / グランド電位 VSS Q であり、図 2 の I/O 電源用 TSV 群 21 を経由して供給される。本実施形態では、後述するような配線構造の工夫によって周辺電源と I/O 電源とを分離することにより、データバス駆動領域 13 と I/O 領域 14 の相互間の干渉を低減してノイズの影響を抑制するとともに、各電源の配線インピーダンスの低減を実現するものである。

【0020】

ここで、図 3 に含まれるマルチプレクサ MUX 及びデマルチプレクサ DEMUX の回路構成について説明する。図 4 はマルチプレクサ MUX の回路構成例であり、16 ビットのパラレルデータを 1 ビットのシリアルデータに変換する 2 つの 16 ビットマルチプレクサ

MUX(16)と、2つの16ビットマルチプレクサMUX(16)からの2ビットの平行データを1ビットのシリアルデータに変換する1つの2ビットマルチプレクサMUX(2)と、マルチプレクサMUXの各部の動作タイミングを制御するDLL(M)とを含む。各々の16ビットマルチプレクサMUX(16)は、基準クロックCLKを用いてDLL(M)で生成されるクロックCLKに依りて異なるタイミングで動作する16個の単位回路を含む。マルチプレクサMUXに入力された32ビットの送信データD<31:0>は16ビットずつに分けられ、それぞれ上述の2つのマルチプレクサMUX(16)に入力される。それぞれの16ビットマルチプレクサMUX(16)は、上述の16個の単位回路が異なるタイミングで動作することにより、相補のデータ信号DM0、DM1をそれぞれ出力する。2ビットマルチプレクサMUX(2)は、上述のデータ信号DM0、DM1を入力し、DLL(M)から供給されるクロックCKM0、CKM1に基づき変化する相補のデータを出し、かかるデータがDQ端子としての1対のTSV(DQ)を介して外部出力される。図4に示すマルチプレクサMUXは電流モードロジックで動作し、動作時において概ね定常的な電流が流れるため、消費電流のピークが現れない。

10

20

30

40

50

【0021】

一方、図5はデマルチプレクサDEMUXの回路構成例であり、シリアルデータを順次入力する32個のラッチ回路Lと、それぞれのラッチ回路Lの動作タイミングを制御するDLL(D)とを含む。各々のラッチ回路Lは、図5の左側に示すように、DQ端子としての1対のTSV(DQ)を介して入力された相補データを差動構成の回路に入力し、DLL(D)にて基準クロックCLKに基づき生成されるクロックCKDに依りて所定のタイミングで活性化され、受信データRDを出力する。32個のラッチ回路Lは、並び順に32個のクロックCKD0~CKD31が順次供給され、これらが順番に活性化されることで16ビットの平行データである受信データRD0~RD31を取り出すことができる。このように、図5に示すデマルチプレクサDEMUXでは、32個のラッチLに大きな消費電流が流れるが、それぞれ異なるタイミングで順次活性化するため、消費電流が時間的に分散してピークが現れない。以上のように、図4及び図5の回路構成から、I/O領域14における消費電流は時間的な変化が少ないことがわかる。

【0022】

図6は、図3の回路構成におけるリード動作の具体例を示している。まず、図6の上段に示すように、リードライト回路43から送出された1024ビットのデータD<0>~D<1023>は、1024本のデータバスDB<0>~DB<1023>を経由して、データバスドライバ/レシーバ回路50に送られる。次いで、図6の下段に示すように、データバスドライバ/レシーバ回路50から送られる32ビット毎のデータDがマルチプレクサ/デマルチプレクサ回路51の32個のマルチプレクサMUXの各々によってシリアルデータに変換され、32個のDQ端子(DQ<0>~DQ<31>)の各々から外部出力される。

【0023】

図6において、例えば、周辺電源が供給されるデータバス駆動領域13は動作周波数が0.5GHzであるの対し、I/O電源が供給されるI/O領域14は高速な平行シリアル変換動作が要求されるので、動作周波数が8GHzとなる。よって、電源ノイズに起因するクロックスキューが生じると、I/O領域14の動作マージンが大幅に低下する。また、I/O領域14は上述したように消費電流の時間的な変化が小さいの対し、データバス駆動領域13では、多数のデータバスDBを充放電するために大きい消費電流が必要であり、電源インピーダンスを下げるのが求められる。このように、本実施形態においては、データバス駆動領域13とI/O領域14の動作速度と回路特性の相違を考慮し、後述の配線構造を形成して両者の電源系を分離することにより、電源ノイズの抑制と電源インピーダンスの低下を実現するものである。

【0024】

次に、図7~図14を参照して、本実施形態のマルチコアDRAMチップC1のレイアウトと配線構造について説明する。図7は、本実施形態のマルチコアDRAMチップC1

の全体の配置を示す平面図である。図7の下部には、説明の便宜上、平面内で互いに直交するX方向（本発明の第2の方向）及びY方向（本発明の第1の方向）の各矢印を表記している。なお、これ以降の各図面に示されるX方向及びY方向も同様の意味である。図7に示すマルチコアDRAMチップC1には、全部で16個（X方向に4個/Y方向に4個）のDRAMコアが構成されている。各々のDRAMコアの中央には、図2に示したメモリバンク領域11が中央に配置され、その周囲には、制御用TSV群20、I/O電源用TSV群21、DQ用TSV群22がそれぞれX方向に沿って配置されるとともに、周辺電源用TSV群23がY方向に沿って配置されている。制御用TSV群20と周辺電源用TSV群23とが交差する領域には、電源領域12（図2）が配置されている。本実施形態においては、境界B（図3）で分離された電源系にそれぞれ用いられるI/O電源用TSV群21と周辺電源用TSV群23が互いに直交する方向（交差する方向）に配置される点が特徴的であるが、具体的な配線構造については後述する。

10

20

30

40

50

【0025】

図7の平面図に含まれる1個のDRAMコア（例えば、左上隅のDRAMコア）の平面構造について図8及び図9を用いて説明する。図8に示すように、DRAMコア内のメモリバンク領域11（図7）には、Y方向に並ぶN個のメモリバンク（BANK1～BANKn）が構成されている。また、一端のメモリバンク（BANK1）に隣接してデータバス駆動領域13及びI/O領域14がそれぞれ配置され、他端のメモリバンク（BANKn）に隣接してコア制御領域10が配置されている。さらに、I/O領域14に隣接して、X方向に沿うDQ用TSV群22とI/O電源用TSV群21とが配置され、コア制御領域10に隣接して、X方向に沿う制御用TSV群20が配置されている。一方、メモリバンク領域11の両端には、Y方向に沿う周辺電源用TSV群23がそれぞれ配置されている。また、図8においては、データバス駆動領域13とI/O領域14との電源系を分離する位置である境界Bが示されている。

【0026】

図9（A）には、図8のメモリバンク領域11内の各メモリバンクの平面構造を拡大して示している。メモリバンク領域11内の任意のメモリバンク（BANKi）は、Y方向に並ぶ複数のメモリマットMATに分割されている。複数のメモリマットMATの並びの一端には、メインアンプ/ライトドライバ部41（図2）に含まれるメインアンプ列MAAと、リードライト回路43（図2）が配置されている。さらに、各々のメモリマットMATは、X方向に並ぶ複数のサブマット40（図2）に分割されている。また、メモリバンク内のX方向に沿っておよそ1/4の位置及び3/4の位置の2箇所にロウデコーダ及びカラムデコーダを含むデコーダ部42（図2）が配置されている。

【0027】

また、図9（B）には、図9（A）のサブマット40の平面構造をさらに拡大して示している。単位領域であるサブマット40は、情報を記憶する複数のメモリセルを含むメモリセルアレイMCAと、メモリセルアレイMCAのY方向の両側に配置されるセンスアンプ列SAAと、メモリセルアレイMCAのX方向の両側に配置されるサブワードドライバ列SWDAと、センスアンプ列SAAとサブワードドライバ列が交差する領域に配置される交差部ISとを含む。メモリセルアレイMCAには、X方向に延びる複数のワード線と、Y方向に延びる複数のビット線が配線されている。センスアンプ列SAAには、それぞれがビット線の一端に接続される複数のセンスアンプがX方向に並んで配置されている。サブワードドライバ列SWDAには、それぞれがワード線の一端に接続される複数のサブワードドライバがY方向に並んで配置されている。

【0028】

本実施形態のマルチコアDRAMチップC1に5層の配線層が形成されることを前提にすると、電源供給や回路接続を担う配線群は、主に最上層の配線層M5（本発明の第1配線層）とその直下の配線層M4（本発明の第2配線層）に形成される。図9（B）に示すように、配線層M5においてY方向に沿って形成される配線群L（M5）は、各サブワードドライバ列SWDAの上方の周辺電源の配線群と、各メモリセルアレイMCAの上方の

データバスDB及び周辺電源の配線群とを含む。また、配線層M4においてX方向に沿って形成される配線群L(M4)は、各センスアンプ列SAAの上方の周辺電源の配線群と、メモリセルアレイMCAの上方のメモリバンク用電源の配線群とを含む。なお、周辺電源の配線群は、例えば、電源電圧VPERI/グランド電位VSSに用いられ、メモリバンク用電源の配線群は、例えば、周辺電源用の電源とは異なる降圧電源、昇圧電源、メモリセル用電源などの多様な電源に用いられる。

【0029】

本実施形態では、図9(B)に示すサブマット40の範囲内に、周辺電源の配線群のみが形成され、I/O電源の配線群が形成されていない。すなわち、周辺電源用TSV群23とI/O電源用TSV群21のそれぞれを、図8に示す位置関係で配置したため、図9(B)の範囲内に周辺電源の配線群のみ構成し、I/O電源用の配線群を確実に分離することができる。I/O電源用の配線群の配線構造については後述する。また、2層の配線層M5、M4を用いて、互いも異なる方向に延びる配線群L(M4)、L(M5)を構成しているため、配線配置の自由度が高まるとともに電源インピーダンスの低減に大きな効果がある。この場合、配線層M4、M5の間は後述するコンタクトを介して自在に接続でき、高い接続自由度を得ることができる。また、配線群L(M4)、L(M5)の空き領域に、本数が多いデータバスDBを配線できる効果もある。

【0030】

ここで、図10には、図9(B)のサブマット40の配置の変形例を示している。図10の変形例において、図9(B)との相違は、サブマット40内のメモリセルアレイMCAがY方向に並ぶサブアレイとしての複数のメモリセルアレイMCAに分割され、それぞれのメモリセルアレイMCAとY方向に隣接する複数の階層スイッチ部HSWが設けられている点である。図10の変形例は、階層化ビット線構成を適用したものであり、ビット線が上位のグローバルビット線と下位のローカルビット線とに階層化され、階層スイッチ部HSW内の単位のスイッチを介して各グローバルビット線が所定数のローカルビット線と選択的に接続される。図10において、配線層M4に形成される配線群L(M4)は、図9(B)と同様の役割に加えて、複数の階層スイッチ部HSWの各々に供給される周辺電源の配線群を含む。図10において、配線層M5に形成される配線群L(M5)の役割は図9(B)と同様である。

【0031】

次に、図11及び図12を用いて、図8のDRAMコアにおける特徴的な配線構造について説明する。図11は、メモリバンク領域11及びデータバス駆動領域13の近傍における配線層M5の平面構造と、データバス駆動領域13及びI/O領域14の近傍における配線層M4、M5の平面構造とを一体的に示している。また、図12(A)は、図11のa-a'断面における断面構造を示し、図12(B)は、図11のb-b'断面における断面構造を示している。なお、図12の各断面構造においては、紙面横方向が上述のY方向であり、紙面縦方向がマルチコアDRAMチップC1の積層方向(縦方向)である。

【0032】

図11に示すように、メモリバンク領域11及びデータバス駆動領域13の上方の配線層M5には、Y方向に沿ってデータバスDBが形成されている。データバスDBは、データバス駆動領域13の回路群(図11では不図示)を經由してI/O領域14に達し、マルチプレクサMUXの入力端子及びデマルチプレクサDEMUXの出力端子のそれぞれと電氣的に接続される。また、マルチプレクサMUXの出力端子及びデマルチプレクサDEMUXの入力端子はそれぞれDQ用TSV群22に含まれる所定のTSV(DQ)と電氣的に接続される。ここで、図12の断面構造に一例として示すように、DQ用TSV群22の各TSV(DQ)は、その上端が配線層M2まで達し、I/O領域14(図12の右側)から延びる所定のノードと電氣的に接続される。I/O領域14内では、下層の配線層M1と配線層M2が積層方向に接続されている。また、TSV(DQ)の直上領域の最上部にパッドPが形成され、パッドP及び下方の各配線層M1~M5が所定の経路で電氣的に接続される。なお、図11では図面を見やすくするためにパッドPは省略されている

10

20

30

40

50

。

【0033】

一方、図11のメモリバンク領域11及びデータバス駆動領域13の上方の配線層M5には、電源電圧VPERI及びグランド電位VSSを交互に配列した電源配線群がそれぞれY方向に沿って形成されている。また、I/O領域14、DQ用TSV群22、I/O電源用TSV群21に跨る上方の配線層M5には、電源電圧VDDQ及びグランド電位VSSQからなる電源配線群がそれぞれY方向に沿って形成されている。I/O領域14、DQ用TSV群22、I/O電源用TSV群21に跨る上方の配線層M4には、電源電圧VDDQ及びグランド電位VSSQからなる電源配線群がそれぞれX方向に沿って形成されている。上下の配線層M4、M5の各電源配線群が交差する位置にコンタクトが形成され、対応する電源配線同士が電氣的に接続される。このように、図11の下側に示す範囲内の配線層M4、M5においては、電源電圧VDDQ及びグランド電位VSSQからなる電源配線群がメッシュ状に配置されている。これらの電源配線群は、DQ用TSV群22に隣接するI/O電源用TSV群21に含まれる所定のTSV(VDDQ)及びTSV(VSSQ)と電氣的に接続される。図12の断面構造に一例として示すように、I/O電源用TSV群21の各TSV(VDDQ)又は各TSV(VSSQ)は、その上端が配線層M4まで達し、電源電圧VDDQ又はグランド電位VSSQに対応する電源配線と複数のコンタクトを介して電氣的に接続される。また、各TSV(VDDQ)又は各TSV(VSSQ)の直上領域の最上部にパッドPが形成され、パッドPと配線層M5の所定箇所が電氣的に接続される。なお、図12(A)と12(B)の相違は、TSV(VSSQ)とTSV(VDDQ)の部分のみである。

10

20

【0034】

図11及び図12からわかるように、DQ用TSV群22及びI/O電源用TSV群21の各々のTSVのサイズは、電源電圧VDDQ又はグランド電位VSSQの各電源配線の幅に比べて大きくなっている。そして、I/O電源用TSV群21の上方の配線層M4、M5において、各TSV(VDDQ)は、その直上領域で部分的に電源電圧(VDDQ)のメッシュ状の配線群とコンタクト群を介して接続され、各TSV(VSSQ)は、その直上領域で部分的に電源配線VSSQのメッシュ状の配線群とコンタクト群を介して接続される。また、配線層M4、M5のうちDQ用TSV群の各TSV(DQ)と上方のパッドPの間は、電源配線のスペースとして用いられない。一方、上述したように、データバスDBが配線層M4を用いることなく形成できるので、データバスDBの配線負荷を軽減して高速動作に有利になるとともに、効率的な配置で配線層M4、M5の電源配線を構成することができる。また、メモリバンク領域11からI/O電源用TSV群21にかけて、配線層M5に同一の配線ピッチで電源配線を形成でき、製造工程を簡素化することができる。一例として、各TSV(VDDQ、VSSQ、DQ)は、それぞれ配線層M4、M2において該当する配線に電氣的に接続される例を示した。これはDQ端子においてはI/O領域14のドライバと比較的小さなインピーダンスで電氣的に接続できるとともに、電源電圧VDDQ/グランド電位VSSQにおいては、配線インピーダンスを低減することができるからである。しかし、製造工程を簡素化するためには、全てのTSVを同一の任意の配線層において該当する配線に電氣的に接続してもよい。

30

40

【0035】

次に図13は、図9(B)のサブマット40内のメモリセルアレイMCAの周囲の領域における配線層M4、M5の各配線構造を示している。図13に示す範囲は、図9(B)の平面構造の範囲に対応している。既に説明したように、配線層M5のうち両側のサブワードドライバ列SWDAの上方の領域とそのY方向の延長領域に配置された配線群L(M5)は、Y方向に延びる周辺電源の配線群である。また、配線層M4のうち両側のセンスアンプ列SAAの上方の領域とそのX方向の延長領域に配置された配線群L(M4)は、X方向に延びる周辺電源用配線群である。それぞれの配線群L(M5)、L(M4)には、例えば、電源電圧VPERIとグランド電位VSSの各配線が交互に配置されており、他の制御用配線等は配置されていない。なお、図11で説明したように、配線層M5のう

50

ちメモリセルアレイMCAの上方にはデータバスDBが配置されている。また、配線層M4のうちメモリセルアレイMCAの上方にはメモリバンク用電源の配線群が配置されている。

【0036】

交差部ISの上方のコンタクト領域CRには、上層の配線群L(M5)と下層の配線群L(M4)とを電氣的に接続する複数のコンタクトCが形成される。従って、各メモリバンク内の多数の交差部IS(サブマト40の個数×4個の交差部IS)を介して配線群L(M5)、L(M4)を相互接続することで、周辺電源の配線インピーダンスを十分に下げることができる。なお、図13においては、1つのコンタクト領域Cにおいて、5本ずつの配線群L(M5)、L(M4)が交差し、12個のコンタクトCが形成される例を示しているが、配線の本数やコンタクトCの個数は適宜に設定可能である。

10

【0037】

また、図14は、図10の変形例に関して、図13と同様の範囲における配線構造を示している。図14において、図13と異なる点は、図10で説明した複数のスイッチ部HSWの上方の配線層M4の領域とその延長領域に、X方向に延びる周辺電源用の1対の配線(電源電圧VPERI及びグランド電位VSS)が配置されていることである。そして、この1対の配線がサブワードライバ列SWDAの上方で、配線群L(M5)と複数のコンタクトCを介して電氣的に接続されている。このような配線構造により、周辺電源の配線インピーダンスを一層下げることができる。図14において、その他の点については、図13と同様であるため説明を省略する。

20

【0038】

以上のように、上記各実施形態に基づいて本発明の内容を具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々の変更を施すことができる。例えば、上記実施形態の図1のメモリシステムにおいて、マルチコアDRAMチップC1を備えていれば、マルチコアCPUチップC0を設けない場合や他のチップで置き換える場合であっても本発明の適用が可能である。また、積層されるマルチコアDRAMチップC1の個数は1つに限られず、複数のマルチコアDRAMチップC1を積層する場合であっても本発明の適用が可能である。さらに、マルチコアDRAMチップC1は、DRAMコア以外の他のメモリコアからなるメモリチップで置き換えてもよい。

30

【符号の説明】

【0039】

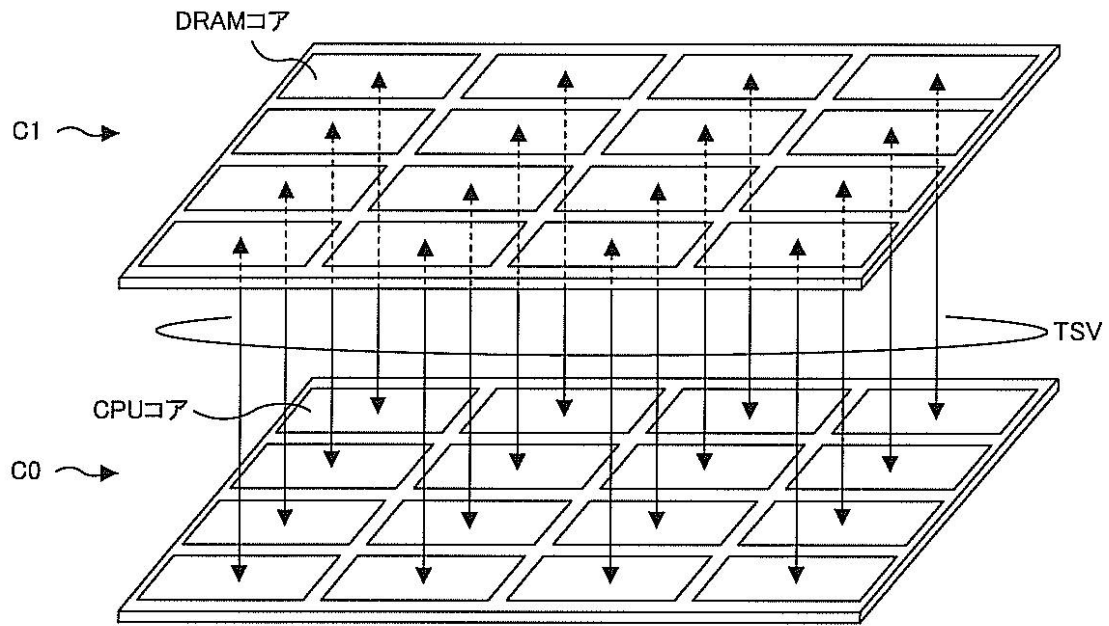
- 10 ... コア制御領域
- 11 ... メモリバンク領域
- 12 ... 電源領域
- 13 ... データバス駆動領域
- 14 ... I/O領域
- 20 ... 制御用TSV群
- 21 ... I/O電源用TSV群
- 22 ... DQ用TSV群
- 23 ... 周辺電源用TSV群
- 30 ... アドレス入力回路
- 31 ... アドレスラッチ回路
- 32 ... コマンド入力回路
- 33 ... コマンドデコーダ回路
- 34 ... リフレッシュ制御回路
- 35 ... モードレジスタ
- 36 ... クロック入力回路
- 37 ... DLL
- 38 ... タイミングジェネレータ

40

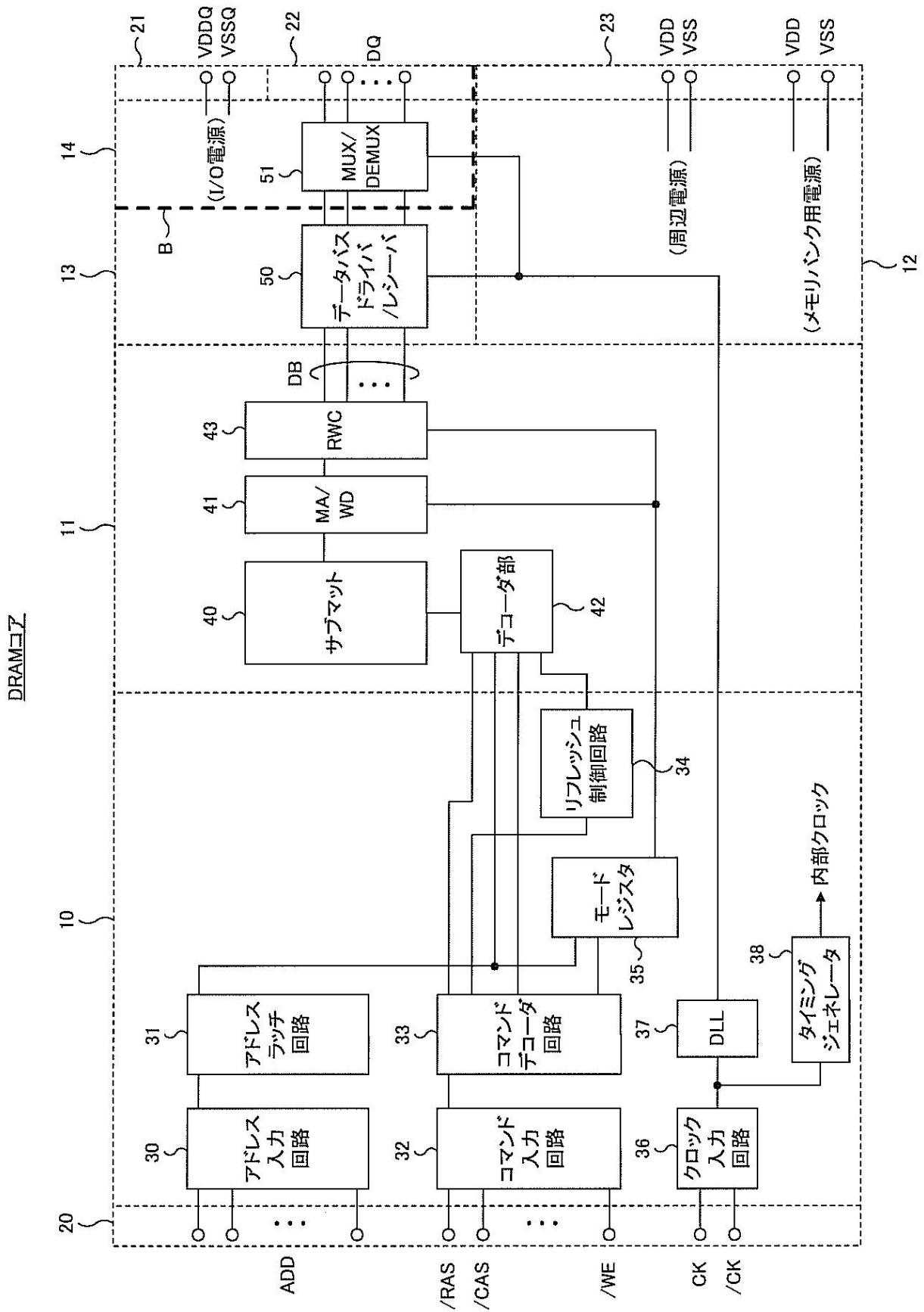
50

4 0 ... サブマツト
4 1 ... メインアンプ / ライトドライバ部
4 2 ... デコーダ部
4 3 ... リードライト回路 (R W C)
5 0 ... データバスドライバ / レシーバ回路
5 1 ... マルチプレクサ / デマルチプレクサ回路
C 0 ... マルチコア C P U チップ
C 1 ... マルチコア D R A M チップ
D B ... データバス
D E M U X ... デマルチプレクサ
I S ... 交差部
M A A ... メインアンプ列
M A T ... メモリマツト
M C A ... メモリセルアレイ
M U X ... マルチプレクサ
S A A ... センスアンプ列
S W D A ... サブワードドライバ列
P ... パッド

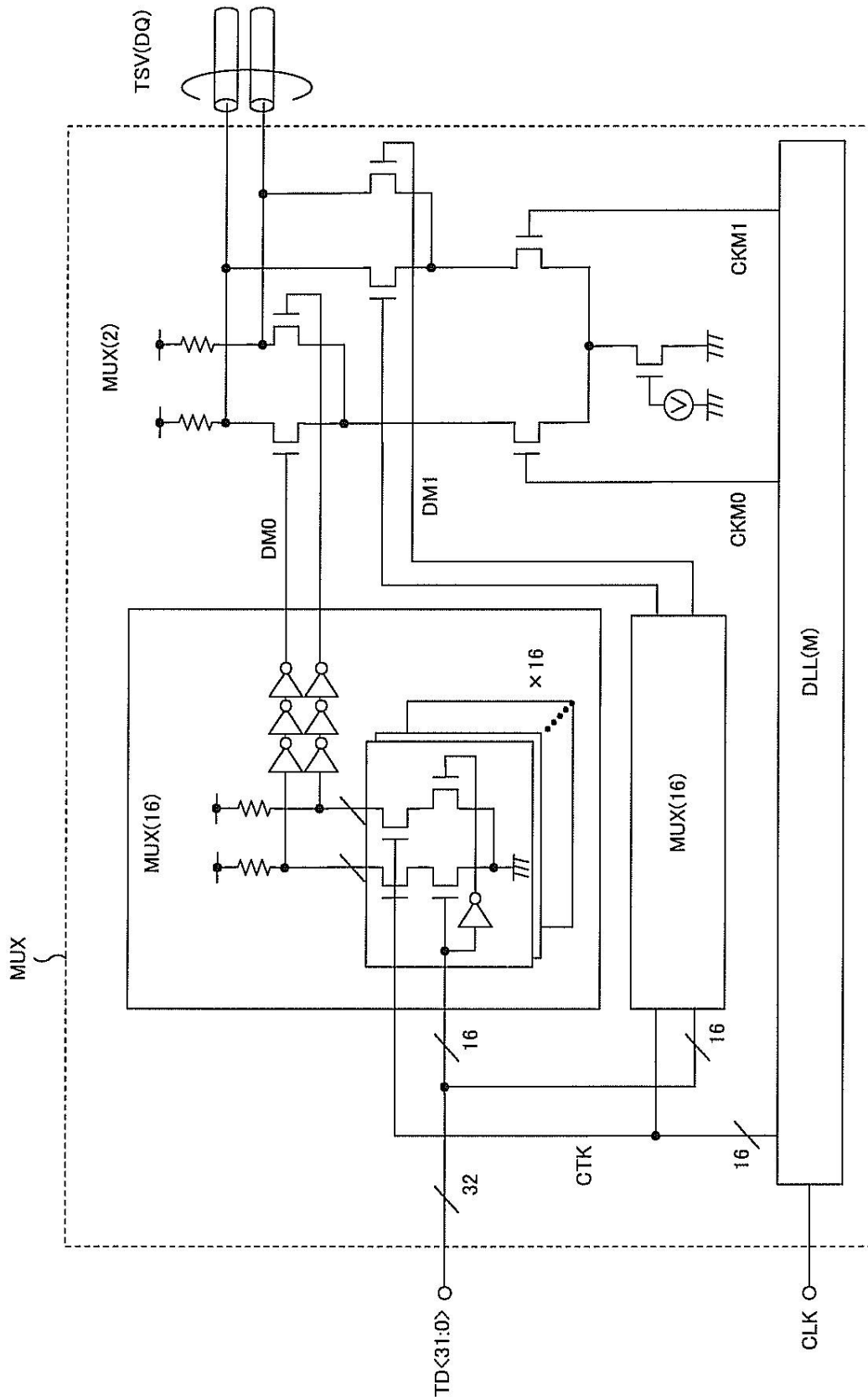
【 図 1 】



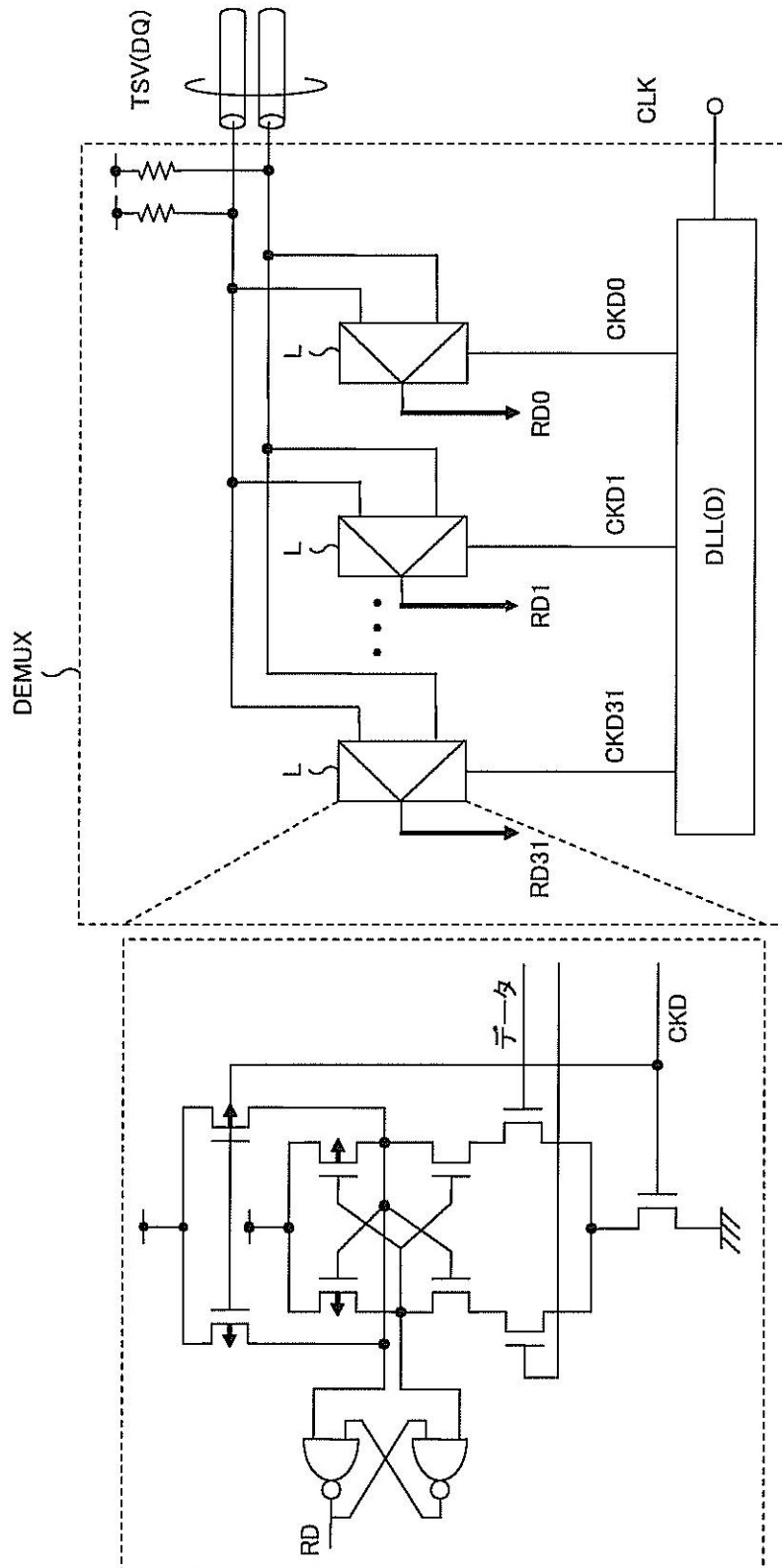
【図 2】



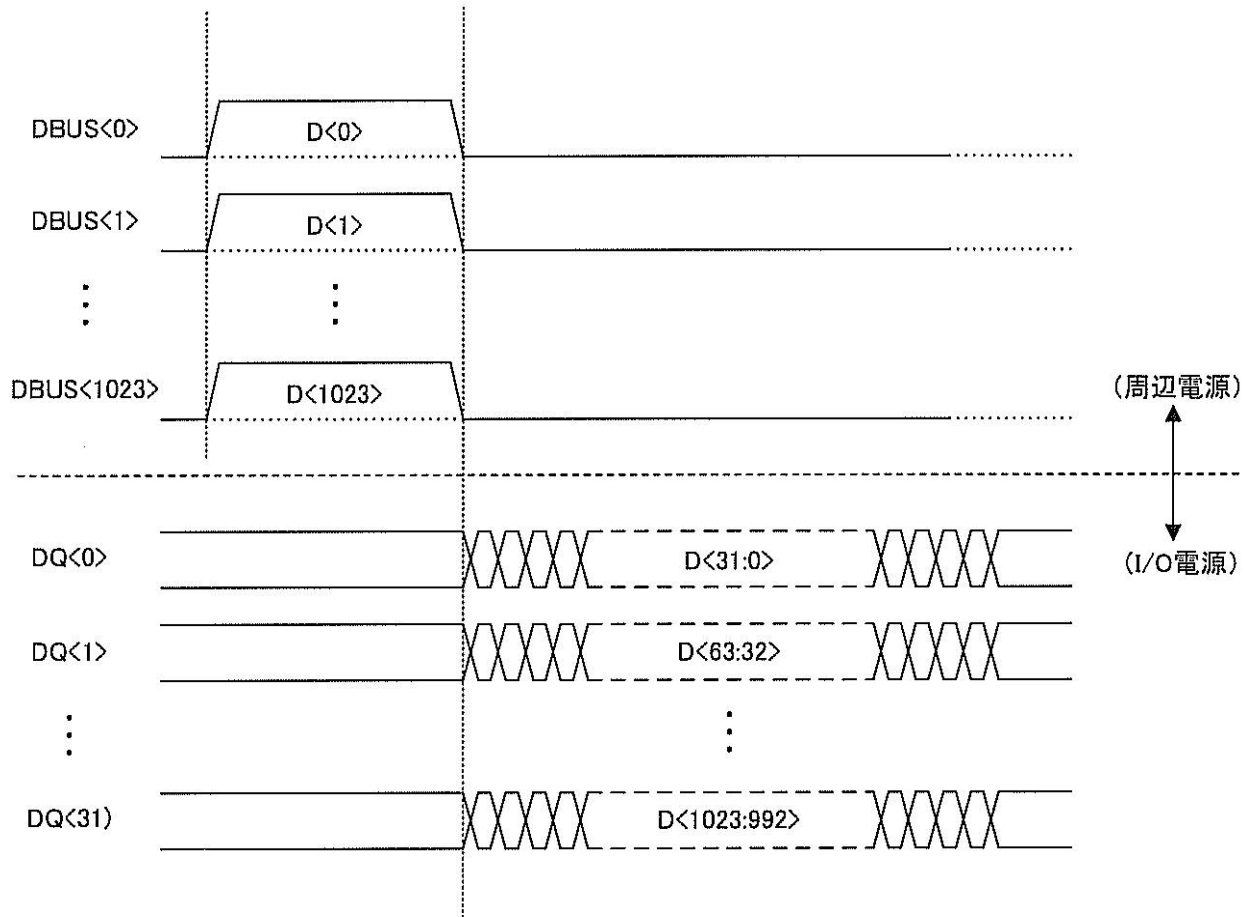
【 図 4 】



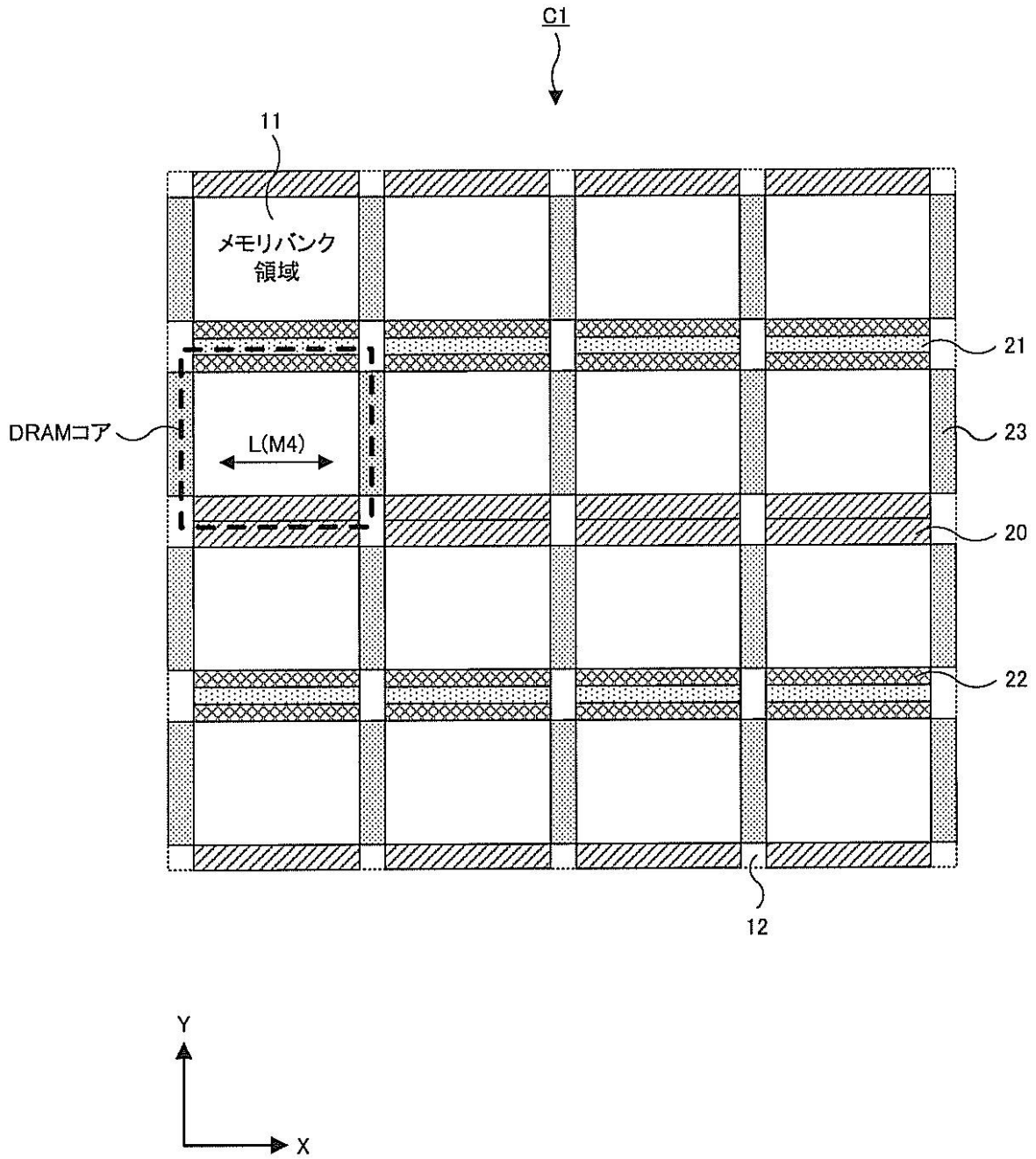
【図5】



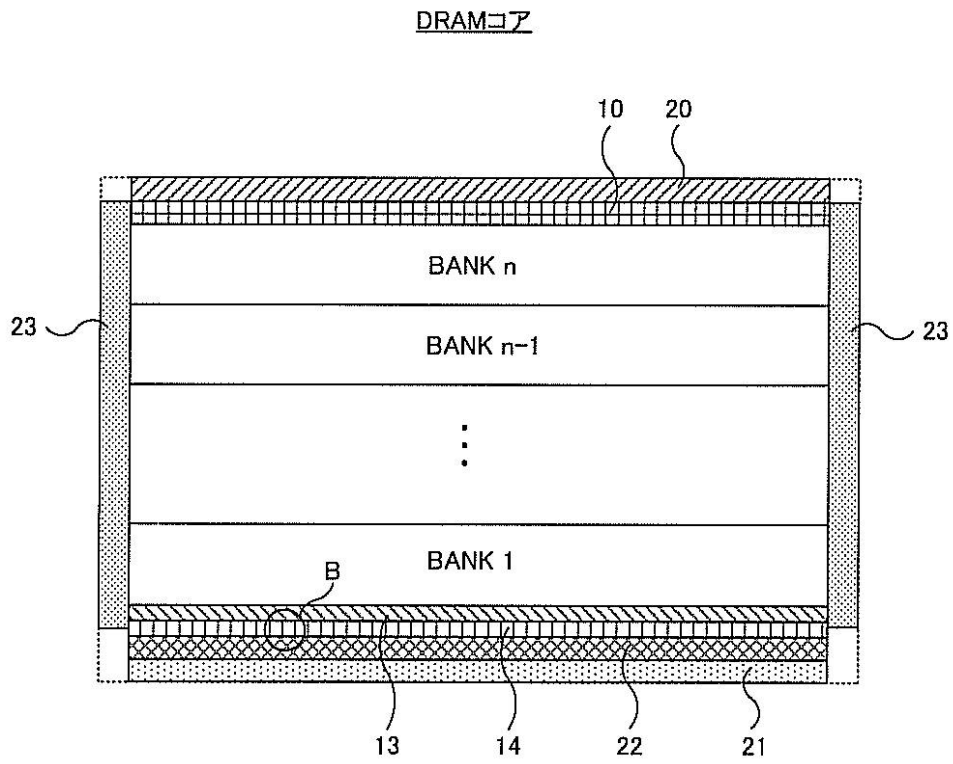
【 図 6 】



【 図 7 】

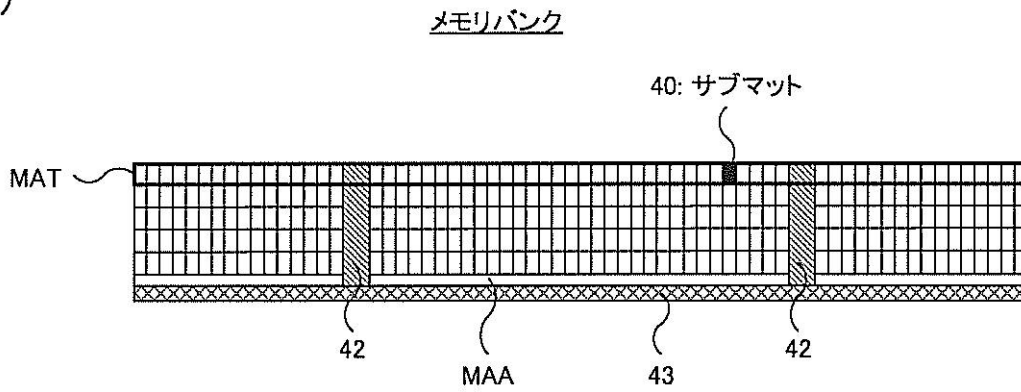


【 図 8 】

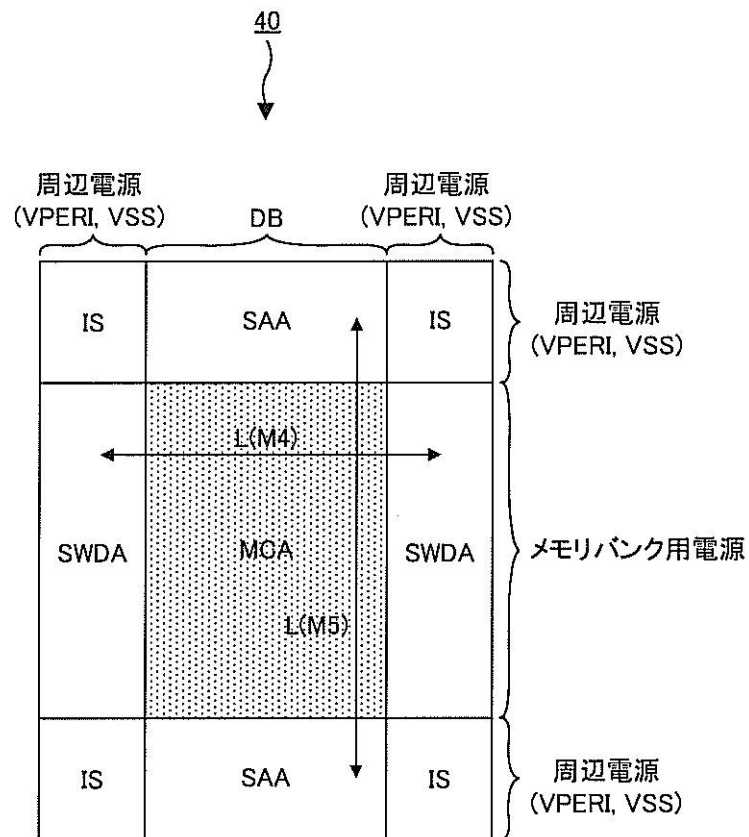


【図9】

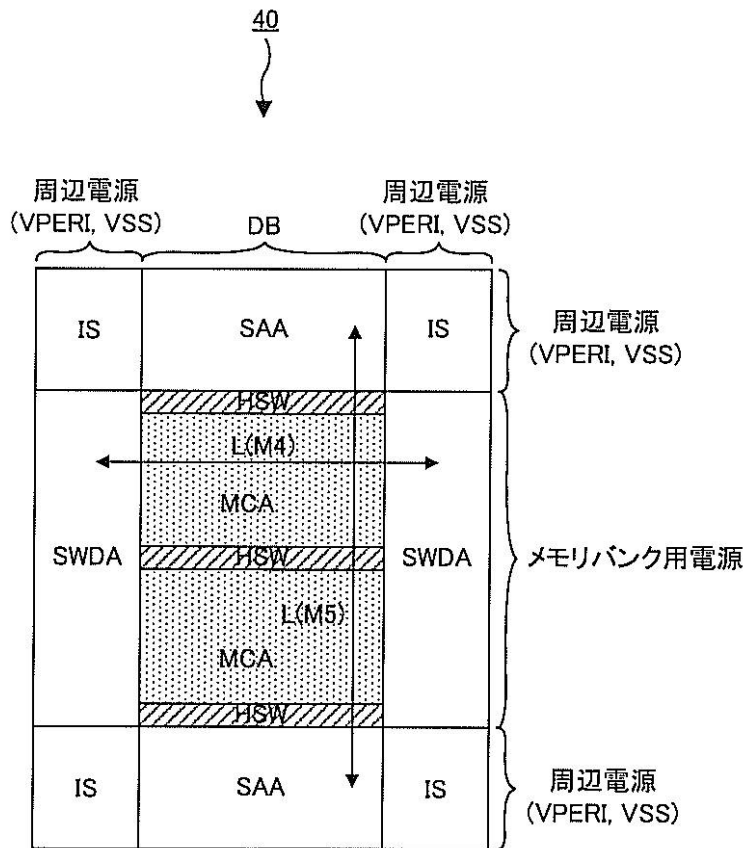
(A)



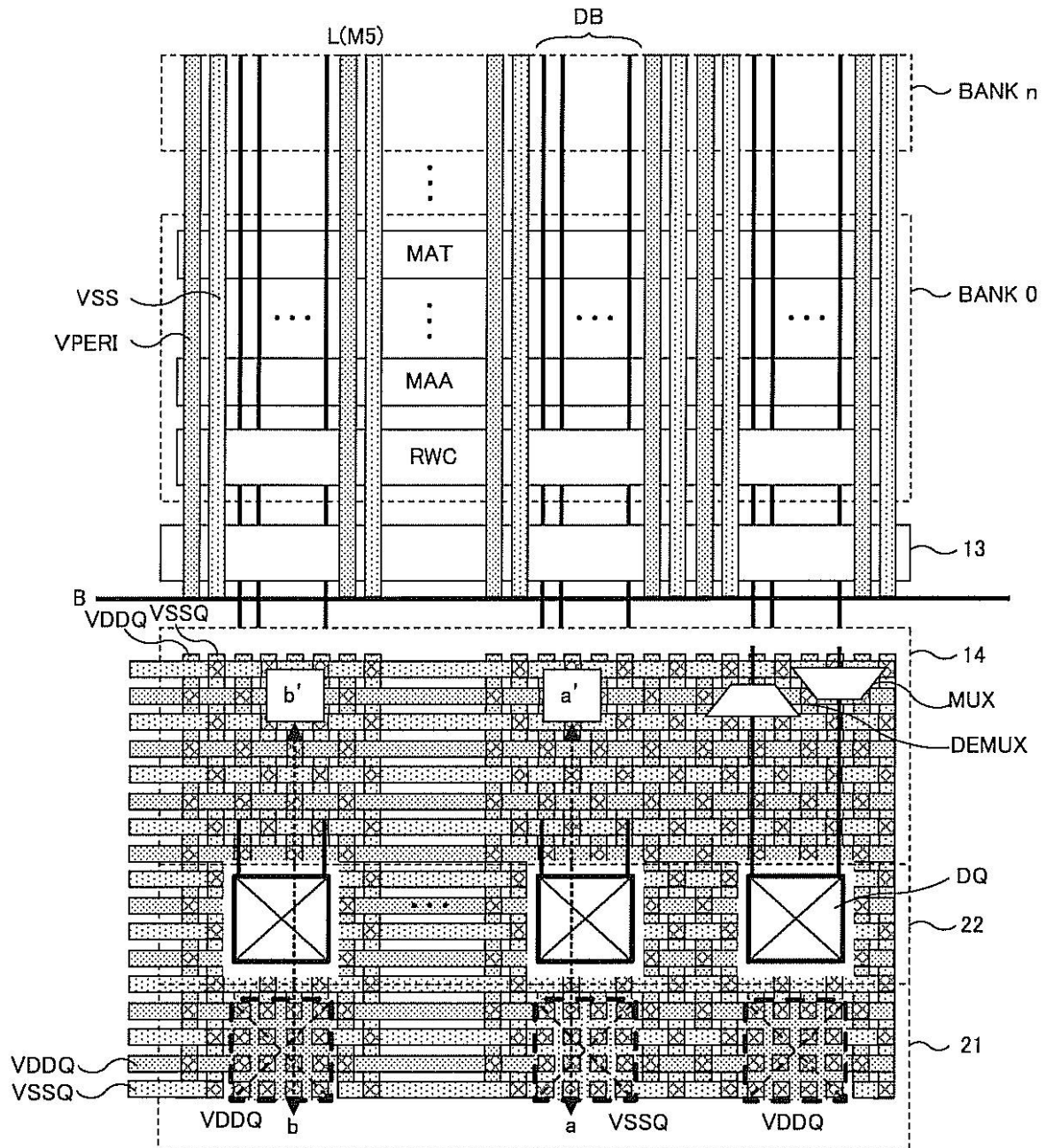
(B)



【 図 1 0 】

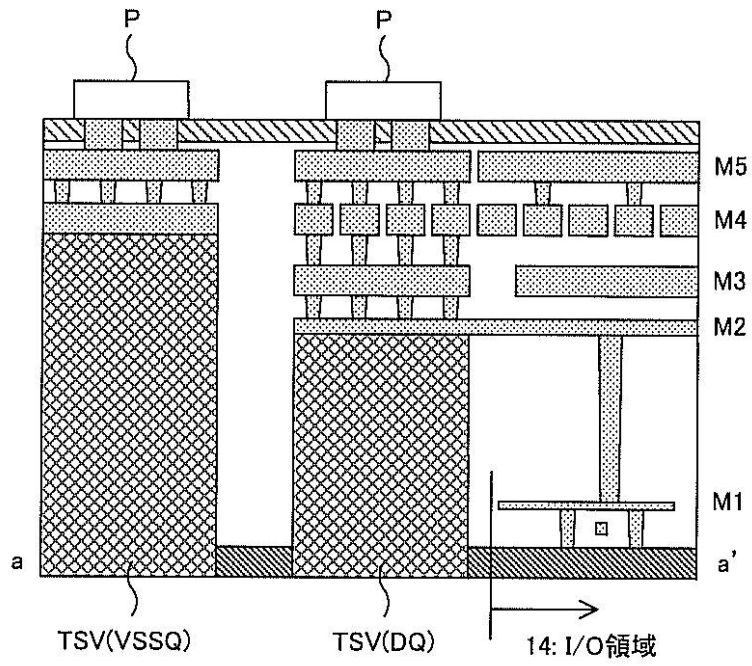


【図 11】

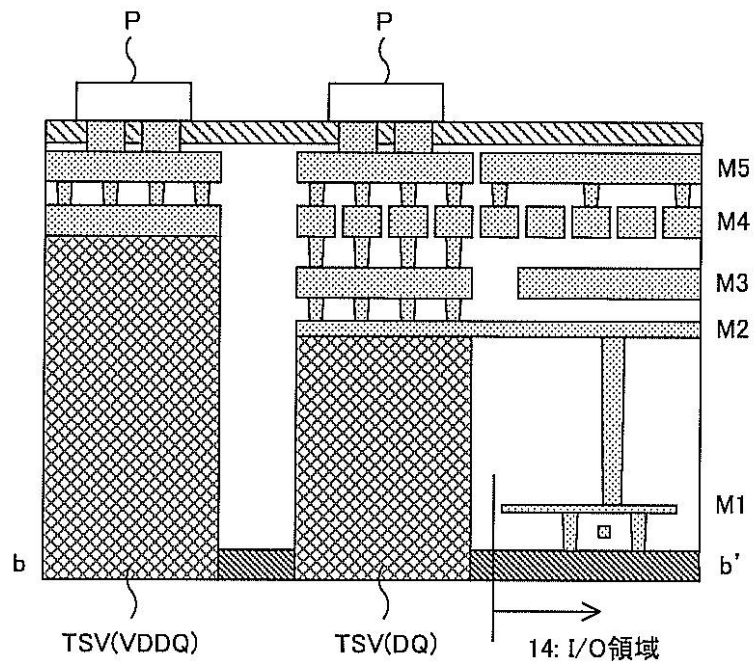


【 図 1 2 】

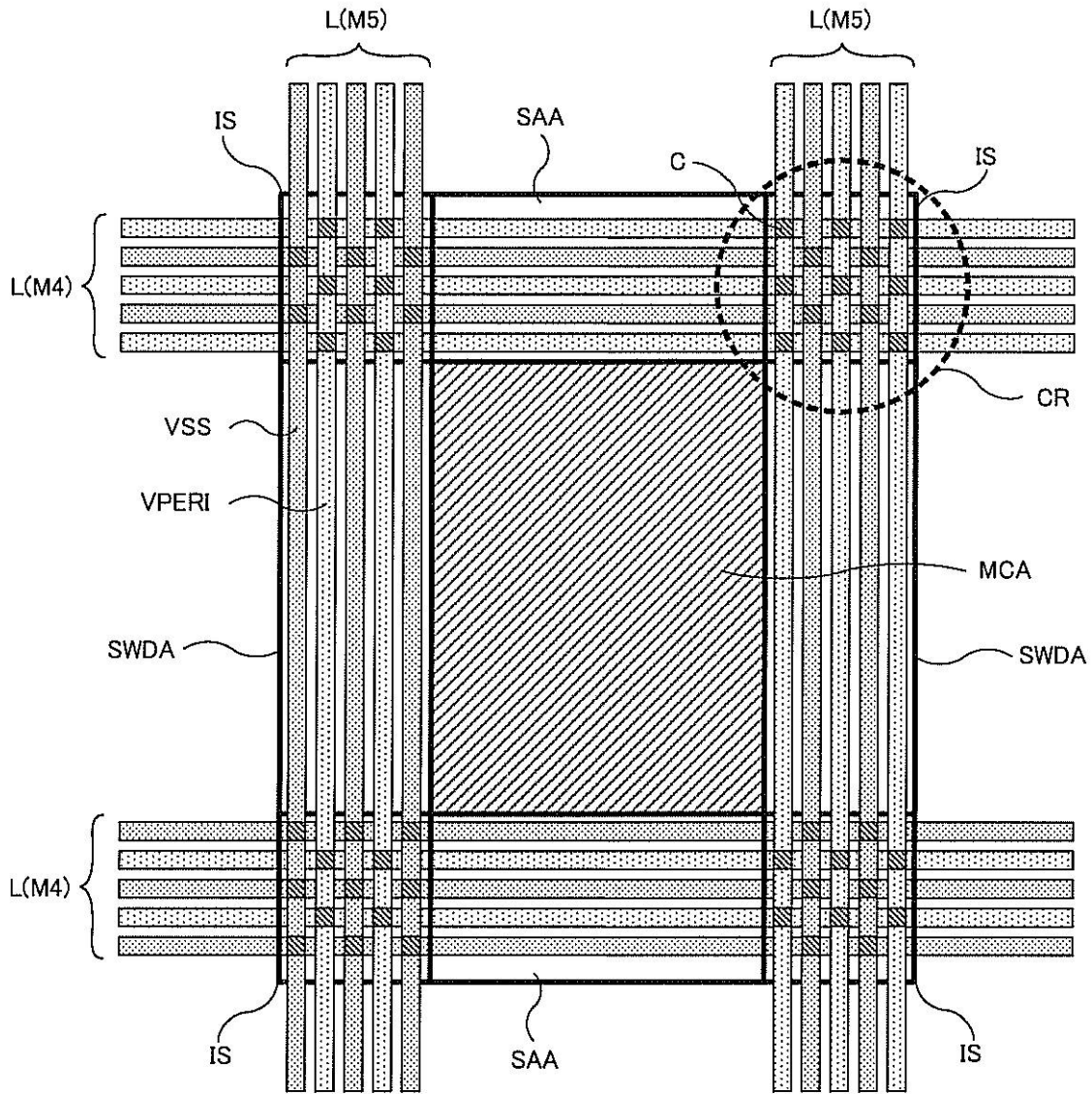
(A)



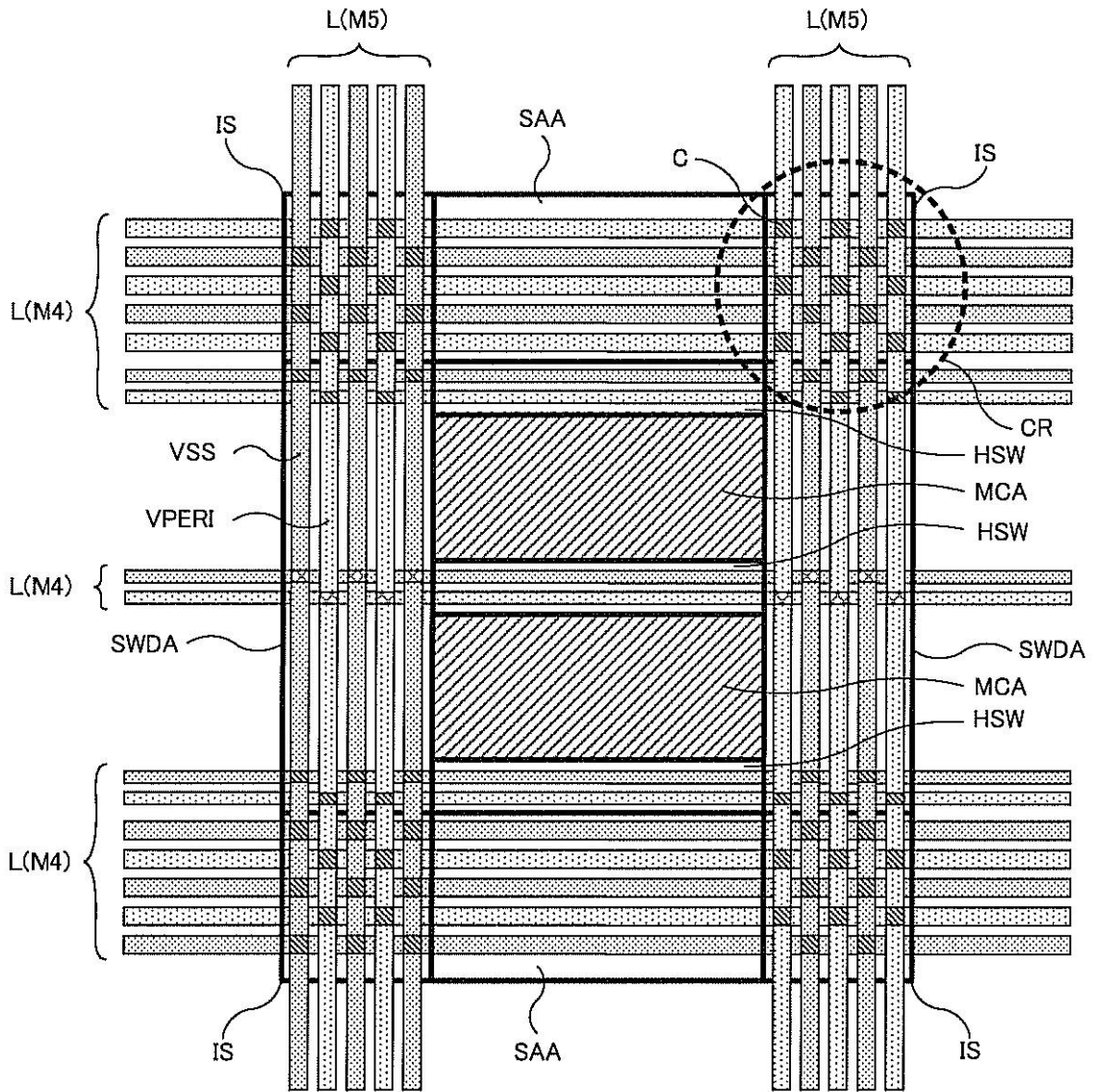
(B)



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/10 6 8 1 F

Fターム(参考) 5F083 AD00 GA01 GA05 KA15 KA20 LA02 LA03 LA04 LA05 LA10
LA17 LA21 LA26 MA06 MA16 MA19 ZA13