(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 16 日(16.04.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/053173 A1

(51) 国際特許分類:
H01G 7/06 (2006.01) *H01G 17/00* (2006.01)

(21) 国際出願番号: PCT/JP2014/076505

(22) 国際出願日: 2014 年 10 月 3 日(03.10.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-210026 2013 年 10 月 7 日(07.10.2013) JP

(71) 出願人: 太陽誘電株式会社(TAIYO YUDEN CO., LTD.) [JP/JP]; 〒1100005 東京都台東区上野６丁目１６番２０号 Tokyo (JP).

(72) 発明者: 森戸 健太郎(MORITO Kentaro); 〒1100005 東京都台東区上野６丁目１６番２０号 太陽誘電株式会社内 Tokyo (JP). 石井 大基(ISHII Daiki); 〒1100005 東京都台東区上野６丁目１６番２０号 太陽誘電株式会社内 Tokyo (JP). 夏目 真志(NATSUME Masashi); 〒1100005 東京都台東区上野６丁目１６番２０号 太陽誘電株式会社内 Tokyo (JP). 池永 倫和(IKENAGA Tomokazu); 〒1100005 東京都台東区上野６丁目１６番２０号 太陽誘電株式会社内 Tokyo (JP).

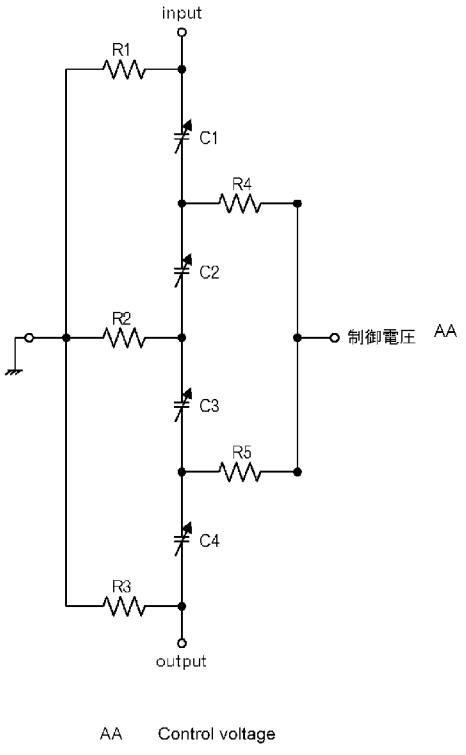
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: VARIABLE CAPACITANCE DEVICE AND COMMUNICATION APPARATUS

(54) 発明の名称 : 可変容量デバイスおよび通信装置



(57) **Abstract**: [Problem] To increase the Q value of a variable capacitance device in a frequency band to be used. [Solution] This variable capacitance device has: (A) a first signal line which includes a plurality of first variable capacitance elements that are connected in series; (B) a second signal line which includes a plurality of second variable capacitance elements that are connected in series; (C) a first bias line for applying a first direct current voltage to each of the plurality of first variable capacitance elements and the plurality of second variable capacitance elements; and (D) a second bias line for applying a second direct current voltage to each of the plurality of first variable capacitance elements and the plurality of second variable capacitance elements. In addition, one portion of the first bias line and/or the second bias line is disposed so as to pass between two adjacent first variable capacitance elements among the plurality of first variable capacitance elements.

(57) 要約: 【課題】使用する周波数帯域における、可変容量デバイスのＱ値を高める。【解決手段】本可変容量デバイスは、（Ａ）直列に接続された複数の第１の可変容量素子を含む第１のシグナルラインと、（Ｂ）直列に接続された複数の第２の可変容量素子を含む第２のシグナルラインと、（Ｃ）複数の第１の可変容量素子及び複数の第２の可変容量素子の各々に第１の直流電圧を印加するための第１のバイアスラインと、（Ｄ）複数の第１の可変容量素子及び複数の第２の可変容量素子の各々に第２の直流電圧を印加するための第２のバイアスラインとを有する。そして、第１のバイアスラインと第２のバイアスラインとのうち少なくともいずれかの一部分が、複数の第１の可変容量素子のうち隣接する２つの第１の可変容量素子の間を通過するように配置される。

WO 2015/053173 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 可変容量デバイスおよび通信装置

技術分野

[0001] 本発明は、可変容量デバイスおよびそれを用いた通信装置に関する。

背景技術

[0002] 常誘電体であるチタン酸ストロンチウム薄膜や、強誘電体であるチタン酸ストロンチウムバリウム薄膜は半導体プロセスにて使用されるＳｉO_2薄膜やＳｉＮ薄膜に比べ高い誘電率を有する。このため回路の小面積化に適した材料と考えられる。この高誘電率を有する薄膜は、印加する直流電圧に伴い容量が低下するという特徴を有する。

[0003] このような薄膜の特徴を素子として利用したデバイスが可変容量デバイスである。この可変容量デバイスには、上で述べたような薄膜を導電体層で挟むように形成された可変容量素子を複数直列に接続し、各可変容量素子の一端を制御電圧を印加するための端子に接続すると共に、他端をグランドに接地するための端子に接続するものが知られている。この可変容量デバイスでは、制御電圧を上昇させれば、上で述べた薄膜の作用で容量が低下する。

[0004] このような可変容量デバイスは、可変容量素子と、インダクタ成分及び抵抗成分を有する配線部とがそれぞれ少なくとも１つと、これらに直流電圧を印加する配線部とを備えているため、その容量とインダクタンスとにより決まるＱ値（Quality Factor）が周波数特性を有する。また、一般に、容量とインダクタンスとを含む回路では、容量が大きくなるのに伴って、回路の共振周波数が低下する傾向を示す。

[0005] このように可変容量デバイスのＱ値に関する周波数特性は、当該可変容量デバイスを通過する信号の周波数帯域に対して適切であるとは限らない。とりわけ、信号の周波数帯域よりも低い周波数帯域に、可変容量デバイスのＱ値が極大となる周波数がある場合には、当該可変容量デバイスが用いられている回路の効率を大きく低下させる。

先行技術文献

特許文献

[0006] 特許文献1：米国特許第６６７４３２１号明細書

特許文献2：特開２０１１－１１９４８２号公報

特許文献3：特開２００６－１９６７０４号公報

発明の概要

発明が解決しようとする課題

[0007] 従って、本発明の目的は、一側面によれば、使用する周波数帯域における、可変容量デバイスのＱ値を高めることである。

課題を解決するための手段

[0008] 本発明に係る可変容量デバイスは、（Ａ）直列に接続された複数の第１の可変容量素子を含む第１のシグナルラインと、（Ｂ）直列に接続された複数の第２の可変容量素子を含む第２のシグナルラインと、（Ｃ）複数の第１の可変容量素子及び複数の第２の可変容量素子の各々に第１の直流電圧を印加するための第１のバイアスラインと、（Ｄ）複数の第１の可変容量素子及び複数の第２の可変容量素子の各々に第２の直流電圧を印加するための第２のバイアスラインとを有する。そして、第１のバイアスラインと第２のバイアスラインとのうち少なくともいずれかの一部分が、複数の第１の可変容量素子のうち隣接する２つの第１の可変容量素子の間を通過するように配置される。

[0009] このように複数のシグナルラインを導入することでＱ値を高めることができる。なお、シグナルライン全体は水平方向に伸びるが、それに含まれる可変容量素子は垂直方向に積層して形成されるので、可変容量素子間には空きスペースが存在する。本実施の形態では、このスペースを用いてバイアスラインの引き回しを行うため、空間利用効率が高く、小さなデバイスが形成できる。なお、第１の直流電圧は例えば制御電圧であり、第２の直流電圧は例えば０Ｖ（接地）である。

[0010] また、上で述べた第１のバイアスラインと第２のバイアスラインとのうち少なくともいずれかの一部分が、複数の第１の可変容量素子のうち隣接する２つの第１の可変容量素子の各々に含まれる２つの電極層のいずれか一方と同一層で形成されるようにしても良い。このようにすれば、バイアスラインのために追加的に導体層を形成せずに済むため、コスト上昇を抑えられる。

[0011] また、上で述べた第１の可変容量素子の数が４以上であり、第２の可変容量素子の数が４以上であり、第１のバイアスラインの一部分が、複数の第１の可変容量素子のうち隣接する２つの第１の可変容量素子の間を通過するように配置され、第２のバイアスラインの一部分が、複数の第２の可変容量素子のうち隣接する２つの第２の可変容量素子の間を通過するように配置され、複数の第１の可変容量素子における、上記２つの第１の可変容量素子の相対位置と、複数の第２の可変容量素子における、上記２つの第２の可変容量素子の相対位置とが、異なっている場合もある。このようにすれば、より空間利用効率が高いバイアスラインの引き回しが可能となる。

[0012] さらに、上で述べた第１のバイアスラインの一部分及び第２のバイアスラインの一部分が、複数の第１の可変容量素子のうち隣接する２つの第１の可変容量素子の各々に含まれる２つの電極層のいずれか一方と同一層で形成される場合もある。このようにすれば、製造コストの上昇を抑制できる。

[0013] さらに、第１のバイアスラインの他の一部分が、上記２つの電極層の他方の層と同一層で形成される場合もある。バイアスラインの交差を避けるためである。

[0014] 以上述べた構成については、以下の実施の形態にて具体的に説明されるが、実施の形態に限定されるものではない。

発明の効果

[0015] 一側面によれば、使用する周波数帯域における、可変容量デバイスのＱ値を高めることができる。

図面の簡単な説明

[0016] [図1]図１は、可変容量デバイスに含まれる回路の基本等価回路を示す図であ

る。

[図2]図２は、可変容量デバイスの構成例を示す図である。

[図3]図３は、Ｑ値の周波数特性の一例を示す図である。

[図4]図４は、第１の実施の形態に係る可変容量デバイスの平面図である。

[図5]図５は、第１の実施の形態に係る可変容量デバイスのＡＡ’断面を示す図である。

[図6]図６は、シグナルラインを３本にする場合における可変容量デバイスの平面図である。

[図7]図７は、シグナルラインをｎ本にする場合における可変容量デバイスの構成例を示す図である。

[図8]図８は、第２の実施の形態に係る可変容量デバイスの平面図である。

[図9]図９は、第２の実施の形態に係る可変容量デバイスのＢＢ’断面を示す図である。

[図10]図１０は、第３の実施の形態に係る通信装置を示す概略図である。

発明を実施するための形態

[0017] 本実施の形態に係る可変容量デバイス内に形成される回路の基本的な等価回路を図１に示す。

[0018] 本実施の形態に係る可変容量デバイスのための回路は、直列に接続された可変容量素子Ｃ１乃至Ｃ４と、抵抗Ｒ１乃至Ｒ５とを有する。可変容量素子Ｃ１乃至Ｃ４は、その両端に印加される電圧が増加すると、容量値が減少する可変容量素子であり、例えばＢＳＴ（（Ｂａ，Ｓｒ）TiO_3）薄膜で形成される。なお、抵抗Ｒ１乃至Ｒ５は、高周波信号漏洩防止のための抵抗である。本実施の形態では、信号は、直列に接続された可変容量素子Ｃ１乃至Ｃ４に沿って流れるため、可変容量素子Ｃ１乃至Ｃ４のラインを、シグナルラインと呼ぶことにする。

[0019] 抵抗Ｒ１乃至Ｒ３の一端はグランドに接続するための端子に接続されている。また、抵抗Ｒ１の他端は可変容量素子Ｃ１の一端に接続されており、抵抗Ｒ２の他端は可変容量素子Ｃ２及びＣ３の一端に接続されており、抵抗Ｒ３

の他端は可変容量素子Ｃ４の一端に接続されている。さらに、抵抗Ｒ４及びＲ５の一端は制御電圧印加用の端子に接続されている。また、抵抗Ｒ４の他端は可変容量素子Ｃ１及びＣ２の他端に接続されており、抵抗Ｒ５の他端は可変容量素子Ｃ３及びＣ４の他端に接続されている。このような抵抗Ｒ１乃至Ｒ３を含むグランド側配線と、抵抗Ｒ４及びＲ５を含む制御電圧印加用配線とを、バイアスラインと呼ぶことにする。

[0020] 本実施の形態では、１つの可変容量デバイス内に、シグナルラインを複数並列に設けることで、Ｑ値を上げる。例えば、シグナルラインが１本の場合における可変容量素子Ｃ１乃至Ｃ４の各容量値Ｃを、シグナルラインを２本にする場合Ｃ／２にし、シグナルラインを３本にする場合Ｃ／３にする。

[0021] 例えば、２本のシグナルラインを設ける場合には、図１で示した回路をボックスで表すと、図２のように表される。図２に示すように、回路１０ａと回路１０ｂとを並列に設ける。ここで、図２からも分かるように、グランド側の端子と、制御電圧印加用の端子には、回路１０ａ及び１０ｂの側面からの配線で接続されるので、回路１０ａ及び１０ｂをまたぐような配線が行われることになる。このようにシグナルラインを並列化するのには、シグナルラインの側面に設けられるバイアスラインの配置に配慮しないと、デバイスサイズをより増大させたり、配線層を増加させることになって、コストが上昇してしまう。

[0022] なお、可変容量素子Ｃ１乃至Ｃ４の合成容量が１００ｐＦである場合と、シグナルラインを２本設けて１本のシグナルラインにおける可変容量素子Ｃ１乃至Ｃ４の合成容量が５０ｐＦである場合と、シグナルラインを４本設けて１本のシグナルラインにおける可変容量素子Ｃ１乃至Ｃ４の合成容量が２５ｐＦである場合について、Ｑ値の周波数特性を図３に示す。図３の横軸は周波数を表し、縦軸はＱ値を表す。このように、シグナルラインが増加するほど、Ｑ値が極大となる周波数が上昇することが分かる。従って、シグナルラインを増加させる効果は大きいことは明らかである。

[0023] そこで、一例として２本のシグナルラインを有する可変容量デバイスの平面

図を図４に示す。なお、図４には、主要な部分のみ示しているので、基板やその他の非主要部については省略されている。

[0024] 第１のシグナルラインは、上の層から順番に、配線層１０１ａ乃至１０１ｃと、上部電極１０３ａ乃至１０３ｄと、上部電極１０３ａ乃至１０３ｄの各々の下に形成された誘電体層と、下部電極１０２ａ及び１０２ｂとを有する。上部電極１０３ａ及び１０３ｄの数分、可変容量素子が形成されている。配線層１０１ａは、入力側の端子１２２に接続されており、配線層１０１ｃは、出力側の端子１２１に接続されている。

[0025] 下部電極１０２ａは、抵抗膜１０４ａを介して、下部電極１０２ｂは、抵抗膜１０４ｂを介して、制御電圧印加用の端子１２３に接続される。一方、配線層１０１ａは、抵抗膜１０４ｃとバイアスラインの配線層１０５とを介して、グランド用の端子１２４に接続されている。また、配線層１０１ｂは、抵抗膜１０４ｄとバイアスラインの配線層１０５とを介して、グランド用の端子１２４と接続されている。また、配線層１０１ｃは、抵抗膜１０４ｅとバイアスラインの配線層１０５、１０８及び１０７とを介して、グランド用の端子１２４と接続されている。

[0026] また、第２のシグナルラインは、上の層から順番に、配線層１１１ａ乃至１１１ｃと、上部電極１１３ａ乃至１１３ｄと、上部電極１１３ａ乃至１１３ｄの各々の下に形成された誘電体層と、下部電極１１２ａ及び１１２ｂとを有する。ここでも上部電極１１３ａ及び１１３ｄの数分、可変容量素子が形成されている。配線層１１１ａは、入力側の端子１２２に接続されており、配線層１１１ｃは、出力側の端子１２１に接続されている。

[0027] 下部電極１１２ａは、抵抗膜１１４ａ及びバイアスラインの配線層１０６を介して、制御電圧印加用の端子１２３に接続されている。また、下部電極１１２ｂは、抵抗膜１１４ｂ及びバイアスラインの配線層１０６を介して、制御電圧印加用の端子１２３に接続される。

[0028] 一方、配線層１１１ａは、抵抗膜１１４ｃとバイアスラインの配線層１１６とを介して、グランド用の端子１２４に接続されている。また、配線層１１

１ｂは、抵抗膜１１４ｄを介して、グランド用の端子１２４と接続されている。また、配線層１１１ｃは、抵抗膜１１４ｅとバイアスライン
の配線層１１７とを介して、グランド用の端子１２４と接続されている。

[0029] 本実施の形態では、第１のシグナルラインをまたがなければ、制御電圧印加用の端子１２３を第２のシグナルラインに接続できない。同様に、第２のシグナルラインをまたがなければ、グランド用の端子１２４を第１のシグナルラインに接続できない。

[0030] そこで、本実施の形態では、シグナルラインの配線層１０６の一部分は、上部電極１０３ｃを含む可変容量素子と、上部電極１０３ｄを含む可変容量素子との間を通過するように配置される。また、配線層１０６と、配線層１０１ａ乃至１０１ｃ及び１１１ａ乃至１１１ｃと同層で形成されるので、配線層が増加することはないため、コストアップが抑えられている。このように空いているスペースを有効に活用している。

[0031] また、シグナルラインの配線層１０５の一部分は、上部電極１１３ａを含む可変容量素子と、上部電極１１３ｂを含む可変容量素子との間を通過するように配置される。また、配線層１０５と、配線層１０１ａ乃至１０１ｃ及び１１１ａ乃至１１１ｃと同層で形成されるので、配線層が増加することはないため、コストアップが抑えられている。このように空いているスペースを有効に活用している。

[0032] なお、図４の例では、１つのシグナルラインに可変容量素子が４つ含まれており、配線層１０１ａ乃至１０１ｃが３つに分かれているため、配線層１０６が通過できるスペースが２カ所ある。同様に、配線１１１ａ乃至１１１ｃが３つに分かれているため、配線層１０５が通過できるスペースが２カ所ある。従って、同一線上に存在している２つのスペースを使用しても良いがデバイス全体の面積が大きくなるため、本実施の形態では、シグナルラインにおいて、入力側の端子１２２又は出力側の端子１２１からの距離（基準位置からの相対位置とも呼ぶ）が異なるスペースを使用するようにしている。

[0033] また、グランド用の端子１２４に接続される配線層１０５が、制御電圧印加用の端子１２３に接続される配線層１０６と交差するのを避けるために、下部電極１０２ａ及び１０２ｂ並びに１１２ａ及び１１２ｂと同層の配線層１０８が形成されて、当該配線層１０８を介して配線層１０５は当該配線層１０５と同層の配線層１０７と接続される。

[0034] 次に、図５に、図４におけるＡＡ’線における断面図を示す。基板１３３上には、絶縁層１３４が形成され、当該絶縁層１３４上には、下部電極１０２ａ及び１０２ｂと、端子１２２に接続させる配線層１３５ａと、端子１２１に接続される配線層１３５ｂとが形成される。そして、下部電極１０２ａ上には、誘電体層１０９ａ及び上部電極１０３ａと、誘電体層１０９ｂ及び上部電極１０３ｂとが形成される。また、下部電極１０２ｂ上には、誘電体層１０９ｃ及び上部電極１０３ｃと、誘電体層１０９ｄ及び上部電極１０３ｄとが形成される。さらに、それらの上部には、配線層１０１ａ乃至１０１ｃと、配線層１０１ａ乃至１０１ｃと同層の配線層１０６とが形成される。なお、配線層１０１ａ乃至１０１ｃより下には層間絶縁膜１３６が形成される。また、配線層１０１ａ乃至１０１ｃより上には、保護膜１３７が形成される。このように、配線層１０６を形成するコストは抑えられている。

[0035] なお、基板１３３は、例えば、シリコン基板や、サファイア等の単結晶基板等である。この基板１３３上に、下部電極１０２の層、誘電体層１０９及び上部電極１０３の層を順次、基板１３３のほぼ全面に成膜する。これら各層の成膜終了後、上部電極１０３の層、誘電体層１０９および下部電極１０２の層を順次所定の形状にエッチングする。

[0036] 誘電体層１０９の形成に高温スパッタが行われるため、下部電極１０２の層は、高融点である材料が用いられる。具体的には、Ｐｔ、Ｐｄ等の金属材料から成る。

[0037] さらに、下部電極１０２の層の高温スパッタによる形成後、誘電体層をスパッタ成膜する。

[0038] この時点で、容量素子のリーク電流特性安定化や改善のため大気中あるいは

窒素あるいは酸素の各雰囲気下、４００－７００℃の温度で５－９０分程度熱処理を施しても良い。なお、下部電極１０２の層の厚みは、容量の抵抗成分を考慮した場合、厚いほうが好ましい。

[0039] 誘電体層１０９は、少なくともＢａ，Ｓｒ，Ｔｉを含有するペロブスカイト型酸化物結晶粒子から成る高誘電率の誘電体層であることが好ましい。この誘電体層１０９は、下部電極１０２の表面に形成されている。

[0040] 例えば、ペロブスカイト型酸化物結晶粒子が得られる誘電体材料をターゲットとして、スパッタリング法による成膜を所望の厚みになるまで行う。

[0041] 誘電体層１０９との耐熱性や密着性向上のために、Ｐｔ等を上部電極１０３として用いることが望ましい。

[0042] 上部電極１０３の厚みについては、下部電極１０２に比して素子の抵抗に直接大きな影響を与えないことから、あまり配慮しなくてもよいが、０．１乃至１０μｍ程度が目安となる。

[0043] 上でも述べたように、グランド用の端子１２４に接続されるバイアスラインは、配線層１０５と薄膜抵抗である抵抗膜１０４とを含み、上部電極１０３に電気的に接続されている。一方、制御電圧印加用の端子１２３は、同様に配線層１０６と抵抗膜１０４を介して下部電極１０２に電気的に接続されている。

[0044] 可変容量素子の損失成分はシグナルラインで決まるため、配線層１０８を含むバイアスラインには抵抗の高い下部電極を使っても問題は無い。

[0045] 配線層１０１及び１０６は、下部電極１０２の層，誘電体層１０９及び上部電極１０３層を形成した後、層間絶縁膜１３６を形成後に新たに成膜することによって形成する。

[0046] その際には、既に形成した下部電極１０２の層、誘電体層１０９及び上部電極１０３の層を保護するために、リフトオフ法やめっきを用いることが望ましい。

[0047] 抵抗膜１０４を構成する薄膜抵抗の材料としては、比抵抗が１ｍΩｃｍ以上であるものが望ましい。

[0048] このような高抵抗の材料を用いることにより、所望の抵抗を有する薄膜抵抗を小さな形状で作製することができ、小型集積化に有利となる。このような要求値に対して薄膜抵抗の具体的な材料としては、窒化タンタル、ＴａＳｉＮ、Ｔａ－Ｓｉ－Ｏが有効である。

[0049] 例えば、ＴａとＳｉＮをターゲットとし窒素を雰囲気中に加えることで反応性スパッタリング法により、所望の組成比、抵抗率の薄膜抵抗を成膜できる。

[0050] さらに、この抵抗薄膜をスパッタリング法により成膜後、レジストを塗布して所定の形状にパターニングした後、これをマスクとして反応性イオンエッチング（ＲＩＥ）等のエッチングプロセスを行うことにより、簡便に所定形状を得ることができる。

[0051] その後、端子１２１及び１２２との接続部を開口させて層間絶縁膜１３６を形成する。層間絶縁膜１３６には、有機系絶縁膜であるポリイミド、無機系絶縁膜であるスパッタSiO_2・Al_2O_3膜、ＣＶＤ－SiO_2、あるいはそれらの積層膜などを用いる。

[0052] 層間絶縁膜１３６をパターニング形成した後、入力側の端子１２２及び出力側の端子１２１と可変容量素子とを直列につなぐシグナルラインの配線層１０１ａ乃至１０１ｃの形成と、制御電圧印加用の端子１２３及びグランド用の端子１２４を抵抗膜１０４を介してつなぐバイアスラインの配線層１０６の形成を行う。この配線層１０１ａ乃至１０１ｃ及び１０６等の材料としては、低抵抗であるＣｕやＡｌなどが適している。厚みとしては、０．１μｍから２０μｍ程度である。

[0053] その後、端子１２１乃至１２４が形成される領域を除き耐湿を目的とした保護膜１３７を形成する。保護膜１３７は、無機系絶縁膜であるスパッタSiO_2、ＣＶＤ－SiO_2、あるいは有機系絶縁膜であるポリイミド膜などである。最後に、端子１２１乃至１２４にＳｎなどのめっきを施すことで、可変容量素子群を含む回路が基板に実装される。

[0054] 上では、シグナルラインが２本の例を示したが、例えばシグナルラインを３

本にすると、例えば図６に示すようなレイアウトになる。基本的なレイアウトは、図４に示したものと同様であるから、詳細な説明は省略するが、制御電圧印加用のバイアスラインの配線層２０６は、上から２番目及び３番目のシグナルラインのために、図４よりも長くなっている。同様に、グランド用のバイアスラインの配線層２０５も、下から２番目及び３番目のシグナルラインのために、図４よりも長くなっている。なお、配線層２０５及び２０６が交差しないように、一部の配線層２０７ａ及び２０７ｂを下部電極と同一層に形成して、配線層２０５と配線層２０８ａ及び２０８ｂに接続されるようになっている。

[0055] このようにシグナルラインの数が増えても、図７に模式的に示すように、可変容量デバイス内で、バイアスラインが適切に引き回されて、各シグナルライン内の可変容量素子が機能する。

[0056] 以上のように、バイアスラインのために配線層を増加させずに済んでいるので、コストの上昇を抑えられている。また、低εのポリイミド等を層間絶縁膜に使っているので、シグナルラインとバイアスラインとの間に電気的な結合がほとんど無いため、素子のインピーダンス周波数特性には影響が無い。

[0057] ［実施の形態２］　第１の実施の形態では、４つの可変容量素子が１つのシグナルラインに設けられる例を示した。可変容量素子の数は任意の数であっても良い。但し、一般的には２以上の偶数個の可変容量素子を設ける場合が多い。４以上であれば、第１の実施の形態で説明したように、バイアスラインを通過させるためのスペースが２カ所以上できるので、制御電圧印加とグランド接続のための２本のバイアスラインを通過させることができる。一方、１つのシグナルラインで２つの可変容量素子しか含まれないと、バイアスラインを通過させるためのスペースが１カ所しかなく、１本のバイアスラインについては、下部電極と同層で形成することになる。このようなケースを図８に示す。

[0058] 基本的構造は図４と同様であるから詳細な説明については省略するが、制御

電圧印加用の端子３２３に接続されたバイアスラインの下部配線層３０６は、下部電極と同層に形成され、上から１番目のシグナルラインを超えると、上部の配線層３０１ａ及び３１１ａと同層に形成されている配線層３０７と接続されて、さらに配線層３０７は、上から２番目のシグナルラインのための下部電極に抵抗膜を介して接続されている。

[0059] 一方、グランド用の端子３２４に接続されるバイアスラインの配線層３０５は、上から２番目のシグナルラインにおける可変容量素子の間を通過して伸び、上から１番目のシグナルラインにおける上部の配線層３０１ａ等に、抵抗膜を介して接続している。

[0060] このようにすることでも、配線層を増加させずに済んでいるので、コストの上昇を抑えつつ、Ｑ値を上昇させることができる。

[0061] また、図８におけるＢＢ’線における断面図を図９に示す。図９で示すように、下部配線層３０６は、基板３３４上に形成された絶縁層３３３上に、第１のシグナルラインにおける上部の配線層３０１ａをくぐるように形成されている。この下部配線層３０６は、端子３２３に接続されており、さらに配線層３０７に接続されている。下部配線層３０６と上部の配線層３０１ａとの間には、層間絶縁膜３３２が形成されている。層間絶縁膜３３２は、無機系絶縁膜であるスパッタSiO_2・Al_2O_3膜、ＣＶＤ－SiO_2、あるいはそれらの積層膜である。また、保護膜３３１は、無機系絶縁膜であるスパッタSiO_2、ＣＶＤ－SiO_2、あるいは有機系絶縁膜であるポリイミド膜などである。

[0062] このような構成においても、複数本のシグナルラインを導入することによるバイアスラインの引き回しに層数
を増加させることがないので、コストの上昇が抑制されている。

[0063] ［実施の形態３］　図１０は、本実施の形態に係る通信装置の構成例を示す。本通信装置は、ＲＦＩＣ（Radio Frequency Integrated Circuit）部５００と、電圧制御部４１０と、共振アンテナ回路モジュール部４００とを有する。

[0064] 共振アンテナ回路モジュール部４００は、共振アンテナを形成すべく、インダクタＬと、当該インダクタＬと並列に接続される、ＤＣカットコンデンサＣDC1と可変容量デバイスＶＣとＤＣカットコンデンサＣDC2との直列接続回路とを有する。共振アンテナ回路モジュール部４００の共振周波数は、インダクタＬと上記直列接続回路の容量とで決定される。

[0065] また、ＲＦＩＣ部５００は、信号処理部５２０と、演算部５１０とを有する。信号処理部５２０は、共振アンテナ回路モジュール部４００で受信された高周波信号ＲＦを復調するといった通信のための処理を行う。また、演算部５１０は、信号処理部５２０の動作タイミングを制御すると共に、電圧制御部４１０に対してＤＣ１端子またはＤＣ２端子へのバイアス電圧を所定のタイミングで指示する処理を行う。また、演算部５１０は、可変容量デバイスＶＣに印加すべきバイアス電圧をも、電圧制御部４１０に指示する。

[0066] ここで、共振アンテナ回路モジュール部４００の可変容量デバイスＶＣには、例えば図４あるいは図６に示すような、複数本のシグナルラインを有する可変容量デバイスが用いられる。

[0067] 上述したように、複数本のシグナルラインを有する可変容量デバイスは、合成容量が同じでシグナルラインが１本である可変容量デバイスに比べて、Ｑ値が極大となる周波数が上昇する。そのため、本実施の形態に係る通信装置は、合成容量が同じでシグナルラインが１本である可変容量デバイスを用いた通信装置に比べて効率が高いものとなる。

[0068] 以上本発明の実施の形態を説明したが、本発明はこれに限定されない。例えば、図４における配線層１０１及び１１１と、下部電極１０２及び１１２とは、上下の関係を入れ替えるようにしても良い。その際は、上記趣旨に従って、バイアスラインの層の関係も入れ替える。

[0069] グランド用の端子と制御電圧印加用の端子の位置も入れ替えるようにしても良い。また、可変容量素子は、印加電圧差で容量が変化するので、グランド用の端子に０Ｖ以外の電圧を印加して、その分制御電圧印加用の端子に異なる電圧を印加するようにしても良い。

符号の説明

[0070] Ｃ１乃至Ｃ４　可変容量素子Ｒ１乃至Ｒ５　抵抗

請求の範囲

[請求項1] 直列に接続された複数の第１の可変容量素子を含む第１のシグナルラインと、 直列に接続された複数の第２の可変容量素子を含む第２のシグナルラインと、 前記複数の第１の可変容量素子及び前記複数の第２の可変容量素子の各々に第１の直流電圧を印加するための第１のバイアスラインと、 前記複数の第１の可変容量素子及び前記複数の第２の可変容量素子の各々に第２の直流電圧を印加するための第２のバイアスラインと、 を有し、 前記第１のバイアスラインと前記第２のバイアスラインとのうち少なくともいずれかの一部分が、前記複数の第１の可変容量素子のうち隣接する２つの第１の可変容量素子の間を通過するように配置される 可変容量デバイス。

[請求項2] 前記第１のバイアスラインと前記第２のバイアスラインとのうち少なくともいずれかの一部分が、 前記複数の第１の可変容量素子のうち隣接する２つの第１の可変容量素子の各々に含まれる２つの電極層のいずれか一方と同一層で形成される 請求項１記載の可変容量デバイス。

[請求項3] 前記第１の可変容量素子の数が４以上であり、 前記第２の可変容量素子の数が４以上であり、 前記第１のバイアスラインの一部分が、前記複数の第１の可変容量素子のうち隣接する２つの第１の可変容量素子の間を通過するように配置され、 前記第２のバイアスラインの一部分が、前記複数の第２の可変容量素子のうち隣接する２つの第２の可変容量素子の間を通過するように配置され、 前記複数の第１の可変容量素子における、前記２つの第１の可変容量素子の相対位置と、前記複数の第２の可変容量素子における、前記２つの第２の可変容量素子の相対位置とが、異なっている 請求項１記載の可変容量デバイス。

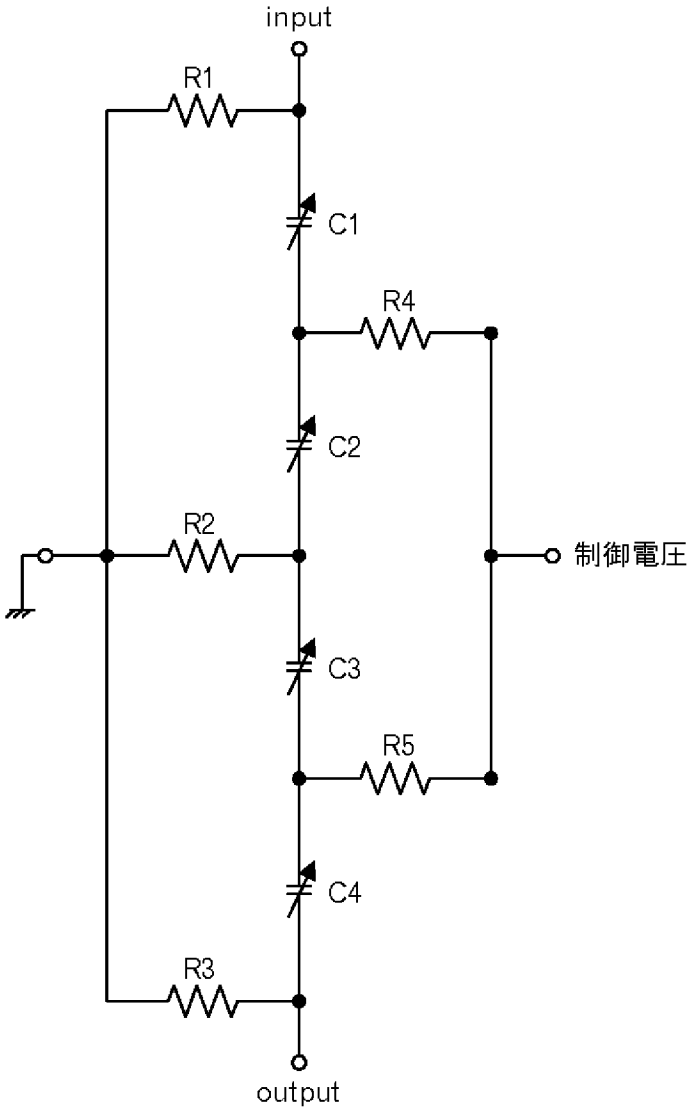
[請求項4] 前記第１のバイアスラインの一部分及び前記第２のバイアスラインの一部分が、 前記複数の第１の可変容量素子のうち隣接する２つの第

１の可変容量素子の各々に含まれる２つの電極層のいずれか一方と同一層で形成される　請求項３記載の可変容量デバイス。

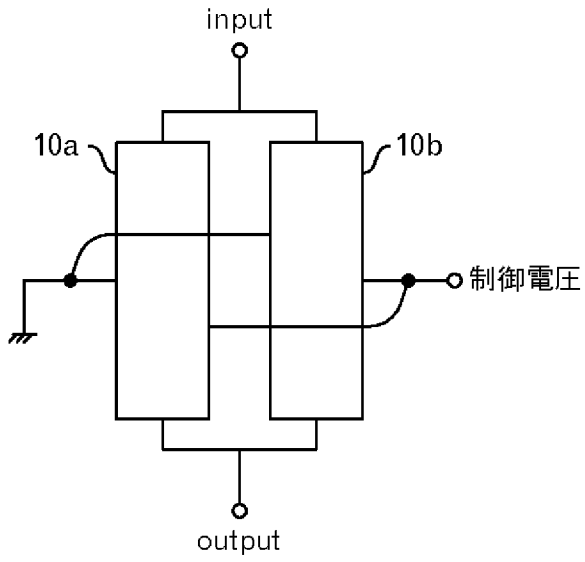
[請求項5] 前記第１のバイアスラインの他の一部分が、　前記２つの電極層の他方の層と同一層で形成される　請求項４記載の可変容量デバイス。

[請求項6] 共振アンテナを形成するインダクタと、前記ンダクタと並列に接続される可変容量デバイスと、を有する通信装置であって、前記可変容量デバイスが、請求項１～５に記載の可変容量デバイスである　通信装置。

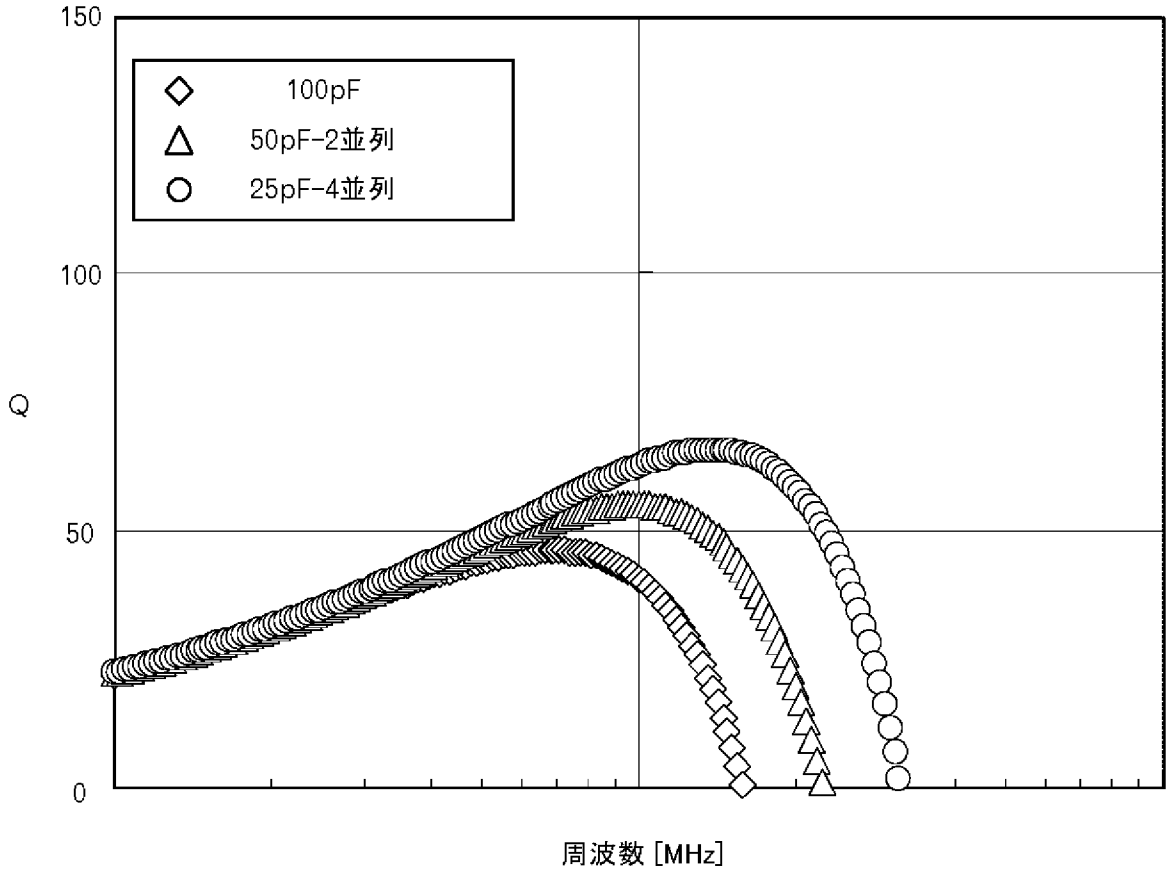
[図1]


input
R1
C1
R4
C2
R2
制御電圧
C3
R5
C4
R3
output

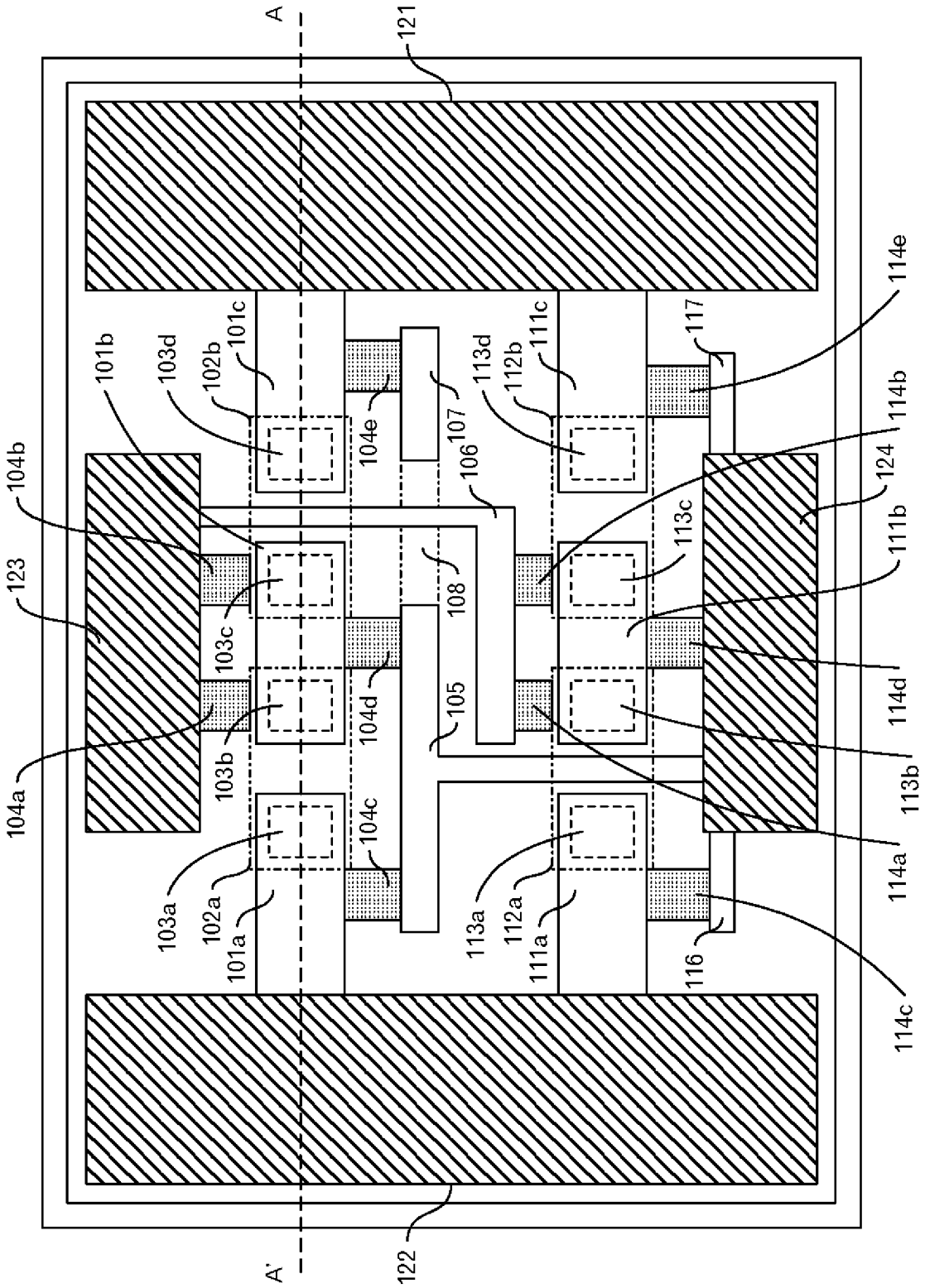
[図2]


input
10a
10b
制御電圧
output

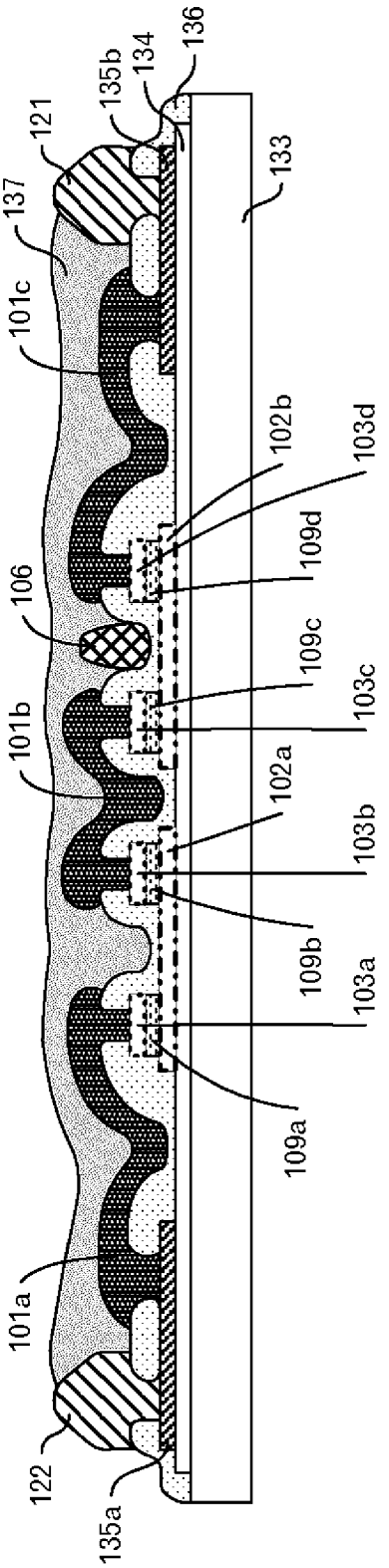
[図3]



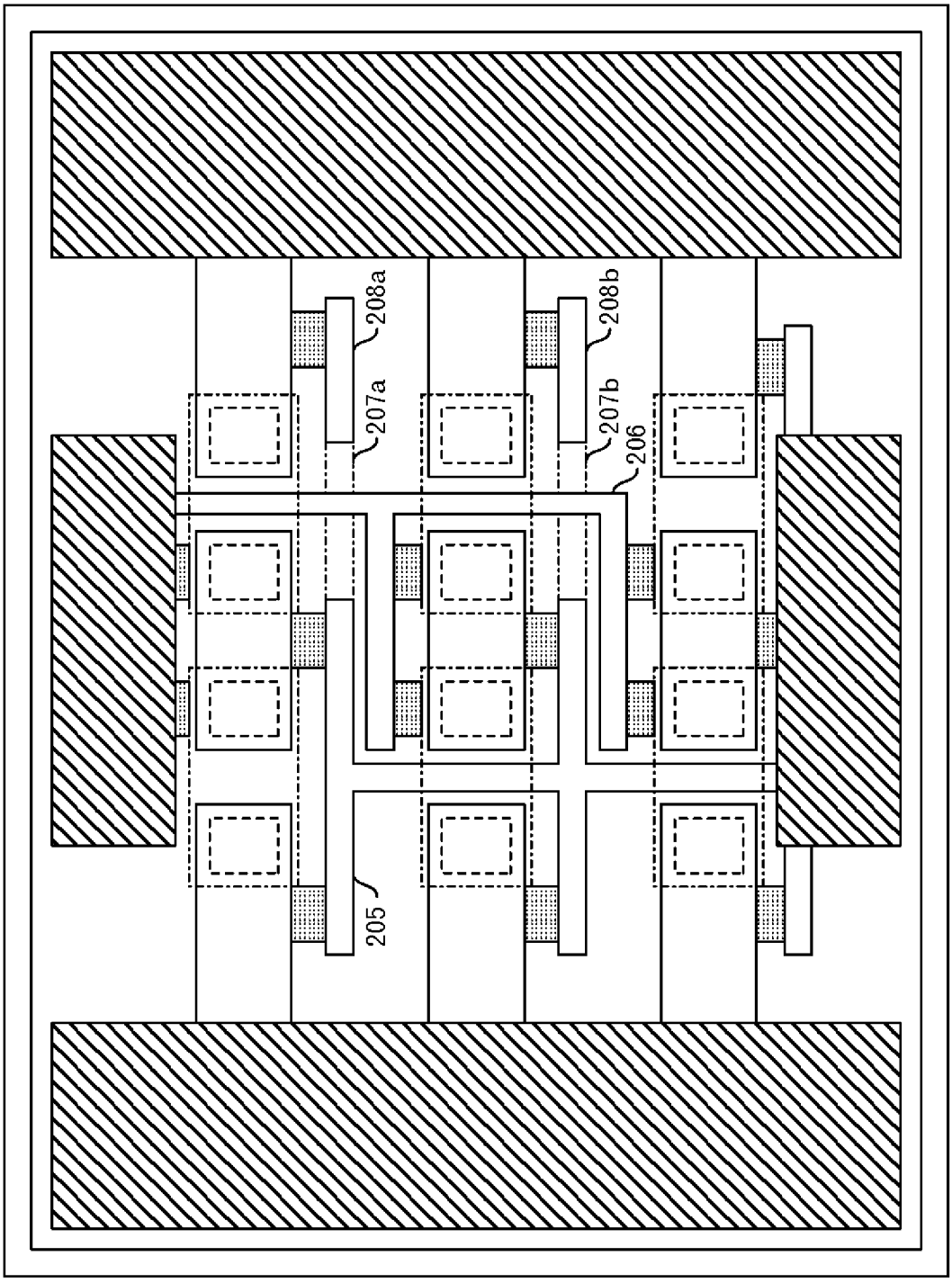
[図4]


A
A'
121
122
101a
101b
101c
102a
102b
103a
103b
103c
103d
104a
104b
104c
104d
104e
105
106
107
108
111a
111b
111c
112a
112b
113a
113b
113c
113d
114a
114b
114c
114d
114e
116
117
123
124

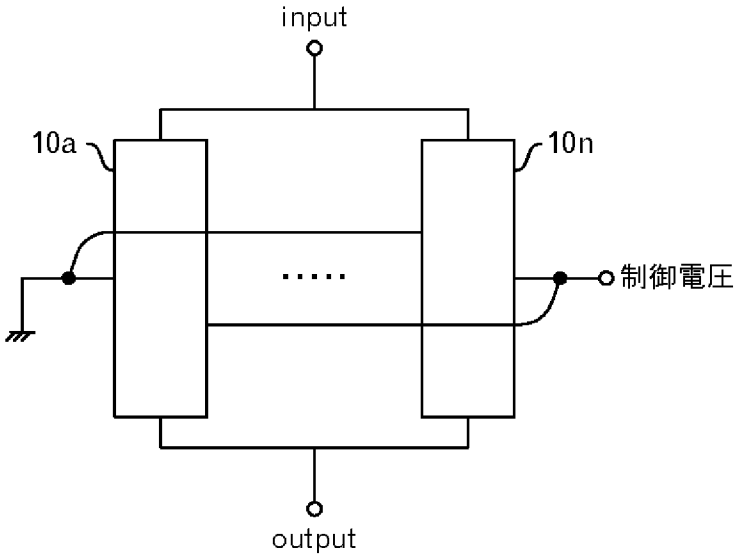
[図5]


136
134
135b
121
133
137
101c
102b
103d
109d
106
109c
103c
101b
102a
103b
109b
103a
109a
101a
122
135a

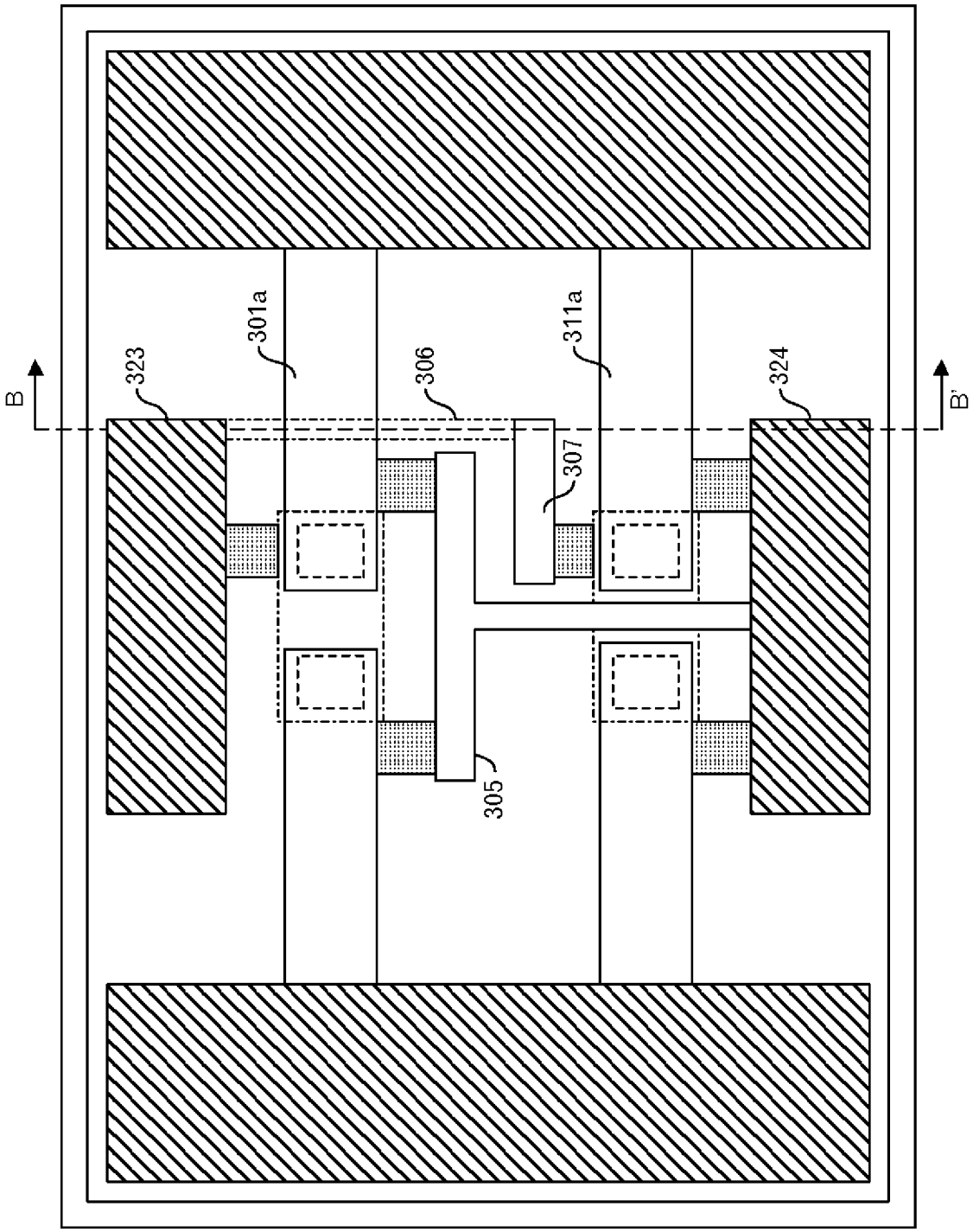
[図6]



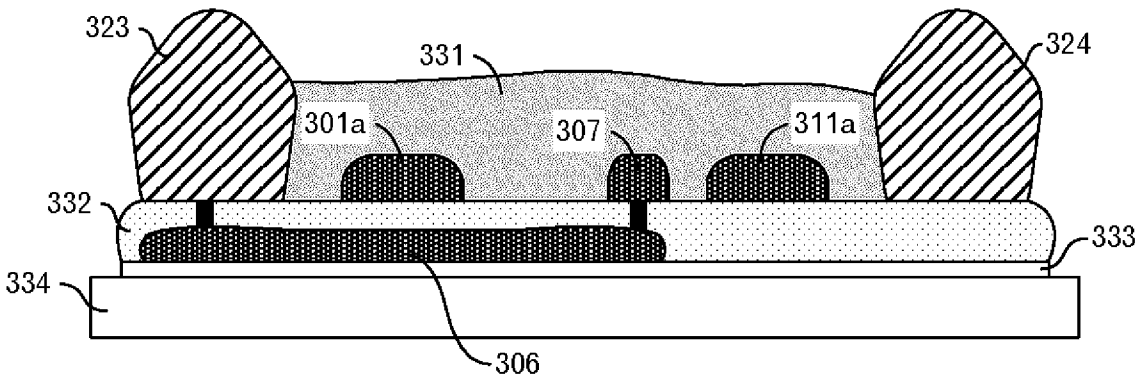
[図7]



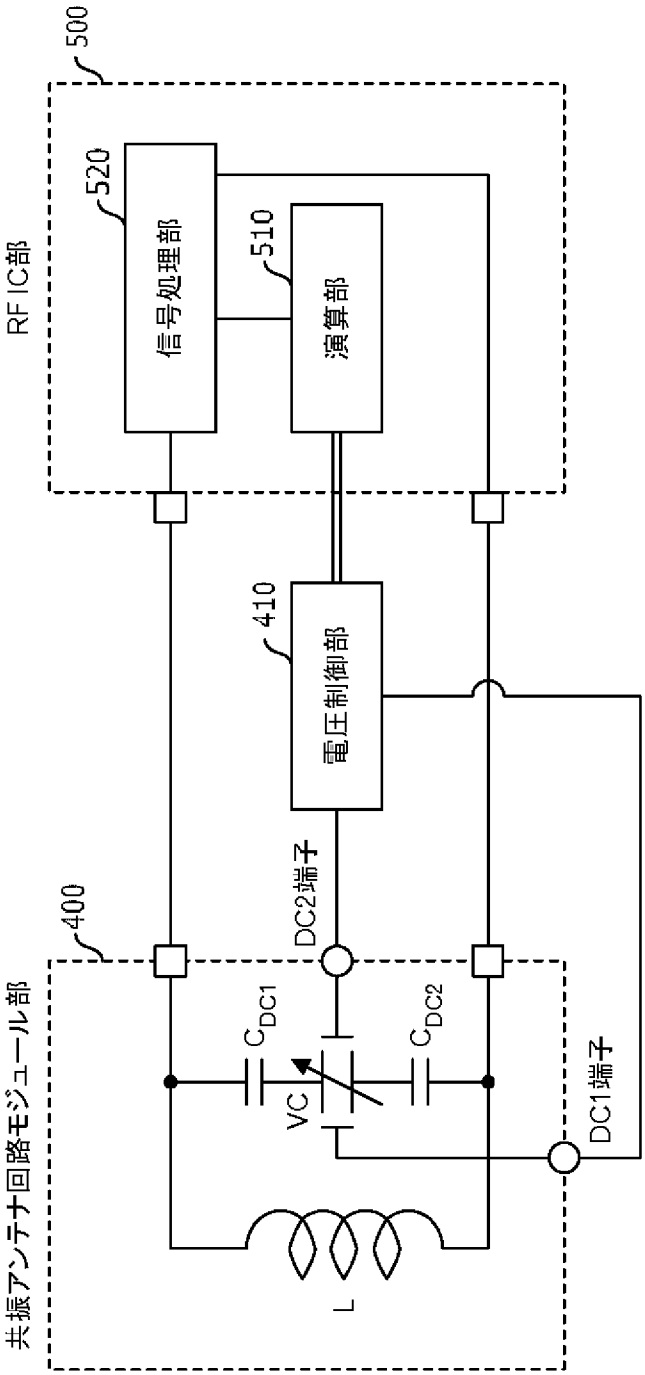
[図8]


B
B'
323
301a
306
311a
324
307
305

[図9]


323
331
324
301a
307
311a
332
333
334
306

[図10]


500
RF IC部
520
信号処理部
510
演算部
410
電圧制御部
400
共振アンテナ回路モジュール部
DC2端子
DC1端子
C_{DC1}
C_{DC2}
VC
L

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/076505

A. CLASSIFICATION OF SUBJECT MATTER
H01G7/06(2006.01)i, *H01G17/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01G7/06, H01G17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-211064 A (Kyocera Corp.), 11 September 2008 (11.09.2008), paragraphs [0020] to [0029], [0058] to [0065], [0084]; fig. 1, 10, 11 (Family: none)	1-6
A	JP 2006-196871 A (Kyocera Corp.), 27 July 2006 (27.07.2006), paragraphs [0070] to [0074], [0095] to [0100]; fig. 7, 12 (Family: none)	1-6
A	WO 2008/001914 A1 (Kyocera Corp.), 03 January 2008 (03.01.2008), entire text; all drawings & US 2009/0310275 A1	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 December 2014 (18.12.14)	06 January 2015 (06.01.15)
Name and mailing address of the ISA/ Japan Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/076505

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/061985 A1 (Murata Mfg. Co., Ltd.), 02 May 2013 (02.05.2013), entire text; all drawings & US 2014/0225793 A & GB 2511233 A & GB 201408935 D & CN 103891047 A	1-6

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０７６５０５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01G7/06(2006.01)i, H01G17/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01G7/06, H01G17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	JP 2008-211064 A（京セラ株式会社） 2008.09.11, 段落【００２０】－【００２９】、【００５８】－【００６５】、【００８４】、【図１】、【図１０】、【図１１】 （ファミリーなし）	１－６
Ａ	JP 2006-196871 A（京セラ株式会社） 2006.07.27, 段落【００７０】－【００７４】、【００９５】－【０１００】、【図７】、【図１２】 （ファミリーなし）	１－６

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１８．１２．２０１４	０６．０１．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　４０６２
柴垣　俊男
電話番号　０３－３５８１－１１０１　内線　３５５１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	WO 2008/001914 A1（京セラ株式会社） 2008.01.03, 全文、全図 & US 2009/0310275 A1	１－６
Ａ	WO 2013/061985 A1（株式会社村田製作所） 2013.05.02, 全文、全図 & US 2014/0225793 A & GB 2511233 A & GB 201408935 D & CN 103891047 A	１－６