

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年1月16日(2014.1.16)

【公開番号】特開2012-114736(P2012-114736A)

【公開日】平成24年6月14日(2012.6.14)

【年通号数】公開・登録公報2012-023

【出願番号】特願2010-262781(P2010-262781)

【国際特許分類】

H 03L 7/08 (2006.01)

H 03L 7/06 (2006.01)

【F I】

H 03L 7/08 L

H 03L 7/06 B

【手続補正書】

【提出日】平成25年11月22日(2013.11.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

発振回路の累積クロック数をデジタル値として検出する累積クロック数検出部と、前記発振回路の累積クロック数の小数部のデジタル値の、第1の基準クロックを基準とする周期性を検出する周期検出部と、

前記発振回路の出力クロックの1周期のデジタル値、前記発振回路の累積クロック数の小数部が持つ周期性の1周期のデジタル値、および前記発振回路の累積クロック数の小数部が持つ周期性の各周期の開始点から前記第1の基準クロックの数をカウントした値から補正值を算出する補正值算出部と、

前記周期性の各周期の開始点から前記第1の基準クロックの周期で、前記累積クロック数の小数部に前記補正值を加算する加算部と、

を備える、PLL回路。

【請求項2】

前記累積クロック数検出部は、前記発振回路の累積クロック数の小数部を検出するTDC回路を含む、請求項1に記載のPLL回路。

【請求項3】

前記加算部による前記補正值の加算の有無を切り替える切替部をさらに備え、前記切替部は、分周比、前記TDC回路の分解能、前記累積クロック数の小数部が持つ周期性の1周期のデジタル値およびループ帯域を制御する定数との関係に基づいて、前記加算部による前記補正值の加算の有無の切り替えを制御する、請求項2に記載のPLL回路。

【請求項4】

PLLの収束状態を検出する収束検出部をさらに備え、

前記収束検出部は、設定された任意の収束状態に達した後に前記加算部による前記補正值の加算の有無の切り替えを制御する、請求項1に記載のPLL回路。

【請求項5】

前記第1の基準クロックを前記発振回路の出力クロックまたは該出力クロックを分周したクロックでリタイミングするリタイミング部をさらに備え、

前記累積クロック数検出部は、前記リタイミング部が前記第1の基準クロックをリタイミングして得られるクロックを第2の基準クロックとして用い、発振回路の累積クロック数の整数部の出力を前記第2の基準クロックの立ち上がりエッジのタイミングで保持する、請求項1に記載のPLL回路。

【請求項6】

前記リタイミング部が、リタイミングするエッジとして立ち上がりエッジを用いた場合には、前記累積クロック数検出部は、前記第1の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち上がりエッジ間の時間差のデジタル値の周期性を検出する、請求項5に記載のPLL回路。

【請求項7】

前記リタイミング部が、リタイミングするエッジとして立ち下がりエッジを用いた場合には、前記累積クロック数検出部は、前記第1の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち下がりエッジ間の時間差のデジタル値の周期性を検出する、請求項5に記載のPLL回路。

【請求項8】

デジタル値で表示された分周比を前記第1の基準クロック毎に累積加算して得られる値から、前記第2の基準クロックの立ち上がりエッジのタイミングで保持された前記発振回路の累積クロック数の整数部のデジタル値および前記発振回路の累積クロック数の小数部のデジタル値を減じる演算を行う位相比較器をさらに備える、請求項5に記載のPLL回路。

【請求項9】

前記リタイミング部が、リタイミングするエッジとして立ち上がりエッジを用いた場合には、前記位相比較器は、前記発振回路の累積クロックの小数部として、前記累積クロック数検出部の出力のうち前記第1の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち上がりエッジ間の時間差のデジタル値から算出される小数部を用いる、請求項8に記載のPLL回路。

【請求項10】

前記リタイミング部が、リタイミングするエッジとして立ち下がりエッジを用いた場合には、前記位相比較器は、前記発振回路の累積クロックの小数部として、前記累積クロック数検出部の出力のうち前記第1の基準クロックの立ち下がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち下がりエッジ間の時間差のデジタル値から算出される小数部を用いる、請求項8に記載のPLL回路。

【請求項11】

発振回路の累積クロック数をデジタル値として検出する累積クロック数検出ステップと、
前記発振回路の累積クロック数の小数部のデジタル値の、第1の基準クロックを基準とする周期性を検出する周期検出ステップと、

前記発振回路の出力クロックの1周期のデジタル値、前記発振回路の累積クロック数の小数部が持つ周期性の1周期のデジタル値、および前記発振回路の累積クロック数の小数部が持つ周期性の各周期の開始点から前記第1の基準クロックの数をカウントした値から補正值を算出する補正值算出ステップと、

前記周期性の各周期の開始点から前記第1の基準クロックの周期で、前記累積クロック数の小数部に前記補正值を加算する加算ステップと、

を備える、PLL回路の誤差補償方法。

【請求項12】

請求項1に記載のPLL回路を備える、通信装置。

【請求項13】

クロックを出力するクロック出力部と、

前記クロック出力部からの累積クロック数をデジタル値として検出する第1検出部と、
前記累積クロック数の小数部のデジタル値の、第1の基準クロックを基準とする周期性

を検出する第2検出部と、

前記クロック出力部からの出力クロックの1周期のデジタル値、前記累積クロック数の小数部が持つ周期性の1周期のデジタル値、および前記クロック出力部からの累積クロック数の小数部が持つ周期性の各周期の開始点から前記第1の基準クロックの数をカウントした値から補正値を算出する算出部と、

前記周期性の各周期の開始点から前記第1の基準クロックの周期で、前記累積クロック数の小数部を前記補正值に基づいて補正する補正部と、

を備える、補正回路。

【請求項14】

前記クロック出力部は、発振回路を備える、請求項13に記載の補正回路。

【請求項15】

前記クロック出力部は、発振回路である、請求項13に記載の補正回路。

【請求項16】

前記補正回路は、少なくともPLL回路の一部である、請求項13に記載の補正回路。

【請求項17】

前記補正回路は、PLL回路である、請求項13に記載の補正回路。

—