

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 26 年 2 月 6 日 (2014.2.6)

【公表番号】特表 2013-526179 (P2013-526179A)

【公表日】平成 25 年 6 月 20 日 (2013.6.20)

【年通号数】公開・登録公報 2013-032

【出願番号】特願 2013-506130 (P2013-506130)

【国際特許分類】

H 0 3 M 1/10 (2006.01)

H 0 3 M 1/46 (2006.01)

【F I】

H 0 3 M 1/10 A

H 0 3 M 1/46

【手続補正書】

【提出日】平成 25 年 12 月 11 日 (2013.12.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

逐次比較レジスタ (SAR) アナログ・デジタル・コンバータ (ADC) を含むデバイスであって、

前記 ADC が、

第 1 のアナログ入力信号を受け取るために接続され、各々が第 1 の導体に結合された第 1 の端子を有する複数のキャパシタを含む、第 1 のキャパシタデジタル・アナログ・コンバータ (CDAC) と、

前記第 1 の導体に結合される第 1 の端子を有する補正キャパシタを含む第 1 の補正キャパシタ回路と、

前記第 1 の導体に結合される第 1 の入力を有するコンパレータと、

前記コンパレータの出力に結合される入力を有し、更に、前記第 1 のキャパシタデジタル・アナログ・コンバータの前記キャパシタの第 2 の端子に結合され、それぞれ、前記第 1 のキャパシタデジタル・アナログ・コンバータの前記キャパシタの前記第 2 の端子を第 1 の基準電圧又は第 2 の基準電圧のいずれかに選択的に結合するための、複数のスイッチを制御するように結合される第 1 の出力バスを有する、逐次比較レジスタ論理回路要素であって、前記第 1 のアナログ入力信号を表すデジタル信号を生成する、前記逐次比較レジスタ論理回路要素と、

前記アナログ・デジタル・コンバータの転送特性における積分非直線性誤差を補正するように、ストアされた積分非直線性 (INL) 誤差情報に応答して、前記補正キャパシタの前記第 2 の端子を前記第 1 の基準電圧又は第 3 の基準電圧のいずれかに選択的に結合するように、前記補正キャパシタの第 2 の端子に結合されたスイッチを制御するよう結合される第 1 の出力バスを有する、デコーダ回路要素と、

を含む、デバイス。

【請求項 2】

請求項 1 に記載のデバイスであって、

前記第 1 の補正キャパシタ回路が複数の補正キャパシタを含み、前記デコーダ回路要素の前記第 1 の出力バスが、前記第 1 の補正キャパシタ回路の、それぞれ、前記補正キャパ

シタの第 2 の端子に結合される複数のスイッチを制御するよう結合される、デバイス。

【請求項 3】

請求項 2 に記載のデバイスであって、

前記 A D C が、第 2 のアナログ入力信号を受け取り、各々が前記コンパレータの第 2 の入力に結合される第 2 の導体に結合される第 1 の端子を有する複数のキャパシタを含む、第 2 のキャパシタデジタル・アナログ・コンバータを含み、前記 A D C が、各々が前記第 2 の導体に結合される第 1 の端子を有する複数の補正キャパシタを含む第 2 の補正キャパシタ回路を更に含み、前記逐次比較レジスタ論理回路要素が、前記第 2 のキャパシタデジタル・アナログ・コンバータの前記キャパシタの第 2 の端子に結合され、それぞれ、前記第 2 のキャパシタデジタル・アナログ・コンバータの前記キャパシタの前記第 2 の端子を前記第 1 の基準電圧又は前記第 2 の基準電圧のいずれかに選択的に結合するための、複数のスイッチを制御するよう結合される第 2 の出力バスを有し、前記デコーダ回路要素が、ストアされた積分非直線性誤差情報に応答して、前記第 2 の補正キャパシタ回路の前記補正キャパシタの前記第 2 の端子を前記第 1 の基準電圧又は前記第 3 の基準電圧のいずれかに選択的に結合するよう、前記第 2 の補正キャパシタ回路の前記補正キャパシタの前記第 2 の端子に結合される複数のスイッチを制御するよう結合される第 2 の出力バスを有し、前記逐次比較レジスタ論理回路要素が、前記第 1 及び第 2 のアナログ入力信号間の差を表すため前記デジタル信号を生成する、デバイス。

【請求項 4】

請求項 3 に記載のデバイスであって、

前記第 1 及び第 2 のキャパシタデジタル・アナログ・コンバータのキャパシタがバイナリに重み付けられている、デバイス。

【請求項 5】

請求項 3 に記載のデバイスであって、

前記第 1 及び第 2 の訂正キャパシタ回路の訂正キャパシタがバイナリに重み付けされている、デバイス。

【請求項 6】

請求項 3 に記載のデバイスであって、

前記第 1 及び第 2 の訂正キャパシタ回路の各々が 2 つの訂正キャパシタを含む、デバイス。

【請求項 7】

請求項 3 に記載のデバイスであって、

前記第 1 及び第 2 の補正キャパシタ回路の各々が 6 つの補正キャパシタを含む、デバイス。

【請求項 8】

請求項 7 に記載のデバイスであって、

前記第 1 の導体が、第 3 の導体と前記第 1 の及び第 3 の導体間に結合される第 1 のスクーリングキャパシタとを用いて、前記第 1 の補正キャパシタ回路の前記キャパシタの前記第 1 の端子と前記コンパレータの前記第 1 の入力とに結合され、前記第 2 の導体が、第 4 の導体と前記第 2 及び第 4 の導体間に結合される第 2 のスクーリングキャパシタとを用いて、前記第 2 の補正キャパシタ回路の前記キャパシタの前記第 1 の端子と前記コンパレータの前記第 2 の入力とに結合される、デバイス。

【請求項 9】

請求項 1 に記載のデバイスであって、

前記デコーダ回路要素が、前記逐次比較レジスタ論理回路要素の一部である、デバイス

。

【請求項 10】

請求項 9 に記載のデバイスであって、

前記デジタル信号が、前記デジタル信号を前記逐次比較レジスタアナログ・デジタル・コンバータのデジタル出力信号にフォーマットするために出力論理回路により受け取られ

る、デバイス。

【請求項 1 1】

請求項 1 に記載のデバイスであって、

前記逐次比較レジスタロジックによる所定の数の初期ビット決定の結果が、前記補正キャパシタのどれが前記第 3 の基準電圧に選択的に結合されるべきかを決定するようルックアップテーブルにアクセスするため、前記デコーダ回路要素によって用いられる、デバイス。

【請求項 1 2】

請求項 1 1 に記載のデバイスであって、

前記 ADC が、前記第 3 の基準電圧を生成するためにデジタルスケーリング信号を受け取るように結合される入力を有するデジタル・アナログ・コンバータを更に含む、デバイス。

【請求項 1 3】

請求項 1 に記載のデバイスであって、

前記積分非線形誤差が、主として、前記第 1 及び第 2 のキャパシタデジタル・アナログ・コンバータの前記キャパシタの電圧係数により生じる、デバイス。

【請求項 1 4】

請求項 1 1 に記載のデバイスであって、

前記ルックアップテーブルが、統計的に決定される積分非直線性補正情報をストアする、デバイス。

【請求項 1 5】

逐次比較レジスタ (SAR) アナログ・デジタル・コンバータ (ADC) において積分非直線性誤差を低減するための方法であって、

前記 ADC が、

各々が第 1 の導体に結合される第 1 の端子を有する複数のキャパシタを含む、アナログ入力信号を受け取るキャパシタデジタル・アナログ・コンバータ (CDAC) と、

前記第 1 の導体に結合された第 1 の入力を有するコンパレータと、

前記コンパレータの出力に結合された入力を有し、更に、前記キャパシタデジタル・アナログ・コンバータの前記キャパシタの第 2 の端子に結合され、それぞれ、前記第 2 の端子を第 1 の基準電圧又は第 2 の基準電圧のいずれかに選択的に結合するための、複数のスイッチを制御するように結合される第 1 の出力バスを有する、逐次比較レジスタ (SAR) 論理回路要素であって、前記入力信号を表すデジタル信号を生成する、前記逐次比較レジスタ論理回路要素と、

を含み、

前記方法が、

ストアされた積分非直線性誤差情報を提供することと、

補正キャパシタ回路内の複数の補正キャパシタの各々の第 1 の端子を前記第 1 の導体に結合することと、

前記逐次比較レジスタアナログ・デジタル・コンバータの伝達関数における非線形性誤差を補正するように、ストアされた非線形性補正誤差情報に応答して、前記補正キャパシタの第 2 の端子を、それぞれ、前記第 1 の基準電圧又は第 3 の基準電圧のいずれかに選択的に結合するように、前記補正キャパシタの各々の第 2 の端子に結合されるスイッチを制御することと、

を含む、方法。

【請求項 1 6】

請求項 1 5 に記載の方法であって、

前記補正キャパシタのどれが前記第 3 の基準電圧に選択的に結合されるべきかを決定するようルックアップテーブルにアクセスするため前記逐次比較レジスタ論理回路要素による所定の数の初期ビット決定の結果を利用することを更に含む、方法。

【請求項 1 7】

請求項 1 6 に記載の方法であって、

前記ルックアップテーブル内の統計的に決定される積分非直線性補正情報をストアすることを更に含む、方法。

【請求項 1 8】

請求項 1 7 に記載の方法であって、

前記積分非直線性誤差が、主として、前記キャパシタデジタル・アナログ・コンバータの前記キャパシタの電圧係数により生じ、前記方法が、前記逐次比較レジスタアナログ・デジタル・コンバータのための理想的な伝達関数から前記逐次比較レジスタアナログ・デジタル・コンバータのための実際の伝達関数を減算することにより前記積分非直線性誤差を決定することを更に含む、方法。

【請求項 1 9】

請求項 1 8 に記載の方法であって、

デジタルスケーリング信号を受け取るよう結合される入力を有するデジタル・アナログ・コンバータを用いて前記第 3 の基準電圧を生成することを更に含む、方法。

【請求項 2 0】

逐次比較レジスタ (SAR) アナログ・デジタル・コンバータ (ADC) において積分非直線性誤差を低減するための回路要素であって、

前記 ADC が、

各々第 1 の導体に結合される第 1 の端子を有する複数のキャパシタを含む、アナログ入力信号を受け取るキャパシタデジタル・アナログ・コンバータ (CDAC) と、

前記第 1 の導体に結合される第 1 の入力を有するコンパレータと、

前記コンパレータの出力に結合される入力を有し、更に、前記キャパシタデジタル・アナログ・コンバータの前記キャパシタの第 2 の端子に結合され、それぞれ、前記第 2 の端子を第 1 の基準電圧又は第 2 の基準電圧のいずれかに選択的に結合するための、複数のスイッチを制御するように結合される第 1 の出力バスを有する、逐次比較レジスタ (SAR) 論理回路要素であって、前記入力信号を表すデジタル信号を生成する、前記逐次比較レジスタ論理回路要素と、

を含み、

前記回路要素が、

補正キャパシタ回路内の複数の補正キャパシタの各々の第 1 の端子を前記第 1 の導体に結合するための第 1 の補正キャパシタ手段と、

積分非直線性誤差情報をストアするための手段と、

前記逐次比較レジスタアナログ・デジタル・コンバータの伝達関数における積分非直線性誤差を補正するために、ストアされた積分非直線性誤差情報に応答して、前記補正キャパシタの第 2 の端子を、それぞれ、前記第 1 の基準電圧又は第 3 の基準電圧のいずれかに選択的に結合するよう、補正キャパシタの各々の第 2 の端子に結合されるスイッチを制御するための手段と、

を含む、回路要素。