

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年6月22日 (22.06.2006)

PCT

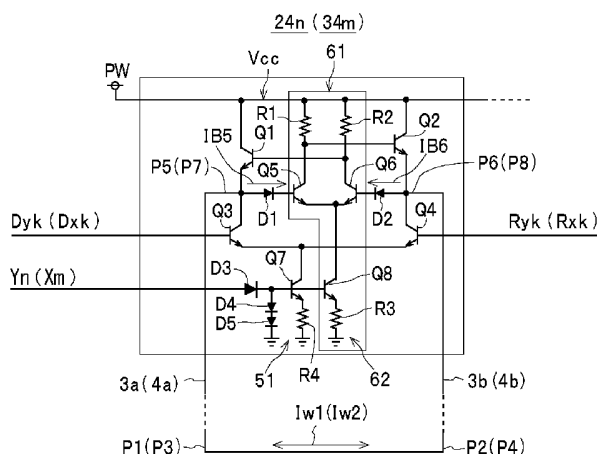
(10) 国際公開番号
WO 2006/064694 A1

- (51) 国際特許分類:
G11C 11/15 (2006.01)
- (21) 国際出願番号: PCT/JP2005/022426
- (22) 国際出願日: 2005年12月7日 (07.12.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-359996
2004年12月13日 (13.12.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): TDK
株式会社 (TDK CORPORATION) [JP/JP]; 〒1038272
東京都中央区日本橋一丁目13番1号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 江▲崎▼城一郎
(EZAKI, Joichiro) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP).
柿沼 裕二 (KAKINUMA, Yuji) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP).
- (74) 代理人: 酒井 伸司 (SAKAI, Shinji); 〒3811225 長野県
長野市松代町東寺尾3873-1 Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

/ 続葉有 /

(54) Title: WRITE CIRCUIT FOR MAGNETIC MEMORY DEVICE, AND MAGNETIC MEMORY DEVICE

(54) 発明の名称: 磁気メモリデバイス用書込回路および磁気メモリデバイス



(57) Abstract: A write current of a prescribed value is supplied even to a write line having a high resistance value. A write circuit for a magnetic memory device is provided with a current control circuit (51) for controlling the write current (I_{w1}) of the write bit line (3) having lines (3a, 3b) at a constant value; transistors (Q1, Q2) for supplying the write current (I_{w1}) from each open side end part of the lines (3a, 3b); transistors (Q3, Q4) for outputting the write current (I_{w1}) to the current control circuit (51) from each open side end part; a differential amplifier circuit (61), which turns off/on transistors (Q5, Q6) and turns off/on the transistors (Q1, Q2) when the transistor (Q3) is turned on, and brings each status of the transistors (Q5, Q6, Q1, Q2) into a reverse status when the transistor (Q4) is turned on; a diode (D1) arranged between the open side end part of the line (3a) and a base of the transistor (Q5); and a diode (D2) arranged between the open side end part of the line (3b) and a base of the transistor (Q6).

(57) 要約: 大きな抵抗値の書込線に対しても規定値の書込電流を供給する。線路3a、3bを有する書込ビット線3の書込電流 I_{w1} を定電流制御する電流制御回路51と、線路3a、3bの各開放側端部から書込電流 I_{w1} を供給するトランジスタQ1、Q2と、各開放側端部から書込電流 I_{w1} を電流制御回路51に出力するトランジスタQ3、Q4と、トランジスタQ5

/ 続葉有 /



WO 2006/064694 A1



SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

のオン時にトランジスタQ5、Q6をオフ、オンにしてトランジスタQ1、Q2をオフ、オンにし、トランジスタQ4のオン時にトランジスタQ5、Q6、Q1、Q2をそれぞれ逆の状態にする差動増幅回路61と、線路3aの開放側端部とトランジスタQ5のベースとの間に配設されたダイオードD1と、線路3bの開放側端部とトランジスタQ6のベースとの間に配設されたダイオードD2とを備えた。

明 細 書

磁気メモリデバイス用書込回路および磁気メモリデバイス

技術分野

- [0001] この発明は、磁気抵抗効果発現体を含む記憶セルを備えて情報の記録および読出が可能に構成された磁気メモリデバイス用書込回路、およびこの磁気メモリデバイス用書込回路を備えた磁気メモリデバイスに関するものである。

背景技術

- [0002] この種の磁気メモリデバイスとして、本願出願人が既に提案した特開2004-178623号公報に開示された磁気メモリデバイスが知られている。この磁気メモリデバイスは、磁気ランダムアクセスメモリ(以下、「MRAM:Magnetic Random Access Memory」ともいう)であって、一对の磁気抵抗効果素子および一对の逆流防止用ダイオードを備えた複数の記録セルが二次元配列されて構成されている。この場合、各記憶セルには、一对の磁気抵抗効果素子のいずれか一方の抵抗値を他方に比べて大きくすることにより、2値化された情報が記憶される。
- [0003] この磁気メモリデバイスでは、X方向カレントドライブ回路群に含まれている1つの書込回路としてのX方向カレントドライブ回路、およびY方向カレントドライブ回路群に含まれている1つの書込回路としてのY方向カレントドライブ回路を選択することにより、選択されたX方向カレントドライブ回路およびY方向カレントドライブ回路がそれぞれに接続された書込用ビット線および書込用ワード線に書込電流が供給される結果、記憶セル群に含まれている複数の記憶セルのうちのこの書込用ビット線および書込用ワード線の交差部分に配設されている記憶セルに情報が記憶される。この場合、X方向カレントドライブ回路およびY方向カレントドライブ回路は、同公報中の図5に示すように、トランジスタQ1～Q8および抵抗器R1～R4を用いて構成されている。

特許文献1:特開2004-178623号公報

発明の開示

発明が解決しようとする課題

- [0004] 発明者らは、上記した従来の磁気メモリデバイス用書込回路をさらに検討した結果

、以下のような改善すべき点を発見した。すなわち、磁気メモリデバイスの記憶容量を増加させるべく、記憶セル群に含まれている記憶セルの数を増加させようとするときには、記録セル群の集積度を高める必要があるため、書込用ビット線および書込用ワード線の線幅を細くせざるを得ない結果、書込用ビット線および書込用ワード線の各抵抗値が増加する。具体的には、 $1000\ \Omega$ 未満であった各抵抗値が $1000\ \Omega$ 以上 $1500\ \Omega$ 以下の範囲内にまで増加する。しかしながら、この磁気メモリデバイス用書込回路では、書込用ビット線（および書込用ワード線）が接続される各ドライブポイント間の電位差がそれほど大きくないため、書込用ビット線（および書込用ワード線）の抵抗値が増加したときに、書込用ビット線（および書込用ワード線）に規定値の書込電流を供給するのが困難となる。このため、この磁気メモリデバイス用書込回路では、図4において符号Tで示すように、 $1000\ \Omega$ 以上 $1500\ \Omega$ 以下の範囲W内の抵抗値を有する書込線に対して、規定値の書込電流（同図では約 1100mA ）を供給することができないこととなる。したがって、この磁気メモリデバイス用書込回路には、より大きな抵抗値の書込用ビット線（および書込用ワード線）に対しても規定値の書込電流を供給可能とするのが好ましい。

- [0005] 本発明は、かかる課題を解決すべくなされたものであり、一層大きな抵抗値の書込線に対しても規定値の書込電流を供給し得る磁気メモリデバイス用書込回路、および磁気メモリデバイスを提供することを主目的とする。

課題を解決するための手段

- [0006] 本発明に係る磁気メモリデバイス用書込回路は、記録セル内の一対の磁気抵抗効果発現体にそれぞれ近接して配設されると共に一方の端部同士が互いに接続された一対の線路を有する書込線に流れる書込電流を一定値に制御する第1の電流制御回路と、前記一対の線路のうちの一方の線路における他端側の開放側端部に接続されると共にオン状態において当該開放側端部から前記書込線に前記書込電流を供給する第1のトランジスタと、前記一対の線路のうちの他方の線路における他端側の開放側端部に接続されると共にオン状態において当該開放側端部から前記書込線に前記書込電流を供給する第2のトランジスタと、前記一方の線路における前記開放側端部に接続されると共に前記第2のトランジスタによって供給されている前記

書込電流をオン状態において前記第1の電流制御回路に出力する第3のトランジスタと、前記他方の線路における前記開放側端部に接続されると共に前記第3のトランジスタのオン・オフ状態とは逆のオン・オフ状態に制御されて、前記第1のトランジスタによって供給されている前記書込電流を当該オン状態において前記第1の電流制御回路に出力する第4のトランジスタと、出力端子が互いに接続された第5および第6のトランジスタ、および当該第5および第6のトランジスタに流れる電流の合計値を一定値に制御する第2の電流制御回路を含んで構成されて、前記第3のトランジスタがオン状態に移行し、かつ第4のトランジスタがオフ状態に移行したときに前記第5のトランジスタおよび前記第6のトランジスタがそれぞれオフ状態およびオン状態に移行することによって前記第1のトランジスタおよび前記第2のトランジスタをそれぞれオフ状態およびオン状態に移行させ、前記第4のトランジスタがオン状態に移行し、かつ第3のトランジスタがオフ状態に移行したときに前記第5のトランジスタおよび前記第6のトランジスタがそれぞれオン状態およびオフ状態に移行することによって前記第1のトランジスタおよび前記第2のトランジスタをそれぞれオン状態およびオフ状態に移行させる差動増幅回路と、前記一方の線路における前記開放側端部と前記第5のトランジスタの制御端子との間に配設されて前記第1のトランジスタから当該開放側端部を介して当該制御端子に向かう電流の通過を許容する第1の一方向性素子と、前記他方の線路における前記開放側端部と前記第6のトランジスタの制御端子との間に配設されて前記第2のトランジスタから当該開放側端部を介して当該制御端子に向かう電流の通過を許容する第2の一方向性素子とを備えている。本発明において、「トランジスタ」とは、バイポーラ型トランジスタや電界効果型トランジスタを含む概念である。また、「制御端子」とは、バイポーラ型トランジスタではベース端子を意味し、電界効果型トランジスタではゲート端子を意味する。また、「出力端子」とは、バイポーラ型トランジスタではエミッタ端子を意味し、電界効果型トランジスタではソース端子を意味する。

[0007] この場合、前記第1の一方向性素子および前記第2の一方向性素子としてダイオードで構成することができる。

[0008] また、前記ダイオードとしてシリコンダイオードを採用することができる。

- [0009] また、前記第1の一方向性素子として、前記第1のトランジスタおよび前記第5のトランジスタの間に配設されてエミッタフォロワ接続されたトランジスタを採用し、前記第2の一方向性素子として、前記第2のトランジスタおよび前記第6のトランジスタの間に配設されてエミッタフォロワ接続されたトランジスタを採用することができる。
- [0010] また、本発明に係る磁気メモリデバイスは、外部磁界によって抵抗値が変化する一対の磁気抵抗効果発現体を備えた記録セルと、前記一対の磁気抵抗効果発現体に近接してそれぞれ配設されると共に一方の端部同士が互いに接続された一対の線路を有する書込線と、前記書込線に流れる書込電流を一定値に制御する第1の電流制御回路と、前記一対の線路のうちの一方の線路における他端側の開放側端部に接続されると共にオン状態において当該開放側端部から前記書込線に前記書込電流を供給する第1のトランジスタと、前記一対の線路のうちの他方の線路における他端側の開放側端部に接続されると共にオン状態において当該開放側端部から前記書込線に前記書込電流を供給可能な第2のトランジスタと、前記一方の線路における前記開放側端部に接続されると共に前記第2のトランジスタによって供給されている前記書込電流をオン状態において前記第1の電流制御回路に供給する第3のトランジスタと、前記他方の線路における前記開放側端部に接続されると共に前記第3のトランジスタのオン・オフ状態とは逆のオン・オフ状態に制御されて、前記第1のトランジスタによって供給されている前記書込電流を当該オン状態において前記第1の電流制御回路に供給する第4のトランジスタと、出力端子が互いに接続された第5および第6のトランジスタ、および当該第5および第6のトランジスタに流れる電流の合計値を一定値に制御する第2の電流制御回路を含んで構成されて、前記第3のトランジスタがオン状態に移行し、かつ第4のトランジスタがオフ状態に移行したときに前記第5のトランジスタおよび前記第6のトランジスタがそれぞれオフ状態およびオン状態に移行することによって前記第1のトランジスタおよび前記第2のトランジスタをそれぞれオフ状態およびオン状態に移行させ、前記第4のトランジスタがオン状態に移行し、かつ第3のトランジスタがオフ状態に移行したときに前記第5のトランジスタおよび前記第6のトランジスタがそれぞれオン状態およびオフ状態に移行することによって前記第1のトランジスタおよび前記第2のトランジスタをそれぞれオン状態およびオフ状

態に移行させる差動増幅回路と、前記一方の線路における前記開放側端部と前記第5のトランジスタの制御端子との間に配設されて前記第1のトランジスタから当該開放側端部を介して当該制御端子に向かう電流の通過を許容する第1の一方方向性素子と、前記他方の線路における前記開放側端部と前記第6のトランジスタの制御端子との間に配設されて前記第2のトランジスタから当該開放側端部を介して当該制御端子に向かう電流の通過を許容する第2の一方方向性素子とを備えている。

[0011] この場合、前記第1の一方方向性素子および前記第2の一方方向性素子としてダイオードで構成することができる。

[0012] また、前記ダイオードとしてシリコンダイオードを採用することができる。

[0013] また、前記第1の一方方向性素子として、前記第1のトランジスタおよび前記第5のトランジスタの間に配設されてエミッタフォロワ接続されたトランジスタを採用し、前記第2の一方方向性素子として、前記第2のトランジスタおよび前記第6のトランジスタの間に配設されてエミッタフォロワ接続されたトランジスタを採用することができる。

発明の効果

[0014] 本発明に係る磁気メモリデバイス用書込回路およびこの磁気メモリデバイス用書込回路を備えた磁気メモリデバイスによれば、書込線の一方の線路における開放側端部と第5のトランジスタの制御端子との間に、第1のトランジスタから開放側端部を介して制御端子に向かう電流の通過を許容する第1の一方方向性素子を配設し、かつ、他方の線路における開放側端部と第6のトランジスタの制御端子との間に、第2のトランジスタから開放側端部を介して制御端子に向かう電流の通過を許容する第2の一方方向性素子を配設したことにより、例えば、第1のトランジスタがオフ状態で、かつ第2のトランジスタがオン状態のときには、第2の一方方向性素子が存在するため、第2の一方方向性素子がない構成と比較して、第2のトランジスタの出力端子（他方の線路における開放側端部）の電位を基準とした第6のトランジスタの制御端子の電位（バイポーラ型トランジスタのときにはベース電位）を第2の一方方向性素子の電圧降下分だけ一層低電位とすることができる。したがって、第5のトランジスタがオフ状態で第6のトランジスタがオン状態になっている状態での第6のトランジスタのベース電流を少なくすることができるため、第2の電流制御回路によって第5のトランジスタおよび第6のトランジ

スタの各出力電流(バイポーラ型トランジスタのときにはコレクタ電流)および各制御電流(バイポーラ型トランジスタのときにはベース電流)の合計値が一定となるように制御されている状況下において、トランジスタの通常動作(ベース電流の増加によりコレクタ電流も増加するという動作)とは異なり、第6のトランジスタのコレクタ電流を増加させることができる。この結果、第1のトランジスタを一層深いオフ状態にさせることができるため、例えば、書込線が細くなって抵抗がある程度増加し、それに伴い、書込電流が流れることに起因して書込線での電圧降下が増加して第1のトランジスタの出力電位(バイポーラ型トランジスタのときにはエミッタ電位)が低下したとしても、第1のトランジスタを確実にオフ状態に維持することができる結果、書込線に規定値の書込電流を供給することができる。同様に、第1のトランジスタがオン状態で、かつ第2のトランジスタがオフ状態であるときにも、書込線に規定電流値の書込電流を供給することができる。

[0015] したがって、この磁気メモリデバイスによれば、記憶容量を増加させるために記憶セル群の各行または各列に含まれている記憶セルの数を増加させ、その結果として書込線の抵抗値が増加したとしても、書込線に規定値の書込電流を供給することができる。このため、各記憶セルに十分な磁界を印加することができる結果、各記憶セルに、対応するビットの情報を確実に記憶させることができる。

[0016] また、本発明に係る磁気メモリデバイス用書込回路およびこの磁気メモリデバイス用書込回路を備えた磁気メモリデバイスによれば、第1の一方向性素子および第2の一方向性素子をダイオードまたはエミッタフォロワ接続されたトランジスタで構成することにより、簡易な構成でありながら、第1のトランジスタのオン状態における第5のトランジスタの制御端子の電位および第2のトランジスタのオン状態における第6のトランジスタの制御端子の電位をそれぞれ低下させることができる。

[0017] さらに、本発明に係る磁気メモリデバイス用書込回路およびこの磁気メモリデバイス用書込回路を備えた磁気メモリデバイスによれば、ダイオードとしてシリコンダイオードを採用することにより、ショットキーダイオードやゲルマニウムダイオードと比較して順方向電圧降下が大きいため、第5および第6のトランジスタの制御端子の各電位をそれぞれ十分に低下させることができるため、書込線の抵抗値が一層大きい(線幅の

一層細い)構成においても、規定値の書込電流を確実に供給することができる。

図面の簡単な説明

[0018] [図1]磁気メモリデバイスMの全体構成を示すブロック図である。

[図2]Y方向カレントドライブ回路24n(24nA, 24nB)、X方向カレントドライブ回路34m(34mA, 34mB)、書込ビット線3、書込ワード線4および記憶セル1の構成を示すブロック図である。

[図3]Y方向カレントドライブ回路24n(またはX方向カレントドライブ回路34m)の回路図である。

[図4]書込ビット線3(または書込ワード線4)の抵抗値と書込電流 I_{w1} (または I_{w2})との関係を示す特性図である。

[図5]Y方向カレントドライブ回路24nA(またはX方向カレントドライブ回路34mA)の回路図である。

[図6]Y方向カレントドライブ回路24nB(またはX方向カレントドライブ回路34mB)の回路図である。

発明を実施するための最良の形態

[0019] 以下、添付図面を参照して、本発明に係る磁気メモリデバイスの最良の形態について説明する。

[0020] まず、図1, 2を参照して、本発明に係る磁気メモリデバイスMの構成について説明する。

[0021] 図1に示すように、磁気メモリデバイスMは、アドレスバッファ11、データバッファ12、制御ロジック部13、記憶セル群14、Y方向駆動制御回路部21およびX方向駆動制御回路部31を備えている。この場合、Y方向駆動制御回路部21は、Y方向アドレスデコーダ回路22、読出回路群23およびY方向カレントドライブ回路群24を有している。他方、X方向駆動制御回路部31は、X方向アドレスデコーダ回路32、定電流回路群33およびX方向カレントドライブ回路群34を有している。この磁気メモリデバイスMは、記憶セル群14、読出回路群23、Y方向カレントドライブ回路群24、定電流回路群33およびX方向カレントドライブ回路群34については、データ(データバッファ12を介して入力するデータ)のビット数(本例では一例として8つ)と同じ数だけ備

え、アドレスバッファ11を介して入力したアドレスによって特定される所定のアドレスに所定のデータを記憶する際に、この所定のデータを構成する各ビットの情報(「1」か「0」)を、各ビットに対応する記憶セル群14におけるこの所定のアドレスの1つの記憶セル1にそれぞれ記憶させるように構成されている。また、磁気メモリデバイスMに含まれている各構成要素は、電源端子PWとグランド端子GNDとの間に直流電圧源から供給される直流電圧Vccによって作動する。

[0022] アドレスバッファ11は、外部アドレス入力端子A0～A20を備え、この外部アドレス入力端子A0～A20から取り込んだアドレス信号(例えばアドレス信号のうちの上位のアドレス信号)をY方向アドレスバス15を介してY方向アドレスデコーダ回路22に出力すると共に、アドレス信号(例えばアドレス信号のうちの下位のアドレス信号)をX方向アドレスバス16を介してX方向アドレスデコーダ回路32に出力する。

[0023] データバッファ12は、外部データ端子D0～D7、入力バッファ12aおよび出力バッファ12bを備えている。また、データバッファ12は、制御信号線13aを介して制御ロジック部13に接続されている。この場合、入力バッファ12aは、X方向書込用データバス17を介して各X方向カレントドライブ回路群34に接続されると共に、Y方向書込用データバス18を介して各Y方向カレントドライブ回路群24に接続されて、外部データ端子D0～D7を介して入力したデータに含まれている各ビットの情報を8つの記憶セル群14のうちの各ビットに対応する記憶セル群14に記憶させるために、各ビットの情報と同じ論理情報および各ビットの情報とは逆の論理情報を、各ビットに対応する各X方向カレントドライブ回路群34および各Y方向カレントドライブ回路群24にそれぞれ出力する。具体的には、入力バッファ12aは、図2に示すように、外部データ端子Dk(kは0～7の整数)を介して入力したkビット目の情報と同じ論理情報をX方向書込用データバス17のデータ線Dxkを介して、またkビット目の情報とは逆の論理情報をX方向書込用データバス17のデータ線Rxkを介して、kビットに対応する記憶セル群14kに含まれているX方向カレントドライブ回路群34に出力する。また、入力バッファ12aは、このkビット目の情報と同じ論理情報をY方向書込用データバス18のデータ線Dykを介して、またこのkビット目の情報とは逆の論理情報をY方向書込用データバス18のデータ線Rykを介して、同じくkビットに対応する記憶セル群14kに含まれ

ているY方向カレントドライブ回路群24に出力する。一方、出力バッファ12bは、Y方向読出用データバス19を介して読出回路群23に接続されている。また、出力バッファ12bは、各記憶セル群14kの読出回路群23によって読み出された各ビットの情報をY方向読出用データバス19を介して入力すると共に、入力したデータを外部データ端子D0～D7に出力する。また、入力バッファ12aおよび出力バッファ12bは、制御ロジック部13から制御信号線13aを介して入力した制御信号に従って作動する。

[0024] 制御ロジック部13は、入力端子CSおよび入力端子OEを備え、データバッファ12、読出回路群23、Y方向カレントドライブ回路群24およびX方向カレントドライブ回路群34の動作を制御する。具体的には、この制御ロジック部13は、入力端子CSを介して入力したチップセレクト信号、および入力端子OEを介して入力した出力許可信号に基づいて、入力バッファ12aおよび出力バッファ12bのいずれをアクティブにするか否かを決定すると共に、この決定に従って入力バッファ12aおよび出力バッファ12bを作動させるための制御信号を生成して制御信号線13aを介してデータバッファ12に出力する。

[0025] 各記憶セル群14は、図2に示すように、互いに並設されると共に同一方向に位置する一方の端部P1, P2(同図中における下方向の端部)同士が互いに接続された一対の線路3a, 3bで構成されると共に図1中のX方向に沿って並設された複数(j本。jは2以上の整数)の書込ビット線3(本発明における書込線に相当する。図2参照)と、互いに並設されると共に同一方向に位置する一方の端部P3, P4(同図中における右方向の端部)同士が互いに接続された一対の線路4a, 4bで構成されて書込ビット線3の各線路3a, 3bとそれぞれ交差すると共に図1中のY方向に沿って並設された複数(i本。iは2以上の整数)の書込ワード線4(本発明における書込線に相当する。図2参照)と、書込ビット線3および書込ワード線4の各交差部分に配設されることによって二次元状に配列(一例としてi行j列のマトリクス状で配列)された複数($i \times j$)個)の記憶セル(磁気記憶セル)1と、互いに並設された一対の線路で構成されると共に各書込ビット線3にそれぞれ並設された複数(j本)の読出ビット線(図示せず)と、各書込ワード線4にそれぞれ並設された複数(i本)の読出ワード線(図示せず)とを備えて構成されている。各書込ワード線4を構成する一方の線路4aは、図2に示すように

、ほぼ直線状に形成され、他方の線路4bは、同図に示すように、各書込ビット線3との交差部位において逆U字状(またはU字状)に曲折されることにより、全体として矩形波状に形成されている。このため、書込ビット線3および書込ワード線4の各交差部位には、各書込ビット線3の各線路3a, 3bと書込ワード線4の一方の線路4bとが互いに平行になる2つの平行部分10a, 10bが形成される。この構成により、各書込ワード線4に電流が所定の方向に流れたときには、この各交差部位の2つの平行部分10a, 10bに含まれている書込ワード線4の一方の線路4bの各部位に流れる電流の向き(Y方向を基準とした電流の向き)は互いに逆向きとなる。

[0026] 各記憶セル1は、図2に示すように、一対の記憶素子1a, 1bを備えて構成されている。各記憶素子1a, 1bは、GMR (Giant Magneto-Resistive) または TMR (Tunneling Magneto-Resistive) を利用して構成された磁気抵抗効果発現体2a, 2bをそれぞれ含んで構成されている。また、各記憶セル1の記憶素子1a, 1bは、同図に示すように、2つの平行部分10a, 10bのうちの一方の平行部分10aと他方の平行部分10bの近傍にそれぞれ配設されている。各記憶セル1は、書込ビット線3および書込ワード線4に供給される電流に起因して発生する合成磁界の向きに応じて、記憶素子1a中の磁気抵抗効果発現体2aの抵抗値が記憶素子1b中の磁気抵抗効果発現体2bの抵抗値よりも小さくなる状態と、記憶素子1a中の磁気抵抗効果発現体2aの抵抗値が記憶素子1b中の磁気抵抗効果発現体2bの抵抗値よりも大きくなる状態のいずれかの状態に移行することにより、データを構成する各ビットの情報を記憶する。

[0027] Y方向駆動制御回路部21のY方向アドレスデコーダ回路22は、Y方向アドレスバス15を介して入力したアドレス信号に基づいて、読出回路群23に含まれているj個の読出回路、およびY方向カレントドライブ回路群24に含まれているj個のY方向カレントドライブ回路にそれぞれ接続されているj本のビットデコード線Y1, ..., Yn, ..., Yjのうちの1つ(ビットデコード線Yn。nは1以上j以下の整数)を選択すると共に、選択したビットデコード線Ynに所定の電圧を印加する。

[0028] 一方、X方向駆動制御回路部31のX方向アドレスデコーダ回路32は、X方向アドレスバス16を介して入力したアドレス信号に基づいて、定電流回路群33に含まれて

いる i 個の定電流回路、および X 方向カレントドライブ回路群34に含まれている i 個の X 方向カレントドライブ回路にそれぞれ接続されている i 本のワードデコード線 $X_1, \dots, X_m, \dots, X_i$ のうちの1つ(ワードデコード線 X_m 。 m は1以上 i 以下の整数)を選択すると共に、選択したワードデコード線 X_m に所定の電圧を印加する。

[0029] また、 Y 方向カレントドライブ回路群24の各 Y 方向カレントドライブ回路(一例として、 k ビットに対応する記憶セル群14 k に含まれている n 番目の Y 方向カレントドライブ回路24 n を例に挙げて説明する)は、本発明に係る磁気メモリデバイス用書込回路であって、図3に示すように、第1～第4のトランジスタ $Q_1 \sim Q_4$ 、第1の電流制御回路51、差動増幅回路61およびダイオード D_1, D_2 を備えて構成されて、記憶セル群14の n 列目に含まれている i 個の記憶セル1の近傍に配設されている書込ビット線3の各線路3a, 3bに書込電流 I_{w1} を供給する。

[0030] この場合、第1のトランジスタ Q_1 は、NPN型トランジスタで構成されると共に、そのコレクタ端子が電源端子PWに接続され、そのエミッタ端子が一方の線路3a, 3bのうちの一方の線路3aにおける他端側の開放側端部P5(同図中の上端部)に接続されている。この第1のトランジスタ Q_1 は、オン状態において、一方の線路3aの開放側端部P5から書込ビット線3に書込電流 I_{w1} を供給する。第2のトランジスタ Q_2 は、NPN型トランジスタで構成されると共に、そのコレクタ端子が電源端子PWに接続され、そのエミッタ端子が一方の線路3a, 3bのうちの他方の線路3bにおける他端側の開放側端部P6(同図中の上端部)に接続されている。この第2のトランジスタ Q_2 は、オン状態において、他方の線路3bの開放側端部P6から書込ビット線3に、第1のトランジスタ Q_1 のオン状態のときとは逆向きに流れる書込電流 I_{w1} を供給する。第3のトランジスタ Q_3 は、NPN型トランジスタで構成されると共に、そのコレクタ端子が一方の線路3aにおける開放側端部P5に接続され、そのエミッタ端子が第1の電流制御回路51に接続され、そのベース端子がデータ線 Dy_k に接続されている。この第3のトランジスタ Q_3 は、データ線 Dy_k に出力されているビットの情報が「1」のときにオン状態に移行して、書込ビット線3に流れている書込電流 I_{w1} を第1の電流制御回路51に出力する。一方、第3のトランジスタ Q_3 は、データ線 Dy_k に出力されているビットの情報が「0」のときにオフ状態に移行して、書込ビット線3に流れている書込電流 I_{w1} の第1の電

流制御回路51への出力を停止する。第4のトランジスタQ4は、NPN型トランジスタで構成されると共に、そのコレクタ端子が他方の線路3bにおける開放側端部P6に接続され、そのエミッタ端子が第1の電流制御回路51に接続され、そのベース端子がデータ線Rykに接続されている。この第4のトランジスタQ4は、データ線Rykに出力されているビットの情報が「1」のときにオン状態に移行して、書込ビット線3に流れている書込電流Iw1を第1の電流制御回路51に出力する。一方、第4のトランジスタQ4は、データ線Rykに出力されているビットの情報が「0」のときにオフ状態に移行して、書込ビット線3に流れている書込電流Iw1の第1の電流制御回路51への出力を停止する。つまり、第4のトランジスタQ4は、第3のトランジスタQ3がオン状態に移行したときにはオフ状態に移行し、第3のトランジスタQ3がオフ状態に移行したときにはオン状態に移行するように制御される。

[0031] 第1の電流制御回路51は、そのコレクタ端子が第3のトランジスタQ3および第4のトランジスタQ4の各エミッタ端子に接続されたトランジスタQ7と、トランジスタQ7のエミッタ端子とグランド端子GNDとの間に接続された抵抗R4と、ビットデコード線Ynに印加された所定の電圧をトランジスタQ7のベース端子に印加するダイオードD3と、ダイオードD3を介してトランジスタQ7のベース端子に印加された電圧を所定の電圧（一例として約1.5ボルト）に安定化する安定化回路（一例として直列接続された一対のダイオードD4、D5）とを備えている。この構成により、第1の電流制御回路51は、第3のトランジスタQ3または第4のトランジスタQ4を介して入力した書込電流Iw1の電流値を一定に維持する定電流回路として機能する。

[0032] 差動増幅回路61は、同じ抵抗値の抵抗R1、R2と、NPN型トランジスタで構成された第5のトランジスタQ5と、NPN型トランジスタで構成された第6のトランジスタQ6と、第2の電流制御回路62とを含んで構成されている。この場合、各抵抗R1、R2は、一端側が電源端子PWにそれぞれ接続されると共に、他端側が第2のトランジスタQ2および第1のトランジスタQ1の各ベース端子にそれぞれ接続されてバイアス用の抵抗としてそれぞれ機能する。第5のトランジスタQ5は、コレクタ端子が抵抗R1の他端側に接続されている。第6のトランジスタQ6は、コレクタ端子が抵抗R2の他端側に接続され、かつエミッタ端子が第5のトランジスタQ5のエミッタ端子に接続されている。第2の

電流制御回路62は、NPN型トランジスタで構成されると共にそのコレクタ端子が第5および第6のトランジスタQ5、Q6の各エミッタ端子に接続され、かつエミッタ端子が抵抗R3を介してグランド端子GNDに接続されたトランジスタQ8と、第1の電流制御回路51と共有する各ダイオードD3、D4、D5とを備え、第1の電流制御回路51と同様にして、ダイオードD3を介してトランジスタQ8のベース端子に印加された電圧を一对のダイオードD4、D5が所定の電圧(一例として約1.5ボルト)に安定化することにより、各トランジスタQ5、Q6のベース電流およびコレクタ電流の合計値を一定に制御する定電流回路として機能する。また、差動増幅回路61では、第5のトランジスタQ5のコレクタ端子が第2のトランジスタQ2のベース端子に接続され、第6のトランジスタQ6のコレクタ端子が第1のトランジスタQ1のベース端子に接続されている。

[0033] ダイオードD1(本発明における第1の一方方向性素子)は、そのアノード端子が一方の線路3aにおける開放側端部P5に接続されると共に、そのカソード端子が第5のトランジスタQ5のベース端子に接続されることにより、一方の線路3aにおける開放側端部P5と第5のトランジスタQ5のベース端子との間に配設されている。このダイオードD1は、第1のトランジスタQ1によって書込ビット線3の一方の線路3aに供給される書込電流 I_{w1} の一部を作動用電流 I_{B5} (第5のトランジスタQ5のベース電流)として第5のトランジスタQ5のベース端子に供給する(ベース端子に向かう電流の通過を許容する)。ダイオードD2(本発明における第2の一方方向性素子)は、そのアノード端子が他方の線路3bにおける開放側端部P6に接続されると共に、そのカソード端子が第6のトランジスタQ6のベース端子に接続されることにより、他方の線路3bにおける開放側端部P6と第6のトランジスタQ6のベース端子との間に配設されている。このダイオードD2は、第2のトランジスタQ2によって書込ビット線3の他方の線路3bに供給される書込電流 I_{w1} の一部を作動用電流 I_{B6} (第6のトランジスタQ6のベース電流)として第6のトランジスタQ6のベース端子に供給する(ベース端子に向かう電流の通過を許容する)。

[0034] X方向カレントドライブ回路群34に含まれている各X方向カレントドライブ回路は(一例として、kビットに対応する記憶セル群14kに含まれているX方向カレントドライブ回路34mを例に挙げて説明する)は、本発明に係る磁気メモリデバイス用書込回路で

あって、上記したY方向カレントドライブ回路群24に含まれている各Y方向カレントドライブ回路と同一の構成要素を備えて同一に構成されて、記憶セル群14のm行目に含まれているj個の記憶セル1の近傍に配設されている書込ワード線4の各線路4a, 4bに書込電流Iw2を供給する。この場合、X方向カレントドライブ回路34mでは、第1のトランジスタQ1のエミッタ端子が一方の線路4aにおける他端側の開放側端部P7(図2中の左端部)に接続され、第2のトランジスタQ2のエミッタ端子が他方の線路4bにおける他端側の開放側端部P8(図2中の左端部)に接続されている。また、第3のトランジスタQ3のベース端子には、データ線Dykに代えて、データ線Dxkが接続されている。また、第4のトランジスタQ4のベース端子には、データ線Rykに代えて、データ線Rxkが接続されている。また、ダイオードD3にはビットデコード線Ynに代えてワードデコード線Xmが接続されている。

[0035] 次に、磁気メモリデバイスMにおける情報の書込動作について説明する。

[0036] まず、アドレスバッファ11が、外部アドレス入力端子A0～A20を介して入力したアドレス信号を、X方向アドレスバス16およびY方向アドレスバス15を介してX方向アドレスデコーダ回路32およびY方向アドレスデコーダ回路22に出力する。この際に、Y方向アドレスデコーダ回路22は、入力したアドレス信号に基づいて、ビットデコード線Y1～Yjのうちの一つ(一例としてビットデコード線Yn)を選択する。同様に、X方向アドレスデコーダ回路32は、入力したアドレス信号に基づいてワードデコード線X1～Xiのうちの一つ(一例としてワードデコード線Xm)を選択する。また、入力バッファ12aは、外部データ端子D0～D7を介して入力したデータに含まれている各ビットの情報を、各ビットに対応する記憶セル群14の各X方向カレントドライブ回路群34および各Y方向カレントドライブ回路群24にX方向書込用データバス17およびY方向書込用データバス18を介してそれぞれ出力する。この場合、出力バッファ12bは、制御ロジック部13の制御信号線13aから出力される制御信号によって非作動状態に維持されている。

[0037] この場合、ビットデコード線Ynによって選択された各記憶セル群14の各Y方向カレントドライブ回路24nは、ビットデコード線Ynを介して所定の電圧が印加されることにより、作動状態に移行して書込ビット線3に書込電流Iw1を供給する。具体的には、

各Y方向カレントドライブ回路24nでは、データ線Dykを介して入力しているビットの情報が「1」のとき(データ線Rykを介して入力しているビットの情報が「0」のとき)には、第3のトランジスタQ3のベース端子の電位が高くなり、かつ第4のトランジスタQ4のベース端子が低くなるため、第3のトランジスタQ3がオン状態に移行し、かつ第4のトランジスタQ4がオフ状態に移行する。この結果、第3のトランジスタQ3に流れるコレクタ電流が第4のトランジスタQ4に流れるコレクタ電流よりも多くなる。このため、ダイオードD1を介して第5のトランジスタQ5のベース端子に供給されるベース電流よりも、ダイオードD2を介して第6のトランジスタQ6のベース端子に供給されるベース電流の方が多くなり、また、第2の電流制御回路62により、第5のトランジスタQ5のコレクタ電流と第6のトランジスタQ6のコレクタ電流の合計電流値が一定に制御されている結果、第5のトランジスタQ5のコレクタ電流よりも、第6のトランジスタQ6のコレクタ電流の方が多くなる。したがって、抵抗R1に生じる電圧降下よりも抵抗R2に生じる電圧降下の方が大きくなり、第1のトランジスタQ1のベース電圧よりも第2のトランジスタQ2のベース電圧の方が高くなる結果、第1のトランジスタQ1がオフ状態に、また第2のトランジスタQ2がオン状態に移行し始める。また、第1のトランジスタQ1および第2のトランジスタQ2がそれぞれオフ状態およびオン状態に移行し始める結果、第1のトランジスタQ1を介して第5のトランジスタQ5のベース端子に供給されるベース電流がさらに減少し、その一方で、第2のトランジスタQ2を介して第6のトランジスタQ6のベース端子に供給されるベース電流がさらに増加する結果、第5のトランジスタQ5が急速にオフ状態に移行すると共に第6のトランジスタQ6が急速にオン状態に移行する。したがって、第1のトランジスタQ1のベース電圧よりも第2のトランジスタQ2のベース電圧の方が急速に高くなるため、第1のトランジスタQ1のベース電流が急速に減少し、その一方で、第2のトランジスタQ2のベース電流が急速に増加する。したがって、第1のトランジスタQ1が急速(瞬時)にオフ状態に移行すると共に、第2のトランジスタQ2が急速(瞬時)にオン状態に移行する。これにより、第2のトランジスタQ2から、書込ビット線3の他方の線路3b、書込ビット線3の一方の線路3a、および第3のトランジスタQ3を経由して第1の電流制御回路51に書込電流Iw1が流れ(出力され)、この書込電流Iw1は第1の電流制御回路51によって一定の電流値に制御される。

[0038] この場合、ダイオードD2が存在するため、ダイオードD2のない構成と比較して、第2のトランジスタQ2のエミッタ端子を基準とした第6のトランジスタQ6のベース端子の電位が一層低電位となるため、第6のトランジスタQ6のベース電流が少なくなる。この場合、差動増幅回路61の第2の電流制御回路62は、上述したように、主として第5のトランジスタQ5および第6のトランジスタQ6の各コレクタ電流の合計値を一定に制御するが、詳細には、第2の電流制御回路62には、第5および第6のトランジスタQ5、Q6の各ベース電流もコレクタ電流と共に流れるため、第5および第6のトランジスタQ5、Q6の各ベース電流および各コレクタ電流の合計値を一定に制御する。したがって、第5のトランジスタQ5がオフ状態、第6のトランジスタQ6がオン状態において、第6のトランジスタQ6のベース電流が減少したときには、この第6のトランジスタQ6では、トランジスタの通常動作(コレクタ電流がベース電流に比例して変化する動作)とは異なり、ベース電流の減少分だけ、コレクタ電流が増加する。これにより、第6のトランジスタQ6のコレクタ電流の増加分だけ、抵抗R2での電圧降下が増加する結果、第1のトランジスタQ1のベース電位がさらに低下する。一方、書込ビット線3の各線路3a, 3bが細くなった場合、第2のトランジスタQ2から一定の電流値の書込電流 I_{w1} が書込ビット線3に供給されている状態では、書込ビット線3の直流抵抗値がある程度増加するため、書込ビット線3での電圧降下が増加する。この場合、第1のトランジスタQ1のベース電位がさらに低下しているため、第1のトランジスタQ1のエミッタ端子の電位が第2のトランジスタQ2のエミッタ端子を基準として低下したとしても、第1のトランジスタQ1のオフ状態が良好に維持される。この結果、Y方向カレントドライブ回路24nでは、第2のトランジスタQ2から、書込ビット線3、および第3のトランジスタQ3を経由して第1の電流制御回路51に規定の電流値の書込電流 I_{w1} が流れ(出力される)動作が良好に維持されるため、この書込ビット線3に近接する各記憶セル1の各記憶素子1a, 1bに十分な磁界が供給される。

[0039] 他方、各Y方向カレントドライブ回路24nでは、データ線Dykを介して入力しているビットの情報が「0」のとき(データ線Rykを介して入力しているビットの情報が「1」のとき)には、各トランジスタQ1～Q6は、データ線Dykを介して入力しているビットの情報が「1」のとき(データ線Rykを介して入力しているビットの情報が「0」のとき)とは逆の

オン・オフ状態に移行する。なお、第1の電流制御回路51および差動増幅回路61の第2の電流制御回路62は、上記の動作を繰り返す。このため、第1のトランジスタQ1から、書込ビット線3の一方の線路3a、書込ビット線3の他方の線路3b、および第4のトランジスタQ4を経由して第1の電流制御回路51に書込電流 I_{w1} が流れ(出力され)、この書込電流 I_{w1} は第1の電流制御回路51によって一定の電流値に制御される。したがって、上記したデータ線 D_{yk} を介して入力しているビットの情報が「1」のとき(データ線 R_{yk} を介して入力しているビットの情報が「0」のとき)と同様にして、書込ビット線3の各線路3a, 3bが細くなって直流抵抗値がある程度増加することに起因して、書込ビット線3での電圧降下が増加して第1のトランジスタQ1のエミッタ端子を基準とした第2のトランジスタQ2のエミッタ端子の電位が低下したとしても、第2のトランジスタQ2のオフ状態が良好に維持される。この結果、Y方向カレントドライブ回路24nでは、第1のトランジスタQ1から、書込ビット線3、および第4のトランジスタQ4を経由して第1の電流制御回路51に規定の電流値の書込電流 I_{w1} が流れ(出力される)動作が良好に維持されるため、この書込ビット線3に近接する各記憶セル1の各記憶素子1a, 1bに十分な逆向きの磁界が供給される。

- [0040] また、ワードデコード線 X_m によって選択された各記憶セル群14の各X方向カレントドライブ回路34mは、ワードデコード線 X_m を介して所定の電圧が印加されることにより、作動状態に移行して書込ワード線4に書込電流 I_{w2} を供給する。X方向カレントドライブ回路群34のX方向カレントドライブ回路34mは、Y方向カレントドライブ回路群24のY方向カレントドライブ回路24nと同一に構成されて、同じように作動するため、以下のX方向カレントドライブ回路34mについての動作の説明では、Y方向カレントドライブ回路24nと同一の構成要素については同一の符号を付して説明する。具体的には、X方向カレントドライブ回路34mでは、データ線 D_{xk} を介して入力している情報が「1」(データ線 R_{xk} を介して入力している情報が「0」)のときには、Y方向カレントドライブ回路24nと同様にして、第2のトランジスタQ2から、書込ワード線4の他方の線路4b、書込ワード線4の一方の線路4a、および第3のトランジスタQ3を経由して第1の電流制御回路51に書込電流 I_{w2} が流れ(出力され)、この書込電流 I_{w2} は第1の電流制御回路51によって一定の電流値に制御される。他方、データ線 D_{xk} を介し

て入力している情報が「0」のとき(データ線Rxkを介して入力している情報が「1」のとき)には、X方向カレントドライブ回路34mでは、Y方向カレントドライブ回路24nと同様にして、第1のトランジスタQ1から、書込ワード線4の一方の線路4a、書込ワード線4の他方の線路4b、および第4のトランジスタQ4を経由して第1の電流制御回路51に書込電流Iw2が流れ(出力され)、この書込電流Iw2は第1の電流制御回路51によって一定の電流値に制御される。この場合、X方向カレントドライブ回路34mにおいても、各ダイオードD1, D2が存在するため、書込ワード線4の各線路4a, 4bが細くなつて直流抵抗値がある程度増加することに起因して、書込ワード線4での電圧降下が増加したとしても、第1のトランジスタQ1のオフ状態または第2のトランジスタQ2のオフ状態が良好に維持される。この結果、X方向カレントドライブ回路34mでは、書込ワード線4に規定の電流値の書込電流Iw2が流れ(出力され)る動作が良好に維持されるため、この書込ワード線4に近接する各記憶セル1の各記憶素子1a, 1bに十分な磁界が供給される。

- [0041] 以上、上記したように、Y方向カレントドライブ回路24nおよびX方向カレントドライブ回路34mは、データ線Dyk, Rykおよびデータ線Dxk, Rxkを介してそれぞれ入力している情報に応じて、それぞれに接続された書込ビット線3および書込ワード線4に所定の向きの書込電流Iw1および書込電流Iw2をそれぞれ供給する。この結果、書込ビット線3および書込ワード線4の交差部分に形成されている2つの平行部分10a, 10bにおいて書込ビット線3および書込ワード線4に流れる電流の向きが同一方向になり、かつ平行部分10aにおける書込ビット線3(線路3a)および書込ワード線4(線路4b)に流れる電流の向きと平行部分10bにおける書込ビット線3(線路3b)および書込ワード線4(線路4b)に流れる電流の向きとが逆になる。したがって、各平行部分10a, 10bにそれぞれ近接して配設された記憶セル1の各記憶素子1a, 1bには逆方向の磁界が供給される結果、例えば、データ線Dyk, Rykおよびデータ線Dxk, Rxkを介して入力している情報に応じて、記憶セル1のうちの一方の記憶素子が高抵抗値状態(他方と比較して抵抗値が大きい状態)に移行すると共に、他方が低抵抗値状態(一方と比較して抵抗値が小さい状態)に移行する。これにより、各記憶セル群14の同じアドレスの各記憶セル1に、対応する各ビットの情報がそれぞれ記憶される結

果、各記憶セル群14全体として、外部データ端子D0～D7を介して入力したデータを、外部アドレス入力端子A0～A20を介して入力したアドレス信号で示されるアドレスに記憶する。

[0042] このように、この磁気メモリデバイスMによれば、Y方向カレントドライブ回路群24内のY方向カレントドライブ回路およびX方向カレントドライブ回路群34内のX方向カレントドライブ回路において、線路3a(または4a)における開放側端部P5(P7)と差動増幅回路61内の第5のトランジスタQ5のベース端子との間に、第1のトランジスタQ1から一方の線路3a(または4a)の開放側端部P5(P7)を介して第5のトランジスタQ5のベース端子に向かう電流の通過を許容するダイオードD1を配設し、かつ、書込ビット線3の他方の線路3b(または4b)における開放側端部P6(P8)と差動増幅回路61内の第6のトランジスタQ6のベース端子との間に、第2のトランジスタQ2から他方の線路3b(または4b)の開放側端部P6(P8)を介して第6のトランジスタQ6のベース端子に向かう電流の通過を許容するダイオードD2を配設したことにより、例えば、第1のトランジスタQ1がオフ状態で、かつ第2のトランジスタQ2がオン状態のときには、ダイオードD2が存在するため、第2のトランジスタQ2のエミッタ端子(他方の線路3b(または4b)における開放側端部P6(P8))の電位を基準とした第6のトランジスタQ6のベース端子の電位をダイオードD2がない構成と比較して一層低電位とすることができ。

[0043] したがって、第5のトランジスタQ5がオフ状態で第6のトランジスタQ6がオン状態になっている状態での第6のトランジスタQ6のベース電流を少なくすることができる。このため、第2の電流制御回路62によって第5のトランジスタQ5および第6のトランジスタQ6の各コレクタ電流および各ベース電流の合計値が一定となるように制御されている状況下において、トランジスタの通常動作(ベース電流の増加によりコレクタ電流も増加するという動作)とは異なり、第6のトランジスタQ6のコレクタ電流を増加させることができる結果、第6のトランジスタQ6のコレクタ電流が流れる抵抗R2での電圧降下を十分に増加させることができる。したがって、第1のトランジスタQ1のベース電位をさらに低下させることができるため、例えば、各線路3a, 3b(または4a, 4b)が細くなって抵抗がある程度増加し、それに伴い、書込電流 I_{w1} が流れることに起因して書

込ビット線3での電圧降下が増加して第1のトランジスタQ1のエミッタ電位が低下したとしても、第1のトランジスタQ1を確実にオフ状態に維持することができる結果、書込ビット線3に規定値の書込電流 I_{w1} を供給することができる。同様にして、第1のトランジスタQ1がオン状態で、かつ第2のトランジスタQ2がオフ状態であるときにも、書込ビット線3に規定電流値の書込電流 I_{w1} を供給することができる。

[0044] したがって、この磁気メモリデバイスMによれば、記憶セル群14の各行または各列に含まれている記憶セル1の数を増加させて記憶容量を増加させるために配線幅を細くし、その結果として書込ビット線3または書込ワード線4の抵抗値が増加したとしても、書込ビット線3または書込ワード線4に規定値の書込電流 I_{w1} または書込電流 I_{w2} を供給することができる。具体的には、各ダイオードD1, D2を配設しない構成では、図4において破線で示す特性線Tが示すように、書込ビット線3(または書込ワード線4)の抵抗値が $1000\ \Omega$ を超えたときには、書込電流 I_{w1} (または I_{w2})を規定値(一例として約 1100mA)に維持できないのに対し、各ダイオードD1, D2を配設した構成では、図4において実線で示す特性線Sが示すように、書込ビット線3(または書込ワード線4)の抵抗値が $1500\ \Omega$ に達するまでの範囲Wにおいても、書込電流 I_{w1} (または I_{w2})を規定値(一例として約 1100mA)に維持することができる。このため、各記憶セル1の各記憶素子1a, 1bに十分な磁界を印加することができる結果、各記憶セル1に、対応するビットの情報を確実に記憶させることができる。

[0045] また、一方の線路3aの開放側端部P5と第5のトランジスタQ5のベース端子との間、および他方の線路3bの開放側端部P6と第6のトランジスタQ6のベース端子との間にダイオードD1, D2を配設したことにより、簡易な構成でありながら、第1のトランジスタQ1のオン状態における第5のトランジスタQ5のベース電位および第2のトランジスタQ2のオン状態における第6のトランジスタQ6のベース電位をそれぞれ低下させることができる。この場合、ダイオードD1, D2として、ショットキーダイオードやゲルマニウムダイオードを使用することもできるが、これらのダイオードと比較して順方向電圧降下の大きなシリコンダイオードを用いることにより、第5のトランジスタQ5のベース電位および第6のトランジスタQ6のベース電位をそれぞれ十分に低下させることができるため、書込ビット線3または書込ワード線4の抵抗値が一層大きい(線幅の一層細

い)構成においても、規定値の書込電流 I_{w1} , I_{w2} を確実に供給することができる。

[0046] なお、本発明は、上記した構成に限定されない。例えば、バイポーラ型のトランジスタQ1～Q8に代えて、電界効果型トランジスタを用いる構成を採用することもできる。

[0047] また、上記構成では、一方の線路3aの開放側端部P5と第5のトランジスタQ5のベース端子との間、および他方の線路3bの開放側端部P6と第6のトランジスタQ6のベース端子との間にそれぞれ配設する一方向性素子としてダイオードD1, D2を使用した。図5に示すY方向カレントドライブ回路24nA(またはX方向カレントドライブ回路34mA)のように、例えばNPN型のトランジスタ(一例としてシリコントランジスタ)Q11, Q12をそれぞれエミッタフォロワ接続して使用する構成を採用することもできる。なお、電界効果型トランジスタを用いることもできる。この場合、トランジスタQ11は、そのベース－エミッタ間のダイオードが第1のトランジスタQ1および第5のトランジスタQ5のベース－エミッタ間のダイオードと直列となるようにして、両トランジスタQ1, Q5の間に接続(配設)される。具体的には、トランジスタQ11は、そのコレクタ端子を電源端子PWに、そのベース端子を第1のトランジスタQ1のエミッタ端子に、そのエミッタ端子を第5のトランジスタQ5のベース端子にそれぞれ接続する。同様にして、トランジスタQ12は、そのベース－エミッタ間のダイオードが第2のトランジスタQ2および第6のトランジスタQ6のベース－エミッタ間のダイオードと直列となるようにして、両トランジスタQ2, Q6の間に接続(配設)される。具体的には、トランジスタQ12は、そのコレクタ端子を電源端子PWに、そのベース端子を第2のトランジスタQ2のエミッタ端子に、そのエミッタ端子を第6のトランジスタQ6のベース端子にそれぞれ接続する。この構成により、各トランジスタQ11, Q12では、各エミッタ端子の電位が各ベース端子の電位よりもダイオード1個分の電圧だけ低下する。このため、一方向性素子としてダイオードD1, D2を使用したときと同様にして、第1のトランジスタQ1のエミッタ端子を基準とした第5のトランジスタQ5のベース端子の電位、および第2のトランジスタQ2のエミッタ端子を基準とした第6のトランジスタQ6のベース端子の電位をそれぞれ一層低電位にすることができる。なお、Y方向カレントドライブ回路24nA(またはX方向カレントドライブ回路34mA)は、各ダイオードD1, D2に代えて各トランジスタQ11, Q12を用いた構成以外はY方向カレントドライブ回路24n(またはX方向カレントドライブ回

路34m)と同じため、同一の構成については同一の符号を付して重複する説明を省略する。

[0048] この構成によれば、各トランジスタQ11, Q12のベース端子とエミッタ端子との間に形成されているP型半導体およびN型半導体によって構成される各ダイオードが上記のダイオードD1, D2と同様にして、一方の線路3aの開放側端部P5と第5のトランジスタQ5のベース端子との間、および他方の線路3bの開放側端部P6と第6のトランジスタQ6のベース端子との間にそれぞれ配設される結果、Y方向カレントドライブ回路24n(またはX方向カレントドライブ回路34m)と同様にして、Y方向カレントドライブ回路24nA(またはX方向カレントドライブ回路34mA)によっても、抵抗値が一層大きい(線幅の一層細く長い)書込ビット線3(または書込ワード線4)に対しても、規定値の書込電流 I_{w1} , I_{w2} を確実に供給することができる。

[0049] さらに、図6に示すY方向カレントドライブ回路24nB(またはX方向カレントドライブ回路34mB)のように、各ダイオードD6, D7を、一方の線路3aの開放側端部P5と第5のトランジスタQ5のベース端子との間、および他方の線路3bの開放側端部P6と第6のトランジスタQ6のベース端子との間において、それぞれ各ダイオードD1, D2と直列に配設する構成を採用することもできる。このY方向カレントドライブ回路24nB(またはX方向カレントドライブ回路34mB)によれば、第1のトランジスタQ1のオン状態における第5のトランジスタQ5のベース電位、および第2のトランジスタQ2のオン状態における第6のトランジスタQ6のベース電位をそれぞれ一層低下させることができるため、抵抗値がさらに大きい(線幅のさらに細く長い)書込ビット線3(または書込ワード線4)に対しても、規定値の書込電流 I_{w1} , I_{w2} を確実に供給することができる。

産業上の利用可能性

[0050] 以上のように、この発明に係る磁気メモリデバイス用書込回路によれば、書込線の一方の線路における開放側端部と第5のトランジスタの制御端子との間に、第1のトランジスタから開放側端部を介して制御端子に向かう電流の通過を許容する第1の一方方向性素子を配設し、かつ、他方の線路における開放側端部と第6のトランジスタの制御端子との間に、第2のトランジスタから開放側端部を介して制御端子に向かう電

流の通過を許容する第2の一方向性素子を配設したことにより、例えば、第1のトランジスタがオフ状態で、かつ第2のトランジスタがオン状態のときには、第2の一方向性素子が存在するため、第2の一方向性素子がない構成と比較して、第2のトランジスタの出力端子(他方の線路における開放側端部)の電位を基準とした第6のトランジスタの制御端子の電位(バイポーラ型トランジスタのときにはベース電位)を第2の一方向性素子の電圧降下分だけ一層低電位とすることができる。したがって、第5のトランジスタがオフ状態で第6のトランジスタがオン状態になっている状態での第6のトランジスタのベース電流を少なくすることができるため、第2の電流制御回路によって第5のトランジスタおよび第6のトランジスタの各出力電流(バイポーラ型トランジスタのときにはコレクタ電流)および各制御電流(バイポーラ型トランジスタのときにはベース電流)の合計値が一定となるように制御されている状況下において、トランジスタの通常動作(ベース電流の増加によりコレクタ電流も増加するという動作)とは異なり、第6のトランジスタのコレクタ電流を増加させることができる。この結果、第1のトランジスタを一層深いオフ状態にさせることができるため、例えば、書込線が細くなって抵抗がある程度増加し、それに伴い、書込電流が流れることに起因して書込線での電圧降下が増加して第1のトランジスタの出力電位(バイポーラ型トランジスタのときにはエミッタ電位)が低下したとしても、第1のトランジスタを確実にオフ状態に維持することができる。同様にして、第1のトランジスタがオン状態で、かつ第2のトランジスタがオフ状態であるときにも、第2のトランジスタを確実にオフ状態に維持することができる。これにより、一層大きな抵抗値の書込線に対しても規定値の書込電流を供給し得る磁気メモリデバイス用書込回路が実現される。

符号の説明

- [0051] 1 記憶セル
- 2a, 2b 磁気抵抗効果発現体
- 3 書込ビット線
- 3a, 3b 書込ビット線の各線路
- 4 書込ワード線
- 4a, 4b 書込ワード線の各線路

51 第1の電流制御回路

61 差動増幅回路

62 第2の電流制御回路

D1, D2 ダイオード(第1、第2の一方向性素子)

Q1 第1のトランジスタ

Q2 第2のトランジスタ

Q3 第3のトランジスタ

Q4 第4のトランジスタ

Q5 第5のトランジスタ

Q6 第6のトランジスタ

Q11, Q12 トランジスタ

Iw1, Iw2 書込電流

M 磁気メモリデバイス

請求の範囲

- [1] 記録セル内の一対の磁気抵抗効果発現体にそれぞれ近接して配設されると共に一方の端部同士が互いに接続された一対の線路を有する書込線に流れる書込電流を一定値に制御する第1の電流制御回路と、
- 前記一対の線路のうちの一方の線路における他端側の開放側端部に接続されると共にオン状態において当該開放側端部から前記書込線に前記書込電流を供給する第1のトランジスタと、
- 前記一対の線路のうちの他方の線路における他端側の開放側端部に接続されると共にオン状態において当該開放側端部から前記書込線に前記書込電流を供給する第2のトランジスタと、
- 前記一方の線路における前記開放側端部に接続されると共に前記第2のトランジスタによって供給されている前記書込電流をオン状態において前記第1の電流制御回路に出力する第3のトランジスタと、
- 前記他方の線路における前記開放側端部に接続されると共に前記第3のトランジスタのオン・オフ状態とは逆のオン・オフ状態に制御されて、前記第1のトランジスタによって供給されている前記書込電流を当該オン状態において前記第1の電流制御回路に出力する第4のトランジスタと、
- 出力端子が互いに接続された第5および第6のトランジスタ、および当該第5および第6のトランジスタに流れる電流の合計値を一定値に制御する第2の電流制御回路を含んで構成されて、前記第3のトランジスタがオン状態に移行し、かつ第4のトランジスタがオフ状態に移行したときに前記第5のトランジスタおよび前記第6のトランジスタがそれぞれオフ状態およびオン状態に移行することによって前記第1のトランジスタおよび前記第2のトランジスタをそれぞれオフ状態およびオン状態に移行させ、前記第4のトランジスタがオン状態に移行し、かつ第3のトランジスタがオフ状態に移行したときに前記第5のトランジスタおよび前記第6のトランジスタがそれぞれオン状態およびオフ状態に移行することによって前記第1のトランジスタおよび前記第2のトランジスタをそれぞれオン状態およびオフ状態に移行させる差動増幅回路と、
- 前記一方の線路における前記開放側端部と前記第5のトランジスタの制御端子との

間に配設されて前記第1のトランジスタから当該開放側端部を介して当該制御端子に向かう電流の通過を許容する第1の一方向性素子と、

前記他方の線路における前記開放側端部と前記第6のトランジスタの制御端子との間に配設されて前記第2のトランジスタから当該開放側端部を介して当該制御端子に向かう電流の通過を許容する第2の一方向性素子とを備えている磁気メモリデバイス用書込回路。

- [2] 前記第1の一方向性素子および前記第2の一方向性素子はダイオードである請求項1記載の磁気メモリデバイス用書込回路。
- [3] 前記ダイオードはシリコンダイオードである請求項2記載の磁気メモリデバイス用書込回路。
- [4] 前記第1の一方向性素子は前記第1のトランジスタおよび前記第5のトランジスタの間に配設されてエミッタフォロワ接続されたトランジスタであり、前記第2の一方向性素子は前記第2のトランジスタおよび前記第6のトランジスタの間に配設されてエミッタフォロワ接続されたトランジスタである請求項1記載の磁気メモリデバイス用書込回路。
- [5] 外部磁界によって抵抗値が変化する一对の磁気抵抗効果発現体を備えた記録セルと、
前記一对の磁気抵抗効果発現体に近接してそれぞれ配設されると共に一方の端部同士が互いに接続された一对の線路を有する書込線と、
前記書込線に流れる書込電流を一定値に制御する第1の電流制御回路と、
前記一对の線路のうちの一方の線路における他端側の開放側端部に接続されると共にオン状態において当該開放側端部から前記書込線に前記書込電流を供給する第1のトランジスタと、
前記一对の線路のうちの他方の線路における他端側の開放側端部に接続されると共にオン状態において当該開放側端部から前記書込線に前記書込電流を供給可能な第2のトランジスタと、
前記一方の線路における前記開放側端部に接続されると共に前記第2のトランジスタによって供給されている前記書込電流をオン状態において前記第1の電流制御回

路に供給する第3のトランジスタと、

前記他方の線路における前記開放側端部に接続されると共に前記第3のトランジスタのオン・オフ状態とは逆のオン・オフ状態に制御されて、前記第1のトランジスタによって供給されている前記書込電流を当該オン状態において前記第1の電流制御回路に供給する第4のトランジスタと、

出力端子が互いに接続された第5および第6のトランジスタ、および当該第5および第6のトランジスタに流れる電流の合計値を一定値に制御する第2の電流制御回路を含んで構成されて、前記第3のトランジスタがオン状態に移行し、かつ第4のトランジスタがオフ状態に移行したときに前記第5のトランジスタおよび前記第6のトランジスタがそれぞれオフ状態およびオン状態に移行することによって前記第1のトランジスタおよび前記第2のトランジスタをそれぞれオフ状態およびオン状態に移行させ、前記第4のトランジスタがオン状態に移行し、かつ第3のトランジスタがオフ状態に移行したときに前記第5のトランジスタおよび前記第6のトランジスタがそれぞれオン状態およびオフ状態に移行することによって前記第1のトランジスタおよび前記第2のトランジスタをそれぞれオン状態およびオフ状態に移行させる差動増幅回路と、

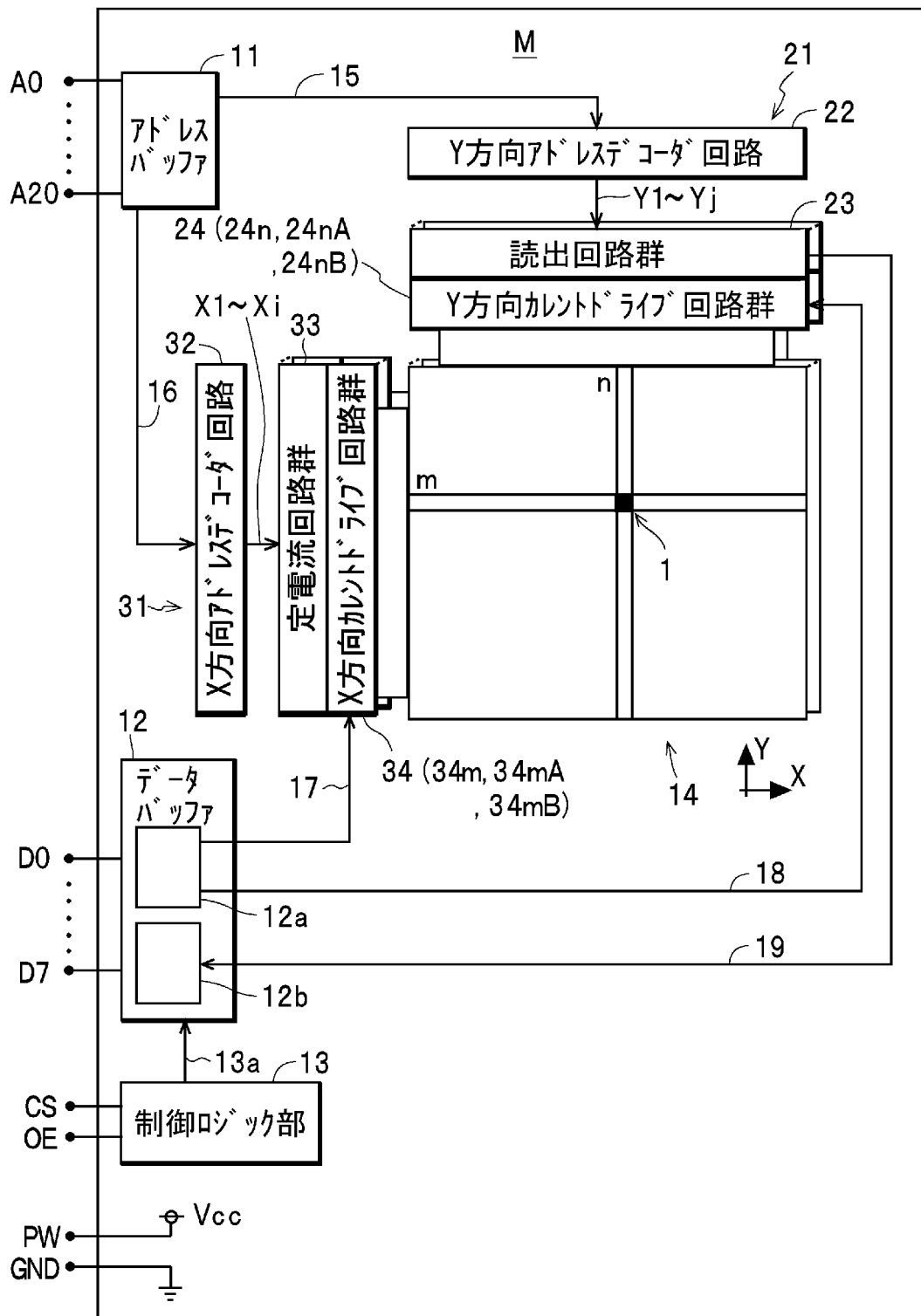
前記一方の線路における前記開放側端部と前記第5のトランジスタの制御端子との間に配設されて前記第1のトランジスタから当該開放側端部を介して当該制御端子に向かう電流の通過を許容する第1の一方方向性素子と、

前記他方の線路における前記開放側端部と前記第6のトランジスタの制御端子との間に配設されて前記第2のトランジスタから当該開放側端部を介して当該制御端子に向かう電流の通過を許容する第2の一方方向性素子とを備えている磁気メモリデバイス。

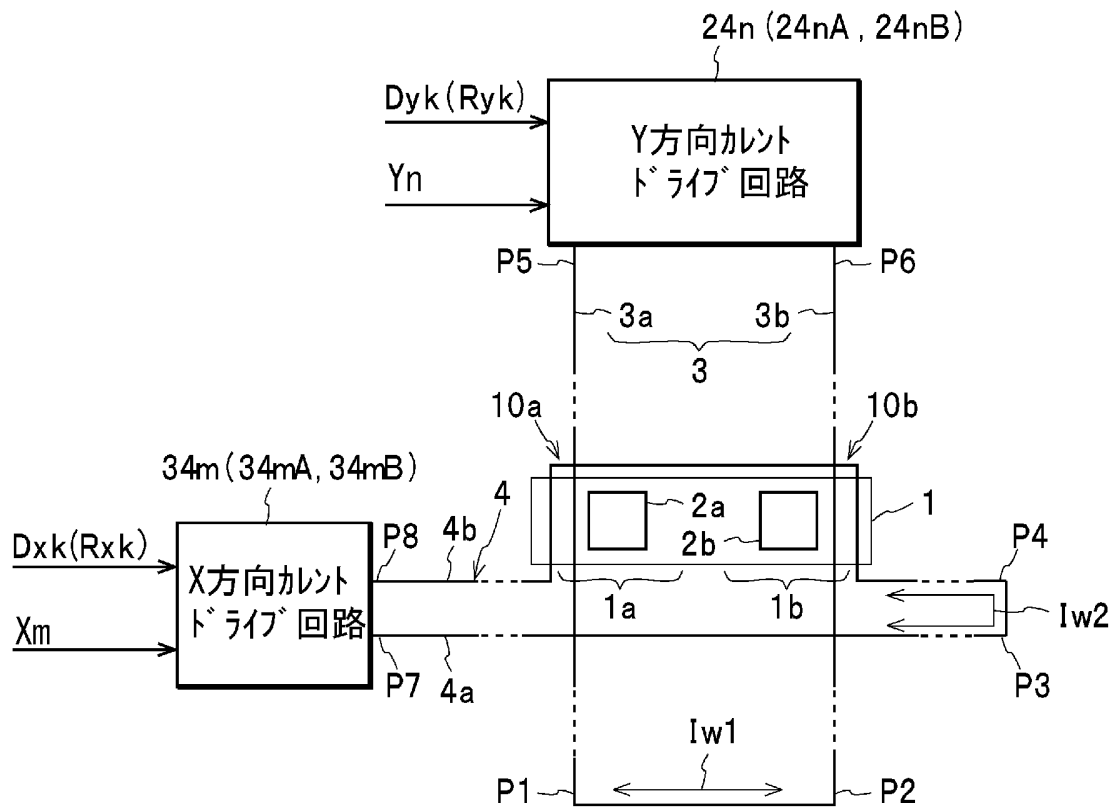
- [6] 前記第1の一方方向性素子および前記第2の一方方向性素子はダイオードである請求項5記載の磁気メモリデバイス。
- [7] 前記ダイオードはシリコンダイオードである請求項6記載の磁気メモリデバイス。
- [8] 前記第1の一方方向性素子は前記第1のトランジスタおよび前記第5のトランジスタの間に配設されてエミッタフォロワ接続されたトランジスタであり、前記第2の一方方向性素子は前記第2のトランジスタおよび前記第6のトランジスタの間に配設されてエミッタ

フォロワ接続されたトランジスタである請求項5記載の磁気メモリデバイス。

[図1]



[図2]



[図3]

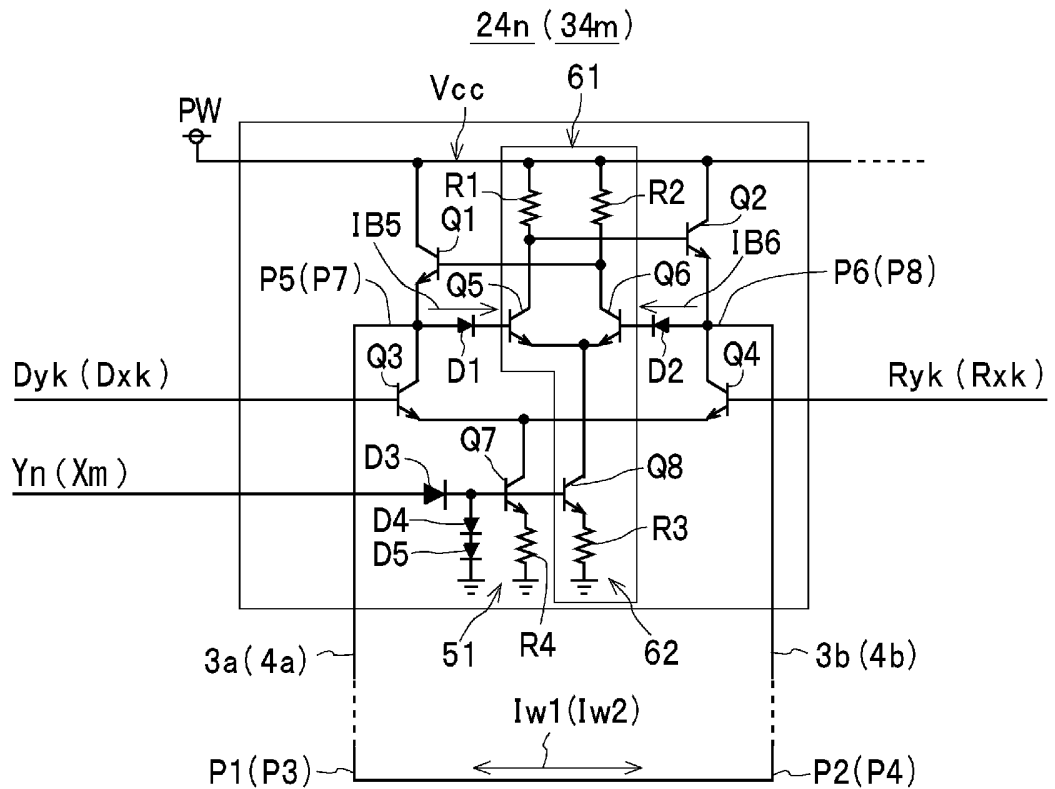
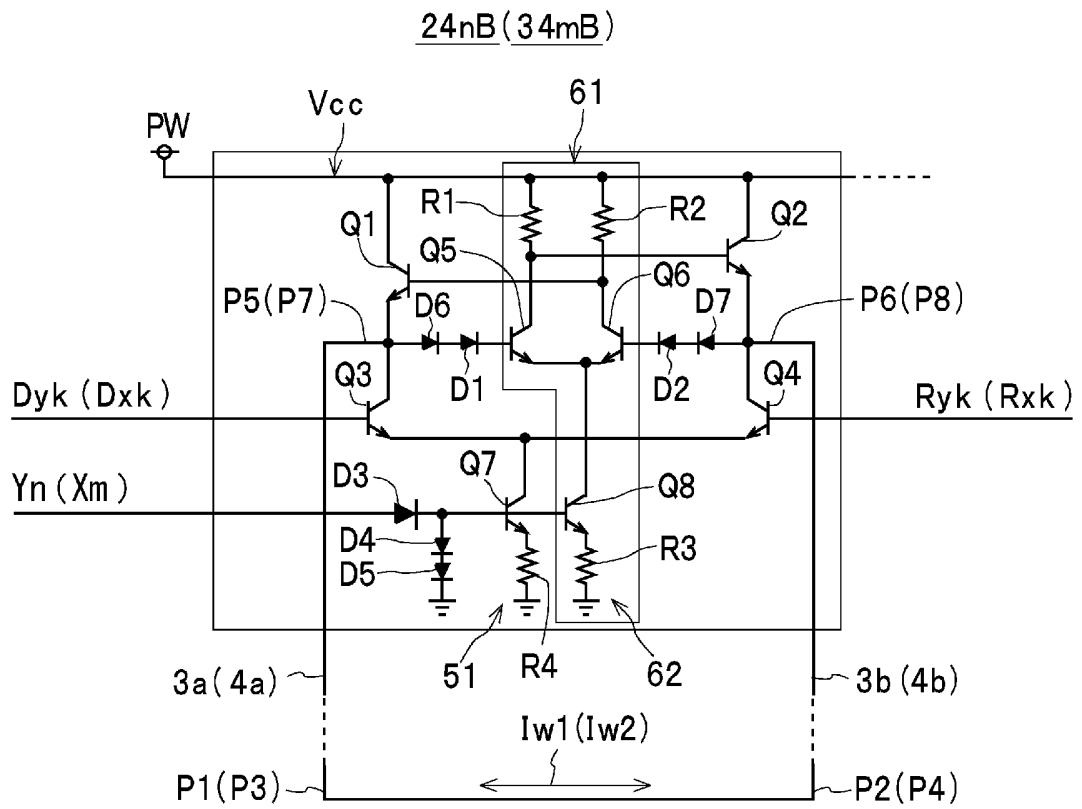


Figure 1 is a graph showing the relationship between the resistance value of the write bit line 3 (or write word line 4) and the write current I_{w1} (or I_{w2}). The x-axis represents the resistance value in Ω , ranging from 0 to 5000. The y-axis represents the write current I_{w1} (or I_{w2}) in mA, ranging from 0 to 1200. Two curves are plotted: a solid line labeled 'S' and a dashed line labeled 'T'. Both curves show a decreasing trend as resistance increases. Curve 'S' starts at approximately 1100 mA at 0 Ω and decreases to about 400 mA at 5000 Ω . Curve 'T' starts at approximately 1100 mA at 0 Ω and decreases more sharply, reaching about 300 mA at 5000 Ω . A horizontal double-headed arrow labeled 'W' indicates a resistance range between approximately 1000 Ω and 1500 Ω .

The diagram shows a differential amplifier with a current mirror load and a differential-to-single-ended converter. The differential pair consists of transistors Q1 and Q2, with load resistors R1 and R2. The current mirror load is formed by transistors Q5 and Q6, with resistors R3 and R4. The differential-to-single-ended converter consists of transistors Q3 and Q4, with a diode D3 and resistors R4 and R5. The circuit is biased by a current source Iw1(Iw2) and a current mirror Iw1(Iw2). The output is taken from the collector of Q1. The circuit is labeled with various components and their values: 24nA (34mA), Vcc, PW, 61, Q1, R1, Q5, R2, Q2, P5(P7), Q6, P6(P8), Dyk (Dxk), Ryk (Rxk), Yn (Xm), D3, Q7, Q8, R3, D4, D5, 3a(4a), 51, R4, 62, 3b(4b), Iw1(Iw2), P1(P3), and P2(P4).

[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/022426

A. CLASSIFICATION OF SUBJECT MATTER G11C11/15 (2006.01)				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C11/15 (2006.01)				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A	JP 2004-178623 A (TDK Corp.), 24 June, 2004 (24.06.04), Par. Nos. [0064] to [0079], [0152] to [0163]; Figs. 4, 5, 20 to 23 & US 2004/0114443 A1 & EP 1422721 A2	1-8		
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.				
<table border="0"> <tr> <td> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 06 January, 2006 (06.01.06)		Date of mailing of the international search report 17 January, 2006 (17.01.06)		
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer		
Facsimile No.		Telephone No.		

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C11/15(2006.01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C11/15(2006.01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	JP 2004-178623 A (TDK株式会社) 2004.06.24, 段落【0064】-【0079】、段落【0152】-【0163】、第4図、第5図、第20-23図 & US 2004/0114443 A1 & EP 1422721 A2	1-8	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 06.01.2006		国際調査報告の発送日 17.01.2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 滝谷 亮一 電話番号 03-3581-1101 内線 3586	5N 3135