(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3803229号

(P3803229)

(45)発行日　平成18年8月2日(2006.8.2)　(24)登録日　平成18年5月12日(2006.5.12)

(51)Int.Cl.		F I		
H03K 19/0175	(2006.01)	H03K	19/00	101K
H03K 19/0185	(2006.01)	H03K	19/00	101D
H03F 3/45	(2006.01)	H03F	3/45	Z

請求項の数 10　(全 16 頁)

(21)出願番号	特願2000-148347(P2000-148347)
(22)出願日	平成12年5月19日(2000.5.19)
(65)公開番号	特開2000-357961(P2000-357961A)
(43)公開日	平成12年12月26日(2000.12.26)
審査請求日	平成15年3月3日(2003.3.3)
(31)優先権主張番号	99-18095
(32)優先日	平成11年5月19日(1999.5.19)
(33)優先権主張国	韓国(KR)
(31)優先権主張番号	00-7522
(32)優先日	平成12年2月17日(2000.2.17)
(33)優先権主張国	韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Ｓａｍｓｕｎｇ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｃｏ．，Ｌｔｄ．
大韓民国４４３－７４２京畿道水原市霊通区梅灘洞４１６
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100101306
弁理士　丸山　幸雄
(74)代理人　100115071
弁理士　大塚　康弘
(72)発明者　林奎南
大韓民国京畿道水原市八達区靈通洞９７３－３番地宇成アパート８２１棟１６０２号

最終頁に続く

(54)【発明の名称】入力バッファ回路

(57)【特許請求の範囲】

【請求項１】

基準電圧と入力信号との電圧差に基づき内部セルフバイアス信号及び出力信号を発生する差動増幅回路と、

前記内部セルフバイアス信号のレベルを実質的に一定に維持するために、前記内部セルフバイアス信号に応答して、前記差動増幅回路に電流を供給し且つ前記差動増幅回路から電流をシンキングする電流調節回路と、

前記出力信号の反転信号に応答して、前記出力信号のスイング幅が広がり過ぎることを防止するスイング幅制御回路とを具備し、

前記スイング幅制御回路は、

前記出力信号が出力される前記差動増幅回路の出力ノードと前記電流調節回路の第１ノードとの間に接続され、前記出力信号の反転信号に応答するＮＭＯＳトランジスタと、

前記差動増幅回路の出力ノードと前記電流調節回路の第２ノードとの間に接続され、前記出力信号の反転信号に応答するＰＭＯＳトランジスタとを具備することを特徴とする入力バッファ回路。

【請求項２】

基準電圧と入力信号との電圧差に基づき内部セルフバイアス信号及び出力信号を発生する差動増幅回路と、

前記内部セルフバイアス信号のレベルを実質的に一定に維持するために、前記内部セルフバイアス信号に応答して、前記差動増幅回路に電流を供給し且つ前記差動増幅回路から

電流をシンキングする電流調節回路と、
前記出力信号の反転信号に応答して、前記出力信号のスイング幅が広がり過ぎることを防止するスイング幅制御回路とを具備し、
前記スイング幅制御回路は、
前記出力信号が出力される前記差動増幅回路の出力ノードと電源電圧端子との間に接続され、前記出力信号の反転信号に応答するＮＭＯＳトランジスタと、
前記差動増幅回路の出力ノードと接地電圧端子との間に接続され、前記出力信号の反転信号に応答するＰＭＯＳトランジスタとを具備することを特徴とする入力バッファ回路。
【請求項３】
前記電流調節回路は、
電源電圧端子と前記差動増幅回路との間に接続され、前記内部セルフバイアス信号に応答して前記差動増幅回路に電流を供給する電流ソースと、
前記差動増幅回路と接地電圧端子との間に接続され、前記内部セルフバイアス信号に応答して前記差動増幅回路から電流をシンキングする電流シンクとを具備することを特徴とする請求項１または２に記載の入力バッファ回路。
【請求項４】
前記電流ソースは、ＰＭＯＳトランジスタを含むことを特徴とする請求項３に記載の入力バッファ回路。
【請求項５】
前記電流シンクは、ＮＭＯＳトランジスタを含むことを特徴とする請求項３に記載の入力バッファ回路。
【請求項６】
前記差動増幅回路は、
前記電流調節回路の第１ノードと前記内部セルフバイアス信号が出力される内部ノードとの間に接続され、前記基準電圧によってゲートが制御される第１ＰＭＯＳトランジスタと、
前記第１ノードと前記内部ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第２ＰＭＯＳトランジスタと、
前記第１ノードと前記出力信号が出力される出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第３ＰＭＯＳトランジスタと、
前記第１ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される第４ＰＭＯＳトランジスタと、
前記電流調節回路の第２ノードと前記内部ノードとの間に接続され、前記基準電圧によってゲートが制御される第１ＮＭＯＳトランジスタと、
前記第２ノードと前記内部ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第２ＮＭＯＳトランジスタと、
前記第２ノードと前記出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第３ＮＭＯＳトランジスタと、
前記第２ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される第４ＮＭＯＳトランジスタとを具備することを特徴とする請求項１または２に記載の入力バッファ回路。
【請求項７】
前記差動増幅回路は、
前記電流調節回路の第１ノードと前記内部セルフバイアス信号が出力される内部ノードとの間に接続され、前記基準電圧によってゲートが制御される第１ＰＭＯＳトランジスタと、
電源電圧端子と前記内部ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第２ＰＭＯＳトランジスタと、
前記電源電圧端子と前記出力信号が出力される出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第３ＰＭＯＳトランジスタと、

前記第１ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される第４ＰＭＯＳトランジスタと、
前記電流調節回路の第２ノードと前記内部ノードとの間に接続され、前記基準電圧によってゲートが制御される第１ＮＭＯＳトランジスタと、
接地電圧端子と前記内部ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第２ＮＭＯＳトランジスタと、
前記接地電圧端子と前記出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第３ＮＭＯＳトランジスタと、
前記電流調節回路の第２ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される第４ＮＭＯＳトランジスタとを具備することを特徴とする請求項１または２に記載の入力バッファ回路。
【請求項８】
前記差動増幅回路は、
前記電流調節回路の第１ノードと前記内部セルフバイアス信号が出力される内部ノードとの間に接続され、前記基準電圧によってゲートが制御される第１ＰＭＯＳトランジスタと、
前記第１ノードと前記内部ノードとの間に接続され、前記出力信号によってゲートが制御される第２ＰＭＯＳトランジスタと、
前記第１ノードと前記出力信号が出力される出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第３ＰＭＯＳトランジスタと、
前記第１ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される第４ＰＭＯＳトランジスタと、
前記電流調節回路の第２ノードと前記内部ノードとの間に接続され、前記基準電圧によってゲートが制御される第１ＮＭＯＳトランジスタと、
前記第２ノードと前記内部ノードとの間に接続され、前記出力信号によってゲートが制御される第２ＮＭＯＳトランジスタと、
前記第２ノードと前記出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される第３ＮＭＯＳトランジスタと、
前記第２ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される第４ＮＭＯＳトランジスタとを具備することを特徴とする請求項１または２に記載の入力バッファ回路。
【請求項９】
前記差動増幅回路は、
前記第１ノードに接続されるソースと前記内部ノードに共通接続されるゲート及びドレインを有する第５ＰＭＯＳトランジスタと、
前記内部ノードに共通接続されるゲート及びドレインと前記第２ノードに接続されるソースを有する第５ＮＭＯＳトランジスタとをさらに具備することを特徴とする請求項８に記載の入力バッファ回路。
【請求項１０】
基準電圧と入力信号との電圧差に基づき出力信号を発生する差動増幅回路と、
前記出力信号の反転信号に応答して、前記出力信号のスイング幅が広がり過ぎることを防止するスイング幅制御回路とを具備し、
前記スイング幅制御回路は、
前記出力信号が出力される前記差動増幅回路の出力ノードと電源電圧端子との間に接続され、前記出力信号の反転信号に応答するＮＭＯＳトランジスタと、
前記差動増幅回路の出力ノードと接地電圧端子との間に接続され、前記出力信号の反転信号に応答するＰＭＯＳトランジスタとを具備することを特徴とする入力バッファ回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は半導体装置に係り、特に、入力バッファ回路に関する。

【０００２】

【従来の技術】

デジタルシステムにおいては、ＴＴＬ（Ｔｒａｎｓｉｓｔｏｒ－Ｔｒａｎｓｉｓｔｏｒ Ｌｏｇｉｃ）半導体装置及びＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）半導体装置が併用される。このため、ＴＴＬ半導体装置とＣＭＯＳ半導体装置との間にはインタフェース回路が必要となり、この要求に応えて半導体装置の内部にはＴＴＬ入力レベルをＣＭＯＳレベルに変換する入力バッファ（通常、ＴＴＬ－ｔｏ－ＣＭＯＳ入力バッファまたはＴＴＬ Ｃｏｍｐａｔｉｂｌｅ入力バッファという）が組み込まれる。

【０００３】

一方、近年、３．３Ｖの低電源電圧で動作するＴＴＬ半導体装置及びＣＭＯＳ半導体装置の普及に伴って、ＣＭＯＳ半導体装置には、ＬＶＴＴＬ（Ｌｏｗ Ｖｏｌｔａｇｅ Ｔｒａｎｓｉｓｔｏｒ－Ｔｒａｎｓｉｓｔｏｒ Ｌｏｇｉｃ）入力レベルをＣＭＯＳレベルに変換する入力バッファが使用されている。３．３Ｖの低電源電圧動作において、典型的なＬＶＴＴＬ入力レベルは入力低電圧（Ｉｎｐｕｔ Ｌｏｗ Ｖｏｌｔａｇｅ、ＶＩＬ）が０Ｖであり、入力高電圧（ＩｎｐｕｔＨｉｇｈ Ｖｏｌｔａｇｅ、ＶＩＨ）が２．８Ｖである。また、最悪の場合、ＬＶＴＴＬ入力レベルは最大ＶＩＬが０．８Ｖであり、最低ＶＩＨが２．０Ｖである。通常、ＣＭＯＳ半導体装置の入力バッファは、ＬＶＴＴＬレベルだけでなく、ＳＳＴＬ（Ｓｍａｌｌ Ｓｗｉｎｇ Ｔｒａｎｓｉｓｔｏｒ Ｌｏｇｉｃ）レベルをもＣＭＯＳレベルに変換できるように設計される。

【０００４】

ところで、最近、低電圧及び低電力消耗が極めて重要視される携帯電話などのポータブル情報機器が発達するにつれて、ＶＩＬが０Ｖであり、ＶＩＨが２．８Ｖである通常のＬＶＴＴＬインタフェースだけでなく、ＶＩＬが０Ｖであり、ＶＩＨが１．８Ｖである低電圧インタフェースにも適合した入力バッファが望まれている。

【０００５】

ところで、図１に示された従来の一般的なＮ差動増幅型入力バッファ、及び図２に示された従来の一般的なＰ差動増幅型入力バッファは、このような１．８Ｖの低電圧インタフェース及び２．８ＶのＬＶＴＴＬインタフェースを同時に満足させるものではない。

【０００６】

したがって、低電圧インタフェースと、ＬＶＴＴＬ及びＳＳＴＬインタフェースを同時に満足させるために、セルフバイアスド（ｓｅｌｆ－ｂｉａｓｅｄ）差動増幅型入力バッファが提案されている。このセルフバイアスド差動増幅型入力バッファの代表例は、〔Ｍ．Ｂａｚｅｓ，"Ｔｗｏ ｎｏｖｅｌ ｆｕｌｌｙ ｃｏｍｐｌｅｍｅｎｔａｒｙ ｓｅｌｆ－ｂｉａｓｅｄ ＣＭＯＳ ｄｉｆｆｅｒｅｎｔｉａｌ ａｍｐｌｉｆｉｅｒｓ"，ＩＥＥＥ Ｊｏｕｒｎａｌ ｏｆ Ｓｏｌｉｄ－Ｓｔａｔｅ Ｃｉｒｃｕｉｔｓ，Ｖｏｌ．２６，ｐｐ．１６５-１６９，１９９１．２〕に記載されている。また、図３に示された改善されたセルフバイアスド差動増幅型入力バッファが、〔Ｙａｓｕｈｉｒｏ Ｔａｋａｉ ａｎｄ Ｍａｍｏｒｕ Ｆｕｊｉｔａ，"Ａ ２５０Ｍｂｐｓ／ｐｉｎ、１Ｇｂ Ｄｏｕｂｌｅ Ｄａｔａ Ｒａｔｅ ＳＤＲＡＭ ｗｉｔｈ ａ Ｂｉｄｉｒｅｃｔｉｏｎａｌ Ｄｅｌａｙ ａｎｄ ａｎ Ｉｎｔｅｒ－ｂａｎｋ Ｓｈａｒｅｄ Ｒｅｄｕｎｄａｎｃｙ Ｓｃｈｅｍｅ"，ＩＳＳＣＣ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ，１９９９，２〕に記載されている。

【０００７】

ところが、図３に示された改善されたセルフバイアスド差動増幅型入力バッファは、基準電圧ＶＲＥＦの減少につれてトランスコンダクタンス利得ｇｍが多少減少される問題があって良好な低電圧インタフェース特性が得られず、しかも動作速度がやや遅いという問題がある。

【０００８】

【発明が解決しようとする課題】
本発明は上記事情に鑑みて成されたものであり、その目的は、例えば、低電圧インタフェース及びＬＶＴＴＬインタフェースの双方に適合すると共に動作速度が速い入力バッファ回路を提供することである。
【０００９】
【課題を解決するための手段】
前記目的を達成するために、本発明によれば、基準電圧と入力信号との電圧差に基づき内部セルフバイアス信号及び出力信号を発生する差動増幅回路と、前記内部セルフバイアス信号のレベルを実質的に一定に維持するために、前記内部セルフバイアス信号に応答して、前記差動増幅回路に電流を供給し且つ前記差動増幅回路から電流をシンキングする電流調節回路と、前記出力信号の反転信号に応答して、前記出力信号のスイング幅が広がり過ぎることを防止するスイング幅制御回路とを具備することを特徴とする入力バッファ回路が提供される。
【００１０】
好ましくは、前記スイング幅制御回路は、前記出力信号が出力される前記差動増幅回路の出力ノードと前記電流調節回路の第１ノードとの間に接続され、前記出力信号の反転信号に応答するＮＭＯＳトランジスタと、前記差動増幅回路の出力ノードと前記電流調節回路の第２ノードとの間に接続され、前記出力信号の反転信号に応答するＰＭＯＳトランジスタとを具備する。
【００１１】
好ましくは、前記電流調節回路は、電源電圧端子と前記差動増幅回路との間に接続され、前記内部セルフバイアス信号に応答して前記差動増幅回路に電流を供給する電流ソースと、前記差動増幅回路と接地電圧端子との間に接続され、前記内部セルフバイアス信号に応答して前記差動増幅回路から電流をシンキングする電流シンクとを具備する。ここで、前記電流ソースはＰＭＯＳトランジスタから構成され、前記電流シンクはＮＭＯＳトランジスタから構成されることが好ましい。
【００１２】
好ましい一実施例によれば、前記差動増幅回路はセルフバイアスド差動増幅器で構成され、第１ないし第４ＰＭＯＳトランジスタ及び第１ないし第４ＮＭＯＳトランジスタを含む。
【００１３】
前記第１ＰＭＯＳトランジスタは、前記電流調節回路の第１ノードと前記内部セルフバイアス信号が出力される内部ノードとの間に接続され、前記基準電圧によってゲートが制御される。前記第２ＰＭＯＳトランジスタは、前記第１ノードと前記内部ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される。前記第３ＰＭＯＳトランジスタは、前記第１ノードと前記出力信号が出力される出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される。前記第４ＰＭＯＳトランジスタは、前記第１ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される。
【００１４】
前記第１ＮＭＯＳトランジスタは、前記電流調節回路の第２ノードと前記内部ノードとの間に接続され、前記基準電圧によってゲートが制御される。第２ＮＭＯＳトランジスタは、前記第２ノードと前記内部ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される。前記第３ＮＭＯＳトランジスタは、前記第２ノードと前記出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される。前記第４ＮＭＯＳトランジスタは、前記第２ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される。
【００１５】
好ましい他の実施例によれば、前記差動増幅回路は、ラッチ形態のポジティブフィードバックループを含むセルフバイアスドラッチ型差動増幅器で構成され、第１ないし第５ＰＭ

ＯＳトランジスタ及び第１ないし第５ＮＭＯＳトランジスタを含む。
【００１６】
前記第１ＰＭＯＳトランジスタは、前記電流調節回路の第１ノードと前記内部セルフバイアス信号が出力される内部ノードとの間に接続され、前記基準電圧によってゲートが制御される。前記第２ＰＭＯＳトランジスタは、前記第１ノードと前記内部ノードとの間に接続され、前記出力信号によってゲートが制御される。前記第３ＰＭＯＳトランジスタは、前記第１ノードと前記出力信号が出力される出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される。前記第４ＰＭＯＳトランジスタは、前記第１ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される。前記第５ＰＭＯＳトランジスタは、前記第１ノードに接続されるソースと前記内部ノードに共通接続されるゲート及びドレインを有する。
前記第１ＮＭＯＳトランジスタは、前記電流調節回路の第２ノードと前記内部ノードとの間に接続され、前記基準電圧によってゲートが制御される。前記第２ＮＭＯＳトランジスタは、前記第２ノードと前記内部ノードとの間に接続され、前記出力信号によってゲートが制御される。前記第３ＮＭＯＳトランジスタは、前記第２ノードと前記出力ノードとの間に接続され、前記内部セルフバイアス信号によってゲートが制御される。前記第４ＮＭＯＳトランジスタは、前記第２ノードと前記出力ノードとの間に接続され、前記入力信号によってゲートが制御される。前記第５ＮＭＯＳトランジスタは、前記内部ノードに共通接続されるゲート及びドレインと前記第２ノードに接続されるソースを有する。
【００１７】
本発明の係る入力バッファ回路は、例えば、各種の半導体デバイスに組み込まれる複数の入力バッファ回路の全部又は一部に適用され得る。このような半導体デバイスにおいて、本発明に係る入力バッファ回路は、例えば、該半導体デバイスの入力パッドから差動増幅回路の入力信号の供給を受け、該差動増幅回路の出力信号を該半導体デバイスの内部回路に供給する。
【００１８】
【発明の実施の形態】
本発明及び本発明の動作上の利点及び本発明の実施によって達成される目的を十分理解するためには、本発明の望ましい実施形態を例示する添付図面及び添付図面に記載された内容を参照しなければならない。
【００１９】
以下、添付した図面に基づき、本発明の望ましい実施形態を説明することによって、本発明を詳細に説明する。図中、同一の構成要素には同一の参照符号を使用した。
【００２０】
図４に示すように、本発明の第１実施形態による入力バッファ回路は、差動増幅回路４１、電流調節回路４３、及びスイング幅制御回路４５を具備する。この入力バッファ回路は、レール対レールコモンモード（ｒａｉｌ ｔｏ ｒａｉｌ ｃｏｍｍｏｎ ｍｏｄｅ）入力電圧を向上させた入力バッファ回路であって、セルフバイアススキームを有する。
【００２１】
前記差動増幅回路４１はセルフバイアスド差動増幅回路であって、第１ノードＮ１と第２ノードＮ２との間に接続され基準電圧ＶＲＥＦと入力信号ＩＮとの電圧差に基づき内部ノードＯ１に内部セルフバイアス信号を提供し且つ出力ノードＯ２に出力信号を提供する。
【００２２】
前記差動増幅回路４１は、Ｐ型差動増幅器とＮ型差動増幅器とを組み合わせて構成され、第１ないし第４ＰＭＯＳトランジスタＰ４１ないしＰ４４、及び第１ないし第４ＮＭＯＳトランジスタＮ４１ないしＮ４４を含む。前記第１ＰＭＯＳトランジスタＰ４１は前記第１ノードＮ１と前記内部ノードＯ１との間に接続され、前記基準電圧ＶＲＥＦによってゲートが制御される。前記第２ＰＭＯＳトランジスタＰ４２は前記第１ノードＮ１と前記内部ノードＯ１との間に前記第１ＰＭＯＳトランジスタＰ４１と並列に接続され、前記内部ノードＯ１から出力される信号、すなわち前記内部セルフバイアス信号によってゲートが

制御される。前記第３ＰＭＯＳトランジスタＰ４３は前記第１ノードＮ１と前記出力ノードＯ２との間に接続され、前記内部セルフバイアス信号によってゲートが制御される。前記第４ＰＭＯＳトランジスタＰ４４は前記第１ノードＮ１と前記出力ノードＯ２との間に前記第３ＰＭＯＳトランジスタＰ４３と並列に接続され、前記入力信号ＩＮによってゲートが制御される。

【００２３】

前記第１ＮＭＯＳトランジスタＮ４１は前記第２ノードＮ２と前記内部ノードＯ１との間に接続され、前記基準電圧ＶＲＥＦによってゲートが制御される。前記第２ＮＭＯＳトランジスタＮ４２は前記第２ノードＮ２と前記内部ノードＯ１との間に前記第１ＮＭＯＳトランジスタＮ４１と並列に接続され、前記内部セルフバイアス信号によってゲートが制御される。前記第３ＮＭＯＳトランジスタＮ４３は前記第２ノードＮ２と前記出力ノードＯ２との間に接続され、前記内部セルフバイアス信号によってゲートが制御される。前記第４ＮＭＯＳトランジスタＮ４４は前記第２ノードＮ２と前記出力ノードＯ２との間に前記第３ＮＭＯＳトランジスタＮ４３と並列に接続され、前記入力信号ＩＮによってゲートが制御される。

【００２４】

前記電流調節回路４３は、前記内部ノードＯ１から出力される前記内部セルフバイアス信号の電圧レベルを一定に維持するために、前記内部セルフバイアス信号に応答して前記差動増幅回路４１に電流を供給し、且つ前記差動増幅回路４１から電流をシンキングする。

【００２５】

前記電流調節回路４３は、ＰＭＯＳトランジスタＰ４６からなる電流ソースとＮＭＯＳトランジスタＮ４６からなる電流シンクを具備する。前記ＰＭＯＳトランジスタＰ４６は電源電圧端子ＶＤＤと前記第１ノードＮ１との間に接続され、自己のゲートに印加される前記内部セルフバイアス信号に応答して前記差動増幅回路４１に電流を供給する。さらに、前記ＮＭＯＳトランジスタＮ４６は前記第２ノードＮ２と接地電圧端子ＶＳＳとの間に接続され、自己のゲートに印加される前記内部セルフバイアス信号に応答して前記差動増幅回路４１から電流をシンキングする。

【００２６】

前述のように、図４に示された本発明の第１実施形態による入力バッファ回路においては、前記内部ノードＯ１から出力される内部セルフバイアス信号は、前記差動増幅回路４１においてコモンモード入力電圧をトラッキングするために用いられるだけでなく、前記電流ソースＰ４６及び前記電流シンクＮ４６の電流を調節するために用いられる。これにより、前記内部ノードＯ１から出力される前記内部セルフバイアス信号の電圧レベルが一定に維持される。したがって、図４に示された本発明の第１実施形態による入力バッファ回路においては、前記内部セルフバイアス信号の電圧レベルが一定に維持されることから、前記差動増幅回路４１の全体的なトランスコンダクタンス利得ｇｍが前記基準電圧ＶＲＥＦの変化に拘らず一定となり、その結果、低電圧インタフェース特性が向上される。

【００２７】

一方、前記スイング幅制御回路４５は、前記差動増幅回路４１の出力ノードＯ２から出力される信号の反転信号、すなわち、インバータＩ４の出力信号ＯＵＴに応答して、前記差動増幅回路４１の出力信号のスイング幅が広がり過ぎることを防止する。

【００２８】

前記スイング幅制御回路４５はＮＭＯＳトランジスタＮ４５及びＰＭＯＳトランジスタＰ４５を具備する。前記ＮＭＯＳトランジスタＮ４５は前記第１ノードＮ１と前記出力ノードＯ２との間に接続され、前記インバータＩ４の出力信号ＯＵＴに応答する。さらに、前記ＰＭＯＳトランジスタＰ４５は前記出力ノードＯ２と前記第２ノードＮ２との間に接続され、前記インバータＩ４の出力信号ＯＵＴに応答する。必要ならば、前記ＮＭＯＳトランジスタＮ４５は電源電圧端子ＶＤＤと前記出力ノードＯ２との間に接続され、前記ＰＭＯＳトランジスタＰ４５は前記出力ノードＯ２と接地電圧端子ＶＳＳとの間に接続される。

【００２９】
したがって、前記ＮＭＯＳトランジスタＮ４５は、前記出力ノードＯ２の電圧レベルが低くなり過ぎることを防止し、前記ＰＭＯＳトランジスタＰ４５は前記出力ノードＯ２の電圧レベルが高くなり過ぎることを防止する。換言すれば、前記ＮＭＯＳトランジスタＮ４５及び前記ＰＭＯＳトランジスタＰ４５は、前記出力ノードＯ２から出力される信号のスイング幅が広がり過ぎることを防止する。
【００３０】
したがって、図４に示された本発明の第１実施形態による入力バッファ回路においては、前記スイング幅制御回路４５によって前記出力ノードＯ２から出力される信号のスイング幅が広がり過ぎることが防止されるので、スキューが減り動作速度が向上する。
【００３１】
図５は、本発明の第２実施形態による入力バッファ回路の回路図である。
【００３２】
図５に示すように、本発明の第２実施形態による入力バッファ回路は、差動増幅回路４１Ａの接続関係がそれに対応する第１実施形態の差動増幅回路４１の接続関係と異なり、残りは第１実施形態と同様である。
【００３３】
前記差動増幅回路４１Ａにおいては、内部ノードＯ１から出力される内部セルフバイアス信号によってゲートが制御されるＰＭＯＳトランジスタＰ４２Ａ、Ｐ４３Ａのソースが電源電圧端子ＶＤＤに直接接続される。さらに、前記内部セルフバイアス信号によってゲートが制御されるＮＭＯＳトランジスタＮ４２Ａ、Ｎ４３Ａのソースが接地電圧端子ＶＳＳに直接接続される。
【００３４】
これにより、前記ＰＭＯＳトランジスタＰ４２Ａ、Ｐ４３Ａ及び前記ＮＭＯＳトランジスタＮ４２Ａ、Ｎ４３Ａを介してより多量の電流が流れることになり、これにより動作速度がさらに向上する。
【００３５】
図６は、本発明の第３実施形態による入力バッファ回路の回路図である。
【００３６】
図６に示すように、本発明の第３実施形態による入力バッファ回路は、差動増幅回路４１Ｂの構成がそれに対応する第１実施形態の差動増幅器４１の構成と異なり、残りは第１実施形態と同様である。
【００３７】
前記差動増幅回路４１Ｂはラッチ形態のポジティブフィードバックループを含むセルフバイアスドラッチ型差動増幅回路である。前記差動増幅回路４１Ｂは、第１ノードＮ１と第２ノードＮ２との間に接続され、基準電圧ＶＲＥＦと入力信号ＩＮとの電圧差に基づき内部ノードＯ１に内部セルフバイアス信号を提供し且つ出力ノードＯ２に出力信号を提供する。
【００３８】
前記差動増幅回路４１Ｂは、Ｐラッチ型差動増幅器とＮラッチ型差動増幅器とを組み合わせて構成され、第１ないし第４ＰＭＯＳトランジスタＰ４１、Ｐ４２Ｂ、Ｐ４３Ｂ、Ｐ４４、及び第１ないし第４ＮＭＯＳトランジスタＮ４１、Ｎ４２Ｂ、Ｎ４３Ｂ、Ｎ４４を含む。前記第１及び第４ＰＭＯＳトランジスタＰ４１及びＰ４４と前記第１及び第４ＮＭＯＳトランジスタＮ４１及びＮ４４は第１実施形態のそれらと同様の接続関係を有する。前記第２ＰＭＯＳトランジスタＰ４２Ｂは前記第１ノードＮ１と前記内部ノードＯ１との間に接続され、前記出力ノードＯ２から出力される信号によってゲートが制御される。前記第３ＰＭＯＳトランジスタＰ４３Ｂは前記第１ノードＮ１と前記出力ノードＯ２との間に接続され、前記内部ノードＯ１から出力される前記内部セルフバイアス信号によってゲートが制御される。前記第２ＮＭＯＳトランジスタＮ４２Ｂは前記第２ノードＮ２と前記内部ノードＯ１との間に接続され、前記出力ノードＯ２から出力される信号によってゲート

が制御される。前記第３ＮＭＯＳトランジスタＮ４３Ｂは前記第２ノードＮ２と前記出力ノードＯ２との間に接続され、前記内部セルフバイアス信号によってゲートが制御される。

【００３９】

すなわち、前記差動増幅回路４１Ｂにおいては、前記第２及び第３ＰＭＯＳトランジスタＰ４２Ｂ及びＰ４３Ｂと前記第２及び第３ＮＭＯＳトランジスタＮ４２Ｂ及びＮ４３Ｂがラッチ形態のポジティブフィードバックループを形成する。

【００４０】

さらに、前記差動増幅回路４１Ｂは、前記ポジティブフィードバックループ利得によってバイアスポイントがラッチされる可能性があるため、ループ利得を低減させるために、ダイオード形態の第５ＰＭＯＳトランジスタＰ４７及びダイオード形態の第５ＮＭＯＳトランジスタＮ４７をさらに含む。前記第５ＰＭＯＳトランジスタＰ４７は、前記第１ノードＮ１に接続されるソースと、前記内部ノードＯ１に共通接続されるゲート及びドレインを有する。前記第５ＮＭＯＳトランジスタＮ４７は、前記内部ノードＯ１に共通接続されるゲート及びドレインと、前記第２ノードＮ２に接続されるソースを有する。

【００４１】

具体的に説明すれば、前記第５ＰＭＯＳトランジスタＰ４７は、前記内部ノードＯ１の電圧が低くなり過ぎることを防止するために、前記内部ノードＯ１の電圧が所定の電圧以下のときにターンオンされて前記内部ノードＯ１に電流を供給する。すなわち、前記第５ＰＭＯＳトランジスタＰ４７のゲートとソースとの間の電圧Ｖｇｓがそのスレショルド電圧Ｖｔｐよりも大きくなった場合に、前記第５ＰＭＯＳトランジスタＰ４７がターンオンされて前記内部ノードＯ１に電流が供給される。また、前記第５ＮＭＯＳトランジスタＮ４７は、前記内部ノードＯ１の電圧が高くなり過ぎることを防止するために、前記内部ノードＯ１の電圧が所定の電圧以上のときにターンオンされて前記内部ノードＯ１の電流をシンキングする。すなわち、前記第５ＮＭＯＳトランジスタＮ４７のゲートとソースとの間の電圧Ｖｇｓがそのスレショルド電圧Ｖｔｎよりも大きくなった場合に、前記第５ＮＭＯＳトランジスタＮ４７がターンオンされて前記内部ノードＯ１の電流がシンキングされる。

【００４２】

従って、前記第５ＰＭＯＳトランジスタＰ４７及び第５ＮＭＯＳトランジスタＮ４７によってセルフバイアシングがなされ、これによりループ利得が安定的に制御される。

【００４３】

以下、図６に示された本発明の第３実施形態による入力バッファ回路の動作について詳述する。

【００４４】

基準電圧ＶＲＥＦが所定の電圧以上のときには、前記差動増幅回路４１ＢのＰラッチ型差動増幅器及びＮラッチ型差動増幅器の双方が動作し、これにより前記差動増幅回路４１Ｂの全体的なトランスコンダクタンス利得ｇｍは２ｇｍ０となる。

【００４５】

これに対し、前記基準電圧ＶＲＥＦが、例えば、０．９Ｖ以下に低くなったときには、前記差動増幅回路４１ＢのＰラッチ型差動増幅器のみが動作し、これにより前記差動増幅回路４１Ｂの全体的なトランスコンダクタンス利得ｇｍは、Ｐ型ソース－カップルドペア（Ｓｏｕｒｃｅ－Ｃｏｕｐｌｅｄ Ｐａｉｒ）による利得、すなわち、（√２）ｇｍ０とポジティブフィードバックＮＭＯＳループによる利得との和となる。ここで、前記ポジティブフィードバックＮＭＯＳループによる利得を（２－√２）ｇｍ０にすると、前記差動増幅回路４１Ｂの全体的なトランスコンダクタンス利得ｇｍが２ｇｍ０となる。これにより、前記差動増幅回路４１Ｂにおいて、全体的なトランスコンダクタンス利得ｇｍが前記基準電圧ＶＲＥＦの変化に拘らず実質的に一定に維持される。

【００４６】

さらに、図４に示された第１実施形態と同様に、前記内部ノードＯ１から出力される内部

セルフバイアス信号が前記差動増幅回路４１Ｂで用いられるだけでなく、前記電流ソースＰ４６及び前記電流シンクＮ４６の電流を調節するのに用いられる。これにより、前記内部ノードＯ１から出力される前記内部セルフバイアス信号の電圧レベルが実質的に一定に維持される。

【００４７】

従って、図６に示された本発明の第３実施形態による入力バッファ回路においては、前記内部セルフバイアス信号の電圧レベルが実質的に一定に維持されるので、このような要因によっても前記差動増幅回路４１の全体的なトランスコンダクタンス利得ｇｍが前記基準電圧ＶＲＥＦの変化に拘らず実質的に一定となり、その結果、低電圧インタフェース特性が向上する。

【００４８】

さらに、第３実施形態による入力バッファ回路は、図４に示された第１実施形態と同様に、前記出力ノードＯ２から出力される信号のスイング幅が広がり過ぎることを防止するためのスイング幅制御回路４５を具備し、これによりスキューが低減され動作速度が向上する。

【００４９】

一方、第１ないし第３実施形態におけるスイング幅制御回路４５は、スキューの低減及び動作速度の向上の目的から、セルフバイアスド差動増幅回路ではない通常の差動増幅回路の出力ノードに接続されて使用され得る。

【００５０】

図７Ａないし図９は、図１ないし図３に示された従来の入力バッファ、及び図４に示された本発明の望ましい実施形態による入力バッファのそれぞれの低電圧インタフェース性能についてのシミュレーション結果を示すグラフである。ここで、このシミュレーションは、電源電圧ＶＤＤが２．８Ｖ、温度が１００℃、及び、入力信号ＩＮがＶＲＥＦ±０．３５Ｖの条件下で行われた。さらに、接地雑音への免疫性を観察するため、接地電圧ＶＳＳが０Ｖのとき、及び０．３Ｖの場合についてそれぞれシミュレーションを行なった。

【００５１】

図７Ａは、接地電圧ＶＳＳが０Ｖである場合の前記基準電圧ＶＲＥＦの変化による平均伝達遅延時間（Ａｖｅｒａｇｅ Ｐｒｏｐａｇａｔｉｏｎ Ｄｅｌａｙ Ｔｉｍｅ）ｔＰＤについてのシミュレーション結果である。ここで、Ａ１は図２に示されたＰ差動増幅型入力バッファの平均伝達遅延時間であり、Ａ２は図１に示されたＮ差動増幅型入力バッファの平均伝達遅延時間であり、Ａ３は図３に示されたセルフバイアスド差動増幅型入力バッファの平均伝達遅延時間であり、そしてＡ４は図４に示された本発明の望ましい実施形態に係る入力バッファの平均伝達遅延時間である。

【００５２】

図７Ｂは接地電圧ＶＳＳが０．３Ｖである場合の前記基準電圧ＶＲＥＦの変化による平均伝達遅延時間ｔＰＤについてのシミュレーション結果である。ここで、Ｂ１は図２に示されたＰ差動増幅型入力バッファの平均伝達遅延時間であり、Ｂ２は図１に示されたＮ差動増幅型入力バッファの平均伝達遅延時間であり、Ｂ３は図３に示されたセルフバイアスド差動増幅型入力バッファの平均伝達遅延時間であり、そしてＢ４は図４に示された本発明の望ましい実施形態に係る入力バッファの平均伝達遅延時間である。

【００５３】

図７Ｂに示すように、接地電圧ＶＳＳが０．３Ｖである場合、前記Ｎ差動増幅型入力バッファの平均伝達遅延時間Ｂ２は基準電圧ＶＲＥＦが約１．０Ｖ以下のときに急激に長くなり、前記Ｐ差動増幅型入力バッファの平均伝達遅延時間Ｂ１は基準電圧ＶＲＥＦが約０．７Ｖ以下のときに急激に長くなる。さらに、図３に示されたセルフバイアスド差動増幅型入力バッファの平均伝達遅延時間Ｂ３も基準電圧ＶＲＥＦが約０．７Ｖ以下のときに急激に長くなる。すなわち、平均伝達遅延時間の側面から、図１に示されたＮ差動増幅型入力バッファ、図２に示されたＰ差動増幅型入力バッファ、及び図３に示されたセルフバイアスド差動増幅型入力バッファは接地雑音特性が劣り、且つ低電圧インタフェース用として

は不向きであることが分かる。

【００５４】

これに対し、図４に示された本発明の望ましい実施形態に係る入力バッファの平均伝達遅延時間Ｂ４は接地電圧ＶＳＳが０．３Ｖの場合においても、基準電圧ＶＲＥＦの変化に対して実質的に一定である。すなわち、平均伝達遅延時間の側面から、図４に示された本発明の実施形態に係る入力バッファは接地雑音特性が優れており、低電圧インタフェース用として適していることが分かる。

【００５５】

一方、図７Ａ及び図７Ｂを参照すれば、図４に示された本発明の望ましい実施形態に係る入力バッファの平均伝達遅延時間Ａ４、Ｂ４は、図３に示されたセルフバイアスド差動増幅型入力バッファの平均伝達遅延時間Ａ３、Ｂ３に実質的に類似していることが分かる。

【００５６】

図８Ａは接地電圧ＶＳＳが０Ｖである場合の前記基準電圧ＶＲＥＦの変化によるスキューについてのシミュレーション結果である。ここで、Ｃ１は図２に示されたＰ差動増幅型入力バッファのスキューであり、Ｃ２は図１に示されたＮ差動増幅型入力バッファのスキューであり、Ｃ３は図３に示されたセルフバイアスド差動増幅型入力バッファのスキューであり、そしてＣ４は図４に示された本発明の望ましい実施形態に係る入力バッファのスキューである。

【００５７】

図８Ｂは、接地電圧ＶＳＳが０．３Ｖである場合の前記基準電圧ＶＲＥＦの変化によるスキューについてのシミュレーション結果である。ここで、Ｄ１は図２に示されたＰ差動増幅型入力バッファのスキューであり、Ｄ２は図１に示されたＮ差動増幅型入力バッファのスキューであり、Ｄ３は図３に示されたセルフバイアスド差動増幅型入力バッファのスキューであり、そしてＤ４は図４に示された本発明の望ましい実施形態に係る入力バッファのスキューである。

【００５８】

図８Ａ及び図８Ｂを参照すれば、図２に示されたＰ差動増幅型入力バッファのスキューＣ１、Ｄ１及び図１に示されたＮ差動増幅型入力バッファのスキューＣ２、Ｄ２が、図３に示されたセルフバイアスド差動増幅型入力バッファのスキューＣ３、Ｄ３及び図４に示された本発明に係る入力バッファのスキューＣ４、Ｄ４に比べて相対的に長い。さらに、図８Ｂを参照すれば、接地電圧ＶＳＳが０．３Ｖのとき、前記Ｐ差動増幅型入力バッファのスキューＤ１は基準電圧ＶＲＥＦが約０．９Ｖ以下のときに急激に長くなり、前記Ｎ差動増幅型入力バッファのスキューＤ２は基準電圧ＶＲＥＦが約０．８Ｖ以下のときに急激に長くなる。さらに、図３に示されたセルフバイアスド差動増幅型入力バッファのスキューＤ３も基準電圧ＶＲＥＦが約０．９Ｖ以下のときに急激に長くなる。すなわち、スキューの側面から、図１に示されたＮ差動増幅型入力バッファ、図２に示されたＰ差動増幅型入力バッファ、及び図３に示されたセルフバイアスド差動増幅型入力バッファは接地雑音特性が劣り、低電圧インタフェース用としては不向きであることが分かる。

【００５９】

これに対し、図４に示された本発明の望ましい実施形態に係る入力バッファのスキューＣ４、Ｄ４は基準電圧ＶＲＥＦの変化に対して実質的に一定である。すなわち、スキューの側面から、図４に示された本発明の望ましい実施形態に係る入力バッファは接地雑音特性が優れており、低電圧インタフェース用として適していることが分かる。

【００６０】

一方、図４に示された本発明の望ましい実施形態に係る入力バッファのスキューＣ４、Ｄ４は、図１ないし図３に示された従来の入力バッファのスキューに比べて格段に短いことが分かる。

【００６１】

図９は、前記基準電圧ＶＲＥＦの変化による平均電流Ｉａｖｇについてのシミュレーション結果である。図９において、Ｅ１は図２に示されたＰ差動増幅型入力バッファの平均電

流Ｉａｖｇであり、Ｅ２は図１に示されたＮ差動増幅型入力バッファの平均電流であり、Ｅ３は図３に示されたセルフバイアスド差動増幅型入力バッファの平均電流であり、そしてＥ４は図４に示された本発明の望ましい実施形態に係る入力バッファの平均電流である。図９を参照すれば、図３に示されたセルフバイアスド差動増幅型入力バッファが最大の電流を消耗する。

【００６２】

結果として、図４に示された本発明の望ましい実施形態に係る入力バッファは、平均伝達遅延時間及びスキューの側面から、接地雑音特性が優れており、低電圧インタフェース用として適している。さらに、本発明の望ましい実施形態に係る入力バッファの平均伝達遅延時間及びスキューは、図１ないし図３に示された従来の入力バッファの平均伝達遅延時間及びスキューに比べて短い。すなわち、本発明の望ましい実施形態に係る入力バッファの動作速度は、図１ないし図３に示された従来の入力バッファの動作速度よりも速い。

【００６３】

以上、図面及び発明の詳細な説明の欄では望ましい実施形態が開示され、ここでは特定の用語が使用されたが、これは単に本発明を説明するための目的で使用されたに過ぎず、特許請求の範囲に記載された本発明の技術的範囲を制限するために使用されたものではない。よって、当業者であれば、これらに基づいて各種の変形及び均等な他の実施形態を採用し得ることを理解されたい。したがって、本発明の真の技術的範囲は、特許請求の範囲に記載された技術的思想によって定められるべきである。

【００６４】

【発明の効果】

以上述べたように、本発明に係る入力バッファ回路は、低電圧インタフェース及び通常のＬＶＴＴＬインタフェースの双方に適合し、さらに動作速度が速いという長所がある。

【図面の簡単な説明】

【図１】従来のＮ差動増幅型入力バッファの回路図である。

【図２】従来のＰ差動増幅型入力バッファの回路図である。

【図３】従来のセルフバイアスド差動増幅型入力バッファの回路図である。

【図４】本発明の第１実施形態による入力バッファ回路の回路図である。

【図５】本発明の第２実施形態による入力バッファ回路の回路図である。

【図６】本発明の第３実施形態による入力バッファ回路の回路図である。

【図７Ａ】接地電圧ＶＳＳが０Ｖである場合の基準電圧ＶＲＥＦの変化による平均伝達遅延時間ｔＰＤについてのシミュレーション結果を示すグラフである。

【図７Ｂ】接地電圧ＶＳＳが０．３Ｖである場合の基準電圧ＶＲＥＦの変化による平均伝達遅延時間にについてのシミュレーション結果を示すグラフである。

【図８Ａ】接地電圧ＶＳＳが０Ｖである場合の基準電圧ＶＲＥＦの変化によるスキューについてのシミュレーション結果を示すグラフである。

【図８Ｂ】接地電圧ＶＳＳが０．３Ｖである場合の基準電圧ＶＲＥＦの変化によるスキューについてのシミュレーション結果を示すグラフである。

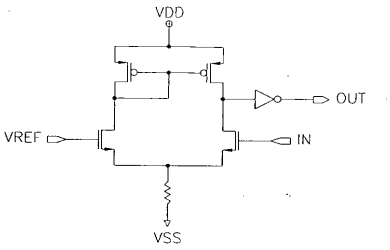
【図９】基準電圧ＶＲＥＦの変化による平均電流Ｉａｖｇについてのシミュレーション結果を示すグラフである。

【符号の説明】

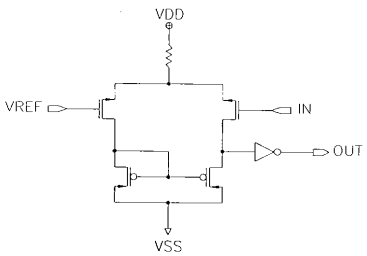
４１　差動増幅回路
４３　電流調節回路
４５　スイング幅制御回路
１４　インバータ
ＩＮ　入力信号
Ｎ１　第１ノード
Ｎ２　第２ノード
Ｎ４１ないしＮ４４　第１ないし第４ＮＭＯＳトランジスタ
Ｎ４５、Ｎ４６　ＮＭＯＳトランジスタ

Ｏ１　内部ノード
Ｏ２　出力ノード
ＯＵＴ　出力信号
Ｐ４１ないしＰ４４　第１ないし第４ＰＭＯＳトランジスタ
Ｐ４５、Ｐ４６　ＰＭＯＳトランジスタ
ＶＳＳ　接地電圧端子
ＶＤＤ　電源電圧端子
ＶＲＥＦ　基準電圧

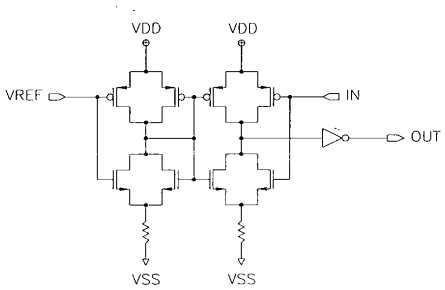
【図１】



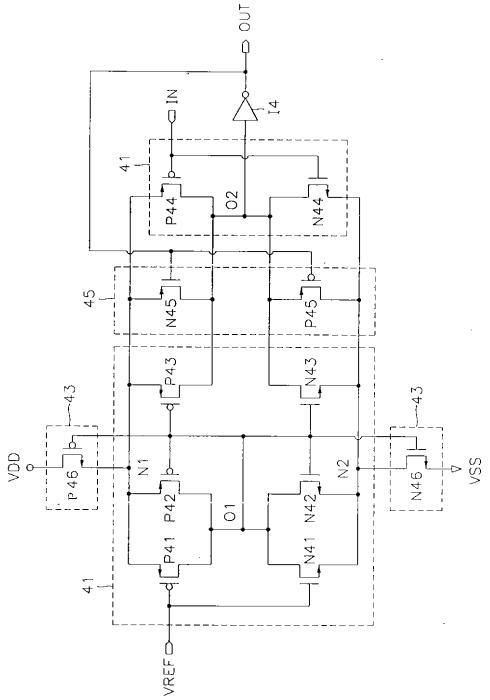
【図２】



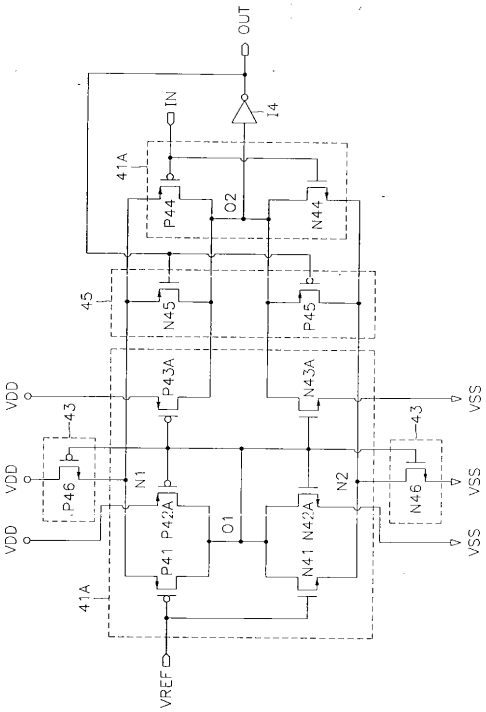
【図３】



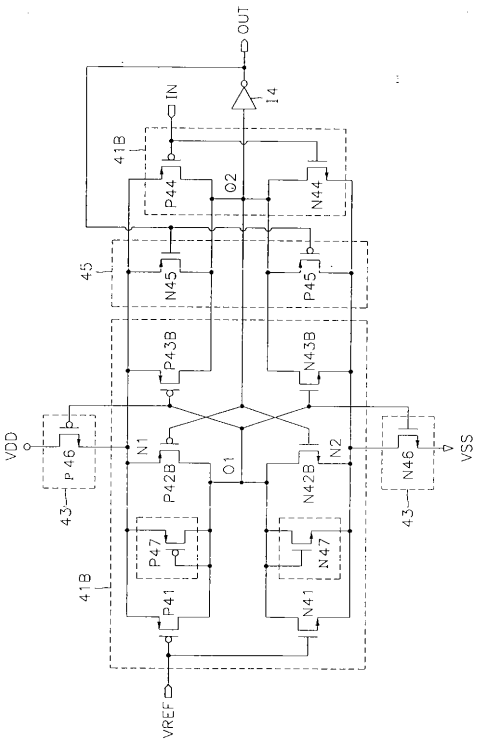
【図４】



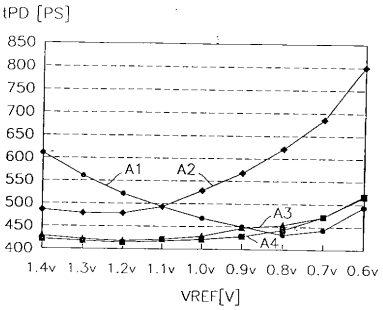
【図５】



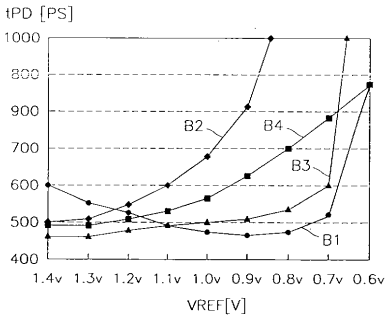
【図６】



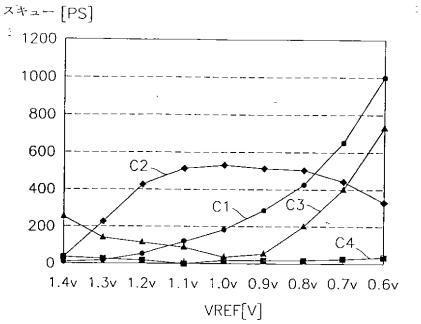
【図７Ａ】



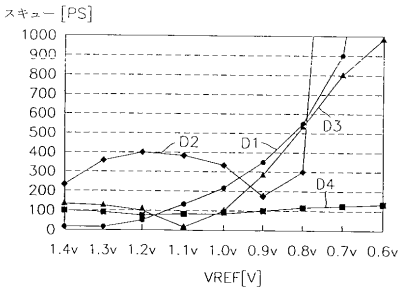
【図７Ｂ】



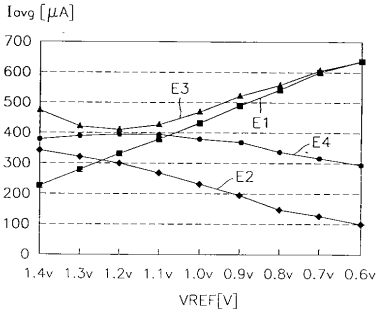
【図８Ａ】


スキュー [PS]
1200
1000
800
600
400
200
0
C2
C1
C3
C4
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

【図８Ｂ】


スキュー [PS]
1000
900
800
700
600
500
400
300
200
100
0
D2
D1
D3
D4
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

【図９】


Iovg [μA]
700
600
500
400
300
200
100
0
E3
E1
E4
E2
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

フロントページの続き

審査官　柳下　勝幸

(56)参考文献　特開平１１－２６６１５２（ＪＰ，Ａ）
特開平０８－３０７２４０（ＪＰ，Ａ）
特開昭５９－１９１９３６（ＪＰ，Ａ）
Mel Bazes, 「Two Novel Fully Complementary Self-biased CMOS Differential Amplifiers」, IEEE JOURNAL OF SOLID-STATE CIRCUITS, 米国, ＩＥＥＥ, １９９１年　2月, Vol.26,NO.2, １６５頁, 自己バイアス形の入力バッファ回路の例

(58)調査した分野(Int.Cl., ＤＢ名)
H03K 19/00-19/00、103;19/01-19/082;19/092-19/096@Z
H03K 5/00-5/02@Z;5/08-5/12;5/15-5/26@Z
H03K 3/26-3/36