

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-195583

(P2017-195583A)

(43) 公開日 平成29年10月26日(2017.10.26)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/3745 (2011.01)	H04N 5/335 745	4M118
H04N 5/355 (2011.01)	H04N 5/335 550	5C024
H01L 27/146 (2006.01)	H01L 27/14 A	
H01L 27/14 (2006.01)	H01L 27/14 D	

審査請求 未請求 請求項の数 17 O L (全 17 頁)

(21) 出願番号 特願2016-86547 (P2016-86547)
 (22) 出願日 平成28年4月22日 (2016. 4. 22)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 坪井 宏政
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 曾田 岳彦
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

最終頁に続く

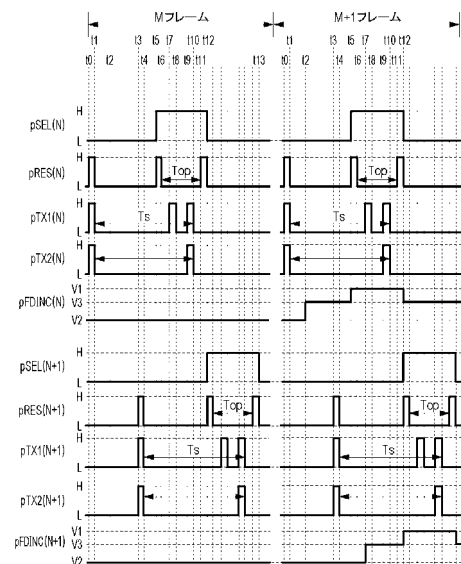
(54) 【発明の名称】 撮像装置及び撮像装置の駆動方法

(57) 【要約】 (修正有)

【課題】 増幅トランジスタの入力ノードの容量値を切り替えるためにスイッチに供給される電位が変化しても、正しい画像を得る。

【解決手段】 駆動パルス pFDINC が供給されるスイッチに第1電位 V1 が供給されることで入力ノードの容量値が第1容量値となり、スイッチに第2電位 V2 が供給されることで入力ノードの容量値が第1容量値よりも小さな第2容量値となり、第2電位 V2 から第1電位 V1 になるまでの期間、もしくは第1電位 V1 から第2電位 V2 になるまでの期間のうち少なくとも一方の期間の一部で、スイッチに供給される電位が第1電位 V1 と第2電位 V2 との間の第3電位 V3 に保持される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

光電変換部と、
前記光電変換部で生じた電荷が入力される入力ノードを有する増幅トランジスタと、
前記入力ノードの容量値を切り替えるスイッチと、を有する画素を複数有する撮像装置であって、

前記スイッチに第 1 電位が供給されることで、前記入力ノードの容量値が第 1 容量値となり、

前記スイッチに第 2 電位が供給されることで、前記入力ノードの容量値が前記第 1 容量値よりも小さな第 2 容量値となり、

前記第 2 電位から前記第 1 電位になるまでの期間、もしくは前記第 1 電位から前記第 2 電位になるまでの期間のうち少なくとも一方の期間の一部で、前記スイッチに供給される電位が前記第 1 電位と前記第 2 電位との間の第 3 電位に保持されることを特徴とする撮像装置。

【請求項 2】

前記画素の電荷蓄積期間は、前記光電変換部に蓄積された電荷をリセットすることで開始し、前記光電変換部に蓄積された電荷を前記増幅トランジスタの入力ノードに転送することで終了し、

前記画素の出力期間は、前記電荷蓄積期間において前記増幅トランジスタの入力ノードをリセットすることで開始し、前記電荷蓄積期間に前記光電変換部に生じた電荷に基づく信号を信号線に出力することで終了し、

前記電荷蓄積期間の開始から前記出力期間の開始までに、前記スイッチに供給される電位が前記第 3 電位から前記第 1 電位になることを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記増幅トランジスタと信号線との電気的な接続状態、非接続状態を切り替える選択トランジスタを有し、

前記出力期間の開始より前に前記選択トランジスタが非接続状態から接続状態になり、

前記電荷蓄積期間の開始から前記選択トランジスタが非接続状態から接続状態なるまでに、前記スイッチに供給される電位が前記第 3 電位から前記第 1 電位になることを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記増幅トランジスタと信号線との電気的な接続状態、非接続状態を切り替える選択トランジスタを有し、

前記出力期間の開始より前に前記選択トランジスタが非接続状態から接続状態になり、

前記選択トランジスタが非接続状態から接続状態となった時から、前記出力期間が開始するまでに、前記スイッチに供給される電位が前記第 3 電位から前記第 1 電位になることを特徴とする請求項 2 に記載の撮像装置。

【請求項 5】

前記出力期間が終了してから、前記スイッチに供給される電位を前記第 1 電位から前記第 2 電位、または前記第 1 電位から前記第 3 電位にすることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記画素の電荷蓄積期間は、前記光電変換部に蓄積された電荷をリセットすることで開始し、前記光電変換部に蓄積された電荷を前記増幅トランジスタの入力ノードに転送することで終了し、

前記画素の出力期間は、前記電荷蓄積期間において前記増幅トランジスタの入力ノードをリセットすることで開始し、前記電荷蓄積期間に前記光電変換部に生じた電荷に基づく信号を信号線に出力することで終了し、

前記電荷蓄積期間の開始から前記出力期間の開始までに、前記スイッチに供給される電位が前記第 3 電位から前記第 2 電位になることを特徴とする請求項 1 に記載の撮像装置。

10

20

30

40

50

【請求項 7】

前記増幅トランジスタと信号線との電氣的な接続状態、非接続状態を切り替える選択トランジスタを有し、

前記出力期間の開始より前に前記選択トランジスタが非接続状態から接続状態になり、前記電荷蓄積期間の開始から前記選択トランジスタが非接続状態から接続状態なるまでに、前記スイッチに供給される電位が前記第 3 電位から前記第 2 電位になることを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

前記増幅トランジスタと信号線との電氣的な接続状態、非接続状態を切り替える選択トランジスタを有し、

前記出力期間の開始より前に前記選択トランジスタが非接続状態から接続状態になり、前記選択トランジスタが非接続状態から接続状態となった時から、前記出力期間が開始するまでに、前記スイッチに供給される電位が前記第 3 電位から前記第 2 電位になることを特徴とする請求項 6 に記載の撮像装置。

【請求項 9】

前記出力期間が終了してから、前記スイッチに供給される電位を前記第 2 電位に維持することを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の撮像装置。

【請求項 10】

前記容量は表面型 MOS 容量または、埋め込み型 MOS 容量であることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の撮像装置。

【請求項 11】

素子分離部によって区画された活性領域を有し、
前記活性領域には、信号電荷を保持し、前記増幅トランジスタの入力ノードの一部を構成する第 1 半導体領域が配され、
前記活性領域の上には前記スイッチを構成する電極が配され、
平面視で前記第 1 半導体領域と前記素子分離部とが前記電極を挟んで隣接していることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の撮像装置。

【請求項 12】

素子分離部によって区画された活性領域を有し、
前記活性領域には、信号電荷を保持し、前記増幅トランジスタの入力ノードの一部を構成する第 1 半導体領域と、前記第 1 半導体領域とは反対導電型の第 2 半導体領域とが配され、
前記活性領域は、表面が絶縁膜と界面を構成し、
前記活性領域の上には、前記スイッチを構成する電極が配され、
前記第 1 半導体領域、前記電極、前記第 2 半導体領域、前記素子分離部が平面視においてこの順に隣接して配されており、
前記第 2 半導体領域と、前記絶縁膜とが界面を構成していることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の撮像装置。

【請求項 13】

前記素子分離部は、絶縁分離部であることを特徴とする請求項 11 または請求項 12 に記載の撮像装置。

【請求項 14】

前記複数の画素の各々が、
一つのマイクロレンズと、
前記一つのマイクロレンズを透過する光に基づく電荷を生成する複数の光電変換部と有することを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の撮像装置。

【請求項 15】

光電変換部と、
前記光電変換部で生じた電荷が入力される入力ノードを有する増幅トランジスタと、
前記入力ノードの容量値を切り替えるスイッチと、

10

20

30

40

50

前記入力ノードの電位をリセットするリセットトランジスタと、を有する画素を複数有する撮像装置であって、

前記スイッチに第 1 電位が供給されることで、前記入力ノードの容量値が第 1 容量値となり、

前記スイッチに第 2 電位が供給されることで、前記入力ノードの容量値が前記第 1 容量値よりも小さな第 2 容量値となり、

前記第 2 電位から前記第 1 電位になるまでの単位時間当たりの電位変化量、もしくは前記第 1 電位から前記第 2 電位になるまでの単位時間当たりの電位変化量のうち少なくとも一方の単位時間当たりの電位変化量が、前記リセットトランジスタのゲートに供給されるオン電位からオフ電位への単位時間当たりの電位変化量に比べて小さいことを特徴とする撮像装置。

10

【請求項 16】

光電変換部と、

前記光電変換部で生じた電荷が入力される入力ノードを有する増幅トランジスタと、

前記入力ノードの容量値を切り替えるスイッチと、を有する画素を複数有する撮像装置の駆動方法であって、

前記スイッチに第 1 電位を供給することで、前記入力ノードの容量値が第 1 容量値となり、

前記スイッチに第 2 電位を供給することで、前記入力ノードの容量値が前記第 1 容量値よりも小さな第 2 容量値となり、

20

前記第 2 電位から前記第 1 電位になるまでの期間、もしくは前記第 1 電位から前記第 2 電位になるまでの期間のうち少なくとも一方の期間の一部で、前記スイッチに供給される電位を前記第 1 電位と前記第 2 電位との間の第 3 電位に保持することを特徴とする撮像装置の駆動方法。

【請求項 17】

光電変換部と、

前記光電変換部で生じた電荷が入力される入力ノードを有する増幅トランジスタと、

前記入力ノードの容量値を切り替えるスイッチと、

前記入力ノードの電位をリセットするリセットトランジスタと、を有する画素を複数有する撮像装置の駆動方法であって、

30

前記スイッチに第 1 電位が供給されることで、前記入力ノードの容量値が第 1 容量値となり、

前記スイッチに第 2 電位が供給されることで、前記入力ノードの容量値が前記第 1 容量値よりも小さな第 2 容量値となり、

前記第 2 電位から前記第 1 電位になるまでの単位時間当たりの電位変化量、もしくは前記第 1 電位から前記第 2 電位になるまでの単位時間当たりの電位変化量のうち少なくとも一方の単位時間当たりの電位変化量が、前記リセットトランジスタのゲートに供給されるオン電位からオフ電位への単位時間当たりの電位変化量に比べて小さいことを特徴とする撮像装置の駆動方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、撮像装置及び撮像装置の駆動方法に関する。

【背景技術】

【0002】

従来、画素から出力される信号のダイナミックレンジを拡大するために増幅トランジスタの入力ノード（以下、入力ノード）の容量値を切り替え可能となるように容量を設ける構成が知られている。たとえばスイッチにより容量を入力ノードに接続することで入力ノードの容量値は大きくなり、非接続とすることで容量値を小さくすることができる。容量値を大きくすることで入力ノードで取り扱うことが可能な電荷量を増やすことができる。

50

また容量値を小さくすることで増幅トランジスタのゲインをあげることができる。

【 0 0 0 3 】

特許文献 1 には、容量の一部を構成する電極が容量値を切り替えるスイッチの役割を有しており、この電極に供給する電位を第 1 電位から第 2 電位へ切り替えることで入力ノードへの容量の電氣的な接続状態、非接続状態を切り替えている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特表 2 0 0 7 - 5 3 5 1 9 9 号 公 報

【 発明の概要 】

10

【 発明が解決しようとする課題 】

【 0 0 0 5 】

増幅トランジスタの入力ノードの容量値を切り替えるスイッチに供給される電位が切り替えられると、入力ノードの一部を構成する半導体領域とスイッチとの間に生じるカップリング容量によって、入力ノードの電位が変化する恐れがある。

【 0 0 0 6 】

入力ノードの電位が変化した後、所望の値に静定するまでの時間は、このカップリング容量の大きさによって決まる。カップリング容量の大きさは、各画素によってばらつきがあるため、複数の画素間で入力ノードの電位が静定するまでの時間にばらつきが生じる恐れがある。そうすると、仮に撮像面に対し一様な光が入射した場合でも、各画素からの信号が異なり正しい画像を得ることができない。

20

【 0 0 0 7 】

本発明は上記課題に鑑み、増幅トランジスタの入力ノードの容量値を切り替えるためにスイッチに供給される電位が変化しても、正しい画像を得ることを目的とする。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の撮像装置は、光電変換部と、光電変換部で生じた電荷が入力される入力ノードを有する増幅トランジスタと、入力ノードの容量値を切り替えるスイッチと、を有する画素を複数有する撮像装置であって、スイッチに第 1 電位が供給されることで、入力ノードの容量値が第 1 容量値となり、スイッチに第 2 電位が供給されることで、入力ノードの容量値が第 1 容量値よりも小さな第 2 容量値となり、第 2 電位から第 1 電位になるまでの期間、もしくは第 1 電位から第 2 電位になるまでの期間のうち少なくとも一方の期間の一部で、スイッチに供給される電位が第 1 電位と第 2 電位との間の第 3 電位に保持されることを特徴とする。

30

【 発明の効果 】

【 0 0 0 9 】

本発明によれば、画素の増幅トランジスタの入力ノードの容量値を切り替えるスイッチに供給される電位が切り替わった際に生じる入力ノードの電位変化を抑制することが可能となる。

【 図面の簡単な説明 】

40

【 0 0 1 0 】

【 図 1 】 撮像装置のブロック図および画素の等価回路図

【 図 2 】 平面模式図および断面模式図

【 図 3 】 駆動パルス図

【 図 4 】 駆動パルス図

【 図 5 】 駆動パルス図

【 発明を実施するための形態 】

【 0 0 1 1 】

本実施形態では信号電荷と同導電型を第 1 導電型、信号電荷と逆導電型を第 2 導電型とする。以下の説明では、例として第 1 導電型の電荷を電子、第 2 導電型の電荷を正孔とし

50

、各トランジスタをN M O Sトランジスタとするが、これに限らず第1導電型の電荷を正孔、第2導電型の電荷を電子とし、各トランジスタをP M O Sトランジスタとしてもよい。

【0012】

(実施例1)

本実施例を図1～3を用いて説明する。各図面において同じ符号が付されている部分は、同じ素子もしくは同じ領域を指す。

【0013】

図1(a)に本実施例の撮像装置のブロック図を示す。撮像装置101は、画素部102、駆動パルス生成部103、垂直走査回路104、信号処理部105、出力部106を有している。

10

【0014】

画素部102には、複数の画素100が配されている。複数の画素100は行列状に配されており、画素100において変換された電気信号を行ごとに順次出力する。

【0015】

駆動パルス生成部103は駆動パルスを生成し、垂直走査回路104は駆動パルス生成部103からの制御パルスを受け、各画素に駆動パルスを供給する。信号処理部105は、少なくとも、複数の画素列から並列に出力された信号をシリアルライズして出力部106に伝達する。更に信号処理部105は、各画素列に対応し、信号の増幅、A/D変換等を行なう列回路を有していてもよい。

20

【0016】

図1(b)に撮像装置101の画素部102の等価回路図を示す。ここでは例として4つの画素100が配されている構成を示した。各部材を識別するために添え字A、Bを用いて説明する。両者を区別しての説明が必要な場合には添え字を付して説明する。

【0017】

画素100は複数の光電変換部(光電変換部201A、光電変換部201B)を有する。光電変換部201A、201Bでは入射光量に応じた電荷対を生成し、信号電荷(以下、電子)を蓄積する。光電変換部201A、201Bには、例えばフォトダイオードが用いられる。

【0018】

転送トランジスタ202Aは光電変換部201Aで生じた電子をフローティングディフュージョン(以下、FD)203へ転送する。転送トランジスタ202Bは光電変換部201Bで生じた電子をFD203へ転送する。転送トランジスタ202A、転送トランジスタ202Bのゲートにはそれぞれ駆動パルスpTX1、pTX2が供給され、接続状態、非接続状態が切り換えられる。

30

【0019】

FD203は、光電変換部201A、光電変換部201Bにより共有される。そしてFD203は、各々の転送トランジスタ202を介して光電変換部201Aおよび光電変換部201Bから転送された電子を保持する。

【0020】

増幅トランジスタ205は、そのゲートがFD203に電気的に接続されており、FD203に転送された電子に基づく信号を増幅して出力する。より具体的にFD203に転送された電子は、その量に応じた電圧に変換され、その電圧に応じた電気信号は増幅トランジスタ205を介して画素外へ出力される。増幅トランジスタ205のドレインは電源電圧VDDが供給されている電源配線に接続され、ソースは出力ノードを構成する。増幅トランジスタ205は、不図示の電流源とともにソースフォロア回路を構成している。

40

【0021】

リセットトランジスタ204は、増幅トランジスタ205の入力ノードの電圧を所定の電位にリセットする。リセットトランジスタ204のゲートには駆動パルスpRESが供給され、接続状態、非接続状態が切り換えられる。

50

【 0 0 2 2 】

選択トランジスタ 2 0 6 は、増幅トランジスタ 2 0 5 の出力ノードと信号線 1 0 7 との電氣的な接続を制御する。選択トランジスタ 2 0 6 のドレインは、増幅トランジスタ 2 0 5 のソースに接続され、選択トランジスタ 2 0 6 のソースは信号線 1 0 7 に接続されている。選択トランジスタ 2 0 6 のゲートには駆動パルス $pSEL$ が供給され、接続状態、非接続状態が切り換えられる。

【 0 0 2 3 】

信号線 1 0 7 は、行列状に配された複数の画素の各画素列の画素 1 0 0 の増幅トランジスタ 2 0 5 の出力ノードと電氣的な接続状態、非接続状態が切り換え可能に配されている。

10

【 0 0 2 4 】

本実施例の構成に代えて、選択トランジスタ 2 0 6 を増幅トランジスタ 2 0 5 のドレインと、電源電圧 VDD が供給されている電源配線との間に設けてもよい。また、選択トランジスタ 2 0 6 を設けなくてもよい。その場合には増幅トランジスタ 2 0 5 の出力ノードと信号線 1 0 7 を接続し、増幅トランジスタ 2 0 5 のドレインもしくは入力ノードの電位を切り替える。これにより、増幅トランジスタ 2 0 5 の出力ノードと信号線 1 0 7 の電氣的な接続状態とを切り替えてもよい。いずれの場合も、選択トランジスタ 2 0 6 は、増幅トランジスタ 2 0 5 の出力ノードと信号線 1 0 7 との電氣的な接続状態、非接続状態を制御する。

【 0 0 2 5 】

20

容量 2 0 8 は、接続状態において増幅トランジスタ 2 0 5 の入力ノードの一部を構成し、非接続状態において入力ノードから分離される。これにより、増幅トランジスタ 2 0 5 の入力ノードの容量値を変更可能にしている。本例においては、容量 2 0 8 の接続状態、非接続状態の切り替えはスイッチ 2 0 7 によって制御される。したがって、スイッチ 2 0 7 に供給される電位によって、増幅トランジスタ 2 0 5 の入力ノードの容量値が切り換えられる。

【 0 0 2 6 】

スイッチ 2 0 7 には駆動パルス $pFDINC$ が供給され、接続状態（オン状態）、非接続状態（オフ状態）が切り換えられる。すべてのスイッチ 2 0 7 は同時に接続状態、非接続状態が切り換えられてもよい。

30

【 0 0 2 7 】

容量 2 0 8 とスイッチ 2 0 7 は一部の構成を兼用してもよい。たとえば、容量 2 0 8 は、スイッチ 2 0 7 のゲート絶縁膜容量で構成することができる。またスイッチ 2 0 7 が MOS トランジスタである場合には、ソースを構成する N 型半導体領域により構成される PN 接合容量および寄生容量で構成することができる。ただし、容量 2 0 8 とスイッチ 2 0 7 が兼用されずに独立の部材で構成されていてもよい。

【 0 0 2 8 】

増幅トランジスタ 2 0 5 の入力ノードは、少なくとも、FD 2 0 3、増幅トランジスタ 2 0 5 のゲート電極及びこれらを電氣的に接続する導電体を含んで構成される。

【 0 0 2 9 】

40

容量 2 0 8 を接続状態とした場合には、FD 2 0 3 の容量値が大きくなるため非接続状態に比して増幅トランジスタ 2 0 5 の入力ノードにおける電荷電圧変換効率を下げる事が出来る。

【 0 0 3 0 】

したがって、増幅トランジスタ 2 0 5 の入力ノードに転送された電子が一定の場合、増幅トランジスタ 2 0 5 の入力ノードで電圧に変換された後の電圧振幅の大きさが、容量値を増大させない場合よりも小さくなる。そのため第 1 入射光量（高照度）の場合に信号線 1 0 7 の電圧が飽和することを抑制することができる。

【 0 0 3 1 】

対して、容量 2 0 8 を非接続状態とした場合には、FD 2 0 3 の容量値は増大しないた

50

め、接続状態に比して増幅トランジスタ205の入力ノードにおける電荷電圧変換効率を上げることができる。

【0032】

したがって、増幅トランジスタ205の入力ノードに転送された信号電荷が一定の場合、増幅トランジスタ205の入力ノードで電圧に変換された後の電圧振幅の大きさが、容量値を増大した場合よりも大きくなる。そのため、第1入射光量より光量が少ない第2入射光量（低照度時）におけるシグナルノイズ比（S/N比）が向上する。

【0033】

なお、一つの画素100に複数の光電変換部201および複数の転送トランジスタ202を配する構成を示したが単数でもよい。

【0034】

次に図2に本実施例の撮像装置101の平面模式図、断面模式図を示す。ここで画素部102は例として4行2列の画素100を有している。

【0035】

図2(a)において、図1(b)の光電変換部201A、光電変換部201B、FD203、および転送トランジスタ202を構成する半導体領域は第1活性領域320に配される。図1(b)のリセットトランジスタ204、増幅トランジスタ205、選択トランジスタ206、容量208を構成する半導体領域は第2活性領域321に配される。また、スイッチ207に含まれる電極は第2活性領域321の上に配される。

【0036】

そして光電変換部201Aと光電変換部201Bには、一つのマイクロレンズ323を透過した光がそれぞれ入射する。なお、複数の光電変換部（光電変換部201A、201B）のみが平面視でマイクロレンズ323の下部に配された例を示したが、複数の光電変換部に加えて、一つの画素100の外縁の少なくとも一部がマイクロレンズ323の下部に配されていてもよい。

【0037】

不図示であるが、マイクロレンズ323の下部にはそれぞれカラーフィルタが配されている。図2(a)において各活性領域を区画する部材として素子分離部300として絶縁分離部を配した例を用いて説明するが、素子分離部300としてPN接合分離部を配してもよい。

【0038】

第1活性領域320には、N型半導体領域301A、N型半導体領域301B、N型半導体領域303が配されている。N型半導体領域301Aは光電変換部201Aの一部を構成する。N型半導体領域301Bは光電変換部201Bの一部を構成する。N型半導体領域303はFD203を構成する。

【0039】

また、平面視で第1活性領域320Aの上には、転送トランジスタ202Aのゲート電極302Aと転送トランジスタ202Bのゲート電極302Bが配されている。そして、N型半導体領域301Aとゲート電極302AとN型半導体領域303が転送トランジスタ202Aを構成する。N型半導体領域301Bとゲート電極302BとN型半導体領域303とが転送トランジスタ202Bを構成する。

【0040】

第2活性領域321には、N型半導体領域311、N型半導体領域310、N型半導体領域309、N型半導体領域312が配されている。そして、平面視で第2活性領域321の上にはゲート電極326、ゲート電極305、ゲート電極304、電極307が配されている。電極307の一部は、素子分離部300の上に配されている。なお、電極307は例えばポリシリコンによって形成される。

【0041】

N型半導体領域311、ゲート電極326、N型半導体領域310は選択トランジスタ206を構成する。N型半導体領域310、ゲート電極305、N型半導体領域309は

10

20

30

40

50

増幅トランジスタ 205 を構成する。N 型半導体領域 309、ゲート電極 304、N 型半導体領域 312 はリセットトランジスタ 204 を構成する。そして、電極 307 はスイッチ 207 に含まれる。

【0042】

N 型半導体領域 303 と N 型半導体領域 312 とゲート電極 305 は電氣的に接続されており、増幅トランジスタ 205 の入力ノードを構成する。

【0043】

導電パターン 306 は、スイッチ 207 を構成する電極 307 に電氣的に接続され、駆動パルス p F D I N C を供給する駆動配線である。ウエルコンタクト領域 324 は、素子分離部 300 に囲まれている。

10

【0044】

次に図 2 (b) を用いて図 2 (a) の A - B 線に沿った断面模式図について説明する。図 2 (b) において、光電変換部 201 B は P 型半導体領域 313 と N 型半導体領域 301 B とにより構成される P N 接合を有している。

【0045】

F D 203 は N 型半導体領域 303 により構成される。N 型半導体領域 303 はその周辺に配された P 型半導体領域 313 と共に P N 接合を構成し、この P N 接合により構成される容量で、光電変換部 201 から転送された電子を保持する。

【0046】

P 型半導体領域 313 には、ウエルコンタクト領域 324 に配されたコンタクトプラグ 325 を介しての電圧供給配線 327 が接続され、この電圧供給配線 327 から基準電圧 (例えば 0 V) が供給される。

20

【0047】

N 型半導体領域 312 と素子分離部 300 は、電極 307 を挟んで隣接して配されている。N 型半導体領域 312 は、コンタクトプラグ 331 および配線 334 を介して F D 203 に電氣的に接続される。また、電極 307 はコンタクトプラグ 329 を介して導電パターン 306 に電氣的に接続される。なお素子分離部 300 の周囲には P 型半導体領域 313 よりも不純物濃度の高い P 型半導体領域が配されてもよい。

【0048】

図 2 (b) の例では、電極 307 の下部の半導体領域には、P 型半導体領域 313 が配される。絶縁膜 330 を介して印加される電界によって、電極 307 の下部の活性領域の表面に配された P 型半導体領域 313 が反転して電荷蓄積領域となる表面型 M O S 容量を構成する。なお、電極 307 の下部の活性領域の表面に N 型半導体領域を配して、埋め込み型の M O S 容量としてもよい。また、電極 307 の下部の活性領域の表面に P 型半導体領域 313 よりも不純物濃度の低い P 型半導体領域を配してもよい。

30

【0049】

電極 307 に導電パターン 306 を介して印加される駆動パルス p F D I N C によって、P 型半導体領域 313 が反転する状態と反転していない状態を切り替える。これによって、容量 208 の容量値の大きさを切り替えることができる。

【0050】

なお、本実施例では電極 307 の一部が平面視で素子分離部 300 と重なるように配されているが、重ならなくてもよい。また、平面視で電極 307 と素子分離部 300 とのあいだに N 型半導体領域が配されてもよい。N 型半導体領域が配された場合には、N 型半導体領域 312 と当該 N 型半導体領域が電極 307 を挟んで隣接して配される。当該 N 型半導体領域、電極 307、N 型半導体領域 312 はトランジスタを構成する。さらに当該 N 型半導体領域に電氣的に接続するように容量を配してもよい。

40

【0051】

ただし本実施例のように N 型半導体領域 312 (第 1 半導体領域) と素子分離部 300 は電極 307 を挟んで隣接して配したほうがよい。平面視で電極 307 と素子分離部 300 とのあいだに N 型半導体領域が配された場合に比べて、F D 203 に容量 208 を接続

50

した状態の信号の出力時に、当該半導体領域とN型半導体領域との間にサブスレッショルド電流が流れ、入力ノードの電位が変化することによって生じるノイズを抑制することが可能となる。

【0052】

なお、平面視で電極307と素子分離部300とのあいだにP型半導体領域（第2半導体領域）を配してもよい。この場合には、平面視でN型半導体領域312、電極307、当該P型半導体領域、素子分離部300とがこの順に隣接して配される。そして当該P型半導体領域は絶縁膜330と界面を構成する。

【0053】

次に図3において、複数の画素100に供給される駆動パルスの一例として画素部102に配されたN行目の画素行の画素100およびN+1行目の画素行の画素100に供給される駆動パルスを示す。図3はMフレーム目、M+1フレーム目における動作を示している。Mフレーム目はスイッチ207が非接続状態であり、増幅トランジスタの入力ノードの容量値が小さい状態である。M+1フレーム目はスイッチ207が非接続状態から接続状態へ切り替わり、増幅トランジスタの入力ノードの容量値が大きい状態である。ここでは、本実施例の特徴に直接関係する駆動パルスのみを説明する。

10

【0054】

各トランジスタおよびスイッチ207はハイレベル（Hレベル）の電位の駆動パルスが供給されると接続状態になる。ローレベル（Lレベル）の駆動パルスが供給されると非接続状態となる。そしてミドルレベル（Mレベル）の電位は、Hレベルの電位とLレベルの電位との間の電位であり、Mレベルの電位の期間において駆動パルスが供給されたトランジスタは接続状態となっても非接続状態となってもよい。

20

【0055】

第1電位V1はHレベルに相当する電位であり、第2電位V2はLレベルに相当する電位である。第3電位V3はMレベルに相当する電位であり、第1電位V1と第2電位V2の間の電位である。

【0056】

また、電極307に供給される電位が各電位に保持された際の容量208の容量値の大きさは、第1電位V1に保持された際の第1容量値、第3電位V3に保持された際の第3容量値、第2電位V2に保持された際の第2容量値の順に大きい。

30

【0057】

図3に本実施例の駆動パルスの一例を示す。駆動パルスpFDINCはスイッチ207に供給される駆動パルスを示す。

【0058】

画素の電荷蓄積期間Tsは、光電変換部201（光電変換部201Aおよび光電変換部201B）に蓄積された電荷をリセットすることで開始する。そして光電変換部201（光電変換部201Aおよび光電変換部201B）に蓄積された電荷をFD203に転送することで終了する。

【0059】

画素の信号の出力期間Topは、電荷蓄積期間であって且つリセットトランジスタ204が接続状態から非接続状態となった時に開始する。そして光電変換部201（光電変換部201Aおよび光電変換部201B）に蓄積された電荷に基づく信号を信号線107に出力することで終了する。

40

【0060】

まずM+1フレーム目の動作から説明する。

【0061】

時刻t0に、駆動パルスpRES(N)、pTX1(N)、pTX2(N)がLレベルからHレベルになり、N行目の画素100のFD203、光電変換部201A、光電変換部201Bがリセットされる。

【0062】

50

時刻 t_1 に、駆動パルス $pRES(N)$ 、 $pTX1(N)$ 、 $pTX2(N)$ が H レベルから L レベルになる。これにより N 行目の画素 100 の光電変換部 201A、光電変換部 201B のリセットが終了し、 N 行目の画素 100 の光電変換部 201A、光電変換部 201B の電荷蓄積期間が開始する。

【0063】

時刻 t_2 に、駆動パルス $pFDINC(N)$ が第 2 電位 V_2 から第 3 電位 V_3 となる。これにより、容量 208 の容量値は、第 2 容量値から第 3 容量値となる。時刻 t_3 に、駆動パルス $pRES(N+1)$ 、 $pTX1(N+1)$ 、 $pTX2(N+1)$ が L レベルから H レベルになり、 $N+1$ 行目の画素 100 の FD203、光電変換部 201A、光電変換部 201B がリセットされる。

10

【0064】

時刻 t_4 に、駆動パルス $pRES(N+1)$ 、 $pTX1(N+1)$ 、 $pTX2(N+1)$ が H レベルから L レベルになる。これにより $N+1$ 行目の画素 100 の光電変換部 201A、光電変換部 201B のリセットが終了し、 $N+1$ 行目の画素 100 の光電変換部 201A、光電変換部 201B の電荷の蓄積が開始する。

【0065】

時刻 t_5 において、駆動パルス $pSEL(N)$ が L レベルから H レベルになり、行が選択される。これにより増幅トランジスタ 205 の出力ノードと信号線 107 は電氣的に接続した状態となる。また、駆動パルス $pRES(N)$ が L レベルから H レベルとなる。さらに、駆動パルス $pFDINC(N)$ が第 3 電位 V_3 から第 1 電位 V_1 となる。これにより容量 208 の容量値は第 3 容量値から第 1 容量値となる。

20

【0066】

時刻 t_6 において、駆動パルス $pRES(N)$ が H レベルから L レベルとなり、FD203 のリセットが完了する。時刻 t_6 において画素の出力期間が開始する。

【0067】

時刻 t_7 において、駆動パルス $pTX1$ が L レベルから H レベルになり、時刻 t_8 において H レベルから L レベルとなる。この動作により、期間 $t_1 - t_8$ において光電変換部 201A で生じた電荷が FD203 に転送される。

【0068】

時刻 t_9 において、駆動パルス $pTX1$ 、 $pTX2$ が、L レベルから H レベルになり、時刻 t_{10} において H レベルから L レベルとなることで光電変換部 201A および光電変換部 201B の電荷蓄積期間が終了する。

30

【0069】

この動作により期間 $t_1 - t_{10}$ において光電変換部 201A と光電変換部 201B で生じた電荷が FD203 に保持される。

【0070】

そして時刻 t_{11} において、駆動パルス $pRES(N)$ が L レベルから H レベルとなり、画素の出力期間 T_{op} が終了する。時刻 t_{12} において、駆動パルス $pRES(N)$ が H レベルから L レベルとなり、FD203 および容量 208 のリセットが完了する。駆動パルス $pSEL(N)$ が H レベルから L レベルになり、 N 行の選択が終了する。駆動パルス $pFDINC(N)$ が第 1 電位 V_1 レベルから第 3 電位 V_3 となる。これにより容量 208 の容量値は、第 1 容量値から第 3 容量値となる。

40

【0071】

さらに駆動パルス $pSEL(N+1)$ および駆動パルス $pRES(N+1)$ が L レベルから H レベルになり、 $N+1$ 行の選択が開始する。 $N+1$ 行の画素の第 1 出力期間が開始する。 $N+1$ 行目の駆動方法は N 行の行選択期間における駆動と同一である。

【0072】

M フレーム目の動作は、 $M+1$ フレーム目の動作に比して、スイッチ 207 が非接続状態を維持している点が異なるのみである。

【0073】

50

図3の期間 $t_{10} - t_{11}$ において、信号線107の電位を、容量208が増幅トランジスタ205の入力ノードに電氣的に接続された状態における画素100の信号として出力する。この時に出力される信号は撮像用信号となる。なお、期間 $T_{11} - T_{12}$ において駆動パルス $pRES(N)$ をHレベルとしたがLレベルのままでよい。その場合には、当該信号の出力が終了した時に出力期間 T_{op} が終了する。

【0074】

更に必要に応じて、期間 $t_6 - t_7$ における信号線107の電位を信号として用いることで、画素100のノイズ信号を得ることが可能となる。このノイズ信号と前述の撮像用信号との差分を取ることでノイズを低減することが可能となる。

【0075】

また、期間 $t_8 - t_9$ において、信号線107の電位を容量208が増幅トランジスタ205の入力ノードに電氣的に接続された状態における光電変換部201Aで生じた電荷に基づく信号と、期間 $t_{10} - t_{11}$ に出力した信号との差分処理を行う。これにより、光電変換部201Bの電荷に基づく信号を得ることができる。この時に得た、光電変換部201Aで生じた電荷に基づく信号と、光電変換部201Bの電荷に基づく信号とを撮像用以外の信号（例えば焦点検出用）として用いることができる。

【0076】

なお、撮像用以外の信号を得る必要がない場合には、時刻 t_7 において駆動パルス $pTX1$ をLレベルからHレベルとしなくてよい。

【0077】

期間 $t_0 - t_5$ において $pRES(N)$ および $pSEL(N)$ は、必ずしもLレベルを保持しなくてもよい。また、期間 $t_5 - t_{12}$ では、駆動パルス $pSEL$ をHレベルに保持したが、増幅トランジスタ205の入力ノードおよび容量208に保持した信号を図1(a)で示した信号処理部105に出力する期間だけHレベルとしてもよい。これらは他の画素行および他の実施例においても同様である。

【0078】

時刻 t_2 において駆動パルス $pFDINC(N)$ が第2電位 V_2 から第3電位 V_3 となるが、時刻 t_1 より前の時刻に第3電位 V_3 となってもよい。電極307に供給される電位が第2電位 V_2 から第1電位 V_1 になる過程で第3電位 V_3 に保持されればよい。

【0079】

また、駆動パルス $pFDINC(N)$ が第3電位 V_3 から第1電位 V_1 となる時刻を時刻 t_5 としたが、電荷蓄積期間の開始から出力期間の開始まで（期間 $t_1 - t_6$ ）に第3電位 V_3 から第1電位 V_1 となればよい。

【0080】

本実施例の構成によれば、一度に変化する電位の量が小さくなるため、入力ノードの電位の一時的な変化量が小さくなる。そのため複数の画素間で、入力ノードの電位が静定するまでの時間のばらつきが小さくなる。

【0081】

さらに、本実施例のように画素の出力期間の開始の直前にリセットトランジスタを接続状態にすることで、各画素の入力電位が静定した時の電位をリセット電位に揃えることができる。これによりさらに画素ごとの入力ノードの電位のばらつきを抑制し、ノイズを低減することが可能となる。

【0082】

なお、電荷蓄積期間において駆動パルス $pFDINC(N)$ に供給される電位はなるべく低い電位となる方がよい。具体的には例えば第3電位 V_3 から第1電位 V_1 になるタイミングを選択トランジスタが接続状態となる時刻 t_5 より前に行うよりも時刻 t_5 に行う方がよい。これにより、次の各画素行の画素100の電荷蓄積期間中に電極307とP型半導体領域313もしくは素子分離部300の周辺に配されたP型半導体領域との間に生じる電界を抑制することができる。そしてホットキャリアを起因とするノイズを抑制することが可能となる。これらは以下の実施例においても同様である。

10

20

30

40

50

【 0 0 8 3 】

また本実施例においては第 3 電位 V_3 に保持する構成としたが、第 2 電位 V_2 から第 1 電位 V_1 へ変化する際の単位時間当たりの電位変化量を小さくしても同様の効果を得ることができる。たとえば、リセットトランジスタのオン電位（接続状態とする電位）からオフ電位（非接続状態とする電位）、もしくはオフ電位からオン電位への単位時間当たりの変化量よりも、スイッチ 207 の第 2 電位 V_2 から第 1 電位 V_1 への単位時間あたりの変化量を小さくしてもよい。このような駆動パルスは、走査回路のバッファ回路に電流源を用いることで実現することができる。

【 0 0 8 4 】

M フレーム目の時刻 t_{13} から $M + 1$ フレーム目の t_0 までの期間は、 $pFDINC(N)$ は第 2 電位 V_2 に保持するのがよい。不要な入力ノードの電位変化を抑制することができるためである。

【 0 0 8 5 】

（実施例 2）

図 4 を用いて、本実施例の撮像装置 101 の駆動パルスを説明する。本実施例において図 1 と図 2 の構成については実施例 1 と同様である。さらに駆動パルス $pSEL$ 、 $pRES$ 、 $pTX1$ 、 $pTX2$ については図 3 と同様の駆動であるため説明を省略する。

【 0 0 8 6 】

本実施例と実施例 1 との違いを説明する。実施例 1 では $FD203$ に容量 208 を非接続状態から接続状態とする際に、駆動パルス $pFDINC$ の電位を第 3 電位 V_3 に保持していた。実施例 2 では $FD203$ に容量 208 を接続状態から非接続状態とする際に、駆動パルス $pFDINC$ の電位を第 3 電位 V_3 に保持している。

【 0 0 8 7 】

まず $M + 1$ フレーム目の動作から説明する。

【 0 0 8 8 】

時刻 t_2 に駆動パルス $pFDINC$ は第 1 電位 V_1 から第 3 電位 V_3 となる。時刻 T_5 において、第 3 電位 V_3 が第 2 電位 V_2 になる。時刻 T_{12} において、第 2 電位 V_2 が第 3 電位 V_3 となる。

【 0 0 8 9 】

本実施例の構成によれば、増幅トランジスタ 205 の入力ノードに容量を接続状態から非接続状態とする場合において、電極 307 に供給する電位を第 1 電位 V_1 から第 2 電位 V_2 に切り替える時に第 3 電位 V_3 に保持している。

【 0 0 9 0 】

時刻 t_2 において駆動パルス $pFDINC(N)$ が第 1 電位 V_1 から第 3 電位 V_3 となるが、時刻 t_1 より前の時刻に第 3 電位 V_3 となってもよい。第 1 電位 V_1 から第 2 電位 V_2 になるまでに第 3 電位 V_3 に保持していればよい。また、駆動パルス $pFDINC(N)$ が第 3 電位 V_3 から第 2 電位 V_2 となる時刻を時刻 t_5 としたが、電荷蓄積期間の開始から出力期間の開始まで（期間 $t_1 - t_6$ ）に第 3 電位 V_3 から第 2 電位 V_2 となればよい。また時刻 t_{12} 以降に駆動パルス $pFDINC$ を第 2 電位 V_2 のままにしてもよいし、第 2 電位 V_2 から第 3 電位 V_3 にしてもよい。

【 0 0 9 1 】

M フレーム目の動作は、 $M + 1$ フレーム目の動作に比して、スイッチ 207 が接続状態を維持している点異なる。ただし、M フレーム目の期間 $t_0 - t_{12}$ において、駆動パルス $pFDINC$ は第 1 電位 V_1 としたが、少なくとも時刻 t_5 以降において第 1 電位 V_1 であればよい。期間 $t_1 - t_5$ においては第 1 電位 V_1 よりも第 2 電位 V_2 としたほうがよい。電荷蓄積期間中に電極 307 と P 型半導体領域 313 もしくは素子分離部 300 の周辺に配された P 型半導体領域との間に生じる電界を抑制することができる。そしてホットキャリアを起因とするノイズを抑制することが可能となる。

【 0 0 9 2 】

本実施例によれば、電極 307 に供給する電位を第 1 電位 V_1 から第 2 電位 V_2 に切り

10

20

30

40

50

替える場合に比べて、電極 307 と N 型半導体領域 312 との間の電位差が小さくなり、入力ノードの電位の一時的な変化量が小さくなる。このような構成においても実施例 1 と同様の効果を得ることが可能である。

【0093】

なお本実施例においても、第 1 電位 V_1 から第 2 電位 V_2 へ変化する際の単位時間当たりの電位変化量を小さくしても同様の効果を得ることができる。

【0094】

(実施例 3)

図 5 を用いて、本実施例の撮像装置 101 の駆動パルスを説明する。本実施例において図 1 と図 2 の構成については実施例 1 と同様である。さらに駆動パルス $pSEL$ 、 $pRES$ 、 $pTX1$ 、 $pTX2$ については図 3 と同様の駆動であるため説明を省略する。

10

【0095】

本実施例は、駆動パルス $pFDINC$ を接続状態から非接続状態とする際及び非接続状態から接続状態へする際に第 3 電位 V_3 に保持する点で実施例 1 および実施例 2 と異なる。

【0096】

まず M フレーム目について説明する。時刻 t_2 に駆動パルス $pFDINC(N)$ は、第 1 電位 V_1 から第 3 電位 V_3 となる。時刻 t_5 に駆動パルス $pFDINC(N)$ は、第 3 電位 V_3 から第 2 電位 V_2 となる。

【0097】

20

ここでは、増幅トランジスタ 205 の入力ノードに容量 208 を接続状態から非接続状態とする場合において、電極 307 に供給する電位を第 1 電位 V_1 から第 2 電位 V_2 に切り替える時に第 3 電位 V_3 に保持している。

【0098】

時刻 t_2 において駆動パルス $pFDINC(N)$ が第 1 電位 V_1 から第 3 電位 V_3 となるが、時刻 t_1 より前の時刻に第 3 電位 V_3 となってもよい。第 1 電位 V_1 から第 2 電位 V_2 になるまでに第 3 電位 V_3 に保持していればよい。また、駆動パルス $pFDINC(N)$ が第 3 電位 V_3 から第 2 電位 V_2 となる時刻を時刻 t_5 としたが、電荷蓄積期間の開始から出力期間の開始まで(期間 $t_1 - t_6$)に第 3 電位 V_3 から第 2 電位 V_2 となればよい。また時刻 t_{12} 以降も駆動パルス $pFDINC$ は第 2 電位 V_2 のままとする。

30

【0099】

次に $M+1$ フレーム目について説明する。時刻 t_2 に、駆動パルス $pFDINC(N)$ は、第 2 電位 V_2 から第 3 電位 V_3 となる。時刻 t_5 において、駆動パルス $pFDINC(N)$ は、第 3 電位 V_3 から第 1 電位 V_1 となる。

【0100】

ここでは、増幅トランジスタ 205 の入力ノードに容量を非接続状態から接続状態とする場合において、電極 307 に供給する電位を第 2 電位 V_2 から第 1 電位 V_1 に切り替える時に第 3 電位に保持している。

【0101】

40

時刻 t_2 において駆動パルス $pFDINC(N)$ が第 2 電位 V_2 から第 3 電位 V_3 となるが、時刻 t_1 より前の時刻に第 3 電位 V_3 となってもよい。第 2 電位 V_2 から第 1 電位 V_1 になるまでに第 3 電位 V_3 に保持していればよい。また、駆動パルス $pFDINC(N)$ が第 3 電位 V_3 から第 1 電位 V_1 となる時刻を時刻 t_5 としたが、電荷蓄積期間の開始から出力期間の開始まで(期間 $t_1 - t_6$)に第 3 電位 V_3 から第 1 電位 V_1 となればよい。

【0102】

なお時刻 t_{12} 以降において、駆動パルス $pFDINC(N)$ は、第 1 電位 V_1 から第 3 電位 V_3 もしくは第 2 電位 V_2 となってもよい。

【0103】

本実施例によれば、あるフレームで電極 307 に供給する電位を第 1 電位 V_1 から第 2

50

電位 V_2 に切り替えた後に、連続するフレームにおいて第 2 電位 V_2 から第 1 電位 V_1 に切り替える場合に、どちらのフレームにおいても入力ノードの電位の一時的な変化量が小さくなる。このような構成においても実施例 1 と同様の効果を得ることが可能である。

【 0 1 0 4 】

なお本実施例においても、第 2 電位 V_2 から第 1 電位 V_1 へ変化する際の単位時間当たりの電位変化量を小さくしても同様の効果を得ることができる。また、第 1 電位 V_1 から第 2 電位 V_2 へ変化する際の単位時間当たりの電位変化量を小さくしても同様の効果を得ることができる。

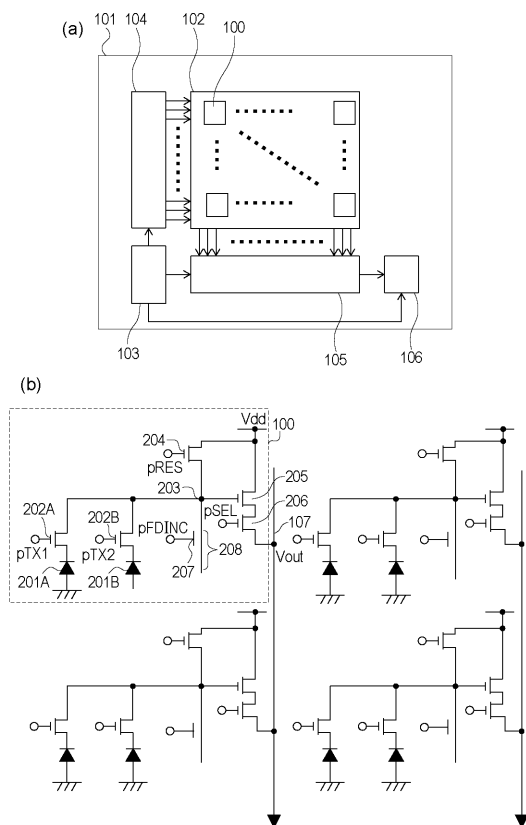
【 符号の説明 】

【 0 1 0 5 】

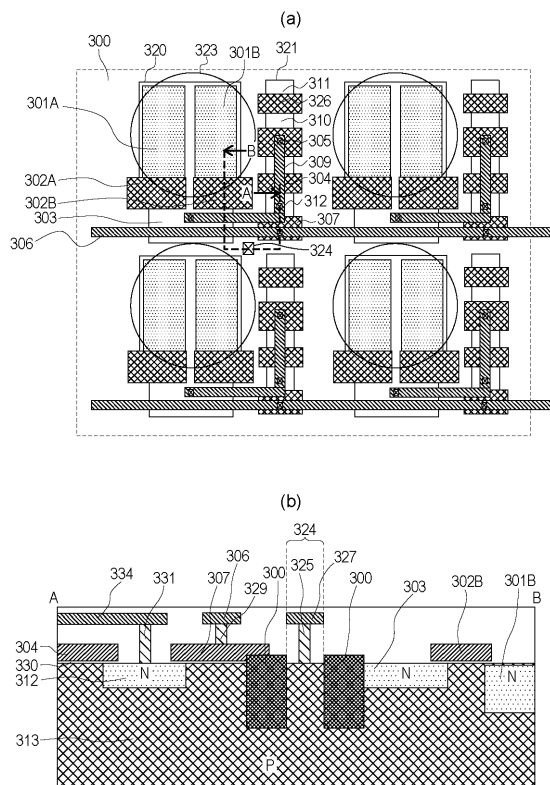
- 1 0 0 画素
- 1 0 7 信号線
- 2 0 1 光電変換部
- 2 0 3 フローティングディフュージョン
- 2 0 5 増幅トランジスタ
- 2 0 8 容量
- 2 1 0 バッファ
- 3 0 7 電極

10

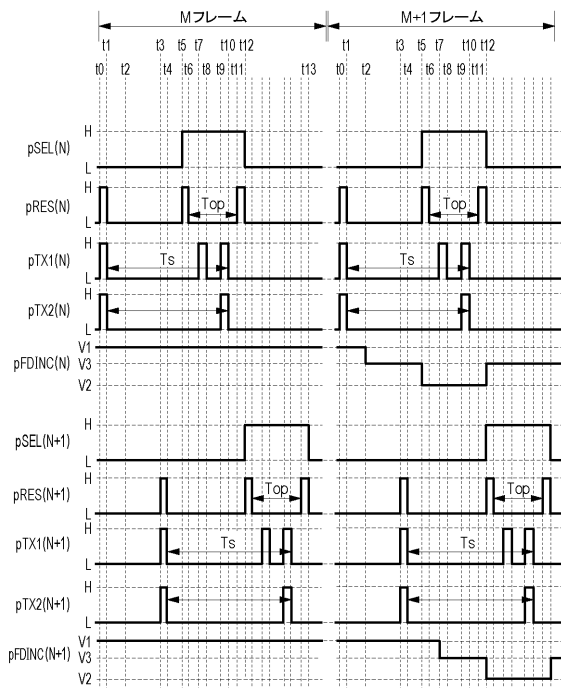
【 図 1 】



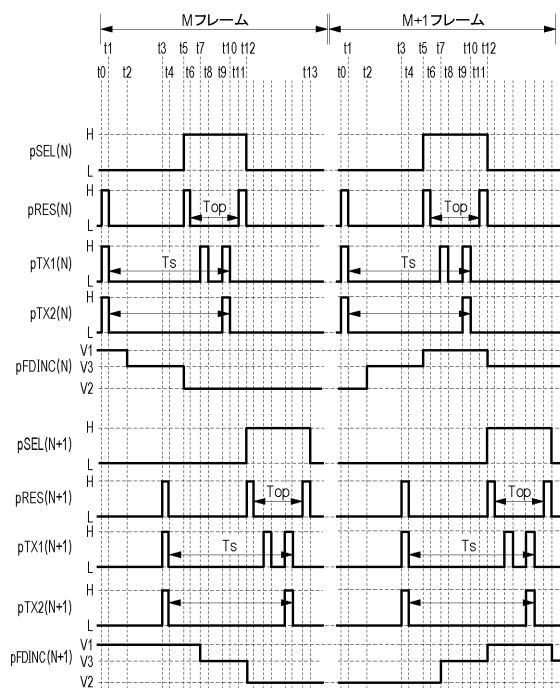
【 図 2 】



【 図 4 】



【 図 5 】



フロントページの続き

F ターム(参考) 4M118 AA10 AB01 BA14 CA03 CA22 DD04 FA06 FA26 FA28 GC07
GD04
5C024 CX43 CX46 CY47 EX03 EX43 GX16 GX18 GY31 GY39 GY41
HX02 HX50 JX41