



# [12] 发明专利说明书

专利号 ZL 200710152953.X

[45] 授权公告日 2009年10月21日

[11] 授权公告号 CN 100552825C

[22] 申请日 2007.9.25

[21] 申请号 200710152953.X

[30] 优先权

[32] 2006.9.25 [33] US [31] 11/534,696

[73] 专利权人 旺宏电子股份有限公司

地址 台湾省新竹科学工业园区力行路16号

[72] 发明人 金钟五 权彝振 刘承杰

[56] 参考文献

US20060092709A1 2006.5.4

US6222768B1 2001.4.24

CN1139075C 2004.2.18

US6477083B1 2002.11.5

US6633496B2 2003.10.14

US4947376 1990.8.7

CN1260738C 2006.6.21

US6034884A 2000.3.7

US5455786 1995.10.3

审查员 陈学元

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 左一平

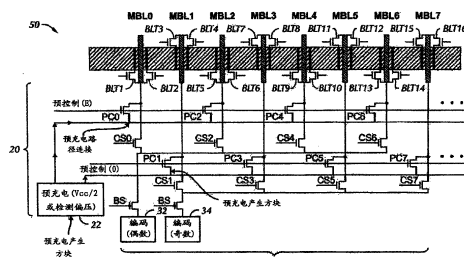
权利要求书2页 说明书10页 附图9页

## [54] 发明名称

闪存阵列的读取操作方法

## [57] 摘要

本发明揭示了一种闪存阵列的读取操作方法，所述闪存具有多个存储器单元、多条字元线、多条偶数位元线、多条奇数位元线及多个位元线晶体管。所述读取操作方法包括对偶数位元线临时预充电至大约  $V_{cc}/n$  及对奇数位元线临时预充电至地电势，然后对流入/流出每个存储器单元的第一位元位置的电流进行选择性地检测，然后根据检测到的每个存储器单元的第一位元位置的电流，确定第一位元位置的逻辑状态。



\*\* 上面显示位元线感测架构及预充电电路及字元的预充电方法  
\*\* 预控制 (1) / 预控制 (2) = 1. 感测控制信号  
2. 字元/偶数位元线感测预充电

1、一种闪存阵列的读取操作方法，所述闪存具有多个存储器单元、多条字元线、多条偶数位元线、多条奇数位元线及多个位元线晶体管，其特征在于，所述读取操作方法包括：

对所述多条偶数位元线临时预充电至  $V_{cc}/n$ ，其中  $n$  大于 1；

对所述多条奇数位元线临时预充电至地电势或虚拟地电势；

对流进/流出每个存储器单元的一个第一位元位置的电流进行选择性地检测；

根据检测到的每个存储器单元的源极侧或漏极侧的电流，确定每个存储器单元的第一位元位置的逻辑状态；

对所述多条奇数位元线临时预充电至  $V_{cc}/n$ ；

对所述多条偶数位元线临时预充电至地电势或虚拟地电势；

对流进/流出每个存储器单元的一个第二位元位置的电流进行选择性地检测；以及

根据检测到的每个存储器单元的源极侧或漏极侧的电流，确定每个存储器单元的第二位元位置的逻辑状态。

2、如权利要求 1 所述的闪存阵列的读取操作方法，其特征在于， $n$  等于 2。

3、一种闪存阵列的读取操作方法，所述闪存具有多个存储器单元、多条字元线、多条偶数位元线、多条奇数位元线及多个位元线晶体管，其特征在于，所述读取操作方法包括：

对所述多条偶数位元线临时预充电至  $V_{cc}/n$ ，其中  $n$  大于 1；

对所述多条奇数位元线临时预充电至地电势或虚拟地电势；

通过选择性地控制连接至每个存储器单元的位元线晶体管，对流进/流出每个存储器单元的一个第一位元位置的电流进行选择性地检测；

对所述多条奇数位元线临时预充电至  $V_{cc}/n$ ；

对所述多条偶数位元线临时预充电至地电势或虚拟地电势；以及

通过选择性地控制连接至每个存储器单元的位元线晶体管，对流进/流出每个存储器单元的一个第二位元位置的电流进行选择性地检测。

4、如权利要求 3 所述的闪存阵列的读取操作方法，其特征在于， $n$  等于 2。

## 闪存阵列的读取操作方法

### 技术领域

本发明涉及一种闪存的解码处理，特别是涉及一种具有多个位元线晶体管的存储器阵列的预充电及解码方法。

### 背景技术

非挥发性存储器（NVM）是一种半导体存储器，含有此 NVM 存储器单元的装置即使断电后其也可以继续储存数据。对于典型的 NVM，可对其进行数据程序化，并进行读取及/或擦除操作。在被擦除之前，程序化的数据可存储很长一段时间。闪存（flash memory）为一种特殊的现有 NVM 存储器，其是一种电性擦除式可程序化只读存储器（EEPROM）。

典型的闪存将信息储存于常被称为“单元”的晶体管阵列中，每个单元通常储存一个位元（bit）的信息。闪存基于浮接栅极雪崩注入型金属氧化物半导体技术（FAMOS 晶体管）制造。FAMOS 晶体管本质上是一个 NMOS 晶体管，但在栅极和源/漏极端子间利用绝缘材料悬浮了额外的导体。通常的闪存采用单元架构，其中每一单元仅能存储一个位元的信息。每个存储器单元典型地包括一个 MOS 晶体管结构，其包括位于基底或 P 型井的源极、漏极及沟道，及覆在沟道上的迭层栅极（stacked gate）。迭层栅极还可包括一个形成在 P 型井表面的薄栅极介质层，其常被称为隧道氧化层。迭层栅极还包括一个覆在隧道氧化层上的多晶硅浮接栅极（floating gate）及覆在浮接栅极上的多晶硅极间介质层（interpoly dielectric layer）。典型的极间介质层为多层绝缘体，如两层氧化物将一层氮化物俘获层（nitride trapping layer）夹在中间而形成的氧化物-氮化物-氧化物层（ONO）。多晶硅控制栅极（control gate）正常情况下是覆在极间介质层上，因此这样的闪存单元有时候被称为氮化物只读存储器（NROM）。

图 1 是传统闪存单元 500 的横截面视图。通常的浮接栅极型闪存单元 500 包括 n+型源极 504、p 型沟道 505、n+型漏极 512 及 p 型基底 502。浮接栅极

506 被夹在位于沟道 505 上方的绝缘介质层 510 及薄隧道氧化层 514 之间。浮接栅极 506 为闪存单元 500 提供储存元件并利用薄隧道氧化层 514 及绝缘介质层 510 与闪存单元 500 的其他元件电性隔离。控制栅极 508 位于绝缘介质层 510 顶部并位于浮接栅极或氮化物俘获层 506 上方。浮接栅极 506 利用绝缘介质层 510, 如二氧化硅 ( $\text{SiO}_2$ ) 层, 或极间介质层, 如 ONO 极间氧化物层 510 等与控制栅极 508 电性隔离。如图所示的通常闪存单元 500 基本上是一个具有额外浮接栅极 506 的 n 沟道晶体管。电性“存取”(“access”)或连接(coupling)浮接栅极 506 仅能通过周围的  $\text{SiO}_2$  层及源极 504, 漏极 512 及控制栅极 508 构成的电容网络来进行。浮接栅极 506 上的任何电荷因为本身的硅-二氧化硅 ( $\text{Si-SiO}_2$ ) 能量势垒高度 (energy barrier height) 而得以保留, 从而形成非挥发性的存储器。

图 2 为一种通常的存储器单元 500 的阵列 520, 其示出一种通常的读取方法。存储器单元 500 大致上以栅极格形式排列于基底 502 上。字元线 WL0-WL31 与每一行 (row) 的每一存储器单元 500 的栅极 508 连接。位元线 MBL0-MBL5 选择性地与每一列 (column) 的每一存储器单元 500 的源极或漏极连接。控制晶体管 SEL0-SEL1 选择路径, 以对位于某一特定位元线 MBL0-MBL5 及字元线 WL0-WL31 上的特定单元 500 进行程序化, 读取或擦除。

对闪存单元 500 进行程序化是指将电荷 (电子) 注入到浮接栅极 506 中。高漏/源极或高源/漏极偏压连同高控制栅极电压  $V_g$  一起施加。高控制栅极电压  $V_g$  反转沟道 505, 而偏压将电子向漏极 512 及源极 504 加速。在通过沟道 505 的过程中, 部分电子与硅晶格 (silicon lattice) 发生碰撞而反向运动至  $\text{Si-SiO}_2$  介面。在控制栅极电压  $V_g$  产生的电场的推动下, 部分电子运动穿过薄氧化层 514, 从而注入到浮接栅极 506 中。结果, 隧道氧化物 514 的高电场将导致产生所谓的福乐-诺汉隧道现象 (FN tunneling)。单元沟道区 505 的电子将穿过栅极氧化物 514 进入浮接栅极 506, 因为浮接栅极 506 被包围在极间介质层 510 与隧道氧化层 514 之间, 因此电子即被俘获在浮接栅极 506 中。程序化结束后, 注入浮接栅极 506 的电子使得单元的临界电压 (threshold voltage) 升高。正是因俘获电子导致的此种临界电压变化及因此带来的沟道导电率变化, 使单元 500 得以被程序化。

程序化操作可针对存储器阵列 520 的每一个体单元 500 选择性地地进行。每一个体单元 500 是利用各自对应字元线 WL0-WL31(图 2)以及一对界定相关单元 500 的位元线 MBL0-MBL5 来加以选择。选中欲被程序化或读取的闪存单元 500 之后, 将仅与这些单元 500 的源极端子 504 相关联的位元线 MBL0-MBL4 选择性地切换至地电势, 从而形成虚拟地电势 (virtual ground)。

对闪存单元 500 的读取操作是利用一个检测放大器 (sense amplifier) (图 2 未示) 来加以进行。对于已经程序化的单元 500, 因为浮接栅极 506 的电荷增加, 使得单元的导通电压  $V_t$  也升高。通过施加控制栅极电压  $V_g$  以及监测漏极电流, 可以确定具有浮接栅极 506 电荷以及没有浮接栅极 506 电荷的单元 500 的区别。检测放大器将单元漏极电流与一参考单元的漏极电流进行比较, 此参考单元比如可以是在制造测试中被程序化使之具有一参考位准的闪存单元。与参考单元相比, 经过擦除的闪存单元 500 具有更大的单元电流, 因此为逻辑“1”, 而经过程序化的闪存单元 500 具有较低的电流, 因此为逻辑“0”。

擦除闪存单元 500 是指移除浮接栅极 506 的电子 (电荷)。擦除闪存单元是对很多单元同时施加电压, 以使很多单元 500 在一瞬间同时被擦除。对闪存单元 50 的典型擦除操作可以是向源极 504 施加正电压, 向控制栅极 508 施加负电压或地电压, 且保持闪存单元 500 的基底 502 为地电势。漏极 512 被允许“浮接”。在这些条件下, 在浮接栅极 506 与源极 504 间施加高电场。在擦除过程中, 源极结处于一个栅极控二极管状态, 已经设法进入隧道氧化层的  $\text{SiO}_2$  的最初数埃 (angstroms) 的电子则进而迅速运动至源极。擦除操作完成后, 浮接栅极 506 的电子已被移除, 因此单元的临界电压  $V_t$  降低。虽然程序化是针对个体单元选择性地地进行, 但典型的擦除是对阵列 520 中的多个闪存单元 500 同时进行。

对存储器阵列中的闪存单元 500 的程序化, 读取及擦除是通过综合应用位元线及字元线来完成。位元线及字元线晶体管利用位元线及字元线来控制特定存储器单元 500 的电压及电流, 并允许其他位元线在程序化, 读取及擦除操作中放电。

希望利用预充电方法来改善 NROM 单元的读取速度, 也希望在解码转换过程中, 通过避免电压变化来降低能耗及噪音, 也希望利用大约  $V_{cc}/n$  作为预

充电电压，其中  $n$  大于 1。

### 发明内容

简而言之，本发明的一个实施例提供一种闪存阵列的读取操作方法，所述闪存具有多个存储器单元、多条字元线、多条偶数位元线、多条奇数位元线及多个位元线晶体管。所述读取操作方法包括对所述多个偶数位元线临时预充电至大约  $V_{cc}/n$  及对所述多个奇数位元线临时预充电至地电势，然后对流进/流出每个存储器单元的一个第一位元位置的电流进行选择性地检测，以及根据检测到的每个存储器单元的源极侧或漏极侧的电流，确定每个存储器单元的第一位元位置的逻辑状态。所述读取操作方法还包括对所述多个奇数位元线临时预充电至大约  $V_{cc}/n$  及对所述多个偶数位元线临时预充电至地电势，然后对流进/流出每个存储器单元的一个第二位元位置的电流进行选择性地检测，以及根据检测到的源极侧或漏极侧的电流，确定每个存储器单元的第二位元位置的逻辑状态。

本发明的另一个实施例提供一种闪存阵列的读取操作方法，所述闪存具有多个存储器单元、多条字元线、多条偶数位元线、多条奇数位元线及多个位元线晶体管。所述读取操作方法包括对所述多个偶数位元线临时预充电至大约  $V_{cc}/n$ ，其中  $n$  大于 1；对所述多个奇数位元线临时预充电至地电势或虚拟地电势；通过选择性地控制连接至每个存储器单元的位元线晶体管，对流进/流出每个存储器单元的一个第一位元位置的电流进行选择性地检测；对所述多个奇数位元线临时预充电至大约  $V_{cc}/n$ ；对所述多个偶数位元线临时预充电至地电势或虚拟地电势；以及通过选择性地控制连接至每个存储器单元的位元线晶体管，对流进/流出每个存储器单元的一个第二位元位置的电流进行选择性地检测。

上述说明仅是本发明技术方案的概述，为了能够更清楚了解本发明的技术手段，并可依照说明书的内容予以实施，以下以本发明的较佳实施例并配合附图详细说明如后。

为了让本发明的上述和其他目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合所附图式，作详细说明如下。

## 附图说明

图 1 是传统闪存单元的横截面视图。

图 2 为一种通常的存储器单元的阵列，其示出一种通常的读取方法。

图 3A-3E 为本发明较佳实施例的具有多个位元线晶体管的闪存阵列的部分示意图，其以图表方式示出一种用于偶数位元线的读取预充电方法。

图 4A-4E 为本发明较佳实施例的具有多个位元线晶体管的闪存阵列的部分示意图，其以图表方式示出一种用于奇数位元线的读取预充电方法。

图 5 是图 3A-3E 及 4A-4E 所示的闪存阵列的示意图，其示出根据本发明较佳实施例的解码电路及预充电电路。

主要元件符号说明：

20：预充电电路

22：预充电源/检测器

30：解码电路

32：偶数位元线解码器电路控制器

34：奇数位元线解码器电路控制器

50：闪存阵列

52：半导体基底

61-76：存储器单元

500：闪存单元

502：p 型基底

504：n+型源极

505：p 型沟道

506：浮接栅极

508：控制栅极

510：绝缘介质层

512：n+型漏极

514：薄隧道氧化层

520：存储器单元阵列



BLT1~BLT16: 位元线晶体管  
BSE、BSO: 位元组选择晶体管  
CS0-CS7: 共同选择晶体管  
MBL0~MBL7: 位元线  
PC0~PC7: 预充电控制晶体管  
SEL0-SEL3: 控制晶体管  
Vg、Vs、V<sub>D</sub>: 电压  
WL0-WL31、WL<sub>n</sub>: 字元线

### 具体实施方式

下面描述中用到的某些术语仅是为了叙述简单方便，而不构成限定。“右”、“左”、“下”、“上”等词语在图中表示方向。“向内”、“向外”分别是指指向或远离物体或其部件的几何中心的方向。这些术语包括以上提到的词语以及其他由上述词语衍生及类似相关的术语。另外，用于权利要求及相应说明书部分的“一”是表示“至少一”的意思。

如图所示，其中相同标号表示相同的元件，图 3A-3E 及 4A-4E 示出具有多个位元线晶体管 BLT1-BLT16 及多个存储器单元 61-76 的闪存阵列 50 的一部分。图 3A-3E 及 4A-4E 以图表方式示出一种本发明读取预充电(read pre-charge)方法的较佳实施例。图 5 是图 3A-3E 及 4A-4E 所示的闪存阵列 50 的示意图，其示出根据本发明较佳实施例的解码电路 30 及预充电电路 20。

基本上，本发明的较佳实施例提供了一种用于闪存阵列 50 的 NROM 存储器单元 61-76 的 Y 路径(Y-path)解码方法，其使用大约  $V_{cc}/n$  作为预充电电压，其中  $n$  大于 1。较佳地，此 Y 路径解码方法使用  $V_{cc}/2$  作为预充电电压。

闪存阵列 50 形成在半导体基底 52 上。闪存阵列 50 也包括多条字元线 WL<sub>n</sub> (为简便，图中仅显示阵列 50 的一列) 及多条位元线 MBL0-MBL7，其中，MBL0, MBL2, MBL4, MBL6 为偶数位元线(even bitlines)，而 MBL1, MBL3, MBL5, MBL7 为奇数位元线(odd bitlines)。前述多个存储器单元 61-76 设在基底 52 中，并与背景技术中描述的现有存储器单元一样。字元线 WL<sub>n</sub> 与存储器单元 61-76 的栅极 508 电性连接。

字元线  $WL_n$  与图 2 所示的现有存储器阵列 520 类似，相互平行且彼此隔开。位元线  $MBL_1$ - $MBL_7$  相互平行且彼此隔开。字元线  $WL_n$  与位元线  $MBL_1$ - $MBL_7$  大致垂直，因此二者共同形成一矩阵。

与给定的字元线  $WL_n$  相关联的存储器单元 61-76 的漏极及源极端子 504、512 串接于对应位元线  $MBL_0$ - $MBL_7$  之间。存储器单元 61-76 的栅极 508 连接至对应字元线  $WL_n$ 。例如，如图 3A-3E 及 4A-4E 所示，存储器单元 61 的栅极 508 连接至字元线  $WL_n$ ，其源极 504 利用位元线晶体管  $BLT_1$  连接至位元线  $MBL_0$ ，其漏极利用位元线晶体管  $BLT_3$  连接至位元线  $MBL_1$ 。类似地，存储器单元 62 的栅极 508 连接至字元线  $WL_n$ ，其源极 504 利用位元线晶体管  $BLT_3$  连接至位元线  $MBL_1$ ，其漏极利用位元线晶体管  $BLT_2$  连接至位元线  $MBL_0$ ，等等。

根据较佳实施例的预充电及解码方法是使用两个步骤来完成，分别图示于图 3A-3E 及 4A-4E。该方法包括一个预充电步骤及循序读取方法，其中在读取方法中，首先读取第一位元位置，然后切换电源，接着读取第二位元位置，或者也可按照相反的顺序读取。

在图 3A 中，上部或奇数位元线  $MBL_1$ ， $MBL_3$ ， $MBL_5$ ， $MBL_7$  预充电至近似  $V_{cc}/n$ ，其中  $n$  大于 1，而下部或偶数位元线  $MBL_0$ ， $MBL_2$ ， $MBL_4$ ， $MBL_6$  预充电至近似 0 伏或者地电势或者虚拟地电势（如， $V_{ss}$ ）。例如，上部或奇数位元线  $MBL_1$ ， $MBL_3$ ， $MBL_5$ ， $MBL_7$  可预充电至大约  $V_{cc}/2$ 。在图 3B 中，当位元线晶体管  $BLT_1$  及  $BLT_3$  导通且位元线晶体管  $BLT_2$  及  $BLT_4$  截止时，存储器单元 61 的左边位元被读取。读取偏压可以是 1.2-1.6V，但也可采用其他读取偏压。在图 3C 中，当位元线晶体管  $BLT_2$  及  $BLT_3$  导通且位元线晶体管  $BLT_1$  及  $BLT_4$  截止时，存储器单元 62 的右边位元被读取。在图 3D 中，当位元线晶体管  $BLT_2$  及  $BLT_4$  导通且位元线晶体管  $BLT_1$  及  $BLT_3$  截止时，存储器单元 63 的左边位元被读取。图 3E 显示当所有位元线晶体管的编码变换已经完成时，即可以知道存储器单元 61 左边位元的实际逻辑状态，存储器单元 61 右边位元的逻辑状态，存储器单元 63 左边位元的逻辑状态，存储器单元 64 右边位元的逻辑状态，等等，继而可以知道所有存储器单元 61-76 的相关位元的实际逻辑状态。

在图 4A 中，上部或奇数位元线 MBL1, MBL3, MBL5, MBL7 预充电至近似 0 伏或者地电势或者虚拟地电势（如： $V_{ss}$ ），而下部或偶数位元线 MBL0, MBL2, MBL4, MBL6 预充电至近似  $V_{cc}/n$ ，其中  $n$  大于 1。例如，下部或偶数位元线 MBL0, MBL2, MBL4, MBL6 可预充电至大约  $V_{cc}/2$ 。在图 4B 中，当位元线晶体管 BLT1 及 BLT3 导通且位元线晶体管 BLT2 及 BLT4 截止时，存储器单元 61 的右边位元被读取。读取偏压可以是 1.2-1.6V，但也可采用其他读取偏压。在图 4C 中，当位元线晶体管 BLT2 及 BLT3 导通且位元线晶体管 BLT1 及 BLT4 截止时，存储器单元 62 的左边位元被读取。在图 4D 中，当位元线晶体管 BLT2 及 BLT4 导通且位元线晶体管 BLT1 及 BLT3 截止时，存储器单元 63 的右边位元被读取。图 4E 显示当所有位元线晶体管的编码变换已经完成时，即可以知道存储器单元 61 右边位元的实际逻辑状态，存储器单元 62 左边位元的逻辑状态，存储器单元 63 右边位元的逻辑状态，存储器单元 64 左边位元的逻辑状态，等等，继而可以知道所有存储器单元 61-76 的相关位元的实际逻辑状态。

因此，通过改变是让偶数位元线 MBL0, MBL2, MBL4, MBL6 还是奇数位元线 MBL1, MBL3, MBL5, MBL7 预充电并连接至读取偏压，可对位元线晶体管 BLT1-BLT16 进行不同编码组合，使用这种不同编码组合即可使每一存储器单元 61-76 的左边位元及右边位元按照各自独立的顺序读取。对于某些存储器单元 61-76，第一位元位置是左边位元，第二位元位置是右边位元。而对于其他存储器单元 61-76，第一位元位置是右边位元，第二位元位置为左边位元。只有当图 3A-3E 所示的顺序完成之后，从  $V_{cc}$  向地电势或虚拟地电势的放电才会发生。

如图 5 所示，预充电电路 20 包括预充电电源/检测器 22（pre-charge source/sensor）及多个预充电控制晶体管 PC0-PC7，预充电控制晶体管 PC0-PC7 分别连接于预充电电源/检测器 22 及对应字元线 MBL0-MBL7。偶数预充电控制晶体管 PC0, PC2, PC4, PC6 的栅极共同由预控制偶数命令驱动，奇数预充电控制晶体管 PC1, PC3, PC5, PC7 的栅极共同由预控制奇数命令驱动。

当预控制偶数命令驱动偶数预充电控制晶体管 PC0, PC2, PC4, PC6 的栅极时，预充电电源/检测器 22 连接至偶数位元线 MBL0, MBL2, MBL4, MBL6

并向偶数位元线 MBL0, MBL2, MBL4, MBL6 供应近似  $V_{cc}/n$  的电压。类似地, 当预控制奇数命令驱动奇数预充电控制晶体管 PC1, PC3, PC5, PC7 的栅极时, 预充电源/检测器 22 连接至奇数位元线 MBL1, MBL3, MBL5, MBL7 并向奇数位元线 MBL1, MBL3, MBL5, MBL7 供应近似  $V_{cc}/n$  的电压。

通过选择性地改变与欲读取的各存储器单元 61-76 相关联的位元线晶体管 BLT1-BLT16, 可移除源极电压, 正如现有技术一样, 此时预充电源/检测器 22 也会检测存储器单元 61-76 的漏极偏压位准。

解码电路 30 包括偶数位元线解码器电路控制器 32 及奇数位元线解码器电路控制器 34。解码电路 30 包括与位元线 MBL0-MBL1 对应相关联的多个共同选择晶体管 (common select transistor) CS0-CS1。位元线解码器电路控制器 32, 34 的输出分别由位元组选择晶体管 (byte select transistor) BSE 及 BSO 来控制。

闪存阵列 50 的读取操作方法包括对多个偶数位元线 MBL0, MBL2, MBL4, MBL6 临时预充电至大约  $V_{cc}/n$ , 以及对多个奇数位元线 MBL1, MBL3, MBL5, MBL7 临时预充电至地电势或虚拟地电势。然后对流进/流出每个存储器单元 61-76 的第一位元位置的电流进行选择性地检测。每个存储器单元 61-76 的第一位元位置并不一定是指左边位元或右边位元, 而仅仅是指每个存储器单元 61-76 中的至少两个逻辑位元位置之中的一个。通过选择性地控制连接至每个存储器单元 61-76 的位元线晶体管 BLT1-BLT16, 可检测每个存储器单元 61-76 的源极侧或漏极侧的电流, 从而确定每个存储器单元 61-76 的第一位元位置的逻辑状态 (如逻辑 “1” 或 “0”)。该方法也包括对多个奇数位元线 MBL1, MBL3, MBL5, MBL7 临时预充电至大约  $V_{cc}/n$ , 以及对多个偶数位元线 MBL0, MBL2, MBL4, MBL6 临时预充电至地电势或虚拟地电势。然后对流进/流出每个存储器单元 61-76 的第二位元位置的电流进行选择性地检测。每个存储器单元 61-76 的第二位元位置并不一定是指左边位元或右边位元, 而仅仅是指每个存储器单元 61-76 中的至少两个逻辑位元位置之中的一个。通过选择性地控制连接至每个存储器单元 61-76 的位元线晶体管 BLT1-BLT16, 可检测每个存储器单元 61-76 的源极侧或漏极侧的电流, 从而确定每个存储器单元 61-76 的第一位元位置的逻辑状态 (如逻辑 “1” 或 “0”)。

因此, 在解码变换过程中, 没有电压变化, 从而降低能耗及噪音。与  $V_{cc}$

及地电势预充电相比，此较佳实施例因其低能耗而可达到提高预充电速度，降低电压及噪音。

从前述介绍可知，本发明是关于一种存储器阵列，其具有奇/偶位元线解码电路以及使用大约  $V_{cc}/n$  电压进行预充电的预充电电路。本发明的较佳实施例包括一种使用前述奇/偶位元线解码电路及预充电电路来预充电及解码存储器阵列的方法。以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制，虽然本发明已以较佳实施例揭露如上，然而并非用以限定本发明，任何熟悉本专业的技术人员，在不脱离本发明技术方案范围内，当可利用上述揭示的结构及技术内容作出些许的更动或修饰为等同变化的等效实施例，但是凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰，均仍属于本发明技术方案的范围内。

虽然本发明已以较佳实施例揭示如上，然其并非用以限定本发明，任何本另一技术人员，在不脱离本发明的精神和范围内，当可作些许的修改与替换，因此本发明的保护范围应当以权利要求书所界定的为准。

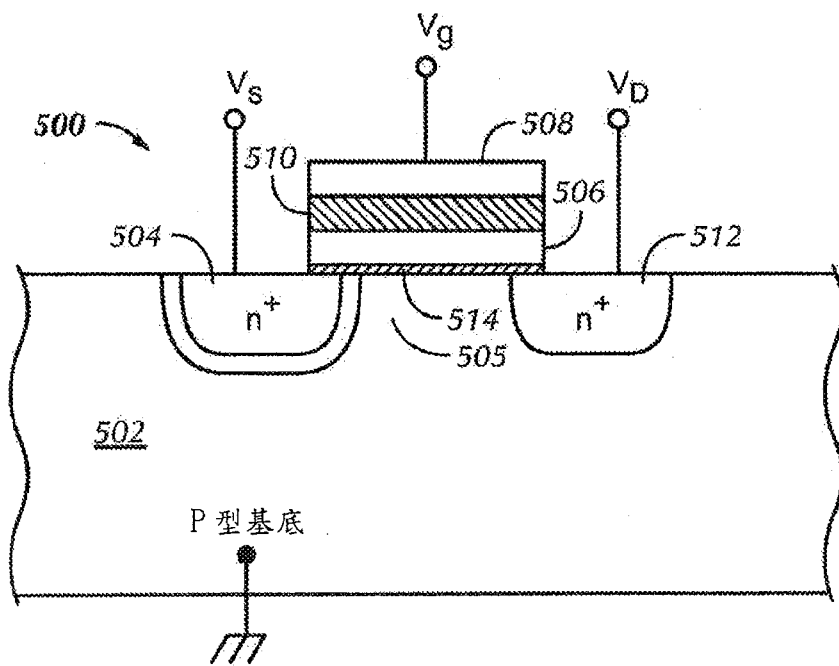


图 1

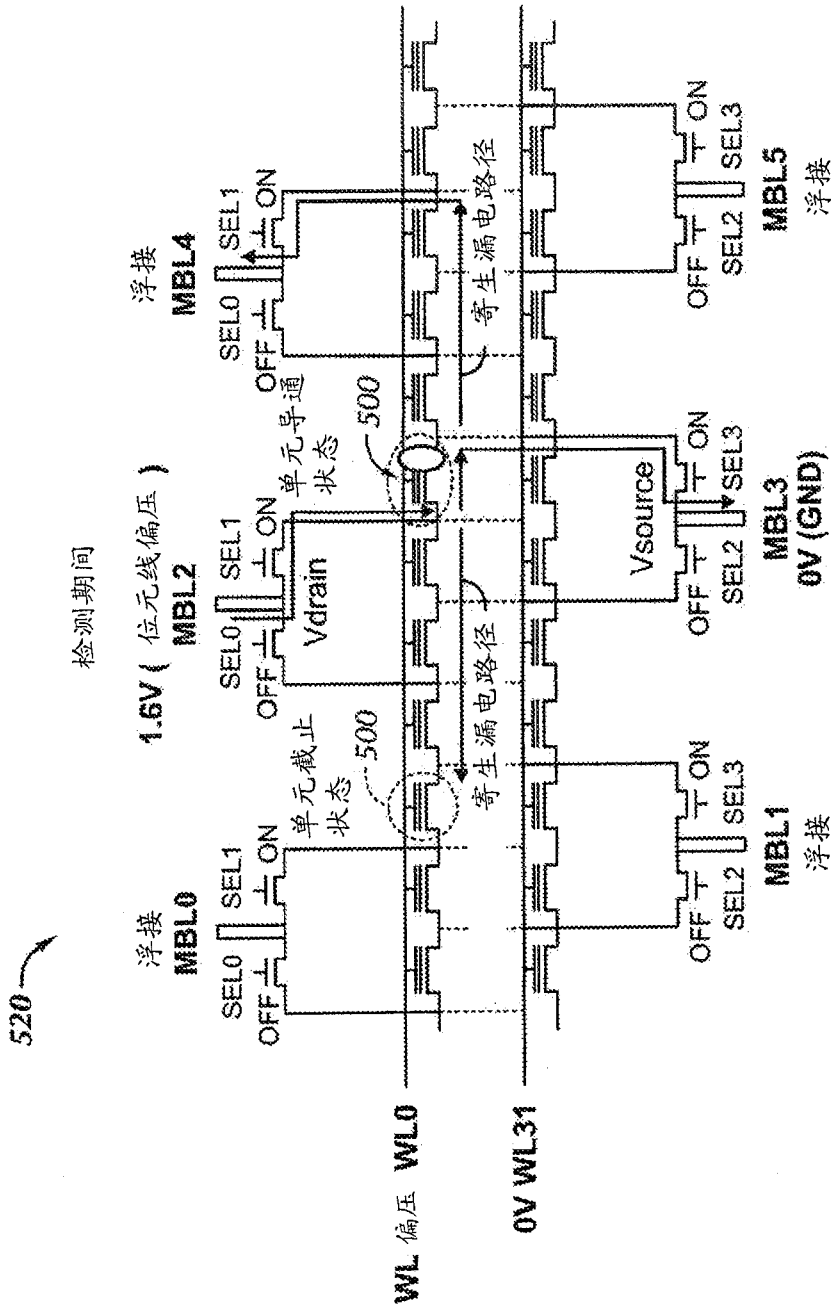


图 2

步骤1. 检测前 (无BLT编码 = 全部截止状态)

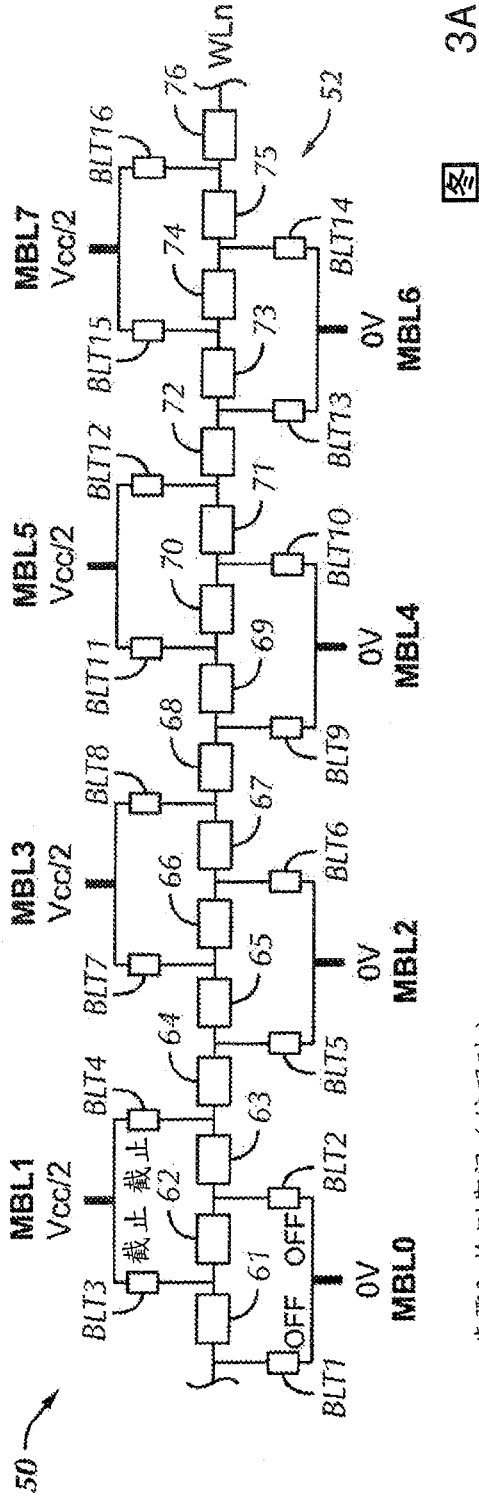


图 3A

步骤2. 检测期间 (编码时)

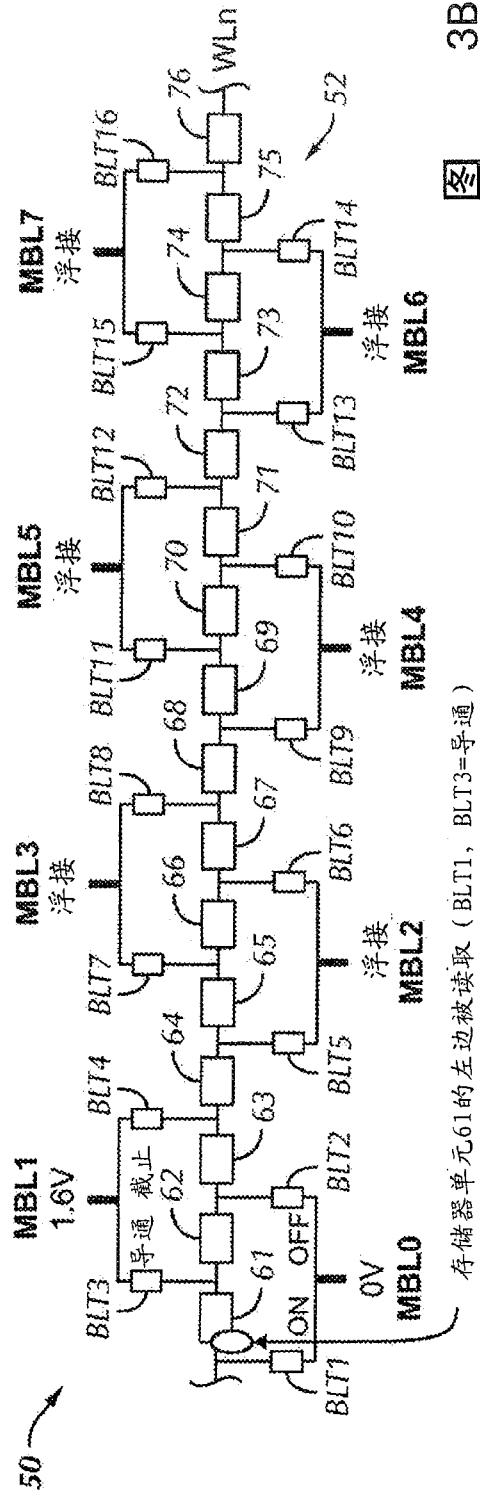


图 3B

存储器单元61的左边被读取 (BLT1, BLT3=导通)



步骤3. 检测期间 (BLT编码变换)

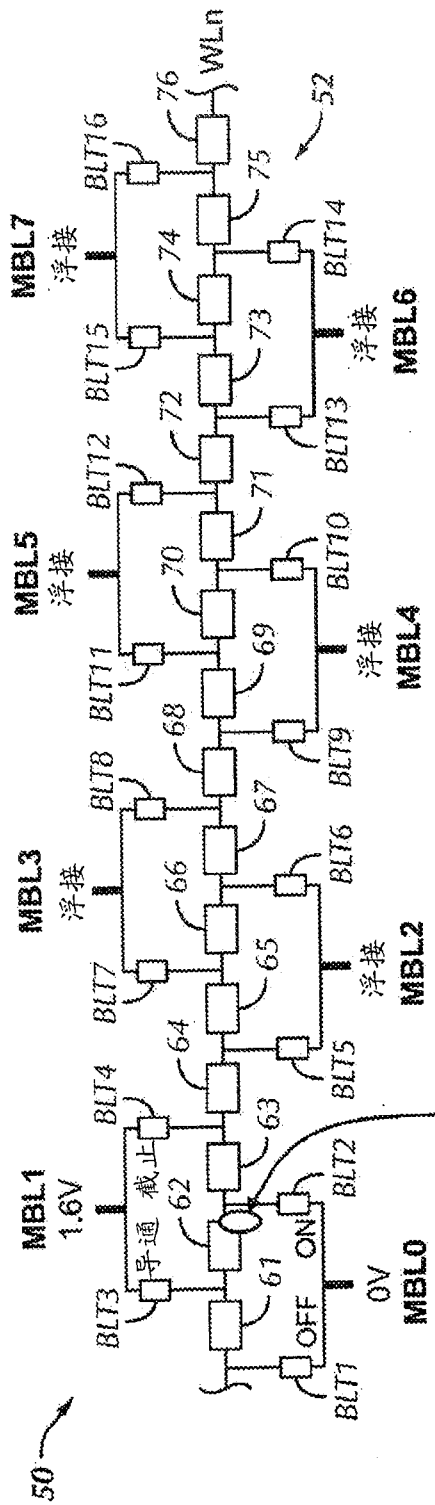


图 3C

存储器单元62的右边被读取 (BLT2, BLT3=导通)

步骤4. 检测期间 (BLT编码变换)

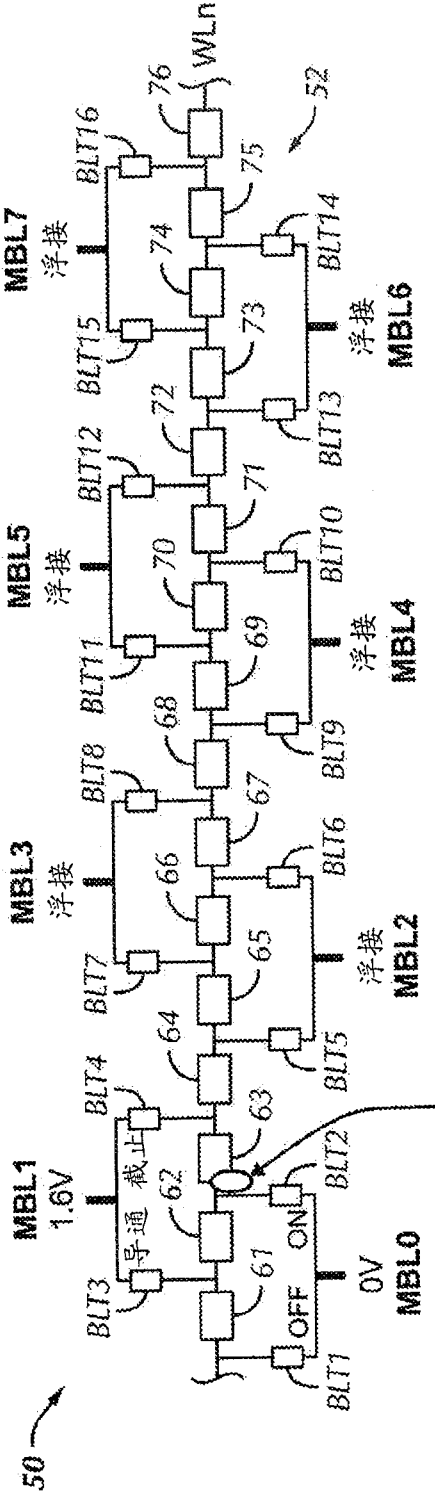
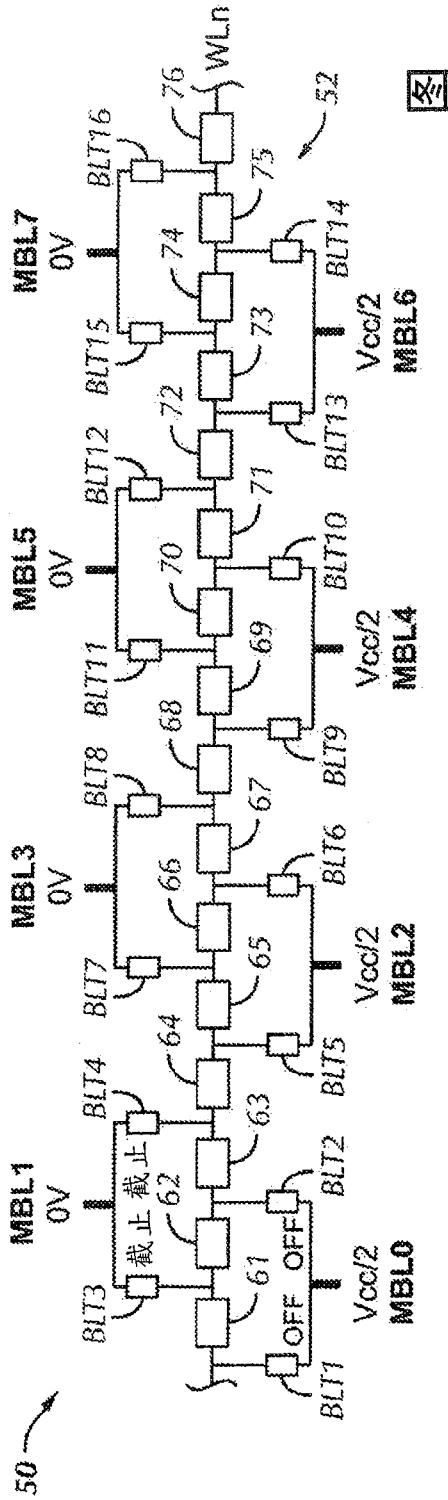


图 3D

存储器单元63的左边被读取 (BLT2, BLT4=导通)

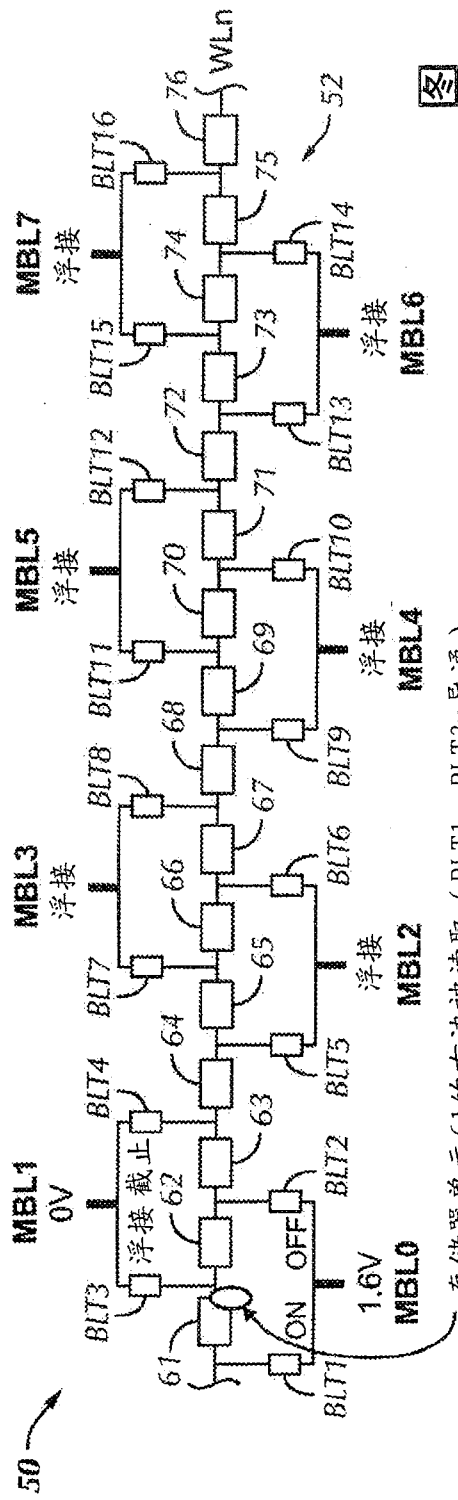


步骤1. 检测前 (无BLT编码 = 全部截止状态)



4A

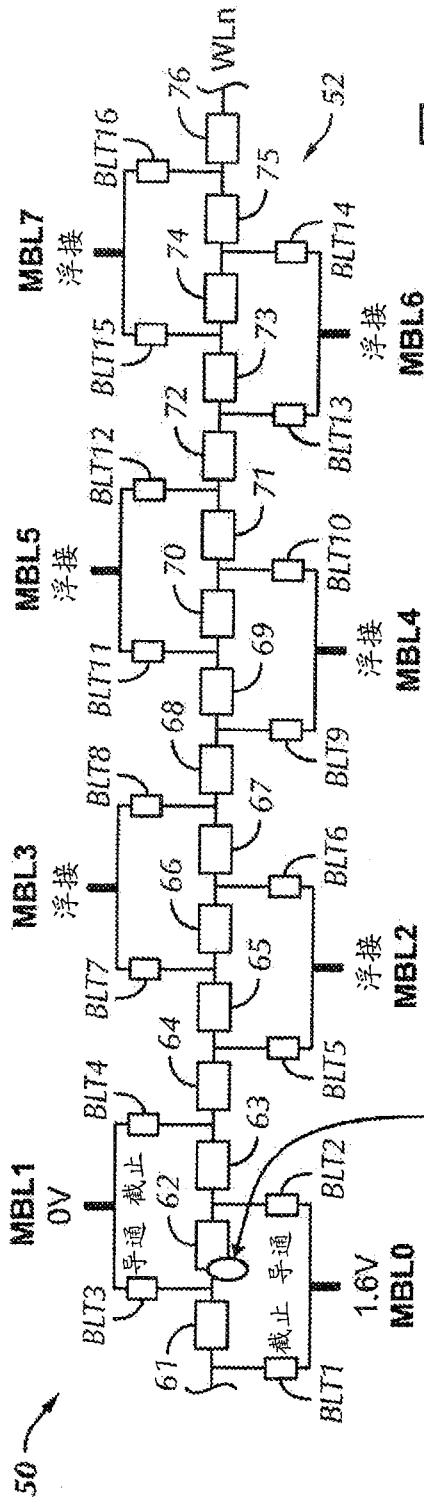
步骤2. 检测期间 (编码时)



4B

存储器单元61的右边被读取 (BLT1, BLT3=导通)

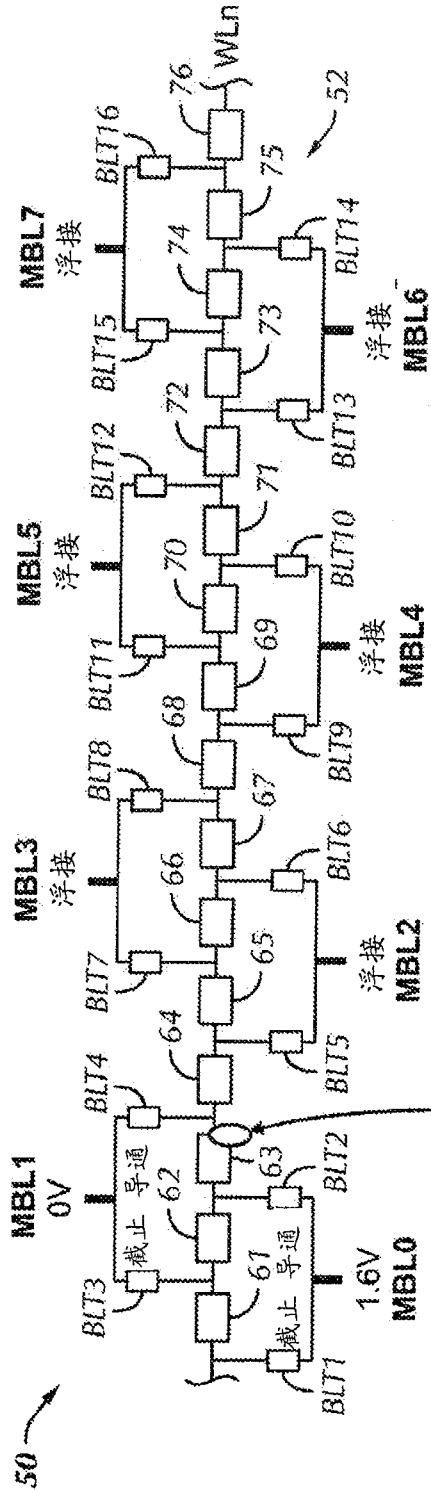
步骤3. 检测期间 (BLT编码变换)



4C

存储器单元62的左边被读取 (BLT2, BLT3=导通)

步骤4. 检测期间 (BLT编码变换)



4D

存储器单元63的右边被读取 (BLT2, BLT4=导通)

步骤5. 结束。检测期间（全部编码变换完成之后 → 单元状态）

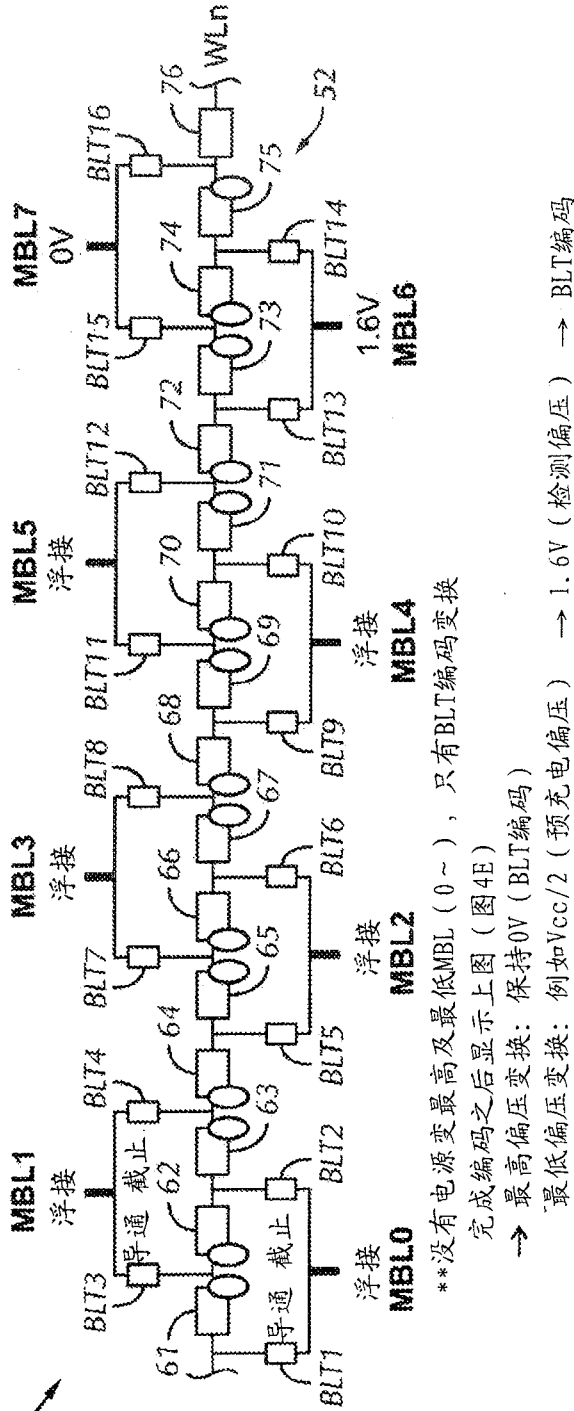
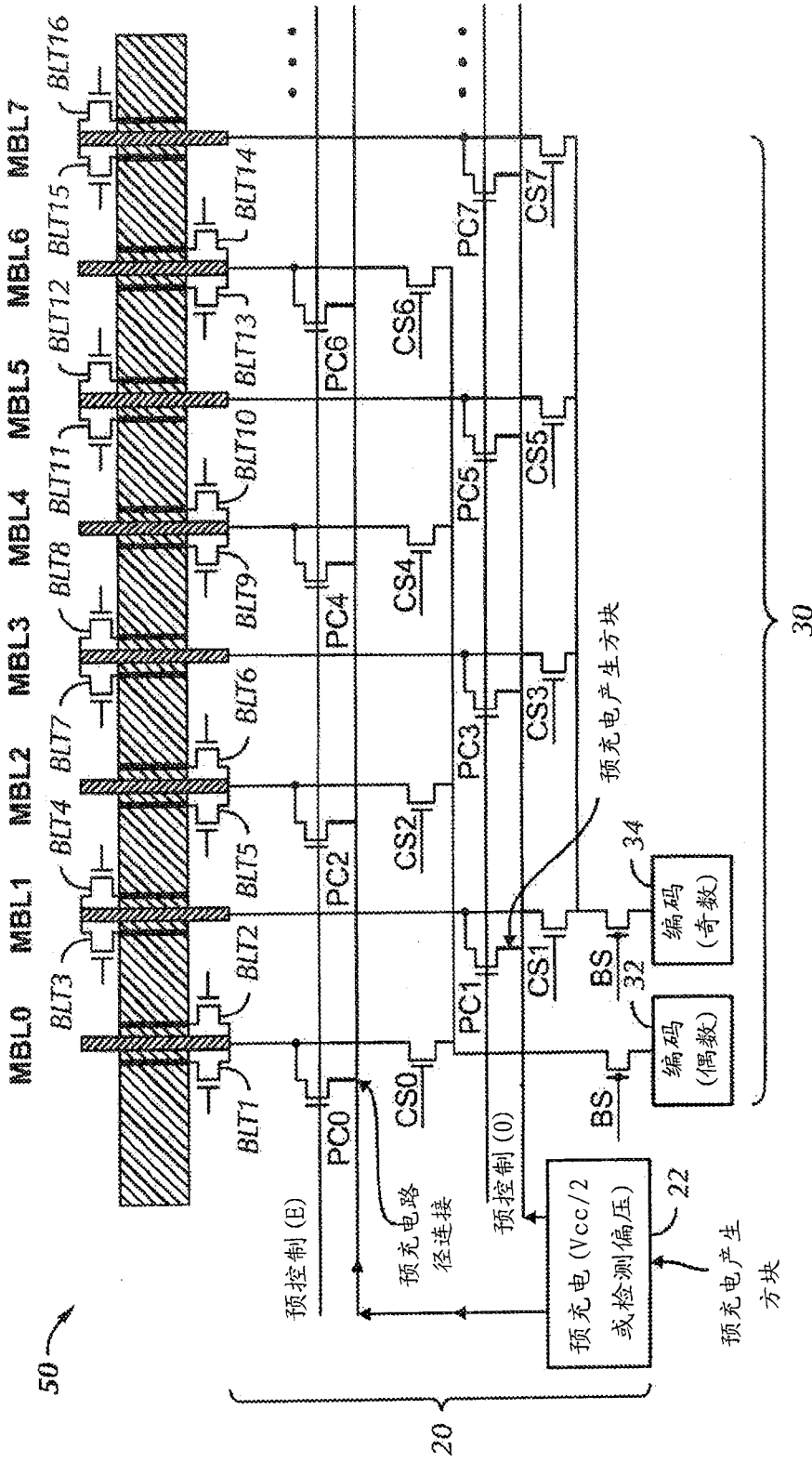


图 4E



\*\*上图显示位元线编码架构及预充电路径及方块的附加产生方快

\*\*预控制(0)/预控制(E) = 1. 栅极控制信号名

2. 对奇/偶MLB位元线强制偏压

图 5