

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-190860

(P2012-190860A)

(43) 公開日 平成24年10月4日(2012.10.4)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 6 K	4 M 1 0 4
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 6 V	5 F 1 1 0
H O 1 L 29/417 (2006.01)	H O 1 L 29/50 M	
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 0 1 S	

審査請求 未請求 請求項の数 1 〇 L (全 11 頁)

(21) 出願番号 特願2011-50907 (P2011-50907)
 (22) 出願日 平成23年3月9日 (2011.3.9)

特許法第30条第1項適用申請有り 平成22年12月15日 独立行政法人産業技術総合研究所主催の「2010年 半導体MIRA Iプロジェクト成果報告会」において文書をもって発表

(出願人による申告) 平成22年度独立行政法人新エネルギー・産業技術総合開発機構委託研究「次世代半導体材料・プロセス基盤 (MIRA I) プロジェクト/次世代半導体材料・プロセス基盤 (MIRA I) プロジェクト (一般会計) /新構造極限CMOSトランジスタ関連技術開発」産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 301021533
 独立行政法人産業技術総合研究所
 東京都千代田区霞が関1-3-1
 (72) 発明者 水林 亘
 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
 Fターム(参考) 4M104 AA01 AA09 BB01 BB21 DD02
 DD55 DD78 DD84 GG09
 5F110 AA03 CC02 DD05 DD13 EE09
 FF02 GG02 GG28 HJ01 HJ13
 HJ23 HK02 HK05 HK33 HK40
 NN02 NN23 NN35 QQ01

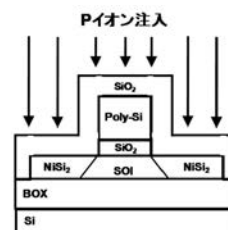
(54) 【発明の名称】 MOSトランジスタの製造方法

(57) 【要約】

【課題】 本発明は、メタルソース/ドレインを有するMOSトランジスタにおいて、メタルソース/ドレインの位置制御且つショットキーバリアハイトの制御の両者を実現できる技術を提供することを課題とする。

【解決手段】 SOI層上にゲート電極構造を形成する工程と、該ゲート電極構造をマスクにSOI層上に窒素添加Ni膜を成膜する工程と、窒素添加Ni膜上にTiN膜を形成する工程と、窒素雰囲気中でアニールしSOI層中にMOSトランジスタのソース及びドレインとなるエピタキシャルNiSi₂層を形成する工程と、TiNと残ったNi膜を除去する工程と、該ゲート電極構造をマスクに該エピタキシャルNiSi₂層中にPイオンを注入する工程と、該Pイオンを活性化アニールする工程とを含むMOSトランジスタの製造方法。

【選択図】 図5



【特許請求の範囲】

【請求項1】

S O I 層上にゲート電極構造を形成する工程と、該ゲート電極構造をマスクに S O I 層上に窒素添加 N i 膜を成膜する工程と、窒素添加 N i 膜上に T i N 膜を形成する工程と、窒素雰囲気中でアニールし S O I 層中に M O S トランジスタのソース及びドレインとなるエピタキシャル N i S i ₂ 層を形成する工程と、T i N と残った N i 膜を除去する工程と、該ゲート電極構造をマスクに該エピタキシャル N i S i ₂ 層中に P イオンを注入する工程と、該 P イオンを活性化アニールする工程とを含む M O S トランジスタの製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、M O S トランジスタの製造方法に関するものである。

【背景技術】

【0002】

MOS トランジスタの性能向上は、素子の微細化により実現されてきた。ゲート長が 30nm 以下のナノメータスケールの MOS トランジスタにおいて、短チャネル効果を抑制するため、従来のバルク Si 基板から極薄の SOI 基板に置き換える必要がある。さらに、ソース／ドレイン部分の寄生抵抗を下げるため、従来の pn 接合から、メタルソース／ドレインへ置き換える必要がある。

20

【0003】

次世代の MOS トランジスタは、極薄の SOI 基板に素子を作製し、極薄 SOI 層中にメタルソース／ドレインを有する構造となる。つまり、メタルソース／ドレインを有する極薄 SOI MOS トランジスタとなる。

メタルソース／ドレインは、メタルとシリコンを反応させたメタルシリサイドが有望である。メタルシリサイドは、これまでのプロセスとも親和性が高く、さらに、低温でメタルシリサイドを形成できるので、プロセスを低温化できるメリットがある。一方、メタルシリサイド形成において、メタルとシリコンの反応が早く、その制御が難しい課題もある。極薄 SOI 層中にメタルシリサイドを形成する場合、バルク Si に比べ反応する Si 量が限定されるので、Si 量が少ない極薄の SOI 層中でメタルシリサイドの位置制御が重要な課題となる。

30

【0004】

非特許文献 1 では、メタルシリサイドに Si 基板との格子ミスマッチが小さいエピタキシャル NiSi₂ を用いている。シリサイドアニール時間を変化させることにより、SOI 層中でエピタキシャル NiSi₂ の成長を、縦方向 (<100> 方向)、そして、横方向 (<111> 方向) でそれぞれ制御できることを報告している。このエピタキシャル NiSi₂ 成長を用いた位置制御は、接合制御技術として期待できる。

【0005】

しかし、エピタキシャル NiSi₂ 成長を利用した接合位置制御は、位置は制御できるが、ショットキーバリアハイトが高く、MOS トランジスタのソース／ドレインとして十分に機能しない課題がある。

40

【0006】

メタルシリサイドにおいてショットキーバリアハイトを制御、低減する方法としては、
(1) Y、E r、Y b などの元素添加 (非特許文献 2 参照)
(2) ドーパント偏析による (シリサイド形成前にイオン注入) (非特許文献 3 参照)
が提案されているが、次のような問題点がある。

【0007】

(1) では、Y、E r、Y b などの元素添加によりショットキーバリアハイトの制御が可能であるが、相分離しショットキーバリアハイトが変化する。

50

(2)では、シリサイド形成前のイオン注入によるショットキーバリアハイト制御の場合、雪かき効果によるショットキーバリアハイト制御となり、その精密な制御が困難である。

極薄SOI層中においてメタルシリサイドの位置制御を行い且つショットキーバリアハイトを精密に制御できる技術はまだ確立されていない。

【先行技術文献】

【非特許文献】

【0008】

【非特許文献1】第57回応用物理学関係連合講演会 講演予稿集17a-D-5(2010春)

10

【非特許文献2】IEDM Tech.Dig., p. 135, 2007.

【非特許文献3】2004 Symp.on VLSI Tech. Dig., p. 168, 2004.

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明は、メタルソース／ドレインを有するMOSトランジスタにおいて、メタルソース／ドレインの位置制御且つショットキーバリアハイトの制御の両者を実現できる技術を提供することを課題とする。

【課題を解決するための手段】

【0010】

20

上記の課題は、以下のMOSトランジスタの製造方法によって解決される。

SOI層上にゲート電極構造を形成する工程と、該ゲート電極構造をマスクにSOI層上に窒素添加Ni膜を成膜する工程と、窒素添加Ni膜上にTiN膜を形成する工程と、窒素雰囲気中でアニールしSOI層中にMOSトランジスタのソース及びドレインとなるエピタキシャルNiSi₂層を形成する工程と、TiNと残ったNi膜を除去する工程と、該ゲート電極構造をマスクに該エピタキシャルNiSi₂層中にPイオンを注入する工程と、該Pイオンを活性化アニールする工程とを含むMOSトランジスタの製造方法。

【発明の効果】

【0011】

30

本発明によれば、エピタキシャルNiSi₂ソース／ドレインの形成時のアニール時間を変化させ、さらに、Pイオン注入を行うことにより、MOSトランジスタの接合位置制御とショットキーバリアハイトを制御することができる。

【図面の簡単な説明】

【0012】

【図1】本発明の一実施の形態における製造工程中のMOSトランジスタの要部を模式的に示す断面図である。

【図2】図1に続く製造工程中のMOSトランジスタの要部を模式的に示す断面図である。

。

【図3】図2に続く製造工程中のMOSトランジスタの要部を模式的に示す断面図である。

。

40

【図4】図3に続く製造工程中のMOSトランジスタの要部を模式的に示す断面図である。

。

【図5】図4に続く製造工程中のMOSトランジスタの要部を模式的に示す断面図である。

。

【図6】別に作製したMOSトランジスタの断面TEM像を示す説明図である。

【図7】電子線回折像と各面の長さを示す説明図である。

【図8】ドーパント注入前のMOSトランジスタのドレイン電流－ゲート電圧特性を示す説明図である。

【図9】ドーパント注入後のMOSトランジスタのドレイン電流－ゲート電圧特性を示す説明図である。

50

【図10】Pイオン注入ドーズ量とショットキー抵抗の関係を示す説明図である。

【図11】Pイオン注入ドーズ量とショットキーバリアハイト (Φ_{Bn}) の関係を示す説明図である。

【図12】MOSトランジスタの飽和ドレイン電流 (I_{Dsat}) とゲート長の関係を示す説明図である。

【図13】各ゲート長のMOSトランジスタにおける I_{Dsat} と Φ_{Bn} の関係を示す説明図である。

【図14】ゲート長90nmのMOSトランジスタにおける I_{Dsat} と Φ_{Bn} の関係（実測値とシミュレーションの比較）を示す説明図である。

【発明を実施するための形態】

【0013】

以下、図1～5にしたがって本発明に係るMOSトランジスタの製造方法の一例を説明する。

基板上にBOXを介してSOI層を形成したSi基板を用意し、図1に示すように、極薄SOI層を素子分離するため、レジストでパターニングを行い、ドライエッチングによりメサ加工を行う。

次に、図2に示すように、ゲート絶縁膜 (SiO_2 膜) とゲート電極 (Poly-Si) を形成する。その後、図3に示すように、電子ビーム描画装置でゲート描画を行い、ゲート加工を行う。図4に示すように、ゲート加工後、残ったゲート絶縁膜を1%ふっ酸溶液で除去する。

【0014】

次に、窒素添加したNi膜をスパッタ法で形成する。その後、キャップ膜のTiN膜をスパッタ法で形成する。次に急速加熱アニール法を用いて、500℃、 N_2 雰囲気で1～300分アニールを行いSOI層中にNiSi₂からなるメタルソース／ドレインを形成する。

その後、 HSO_4/H_2O_2 溶液でキャップ膜のTiNと未反応なNi膜を除去する。次に基板全面に減圧CVD法で SiO_2 膜の形成を行う。次に、図5に示すように、P（磷）イオンを注入して、その後、600℃、 N_2 雰囲気で30分アニールを行い、不純物の活性化を行う。

【0015】

図6に別に作製したSOI MOSトランジスタの断面TEM像を示す。今回作製した厚さ6nmと非常に薄いSOI層中にNiSi₂が精密に形成されていることが分かる。

さらに、図7に電子線回折像と各面の間隔を示す。メタルソース／ドレインとチャネル部分の電子線回折像から、SOI層中に形成されたエピタキシャルNiSi₂は、Si基板との格子ミスマッチ1.1%以下と小さいことが分かった。

【0016】

図8にドーパント注入前のドレイン電流－ゲート電圧特性を示す。ドーパントを導入しない場合、ゲート長が40nm～1μmと変化したとしても、通常の反転領域でトランジスタ動作が見られない。シリサイド形成アニール時間を変化させ、接合位置を動かしたとしても、同様な結果となる。

次に、ドーパントを導入した場合、図9に示すように、通常の反転領域で正常なトランジスタ動作が観測される。この結果から分かるように、Pイオンを導入にすることにより、正常なソース／ドレインとして機能していることが分かる。

【0017】

次に、シリサイドアニール時間1分の時のPイオン注入ドーズ量を変化させた時、エピタキシャルNiSi₂ソース／ドレインのショットキーバリアハイトとショットキー抵抗に及ぼす影響を評価した結果を図10と図11に示す。さらに、この時のMOSトランジスタの電気特性に及ぼす影響を図12～図14に示す。

【0018】

図10にPイオン注入ドーズ量と Φ_{Bn} の関係を示す。注入ドーズ量により Φ_{Bn} が変化し、ドーズ量が増えると Φ_{Bn} が低下する。次に、図11に示すように、イオン注入ドーズ量が増えると $R_{Schottky}$ が低減する。

10

20

30

40

50

つまり、これらの結果から、 Φ_{Bn} と $R_{Schottky}$ 共にPイオン注入ドーズ量で制御できることが分かる。

【0019】

図12にMOSトランジスタの飽和ドレイン電流(I_{Dsat})とゲート長の関係を示す。

図13に各ゲート長における I_{Dsat} と Φ_{Bn} の関係を示す。いずれの Φ_{Bn} においてもゲート長の微細化と共に I_{Dsat} が増加することが分かる。 Φ_{Bn} 低減により I_{Dsat} が増加する、ゲート長が小さくなるとその変化が顕著になる。ショットキー抵抗が下がり、ドレイン電流増加による電圧降下が増えたためである。

【0020】

図14にゲート長90nmのMOSトランジスタにおける I_{Dsat} と Φ_{Bn} の関係(実測値とシミュレーションの比較)を示す。シミュレーション結果は実験値とおおむね再現できており、極限のオーミックレベルまで Φ_{Bn} を0.1eV以下に低減しても、 I_{Dsat} の増加が予測される。

10

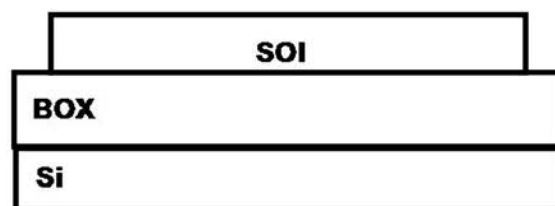
本発明に係るMOSトランジスタの製造方法が従来のMOSトランジスタの製造方法に比べ、エピタキシャル $NiSi_2$ 構造を維持しながら、接合位置とドーパント量により Φ_{Bn} を精密に制御できる点が優れている。

【0021】

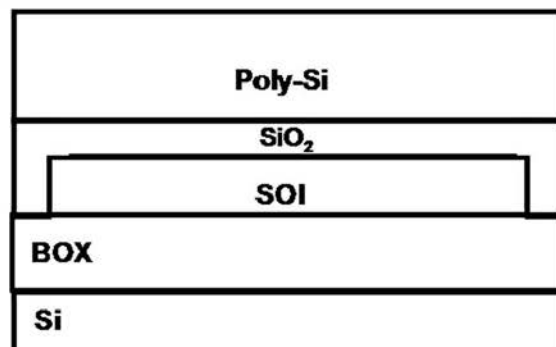
なお、上記の実施例は、あくまでも本発明の理解を容易にするためのものであり、この実施例に限定されるものではない。すなわち、本発明の技術思想に基づく変形、他の態様は、当然本発明に包含されるものである。

20

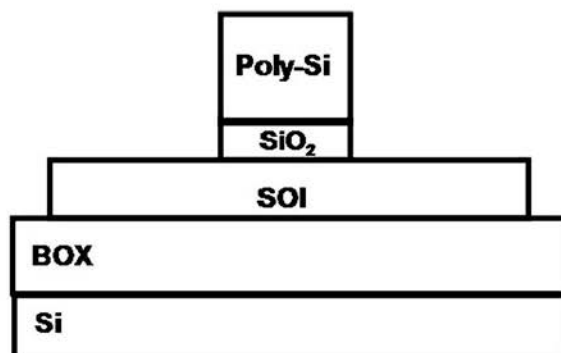
【図1】



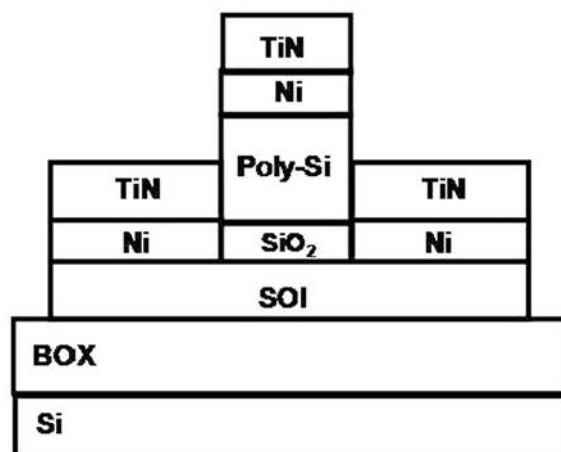
【図2】



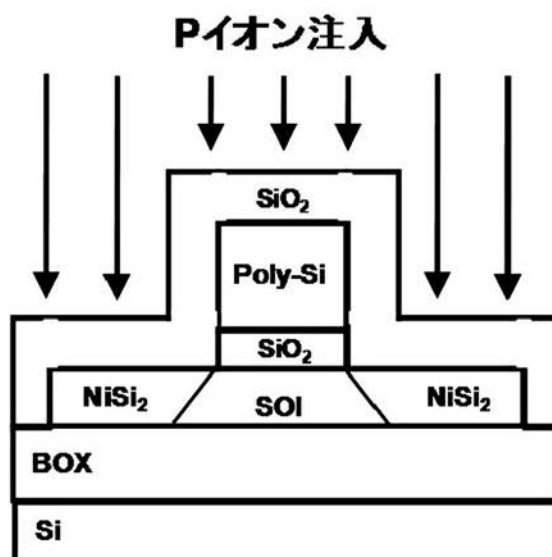
【図 3】



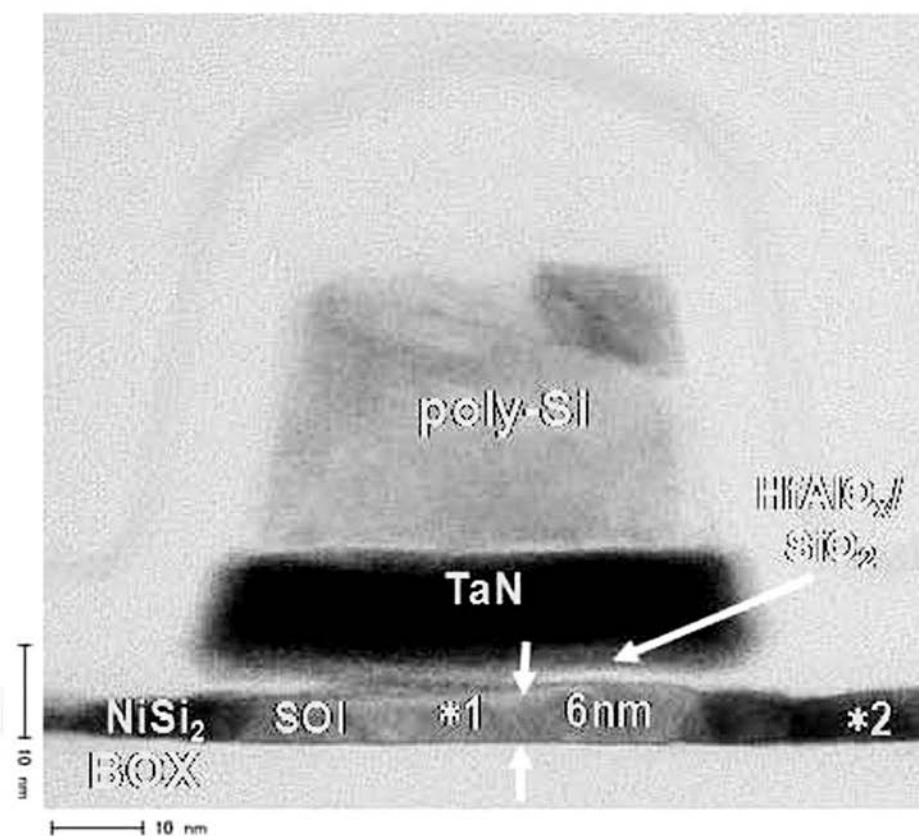
【図 4】



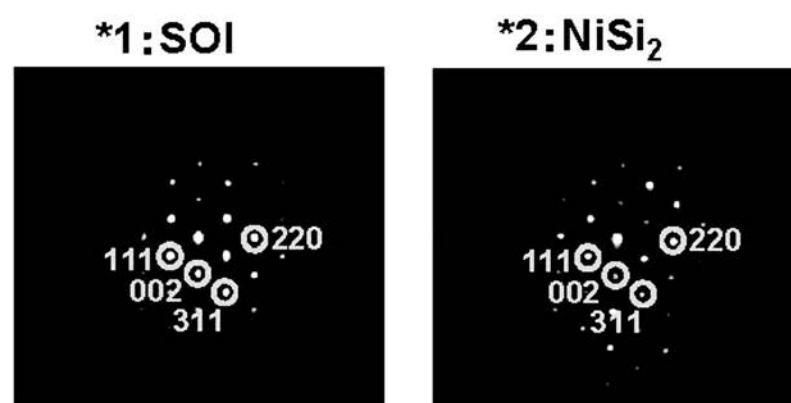
【図 5】



【図 6】

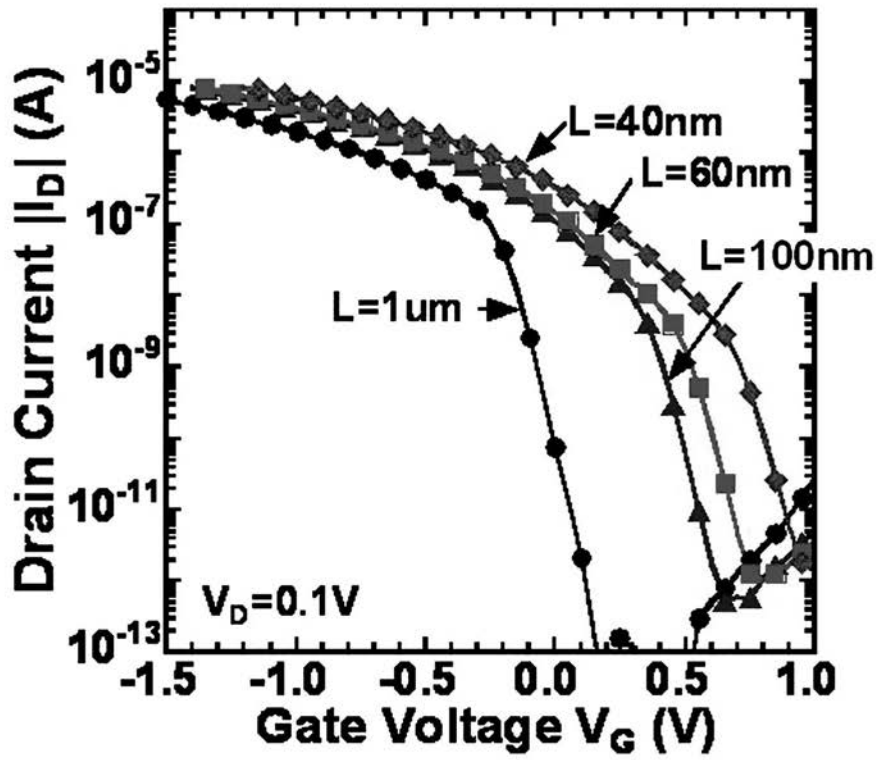


【図 7】

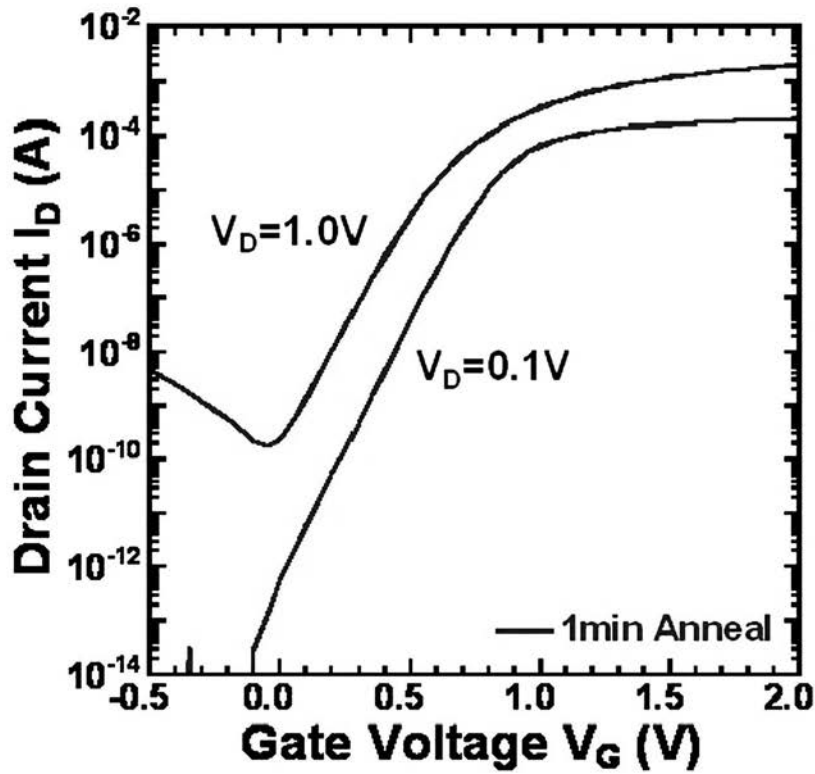


	Si	NiSi ₂
d(002)	0.267nm	0.266nm
d(111)	0.313nm	0.309nm
d(311)	0.163nm	0.161nm
d(220)	0.191nm	0.188nm

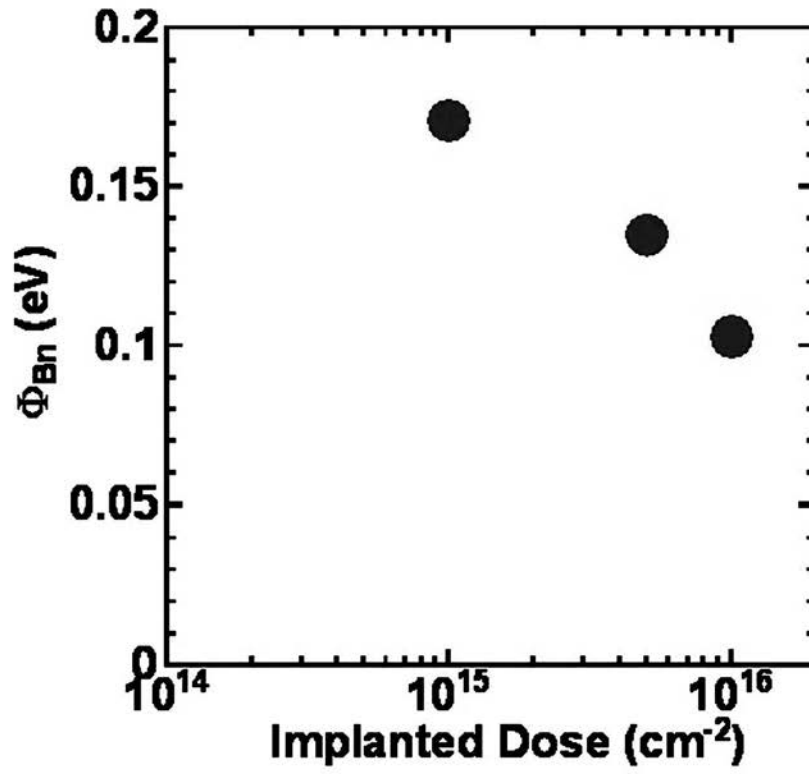
【 図 8 】



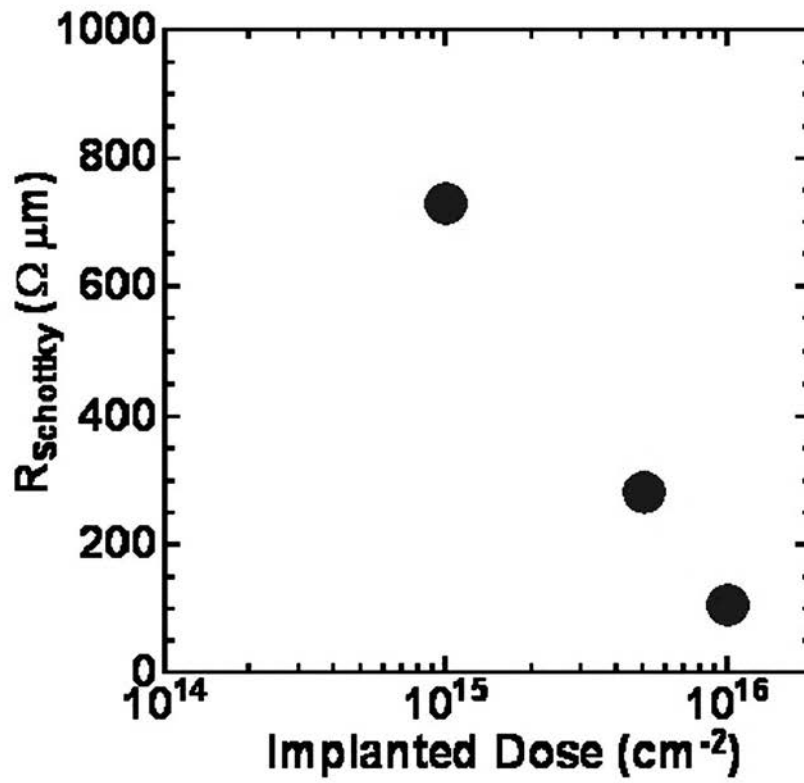
【 図 9 】



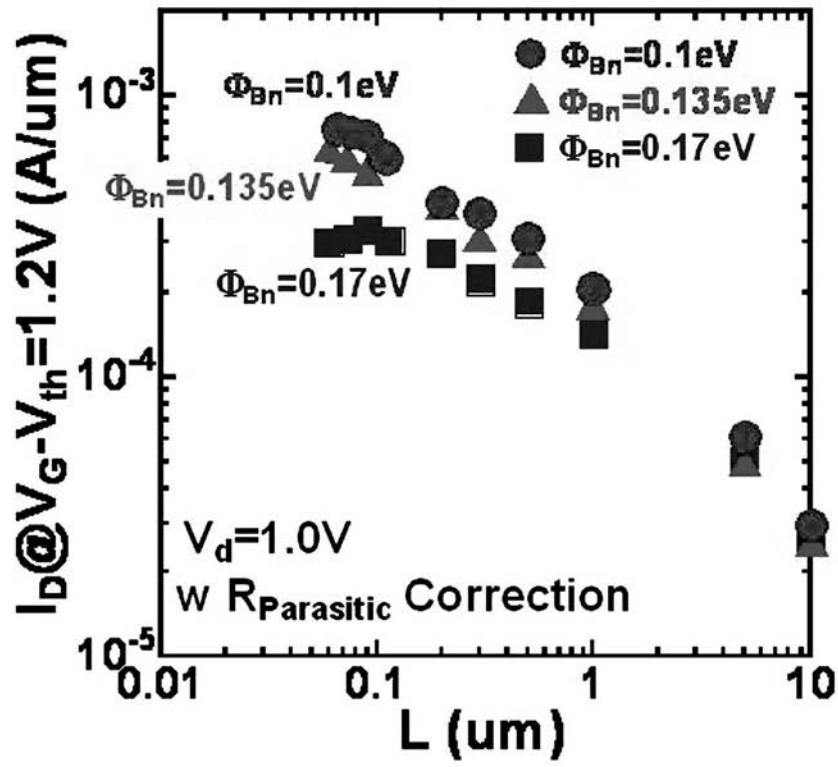
【図 1 0】



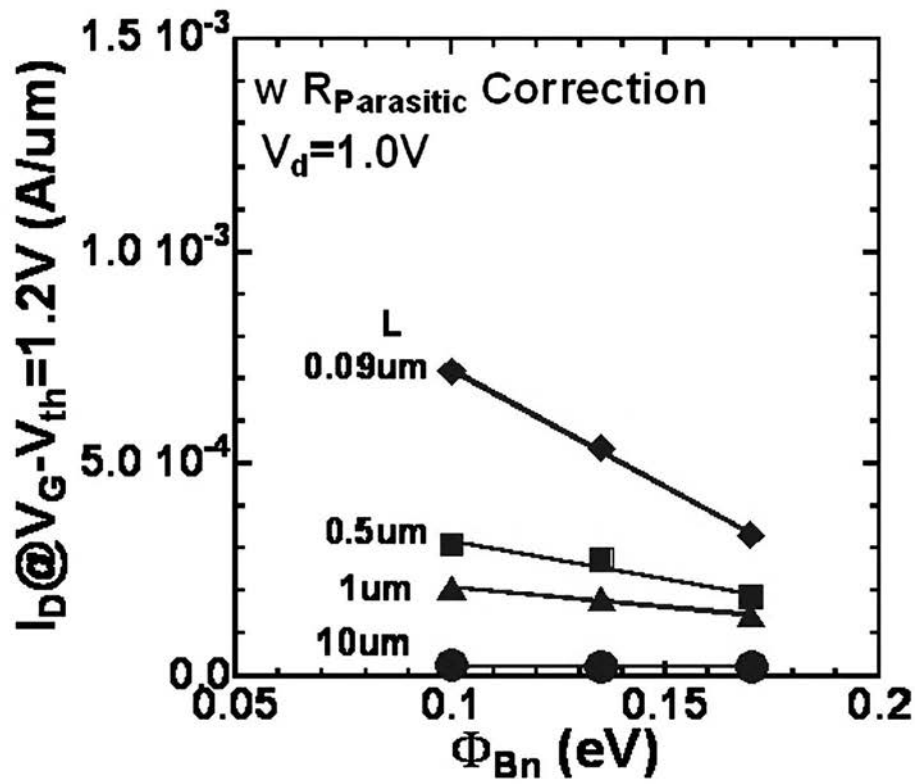
【図 1 1】



【図 1 2】



【図 1 3】



【図 14】

