



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I749565 B

(45)公告日：中華民國 110 (2021) 年 12 月 11 日

(21)申請案號：109117505

(22)申請日：中華民國 97 (2008) 年 07 月 02 日

(51)Int. Cl. : **G02F1/1368 (2006.01)**

(30)優先權：2007/07/06 日本

2007-179092

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；鈴木幸惠 SUZUKI, YUKIE (JP)；桑原秀
明 KUWABARA, HIDEAKI (JP)；木村肇 KIMURA, HAJIME (JP)

(74)代理人：林志剛

(56)參考文獻：

TW I258219

JP 6-342909A

JP 10-270707A

US 6690437B2

US 2007/0109455A1

審查人員：林信宏

申請專利範圍項數：7 項 圖式數：37 共 122 頁

(54)名稱

液晶顯示裝置

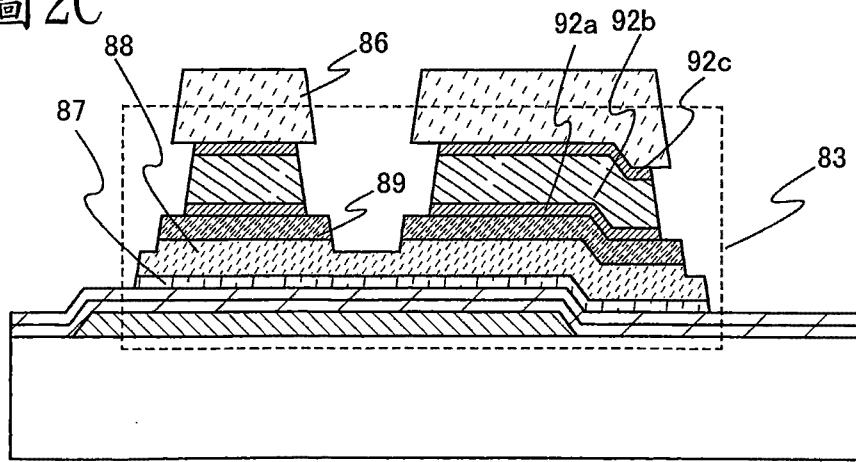
(57)摘要

本發明的目的為提供一種方法，其中批量生產性高地製造具有電特性良好且可靠性高的薄膜電晶體的液晶顯示裝置。在具有反交錯型薄膜電晶體的液晶顯示裝置中，在反交錯型薄膜電晶體中的閘極電極上形成閘極絕緣膜，在閘極絕緣膜上形成用作通道形成區域的微晶半導體膜，在微晶半導體膜上形成緩衝層，在緩衝層上形成一對源區域及汲區域，以使源區域及汲區域的一部分露出的方式形成與源區域及汲區域接觸的一對源極電極及汲極電極。

A method of manufacturing, with high mass productivity, liquid crystal display devices having highly reliable thin film transistors with excellent electric characteristics is provided. In a liquid crystal display device having an inverted staggered thin film transistor, the inverted staggered thin film transistor is formed as follows: a gate insulating film is formed over a gate electrode; a microcrystalline semiconductor film which functions as a channel formation region is formed over the gate insulating film; a buffer layer is formed over the microcrystalline semiconductor film; a pair of source and drain regions are formed over the buffer layer; and a pair of source and drain electrodes are formed in contact with the source and drain regions so as to expose a part of the source and drain regions.

指定代表圖：

圖 2C



符號簡單說明：

83: 薄膜電晶體

86: 抗蝕劑掩模

87: 微晶半導體膜

88: 緩衝層

89: 汲區域

92a: 汲極電極

92c: 汲極電極

發明摘要

【發明名稱】(中文/英文)

液晶顯示裝置

LIQUID CRYSTAL DISPLAY DEVICE

【中文】

本發明的目的為提供一種方法，其中批量生產性地製造具有電特性良好且可靠性高的薄膜電晶體的液晶顯示裝置。在具有反交錯型薄膜電晶體的液晶顯示裝置中，在反交錯型薄膜電晶體中的閘極電極上形成閘極絕緣膜，在閘極絕緣膜上形成用作通道形成區域的微晶半導體膜，在微晶半導體膜上形成緩衝層，在緩衝層上形成一對源區域及汲區域，以使源區域及汲區域的一部分露出的方式形成與源區域及汲區域接觸的一對源極電極及汲極電極。

【英文】

A method of manufacturing, with high mass productivity, liquid crystal display devices having highly reliable thin film transistors with excellent electric characteristics is provided. In a liquid crystal display device having an inverted staggered thin film transistor, the inverted staggered thin film transistor is formed as follows: a gate insulating film is formed over a gate electrode; a microcrystalline semiconductor film which functions as a channel formation region is formed over the gate insulating film; a buffer layer is formed over the microcrystalline semiconductor film; a pair of source and drain regions are formed over the buffer layer; and a pair of source and drain electrodes are formed in contact with the source and drain regions so as to expose a part of the source and drain regions.

【代表圖】

【本案指定代表圖】：第(2C)圖。

【本代表圖之符號簡單說明】：

83：薄膜電晶體

86：抗蝕劑掩模

87：微晶半導體膜

88：緩衝層

89：汲區域

92a：汲極電極

92c：汲極電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

液晶顯示裝置

LIQUID CRYSTAL DISPLAY DEVICE

【技術領域】

本發明係關於至少對像素部使用薄膜電晶體的液晶顯示裝置。

【先前技術】

近年來，將形成在具有絕緣表面的基板上的半導體薄膜（厚度為幾十 nm 至幾百 nm 左右）用於通道形成區域構成薄膜電晶體的技術引人注目。薄膜電晶體廣泛地應用於電子裝置如 IC 及電光裝置，尤其是，正在加快開發作為圖像顯示裝置的開關元件的薄膜電晶體。

作為圖像顯示裝置的開關元件，採用將非晶半導體膜用於通道形成區域的薄膜電晶體、或將多晶半導體膜用於通道形成區域的薄膜電晶體等。作為多晶半導體膜的形成方法，一般知道由光學系統將脈衝振盪的受激準分子雷射光束加工為線形，並對於非晶矽膜進行線形光束的掃描和照射來晶化的技術。

此外，作為圖像顯示裝置的開關元件，採用將微晶半導體膜用於通道形成區域的薄膜電晶體（參照專利文獻 1

及 2)。

[專利文獻 1]日本專利申請公開第 Hei4-242724 號公報

[專利文獻 2]日本專利申請公開第 2005-49832 號公報
將多晶半導體膜用於通道形成區域的薄膜電晶體具有如下優點：其電場效應遷移率比將非晶半導體膜用於通道形成區域的薄膜電晶體高兩個數量級以上，並且可以將半導體顯示裝置的像素部和其周邊的驅動電路一體形成在相同基板上。然而，有如下問題：與將非晶半導體膜用於通道形成區域的情況相比，因使半導體膜晶化而製程較複雜，由此成品率降低且成本升高。

此外，有微晶半導體膜的晶粒的表面容易氧化的問題。這個情況還引起如下問題：當通道形成區域的晶粒氧化時，在晶粒的表面上形成氧化膜，並且該氧化膜障礙載流子的移動，從而薄膜電晶體的電特性降低。

【發明內容】

鑒於上述問題，本發明的目的在於提供包括電特性良好且可靠性高的薄膜電晶體的液晶顯示裝置、以及批量生產性高地製造該液晶顯示裝置的方法。

在包括反交錯型薄膜電晶體的液晶顯示裝置的反交錯型薄膜電晶體中，在閘極電極上形成閘極絕緣膜，在閘極絕緣膜上形成用作通道形成區域的微晶半導體膜（也稱為半非晶半導體膜），在微晶半導體膜上形成緩衝層，在緩

衝層上形成一對源區域及汲區域，以使源區域及汲區域的一部分露出的方式形成與源區域及汲區域接觸的一對源極電極及汲極電極。因此，源區域及汲區域具有與源極電極及汲極電極接觸的區域和不與源極電極及汲極電極接觸的區域。此外，在源極電極及汲極電極的外側，源區域及汲區域的一部分、以及緩衝層的一部分露出，並且源極電極及汲極電極不與微晶半導體膜的端部和源區域及汲區域的端部重疊。此外，在源極電極及汲極電極的端部的的外側形成源區域及汲區域的端部、以及緩衝層的端部。

藉由源極電極及汲極電極的端部和源區域及汲區域的端部不一致，並在源極電極及汲極電極的端部的的外側形成源區域及汲區域的端部，源極電極及汲極電極的端部之間的距離變長，從而可以防止源極電極及汲極電極之間的漏電流及短路。此外，電場不在源極電極及汲極電極和源區域及汲區域的端部中集中，從而可以防止在閘極電極與源極電極及汲極電極之間產生的漏電流。

此外，緩衝層的一部分具有凹部，並且該凹部的側面與源區域及汲區域的端部一致。由於緩衝層的一部分具有凹部且源區域和汲區域之間的距離遠離而源區域及汲區域之間的載流子移動的距離長，因此可以減少源區域及汲區域之間產生的漏電流。

此外，在微晶半導體膜和源區域及汲區域之間形成有緩衝層。微晶半導體膜用作通道形成區域。另外，緩衝層在防止微晶半導體膜的氧化的同時用作高電阻區域。在微

晶半導體膜和源區域及汲區域之間使用高電阻率的非晶半導體膜形成有緩衝層。由此，本發明的薄膜電晶體的電場效應遷移率高，且截止時（即，對閘極電極施加負電壓時）的漏電流少，而汲極耐壓性高。

採用非晶半導體膜作為緩衝層。再者，較佳的採用包含氮、氫、鹵素的任何一種以上的非晶半導體膜。藉由非晶半導體膜包含氮、氫、鹵素的任何一種，可以減少包含在微晶半導體膜中的晶粒的氧化。

可以藉由電漿 CVD 法、濺射法等形成緩衝層。此外，在形成非晶半導體膜之後，藉由對於非晶半導體膜進行使用氮電漿、氫電漿、或鹵素電漿的處理，來可以使非晶半導體膜氮化、氫化、或鹵化。

藉由在微晶半導體膜的表面上設置緩衝層來可以減少包含在微晶半導體膜中的晶粒的氧化，因此可以減少薄膜電晶體的電特性的退化。

與多晶半導體膜不同，微晶半導體膜可以直接形成在基板上。具體而言，可以將氫化矽作為原料氣體並使用電漿 CVD 裝置來形成。藉由上述方法製造的微晶半導體膜也包括在非晶半導體中含有 0.5nm 至 20nm 的晶粒的微晶半導體膜。因此，與使用多晶半導體膜的情況不同，不需要在形成半導體膜之後進行晶化製程。可以縮減製造薄膜電晶體時的製程數，並且還可以提高液晶顯示裝置的成品率並抑制成本。此外，使用頻率為 1GHz 以上的微波的電漿具有高電子密度，從而容易離解原料氣體的氫化矽。因

此，藉由使用頻率為 1GHz 以上的微波的電漿 CVD 法，與頻率為幾十 MHz 至幾百 MHz 的微波電漿 CVD 法相比，可以較容易製造微晶半導體膜，並可以提高成膜速度。因而，可以提高液晶顯示裝置的批量生產性。

此外，使用微晶半導體膜製造薄膜電晶體（TFT），並且將該薄膜電晶體使用於像素部、驅動電路來製造液晶顯示裝置。使用微晶半導體膜的薄膜電晶體的電場效應遷移率為 $1 \text{ cm}^2/\text{V} \cdot \text{sec}$ 至 $20 \text{ cm}^2/\text{V} \cdot \text{sec}$ ，其是將非晶半導體膜用於通道形成區域的薄膜電晶體的 2 倍至 20 倍。因此可以將驅動電路的一部分或全部形成於與像素部相同的基板上，來形成系統型面板（system on panel）。

此外，液晶顯示裝置包括液晶元件。另外，液晶顯示裝置還包括處於液晶元件被密封狀態的面板、以及處於將包括控制器的 IC 等安裝在該面板上的狀態的模組。再者，本發明係關於製造該液晶顯示裝置的過程中的相當於液晶元件完成之前的一個方式的元件基板，該元件基板的多個像素的各個中具備將電壓供給給液晶元件的單元。元件基板採用各種方式，既可以處於只形成有液晶元件的像素電極的狀態，又可以處於在形成成為像素電極的導電膜之後並進行蝕刻來形成像素電極之前的狀態。

注意，本說明書中的液晶顯示裝置是指圖像顯示裝置、液晶顯示裝置、或光源（包括照明裝置）。此外，如下模組也都包括在液晶顯示裝置中：安裝有連接器如 FPC（撓性印刷基板）、TAB（帶式自動接合）膠帶、或 TCP

（帶載封裝）的模組；TAB 膠帶及 TCP 的前端設置有印刷佈線板的模組；或藉由 COG（晶玻接裝，chip on glass）方式將 IC（積體電路）直接安裝在液晶元件中的模組。

根據本發明，可以批量生產性高地製造包括電特性良好且可靠性高的薄膜電晶體的液晶顯示裝置。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是說明本發明的液晶顯示裝置的製造方法的截面圖；

圖 2A 至 2C 是說明本發明的液晶顯示裝置的製造方法的截面圖；

圖 3A 和 3B 是說明本發明的液晶顯示裝置的製造方法的截面圖；

圖 4A 和 4B 是說明本發明的液晶顯示裝置的製造方法的截面圖；

圖 5A 至 5C 是說明本發明的液晶顯示裝置的製造方法的俯視圖；

圖 6A 至 6C 是說明本發明的液晶顯示裝置的製造方法的截面圖；

圖 7A 至 7C 是說明本發明的液晶顯示裝置的製造方法的截面圖；

圖 8A 和 8B 是說明本發明的液晶顯示裝置的製造方

法的截面圖；

圖 9A 至 9D 是說明本發明的液晶顯示裝置的製造方法的俯視圖；

圖 10 是說明本發明的微波電漿 CVD 裝置的俯視圖；

圖 11A 至 11D 是說明可應用於本發明的多級灰度掩模的截面圖；

圖 12A 至 12C 是說明本發明的液晶顯示面板的透視圖；

圖 13A 至 13C 是說明使用本發明的液晶顯示裝置的電子設備的透視圖；

圖 14 是說明使用本發明的液晶顯示裝置的電子設備的圖；

圖 15 是說明本發明的液晶顯示裝置的圖；

圖 16 是說明本發明的液晶顯示裝置的圖；

圖 17 是說明本發明的液晶顯示裝置的圖；

圖 18 是說明本發明的液晶顯示裝置的圖；

圖 19 是說明本發明的液晶顯示裝置的圖；

圖 20 是說明本發明的液晶顯示裝置的圖；

圖 21 是說明本發明的液晶顯示裝置的圖；

圖 22 是說明本發明的液晶顯示裝置的圖；

圖 23 是說明本發明的液晶顯示裝置的圖；

圖 24 是說明本發明的液晶顯示裝置的圖；

圖 25 是說明本發明的液晶顯示裝置的圖；

圖 26 是說明本發明的液晶顯示裝置的圖；

圖 27 是說明本發明的液晶顯示裝置的圖；

圖 28 是說明本發明的液晶顯示裝置的圖；

圖 29A 和 29B 是說明本發明的液晶顯示面板的俯視圖及截面圖；

圖 30 是說明本發明的液晶顯示裝置的結構的方塊圖；

圖 31 是說明本發明的液晶顯示裝置的驅動電路的結構的等效電路圖；

圖 32 是說明本發明的液晶顯示裝置的驅動電路的結構的等效電路圖；

圖 33 是說明本發明的液晶顯示裝置的驅動電路的佈局的俯視圖；

圖 34A 和 34B 是示出藉由拉曼光譜法檢測微晶半導體膜的結果的圖；

圖 35 是用於裝置類比的模型圖；

圖 36 是示出藉由進行裝置類比而獲得的電流電壓特性的圖；以及

圖 37A 和 37B 是示出藉由進行裝置模擬而獲得的薄膜電晶體的電子濃度分佈的圖。

【實施方式】

下面，關於本發明的實施例模式將參照附圖給予說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明可以以多個不同形式來實施，其

方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在本實施例模式所記載的內容中。

[實施例模式 1]

在本實施例模式中，對於用於液晶顯示裝置的薄膜電晶體的製程，參照圖 1A 至圖 12C 進行說明。圖 1A 至圖 4B、圖 6A 至圖 8B 是示出薄膜電晶體的製程的截面圖，而圖 5A 至 5C 以及圖 9A 至 9D 是一個像素中的薄膜電晶體及像素電極的連接區域的俯視圖。

具有微晶半導體膜的 n 型薄膜電晶體較佳的用於驅動電路，因為其電場效應遷移率高於具有微晶半導體膜的 p 型薄膜電晶體的電場效應遷移率。較佳的使形成在相同基板上的所有薄膜電晶體的極性為相同，以抑制製程數的增加。在此，使用 n 通道型的薄膜電晶體來進行說明。

如圖 1A 所示，在基板 50 上形成閘極電極 51。基板 50 可以使用藉由熔化方法或浮發方法（float method）製造的無鹼玻璃基板例如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等、或陶瓷基板，還可以使用具有可承受本製程的處理溫度的耐熱性的塑膠基板等。此外，還可以使用在不銹鋼合金等金屬基板表面上設置絕緣膜的基板。在基板 50 是母玻璃的情況下，其尺寸可以採用第一代（320mm×400mm）、第二代（400mm×500mm）、第三代（550mm×650mm）、第四代（680mm×880mm 或 730mm

×920mm)、第五代(1000mm×1200mm 或 1100mm×1250mm)、第六代(1500mm×1800mm)、第七代(1900mm×2200mm)、第八代(2160mm×2460mm)、第九代(2400mm×2800mm 或 2450mm×3050mm)、第十代(2950mm×3400mm)等。

使用鈦、鉬、鉻、鉭、鎢、鋁等的金屬材料或其合金材料形成閘極電極 51。可以藉由濺射法、真空蒸鍍法在基板 50 上形成導電膜，藉由光微影技術或噴墨法在該導電膜上形成掩模，並使用該掩模蝕刻導電膜，來形成閘極電極 51。注意，作為用來提高閘極電極 51 的緊密性並防止擴散到基底的阻擋金屬，也可以將上述金屬材料的氮化物膜設置在基板 50 和閘極電極 51 之間。在此，藉由採用使用第一光掩模形成的抗蝕劑掩模來蝕刻形成在基板 50 上的導電膜，來形成閘極電極 51。

注意，因為在閘極電極 51 上形成絕緣膜、半導體膜及佈線等，所以其端部較佳的加工為錐形形狀，以便防止斷開。此外，雖然未圖示，但可以藉由該製程同時形成連接到閘極電極的佈線。

其次，在閘極電極 51 上按順序形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、添加有賦予一導電型的雜質元素的半導體膜 55、導電膜 65a 至 65c。接著，在導電膜 65c 上塗敷抗蝕劑 80。注意，較佳的至少連續形成閘極絕緣膜 52a、52b、微晶半導體膜 53 及緩衝層 54。再者，較佳的連續形成閘極絕緣膜 52a、52b、微

晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質元素的半導體膜 55。藉由在不接觸大氣的狀態下至少連續形成閘極絕緣膜 52a、52b、微晶半導體膜 53、及緩衝層 54，可以形成各個疊層介面而不被大氣成分及懸浮在大氣中的污染雜質元素污染，因此可以減少薄膜電晶體特性的不均勻。

閘極絕緣膜 52a、52b 分別可以藉由 CVD 法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜來形成。在此示出，按順序層疊氧化矽膜或氧氮化矽膜、和氮化矽膜或氮氧化矽膜來形成閘極絕緣膜 52a、52b 的方式。另外，閘極絕緣膜還可以不採用兩層結構，而從基板一側按順序層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜、和氮化矽膜或氮氧化矽膜的三層來形成閘極絕緣膜。此外，還可以使用氧化矽膜、氮化矽膜、氧氮化矽膜或者氮氧化矽膜的單層來形成閘極絕緣膜。

在此，氧氮化矽膜是指具有如下組成的膜：氧的含有量比氮的含有量多，並且在採用盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）以及氫前方散射法（HFS：Hydrogen Forward Scattering）檢測時，作為濃度範圍，包含 50 原子%至 70 原子%的氧，包含 0.5 原子%至 15 原子%的氮，包含 25 原子%至 35 原子%的矽，包含 0.1 原子%至 10 原子%的氫。此外，氮氧化矽膜是指具有如下組成的膜：氮的含量比氧的含量多，並且在採用 RBS 及 HFS 檢測時，作為濃度範圍，包含 5 原

子%至 30 原子%的氧，包含 20 原子%至 55 原子%的氮，包含 25 原子%至 35 原子%的矽，包含 10 原子%至 30 原子%的氫。但是，在構成氮化矽或氮化矽的原子的總和為 100 原子%時，氮、氧、矽及氫的含有比率包括在上述範圍內。

微晶半導體膜 53 是指包括非晶結構和結晶結構（包括單晶、多晶）之間的中間結構的半導體的膜。該半導體為具有在自由能方面上很穩定的第三狀態的半導體，並且具有短程有序且具有晶格應變的結晶質的半導體，粒徑為 0.5nm 至 20nm 的柱狀或針狀結晶在對於基板表面成為法線的方向上生長。此外，微晶半導體與非晶半導體混合在一起。在微晶半導體的典型例子的微晶矽中，其拉曼光譜轉移到比表示單晶矽的 521cm^{-1} 低波數一側。即，微晶矽的拉曼光譜的峰值位於表示單晶矽的 521cm^{-1} 和表示非晶矽的 480cm^{-1} 之間。此外，包含有至少 1 原子%或更多的氫或鹵素，以便終止懸空鍵。再者，可以藉由將氮、氫、氫、氬等的稀有氣體元素包含在微晶半導體膜中而進一步促進晶格應變來提高穩定性以獲得良好的微晶半導體膜。關於這種微晶半導體膜的記述例如在美國專利第 4,409,134 號中公開。

可以藉由使用頻率為幾十 MHz 至幾百 MHz 的高頻率電漿 CVD 法、或頻率為 1GHz 以上的微波電漿 CVD 裝置形成該微晶半導體膜。代表性地，可以使用氫稀釋 SiH_4 、 Si_2H_6 等的氮化矽形成。另外，除了使用氮化矽及氮之

外，還可以使用選自氫、氫、氮、氖中的一種或多種稀有氣體元素進行稀釋，來形成微晶半導體膜。將氫的流量比設定為此時的氫化矽的 50 倍以上 1000 倍以下，較佳的設定為 50 倍以上 200 倍以下，更佳的為 100 倍。注意，也可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替氫化矽。

此外，由於當示意性地不添加用於價電子控制的雜質元素時，微晶半導體膜呈現弱 n 型導電性，因此可以藉由在形成膜的同時或形成膜之後對於用作薄膜電晶體的通道形成區域的微晶半導體膜添加賦予 p 型的雜質元素，來控制臨界值。作為賦予 p 型的雜質元素的典型，可舉出硼，較佳的將 B_2H_6 、 BF_3 等的雜質氣體以 1ppm 至 1000ppm 的比例，較佳的以 1ppm 至 100ppm 的比例混入到氫化矽中。而且，硼的濃度例如較佳的為 $1 \times 10^{14} \text{ atoms/cm}^3$ 至 $6 \times 10^{16} \text{ atoms/cm}^3$ 。

此外，微晶半導體膜的氧濃度較佳的為 $5 \times 10^{19} \text{ cm}^{-3}$ 以下，更佳的為 $1 \times 10^{19} \text{ cm}^{-3}$ 以下，且氮及碳的濃度分別為 $3 \times 10^{18} \text{ cm}^{-3}$ 以下。藉由降低混入到微晶半導體膜中的氧、氮、及碳的濃度，可以防止微晶半導體膜的 n 型化。

微晶半導體膜 53 以厚於 0nm 至 200nm 以下的厚度，較佳的以 1nm 以上 100nm 以下的厚度，更佳的以 5nm 以上 50nm 的厚度形成。微晶半導體膜 53 用作後面形成的薄膜電晶體的通道形成區域。藉由以 5nm 以上 50nm 以下的範圍內的厚度形成微晶半導體膜 53，後面形成的薄膜電晶體成為完全耗盡型。此外，因為微晶半導體膜 53 的

成膜速度比非晶半導體膜慢，即為非晶半導體膜的成膜速度的 $1/10$ 至 $1/100$ ，所以藉由減薄膜厚度，可以提高生產率。由於微晶半導體膜由微晶構成，因此其電阻比非晶半導體膜低。由此，在將微晶半導體膜用於通道形成區域的薄膜電晶體中表示電流電壓特性的曲線的上升部分的傾斜急劇，其作為開關元件的回應性優良且可以進行高速驅動。此外，藉由將微晶半導體膜用於薄膜電晶體的通道形成區域，可以抑制薄膜電晶體的臨界值變動。因此，可以製造電特性的不均勻少的液晶顯示裝置。

另外，微晶半導體膜的遷移率比非晶半導體膜高。因此，藉由使用其通道形成區域由微晶半導體膜形成的薄膜電晶體作為液晶元件的開關，可以縮小通道形成區域的面積，即薄膜電晶體的面積。由此，在每一個像素中薄膜電晶體所占的面積縮小，可以提高像素的開口率。結果，可以製造解析度高的裝置。

可以藉由使用 SiH_4 、 Si_2H_6 等的氫化矽並採用電漿 CVD 法形成緩衝層 54。此外，可以對上述氫化矽添加選自氫、氫、氮、氟中的一種或多種的稀有氣體元素進行稀釋形成非晶半導體膜。藉由使用其流量為氫化矽的流量的 1 倍以上 20 倍以下，較佳的為 1 倍以上 10 倍以下，更佳的為 1 倍以上 5 倍以下的氫，可以形成包含氫的非晶半導體膜。此外，藉由使用上述氫化矽和氮或氟，可以形成包含氮的非晶半導體膜。另外，藉由使用上述氫化矽和包含氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、

HBr、HI 等），可以形成包含氟、氯、溴、或碘的非晶半導體膜。注意，可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。

此外，作為緩衝層 54，可以將非晶半導體用作靶子並使用氫或稀有氣體進行濺射來形成非晶半導體膜。此時，藉由將氨、氮、或 N_2O 包含在氣氛中，可以形成含有氮的非晶半導體膜。另外，藉由將含有氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）包含在氣氛中，可以形成含有氟、氯、溴、或碘的非晶半導體膜。

此外，作為緩衝層 54，也可以在微晶半導體膜 53 的表面上採用電漿 CVD 法或濺射法形成非晶半導體膜，然後對非晶半導體膜的表面進行使用氫電漿、氮電漿、或鹵素電漿的處理，來使非晶半導體膜表面氫化、氮化、或鹵化。或者，也可以對非晶半導體膜的表面進行使用氫電漿、氬電漿、氫電漿、氮電漿等的處理。

較佳的使用不包含晶粒的非晶半導體膜形成緩衝層 54。因此，在採用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法、或微波電漿 CVD 法形成非晶半導體膜的情況下，較佳的控制成膜條件以使它成為不包含晶粒的非晶半導體膜。

緩衝層 54 的一部分有時會在後面的源區域及汲區域的形成過程中被蝕刻，從而緩衝層 54 較佳的以在蝕刻之後其一部分殘留的厚度來形成。典型地說，較佳的以 150

nm 以上 400nm 以下的厚度形成緩衝層 54。當在薄膜電晶體的施加電壓高（例如，15V 左右）的液晶顯示裝置中，使其膜厚度為如上述範圍所示那樣厚地形成緩衝層 54 時，耐壓性提高，從而即使薄膜電晶體被施加高電壓也可以防止薄膜電晶體的退化。

注意，緩衝層 54 較佳的不添加有賦予一導電型的雜質元素如磷、硼等。尤其是，用來控制臨界值包含在微晶半導體膜中的硼、或包含在添加有賦予一導電型的雜質元素的半導體膜中的磷較佳的不混入在緩衝層 54 中。結果，藉由消除 PN 結所導致的漏電流的產生區域，可以實現漏電流的減少。此外，藉由在添加有賦予一導電型的雜質元素的半導體膜和微晶半導體膜之間形成不添加有賦予一導電型的雜質元素如磷、硼等的非晶半導體膜，可以防止分別包含在微晶半導體膜和源區域及汲區域中的雜質擴散。

藉由在微晶半導體膜 53 的表面上形成非晶半導體膜，進一步形成包含氫、氮、或鹵素的非晶半導體膜，來可以防止包含在微晶半導體膜 53 的晶粒表面的自然氧化。特別是，在非晶半導體和微晶粒相接觸的區域中，因受局部應力而容易產生裂縫。當該裂縫與氧接觸時產生晶粒的氧化，並形成氧化矽。然而，藉由在微晶半導體膜 53 的表面上形成緩衝層，可以防止微晶粒的氧化。此外，藉由形成緩衝層，可以防止當後面形成源區域及汲區域之際產生的蝕刻殘渣混入到微晶半導體膜中。

此外，使用非晶半導體膜或使用包含氫、氮、或鹵素的非晶半導體膜形成緩衝層 54。非晶半導體膜的能隙比微晶半導體膜的能隙大（非晶半導體膜的能隙為 1.1eV 至 1.5eV ，而微晶半導體膜的能隙為 1.6eV 至 1.8eV ），電阻高，並且遷移率低，即為微晶半導體膜的 $1/5$ 至 $1/10$ 。由此，在後面形成的薄膜電晶體中，形成在源區域及汲區域和微晶半導體膜之間的緩衝層用作高電阻區域，而微晶半導體膜用作通道形成區域。因此，可以減少薄膜電晶體的截止電流。當將該薄膜電晶體用作液晶顯示裝置的開關元件時，可以提高液晶顯示裝置的對比度。

在形成 n 通道型薄膜電晶體的情況下，添加磷作為典型雜質元素，即對於氫化矽添加 PH_3 等的雜質氣體，來形成添加有賦予一導電型的雜質元素的半導體膜 55，即可。此外，在形成 p 通道型薄膜電晶體的情況下，添加硼作為典型雜質元素即可，即對於氫化矽添加 B_2H_6 等的雜質氣體即可。可以使用微晶半導體膜或非晶半導體膜形成添加有賦予一導電型的雜質元素的半導體膜 55。再者，也可以使用添加有賦予一導電型的雜質元素的非晶半導體膜和添加有賦予一導電型的雜質元素的微晶半導體膜的疊層形成添加有賦予一導電型的雜質元素的半導體膜 55。藉由在緩衝層 54 一側形成添加有賦予一導電型的雜質元素的非晶半導體膜，並在其上形成添加有賦予一導電型的雜質元素的微晶半導體膜，電阻逐漸變化，所以載流子容易流過，而可以提高遷移率。以 2nm 以上 50nm 以下的厚

度形成添加有賦予一導電型的雜質元素的半導體膜 55。藉由減薄添加有賦予一導電型的雜質元素的半導體膜的膜厚度，可以提高生產率。

在此，參照圖 10 示出一種電漿 CVD 裝置，該微波電漿 CVD 裝置能夠連續進行從形成閘極絕緣膜 52a、52b 的步驟到形成添加有賦予一導電型的雜質元素的半導體膜 55 的步驟。圖 10 是示出電漿 CVD 裝置的俯視截面的示意圖，其具有在公共室 1120 的周圍具備裝載室 1110、卸載室 1115、反應室（1）1111 至反應室（4）1114 的結構。在公共室 1120 和每個室之間具備閘閥 1122 至 1127，以防止在每個室內進行的處理互相干涉。基板裝載在裝載室 1110、卸載室 1115 的盒子 1128、1129，然後由公共室 1120 的傳送單元 1121 傳送到反應室（1）1111 至反應室（4）1114。該微波電漿 CVD 裝置能夠對於每個堆積膜種類分配反應室，從而可以在不與大氣接觸的狀態下連續形成多個不同的覆蓋膜。

在反應室（1）至反應室（4）的各個中，分別層疊形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質元素的半導體膜 55。在此情況下，藉由轉換原料氣體，可以連續地層疊多個不同種類的膜。在此情況下，形成閘極絕緣膜，然後將矽烷等的氫化矽引入到反應室內，使殘留氧及氫化矽反應，並將反應物排出到反應室的外部，從而可以降低反應室內的殘留氧濃度。結果，可以降低包含在微晶半導體膜中的氧濃

度。此外，可以防止包含在微晶半導體膜中的晶粒的氧化。

或者，在反應室（1）及反應室（3）中形成閘極絕緣膜 52a、52b、微晶半導體膜 53、以及緩衝層 54，而在反應室（2）及反應室（4）中形成添加有賦予一導電型的雜質元素的半導體膜 55。藉由只使用賦予一導電型的雜質單獨地進行成膜，可以防止殘留在反應室中的賦予一導電型的雜質元素混入到其他膜中。

像這樣，由於可以使用連接有多個反應室的微波電漿 CVD 裝置同時形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電型的雜質元素的半導體膜 55，因此提高批量生產性。此外，即使在某個反應室中進行維護及清洗，也可以在其他反應室中形成膜，從而可以縮短成膜週期（cycle time）。另外，因為可以在不被大氣成分及懸浮在大氣中的污染雜質元素污染的狀態下形成各個疊層介面，所以可以減少薄膜電晶體的特性的不均勻。

此外，可以在反應室（1）中形成閘極絕緣膜 52a、52b，在反應室（2）中可以形成微晶半導體膜 53 及緩衝層 54，在反應室（3）中可以形成添加有賦予一導電型的雜質元素的半導體膜 55。另外，在使用氧化矽膜或氮化矽膜形成閘極絕緣膜 52a，並使用氮化矽膜或氮氧化矽膜形成閘極絕緣膜 52b 的情況下，也可以設置五個反應室，並且在反應室（1）中形成閘極絕緣膜 52a 的氧化矽

膜或氮氧化矽膜，在反應室（2）中形成閘極絕緣膜 52b 的氮化矽膜或氮氧化矽膜，在反應室（3）中形成微晶半導體膜，在反應室（4）中形成緩衝層，在反應室（5）中形成添加有賦予一導電型的雜質元素的半導體膜。此外，因為微晶半導體膜的成膜速度較慢，所以也可以在多個反應室中形成微晶半導體膜。例如，也可以在反應室（1）中形成閘極絕緣膜 52a、52b，在反應室（2）及（3）中形成微晶半導體膜 53，在反應室（4）中形成緩衝層 54，在反應室（5）中形成添加有賦予一導電型的雜質元素的半導體膜 55。像這樣，藉由在多個反應室中同時形成微晶半導體膜 53，可以提高生產率。注意，此時較佳的使用要形成的種類的膜塗敷各個反應室的內壁。

由於當使用這種結構的電漿 CVD 裝置時，可以在各個反應室中形成類似種類的膜或一種膜，並且在不暴露在大氣的狀態下連續形成上述膜，因此可以在不被已形成的膜的殘留物及懸浮在大氣中的雜質元素污染的狀態下形成各個疊層介面。

注意，雖然在圖 10 所示的電漿 CVD 裝置中分別設置有裝載室及卸裝室，但是也可以設置一個裝載/卸裝室。此外，在微波電漿 CVD 裝置中也可以設置備用室。由於可以藉由在備用室中對基板進行預熱而在各個反應室中縮短到形成膜的加熱時間，因此可以提高生產率。

下面，說明成膜處理。在這種成膜處理中，根據其目的而選擇從氣體供給部供給的氣體，即可。

在此，作為一例舉出如下方法：形成氧氮化矽膜作為閘極絕緣膜 52a，並形成氮氧化矽膜作為閘極絕緣膜 52b。

首先，對於微波電漿 CVD 裝置的反應室的處理容器內部使用氟自由基進行清洗。注意，藉由將氟化碳、氟化氫、或氟引入到設置在反應室外側的電漿產生器中並離解，然後將氟自由基引入到反應室中，可以對反應室進行清洗。

藉由在使用氟自由基進行清洗之後，將大量的氫引入到反應室內，來使反應室內的殘留氟和氫彼此反應，從而可以降低殘留氟的濃度。由此，可以減少對於後面在反應室內壁形成的保護膜的氟混入量，並可以減薄保護膜的厚度。

接著，在反應室的處理容器的內壁的表面上堆積氧氮化膜作為保護膜。在此，處理容器內的壓力為 1Pa 至 200Pa，較佳的為 1Pa 至 100Pa，並且引入氮、氬、氙、氪等的稀有氣體的任何一種以上的氣體作為電漿點燃用氣體。再者，引入稀有氣體的任何一種及氫。特別是，較佳的使用氮作為電漿點燃用氣體，更佳的使用氮和氫作為電漿點燃用氣體。

氮的離子化能量較高，即為 24.5eV。但是，由於準穩定狀態位於大約 20eV，因此在放電中可以以大約 4eV 進行離子化。由此，放電開始電壓低，且容易維持放電。從而可以均勻地維持電漿且實現節能。

此外，也可以引入使用氦、氬、氙、氡等的稀有氣體的任何一種以上及氧氣體作為電漿點燃用氣體。藉由將氧氣體與稀有氣體一起引入到處理容器中，可以容易進行電漿的點燃。

接著，使電源裝置的電源導通，並且在電源裝置的輸出為 500W 至 6000W，較佳的為 4000W 至 6000W 的情況下產生電漿。接著，將原料氣體從氣體供應部引入到處理容器內。具體而言，藉由引入一氧化二氮、稀有氣體、及矽烷作為原料氣體，在處理容器的內壁表面上形成氧氮化矽膜作為保護膜。此時的氫化矽的流量為 50sccm 至 300 sccm，一氧化二氮的流量為 500sccm 至 6000sccm，保護膜的膜厚度為 500nm 至 2000nm。

接著，在停止原料氣體的供給，降低處理容器內的壓力，並使電源裝置的電源截止之後，將基板設置在處理容器內的支架臺上。

接著，藉由與上述保護膜相同的製程，在基板上堆積氧氮化矽膜作為閘極絕緣膜 52a。

在堆積預定的厚度的氧氮化矽膜之後，停止原料氣體的供給，降低處理容器內的壓力，並使電源裝置的電源關閉。

接著，處理容器內的壓力為 1Pa 至 200Pa，較佳的為 1Pa 至 100Pa，作為電漿點燃用氣體，引入氦、氬、氙、氡等的稀有氣體的任何一種以上、原料氣體的矽烷、一氧化二氮、及氮。注意，作為原料氣體，也可以引入氮代替

氮。接著，使電源裝置的電源開啟，並且在電源裝置的輸出為 500W 至 6000W，較佳的為 4000W 至 6000W 的情況下產生電漿。接著，將原料氣體從氣體供應部引入到處理容器內，在基板 1130 的氧氮化矽膜上形成氮氧化矽膜作為閘極絕緣膜 52b。接著，停止原料氣體的供給，降低處理容器內的壓力，並使電源裝置的電源關閉，來結束成膜過程。

根據上述步驟，藉由以反應室內壁的保護膜為氧氮化矽膜並在基板上連續形成氧氮化矽膜及氮氧化矽膜，可以減少氧化矽等的雜質混入到上層一側的氮氧化矽膜中。藉由採用將能夠產生微波的電源裝置用作電源裝置的微波電漿 CVD 法形成上述膜，電漿密度提高而可以形成高耐壓性的膜。當將該膜用作閘極絕緣膜時，可以減少電晶體的臨界值的不均勻。此外，可以提高 BT 特性。另外，對於靜電的耐性提高，從而可以製造即使被施加高電壓也不容易破壞的電晶體。而且，還可以製造隨時間破壞少的電晶體、以及熱載流子損壞少的電晶體。

此外，在將使用微波電漿 CVD 裝置形成的氧氮化矽膜的單層作為閘極絕緣膜的情況下，採用上述保護膜的形成方法及氧氮化矽膜的形成方法。特別是，藉由將對於矽烷的一氧化二氮的流量比設定為 50 倍以上 300 倍以下，較佳的設定為 50 倍以上 250 倍以下，可以形成高耐壓性的氧氮化矽膜。

接著，示出一種成膜處理方法，其中藉由電漿 CVD

法連續地形成微晶半導體膜及用作緩衝層的非晶半導體膜。首先，與上述閘極絕緣膜同樣地進行反應室的清洗。接著，在處理容器內堆積矽膜作為保護膜。在此，處理容器內的壓力為 1Pa 至 200Pa，較佳的為 1Pa 至 100Pa，並且引入氦、氬、氙、氪等的稀有氣體的任何一種以上的氣體作為電漿點燃用氣體。此外，也可以與稀有氣體一起引入氫。

接著，使電源裝置的電源開啟，並且在電源裝置的輸出為 500W 至 6000W，較佳的為 4000W 至 6000W 的情況下產生電漿。接著，將原料氣體從氣體供應部引入到處理容器內。具體而言，藉由引入氫化矽氣體、及氫氣體作為原料氣體，在處理容器的內壁表面上形成微晶矽膜作為保護膜。此外，可以對氫化矽氣體及氫氣體添加選自氦、氬、氙、氪中的一種或多種稀有氣體元素進行稀釋來形成微晶半導體膜。此時的對於氫化矽的氫的流量比為 5 倍以上 1000 倍以下，較佳的為 50 倍以上 200 倍以下，更佳的為 100 倍以上 150 倍以下。另外，此時的保護膜的膜厚度為 500nm 至 2000nm。注意，也可以在使電源裝置的電源開啟之前，在處理容器中除了上述稀有氣體之外還可以引入氫化矽氣體及氫氣體。

此外，可以使用利用選自氦、氬、氙、氪中的一種或多種稀有氣體元素稀釋的氫化矽氣體及氫氣體來形成非晶半導體膜作為保護膜。

接著，在停止原料氣體的供給，降低處理容器內的壓

力，並使電源裝置的電源關閉之後，將基板設置在處理容器內的支架臺上。

接著，也可以對於形成在基板上的閘極絕緣膜 52b 的表面進行氫電漿處理。藉由在形成微晶半導體膜之前進行氫電漿處理，可以減少閘極絕緣膜及微晶半導體膜的介面上的晶格應變，並可以提高閘極絕緣膜及微晶半導體膜的介面特性。因此，可以提高後面形成的薄膜電晶體的電特性。

此外，在上述氫電漿處理中，藉由也對形成在處理容器內的保護膜的非晶半導體膜或微晶半導體膜進行氫電漿處理，保護膜被蝕刻而在閘極絕緣膜 52b 的表面上堆積有少量的半導體。該半導體成為結晶生長的核，因該核而微晶半導體膜堆積。結果，可以減少閘極絕緣膜及微晶半導體膜的介面的晶格應變，並可以提高閘極絕緣膜及微晶半導體膜的介面特性。由此，可以提高後面形成的薄膜電晶體的電特性。

接著，藉由與上述保護膜相同的製程，在基板上堆積微晶矽膜。微晶矽膜的膜厚度為厚於 0nm 至 50nm 以下，較佳的厚於 0nm 至 20nm 以下。

在堆積預定的厚度的微晶矽膜之後，停止原料氣體的供給，降低處理容器內的壓力，並使電源裝置的電源截止，來結束形成微晶半導體膜的過程。

接著，降低處理容器內的壓力並調節原料氣體的流量。具體而言，將氫氣體的流量比微晶半導體膜的成膜條

件大幅度地降低。典型地，要引入的氫氣體的流量為氫化矽的流量的 1 倍以上 20 倍以下，較佳的為 1 倍以上 10 倍以下，更佳的為 1 倍以上 5 倍以下。或者，不將氫氣體引入到處理容器內而引入氫化矽氣體。像這樣，藉由減少對於氫化矽的氫的流量，可以提高作為緩衝層的非晶半導體膜的成膜速度。或者，除了氫化矽氣體之外還使用選自氫、氫、氮、氬中的一種或多種稀有氣體元素進行稀釋。接著，藉由使電源裝置的電源開啟並將其輸出設定為 500W 至 6000W，較佳的為 4000W 至 6000W 來產生電漿，從而可以形成非晶半導體膜。由於非晶半導體膜的成膜速度比微晶半導體膜的成膜速度高，因此可以將處理容器內的壓力設定得低。此時的非晶半導體膜的膜厚度為 200nm 至 400nm。

在堆積預定的厚度的非晶半導體膜之後，停止原料氣體的供給，降低處理容器內的壓力，並使電源裝置的電源關閉，來結束形成非晶半導體膜的過程。

注意，也可以在點燃電漿的狀態下形成微晶半導體膜 53 及用作緩衝層 54 的非晶半導體膜。具體而言，逐漸減少對於用來形成微晶半導體膜 53 的原料氣體的氫化矽的氫的流量比而層疊微晶半導體膜 53 及用作緩衝層 54 的非晶半導體膜。藉由上述方法，可以不使雜質堆積在微晶半導體膜 54 及緩衝層 54 的介面上而形成應變少的介面，並且可以提高後面形成的薄膜電晶體的電特性。

在形成微晶半導體膜 53 的情況下，較佳的使用頻率

為 1GHz 以上的微波電漿 CVD 裝置。由於微波電漿的電子密度高，且從原料氣體形成多個自由基而供給給基板 1130，因此促進基板上的自由基表面反應，來可以提高微晶矽的成膜速度。可以使用 1MHz 至 20MHz 的高頻，典型為 13.56MHz 或大於 20MHz 至 120MHz 左右的 VHF 帶的高頻，典型為 27.12MHz、60MHz 的電漿 CVD 法來形成微晶半導體膜。

注意，在閘極絕緣膜及半導體膜的各個製程中，當在反應室的內壁上形成有 500nm 至 2000nm 的保護膜時，可以省略上述清洗處理及保護膜形成處理。

接著，在添加有賦予一導電型的雜質元素的半導體膜 55 上形成導電膜 65a 至 65c。較佳的使用鋁、銅或者添加有、矽、鈦、鈹、釷、鉬等耐熱性提高元素或小丘防止元素的鋁合金的單層或疊層形成導電膜 65a 至 65c。此外，也可以採用如下疊層結構：使用鈦、鉭、鉬、鎢或上述元素的氮化物形成與添加有賦予一導電型的雜質元素的半導體膜接觸一側的膜，在其上形成鋁或鋁合金。再者，還可以採用如下疊層結構：使用鈦、鉭、鉬、鎢或上述元素的氮化物夾鋁或鋁合金的上面及下面。在此，作為導電膜示出具有層疊有導電膜 65a 至 65c 的三層的結構的導電膜，例如示出將鉬膜用作導電膜 65a、65c 並將鋁膜用作導電膜 65b 的疊層導電膜、以及將鈦膜用作導電膜 65a、65c 並將鋁膜用作導電膜 65b 的疊層導電膜。藉由濺射法或真空蒸鍍法形成導電膜 65a 至 65c。

作為抗蝕劑 80 可以使用正型抗蝕劑或負型抗蝕劑。在此使用正型抗蝕劑來示出。

接著，使用多級灰度掩模 59 作為第二光掩模並對抗蝕劑 80 照射光來使抗蝕劑 80 曝光。

在此，參照圖 11A 至 11D 說明使用多級灰度掩模 59 的曝光。

多級灰度掩模是可以對於曝光部分、中間曝光部分、以及未曝光部分以三種的曝光標準進行曝光的掩模，並且可以藉由一次的曝光及顯影處理形成具有多種（典型的是兩種）厚度的區域的抗蝕劑掩模。因此，藉由使用多級灰度掩模，可以縮減光掩模的數量。

作為多級灰度掩模的典型例子，具有圖 11A 所示的灰色色調掩模 59a、圖 11C 所示的半色調掩模 59b。

如圖 11A 所示，灰色色調掩模 59a 由具有透光性的基板 163、形成在其上的遮光部 164、以及衍射光柵 165 構成。在遮光部 164 中，光的透過量為 0%。另一方面，衍射光柵 165 藉由將槽縫、點、網孔等光透過部的間隔成為用於曝光的光的解析度限制以下的間隔來可以控制光的透過量。注意，衍射光柵 165 都可以使用週期性的槽縫、點、網孔、或非週期性的槽縫、點、網孔。

具有透光性的基板 163 可以使用石英等的具有透光性的基板。遮光部 164 及衍射光柵 165 可以使用鉻、氧化鉻等的吸收光的遮光材料形成。

在對灰色色調掩模 59a 照射曝光光線的情況下，如圖

11B 所示，遮光部 164 中的光透過量 166 為 0%，而不設置有遮光部 164 及衍射光柵 165 的區域中的光透過量 166 為 100%。此外，在衍射光柵 165 中，可以在 10%至 70%的範圍內調節光透過量 166。藉由調節衍射光柵 165 的槽縫、點、或網孔的間隔或間距，可以調節衍射光柵 165 中的光透過量。

如圖 11C 所示，半色調掩模 59b 由具有透光性的基板 163 及形成在其上的半透過部 167 以及遮光部 168 構成。半透過部 167 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等。遮光部 168 可以使用鉻、氧化鉻等的吸收光的遮光材料形成。

在對半色調掩模 59b 照射曝光光線的情況下，如圖 11D 所示，遮光部 168 中的光透過量 169 為 0%，而不設置有遮光部 168 及半透過部 167 的區域中的光透過量 169 為 100%。此外，在半透過部 167 中，可以在 10%至 70%的範圍內調節光透過量 169。藉由調節半透過部 167 的材料，可以調節半透過部 167 中的光透過量。

在使用多級灰度掩模曝光之後，藉由進行顯影，可以如圖 1B 所示那樣地形成具有膜厚度不同的區域的抗蝕劑掩模 81。

接著，藉由使用抗蝕劑掩模 81，蝕刻微晶半導體膜 53、緩衝層 54、添加有賦予一導電型的雜質元素的半導體膜 55、以及導電膜 65a 至 65c 來進行分離。結果，可以形成如圖 2A 所示那樣的微晶半導體膜 61、緩衝層 62、添

加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a 至 85c。注意，圖 2A 相當於沿著圖 5A 的 A-B 線的截面圖（但是抗蝕劑掩模 86 除外）。

藉由微晶半導體膜 61、緩衝層 62 的端部側面傾斜，可以防止形成在緩衝層 62 上的源區域及汲區域和微晶半導體膜 61 之間產生的漏電流。此外，還可以防止源極電極及汲極電極和微晶半導體膜 61 之間產生的漏電流。微晶半導體膜 61 及緩衝層 62 的端部側面的傾斜角度為 30° 至 90° ，較佳的為 45° 至 80° 。藉由以這種角度形成，可以防止臺階狀所引起的源極電極或汲極電極的斷開。

接著，對抗蝕劑掩模 81 進行灰化處理。結果，抗蝕劑的面積縮小，而厚度減薄。此時，膜厚度薄的區域的抗蝕劑（與閘極電極 51 的一部分重疊的區域）被去除，可以如圖 6B 所示那樣地形成被分離的抗蝕劑掩模 86。

接著，使用抗蝕劑掩模 86 蝕刻添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a 至 85c 並使它們分離。在此，藉由乾蝕刻分離導電膜 85a 至 85c。結果，可以形成如圖 2B 所示那樣的一對導電膜 89a 至 89c、以及一對源區域及汲區域 89。注意，在該蝕刻製程中，還蝕刻緩衝層 62 的一部分。將其一部分被蝕刻的緩衝層示出為緩衝層 88。可以藉由與形成源區域及汲區域相同的製程形成緩衝層的凹部。在此，因為緩衝層 88 的一部分被其面積縮小了的抗蝕劑掩模 86 蝕刻，所以緩衝層 88 突出在導電層 85a 至 85c 的外側。

接著，如圖 2C 所示，蝕刻導電膜 89a 至 89c 的一部分形成源極電極及汲極電極 92a 至 92c。在此，當使用抗蝕劑掩模 86 對導電膜 89a 至 89c 濕蝕刻時，導電膜 89a 至 89c 的端部選擇性地被蝕刻。結果，可以形成其面積比抗蝕劑掩模 86 及導電膜 89a 至 89c 小的源極電極及汲極電極 92a 至 92c。源極電極及汲極電極 92a 至 92c 的端部和源區域及汲區域 89 的端部不一致而偏離，即在源極電極及汲極電極 92a 至 92c 的端部的外側形成源區域及汲區域 89 的端部。然後，去除抗蝕劑掩模 86。

注意，圖 2C 相當於沿著圖 5B 的 A-B 線的截面圖。參照圖 5B 就知道源區域及汲區域 89 的端部位於源極電極及汲極電極 92c 的端部的的外側。此外緩衝層 88 的端部位於源極電極及汲極電極 92c 以及源區域及汲區域 89 的端部的的外側。此外，源極電極及汲極電極的一方具有部分地圍繞源區域及汲區域的另一方的形狀（具體而言，U 字型、C 字型）。由此，可以增加載流子移動的區域的面積和電流量，以可以縮小薄膜電晶體的面積。另外，因為在閘極電極 87 的內側重疊微晶半導體膜和源極電極及汲極電極 92c，所以在閘極電極的端部產生的凹凸的影響少。從而可以抑制覆蓋率的降低和漏電流的產生。注意，源極電極及汲極電極的一方也起到源極佈線或汲極佈線的作用。

如圖 2C 所示，由於藉由將源極電極及汲極電極 92a 至 92c 的端部和源區域及汲區域 89 的端部形成為不一致

而偏離，使源極電極及汲極電極 92a 至 92c 的端部的距離遠離，因此可以防止源極電極及汲極電極之間的漏電流和短路。由此，可以製造可靠性高且耐壓性高的薄膜電晶體。

藉由上述製程，可以形成通道蝕刻型薄膜電晶體 83。此外，可以使用兩個光掩模形成薄膜電晶體。

在本實施例模式所示的薄膜電晶體中，在閘極電極上層疊有閘極絕緣膜、微晶半導體膜、緩衝層、源區域及汲區域、源極電極及汲極電極，並且緩衝層覆蓋用作通道形成區域的微晶半導體膜的表面。此外，在緩衝層的一部分中形成有凹部（溝槽），該凹部以外的區域被源區域及汲區域覆蓋。就是說，由於源區域及汲區域之間的載流子移動的距離因形成在緩衝層的凹部而變長，因此可以減少源區域及汲區域之間的漏電流。此外，因為藉由蝕刻緩衝層的一部分形成凹部，所以可以去除在源區域及汲區域的形成製程中產生的蝕刻殘渣。從而可以避免在源區域及汲區域中介於殘渣而產生漏電流（寄生通道）。

另外，在用作通道形成區域的微晶半導體膜和源區域及汲區域之間形成有緩衝層。此外，微晶半導體膜的表面被緩衝層覆蓋。由於使用高電阻的非晶半導體膜形成的緩衝層延伸到微晶半導體膜和源區域及汲區域之間，可以減少在薄膜電晶體截止的情況（即，對閘極電極施加負電壓的情況）下產生的漏電流和藉由施加高電壓而發生的退化。另外，因為在微晶半導體膜的表面上形成有由氫終結

表面的非晶半導體膜作為緩衝層，所以可以防止微晶半導體膜的氧化，並可以在源區域及汲區域的形成製程中產生的蝕刻殘渣混入到微晶半導體膜中。由此，成為電特性高且汲極耐壓性優良的薄膜電晶體。

此外，藉由將源極電極及汲極電極的端部和源區域及汲區域的端部形成為不一致而偏離，使源極電極及汲極電極的端部的距離遠離，從而可以防止源極電極及汲極電極之間的漏電流和短路。

接著，如圖 3A 所示，在源極電極及汲極電極 92a 至 92c、源區域及汲區域 89、緩衝層 88、微晶半導體膜 87、以及閘極絕緣膜 52b 上形成絕緣膜 76。絕緣膜 76 可以與閘極絕緣膜 52a、52b 同樣地形成。注意，絕緣膜 76 用來防止懸浮在大氣中的有機物及金屬物、水蒸氣等的污染雜質的侵入，較佳的為緻密的膜。此外，藉由將氮化矽膜用作絕緣膜 76，緩衝層 88 中的氧濃度可以為 5×10^{19} atoms/cm³ 以下，並較佳的為 1×10^{19} atoms/cm³ 以下。

接著，在絕緣膜 76 中形成接觸孔，然後在該接觸孔中形成與源極電極或汲極電極 92c 接觸的像素電極 77。注意，圖 3B 相當於沿著圖 5C 的 A-B 線的截面圖。

作為像素電極 77，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下麵，稱為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

另外，可以使用包含導電高分子（也稱為導電聚合體）的導電組成物來形成像素電極 77。在使用導電組成物形成的像素電極較佳的具有如下條件：薄層電阻為 $10000\ \Omega/\square$ 以下，當波長為 550nm 時的透光率為 70% 以上。此外，包含在導電組成物中的導電高分子的電阻率較佳的為 $0.1\ \Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由上述物質中的兩種以上而成的共聚體等。

藉由上述步驟，可以形成可使用於液晶顯示裝置的元件基板。

注意，如圖 2A 所示，在形成微晶半導體膜 61、緩衝層 62、添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a 至 85c 之後，如圖 4A 所示，使用抗蝕劑掩模 86 蝕刻導電膜 85a 至 85c。在此，藉由使用抗蝕劑掩模 86 並採用濕蝕刻來各向同性地蝕刻，導電膜 85a 至 85c 的露出部及其附近選擇性地被蝕刻。結果，可以形成其面積與抗蝕劑掩模 86 小的源極電極及汲極電極 92a 至 92c。

接著，如圖 4B 所示，使用抗蝕劑掩模 86 蝕刻添加有賦予一導電型的雜質元素的半導體膜 63。在此，藉由以乾蝕刻各向異性地蝕刻添加有賦予一導電型的雜質元素的半導體膜 63，可以形成其面積與抗蝕劑掩模 86 大致相同的源區域及汲區域 89。

由於藉由將源極電極及汲極電極 92a 至 92c 的端部和源區域及汲區域 89 的端部形成為不一致而偏離，使源極電極及汲極電極 92a 至 92c 的端部的距離遠離，因此可以防止源極電極及汲極電極之間的漏電流和短路。由此，可以製造可靠性高且耐壓性高的薄膜電晶體。

圖 1A 至圖 4B 所示，藉由採用濕蝕刻對導電膜進行蝕刻並採用乾蝕刻對添加有賦予一導電型的雜質元素的半導體膜進行蝕刻，可以以少量的光掩模將源極電極及汲極電極的端部和源區域及汲區域的端部構成為不一致而不同。

接著，對於與上述方式不同的薄膜電晶體的製造方法，參照圖 6A 至圖 9D 進行說明。在此，下面示出源極電極或汲極電極和源極佈線或汲極佈線互不相同的結構。

如圖 6A 所示，在基板 50 上形成閘極電極 51。其次，在閘極電極 51 上按順序形成閘極絕緣膜 52a、52b、微晶半導體膜 53、緩衝層 54、添加有賦予一導電型的雜質元素的半導體膜 55、以及導電膜 65a。接著，在導電膜 65a 上塗敷抗蝕劑，使用圖 1A 所示的多級灰度掩模形成具有厚度不同的區域的抗蝕劑掩模 81。

接著，使用抗蝕劑掩模 81 蝕刻微晶半導體膜 53、緩衝層 54、添加有賦予一導電型的雜質元素的半導體膜 55、以及導電膜 65a 以進行分離。結果，可以形成如圖 6B 所示那樣的微晶半導體膜 61、緩衝層 62、添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a。注

意，圖 6B 相當於沿著圖 9A 的 A-B 線的截面圖（但是，抗蝕劑掩模 86 除外）。

接著，藉由對抗蝕劑掩模 81 進行灰化來形成分離了的抗蝕劑掩模 86。然後，使用抗蝕劑掩模 86 蝕刻添加有賦予一導電型的雜質元素的半導體膜 63、以及導電膜 85a 以使它們分離。結果，可以形成如圖 6C 所示那樣的一對導電膜 89a、以及一對源區域及汲區域 88。注意，在該蝕刻製程中，緩衝層 62 的一部分也被蝕刻。其一部分被蝕刻的緩衝層表示為緩衝層 88。在此，因為緩衝層 88 的一部分被其面積縮小了的抗蝕劑掩模 86 蝕刻，所以緩衝層 88 突出在導電層 89a 的外側。由於如本實施例模式所示，緩衝層的側面成為階梯形狀，因此後面形成的絕緣膜的覆蓋率提高。由此，可以減少薄膜電晶體和形成在絕緣膜上的像素電極之間產生的漏電流。

接著，對抗蝕劑掩模 86 進行灰化。結果，如圖 7A 所示，抗蝕劑掩模的面積縮小，且其厚度變薄。然後，藉由使用被灰化的抗蝕劑掩模 91 蝕刻導電膜 89a 的一部分，如圖 7B 所示那樣地形成源極電極及汲極電極 92a。源極電極及汲極電極 92a 的端部和源區域及汲區域 89 的端部不一致而偏離。在此，使用抗蝕劑掩模 91 並採用乾蝕刻來各向異性地蝕刻導電膜 89a 的露出部。之後，去除抗蝕劑掩模 91。

結果，形成比導電膜 89a 的面積小的源極電極及汲極電極 92a。然後，去除抗蝕劑掩模 91。注意，圖 7B 相當

於沿著圖 9B 的 A-B 線的截面圖。參照圖 9B 就知道源區域及汲區域 89 的端部位於源極電極及汲極電極 92a 的端部的外側。此外，緩衝層 88 的端部位於源極電極及汲極電極 92a、以及源區域及汲區域 89 的外側。此外，源極電極及汲極電極 92a 分別被分離，並不與形成在相鄰的像素中的電極接觸。注意，雖然在此使用對抗蝕劑掩模 86 灰化形成的抗蝕劑掩模 91 形成源極電極及汲極電極 92a，但是，如圖 1A 至圖 4B 所示，也可以使用抗蝕劑掩模 86 進行濕蝕刻形成源極電極及汲極電極 92a 至 92c。

如圖 7B 所示，藉由將源極電極及汲極電極 92a 的端部和源區域及汲區域 89 的端部形成為不一致而偏離，使源極電極及汲極電極 92a 的端部的距離遠離，從而可以防止源極電極及汲極電極之間的漏電流和短路。由此，可以製造可靠性高且耐壓性高的薄膜電晶體。

接著，圖 7C 所示，在源極電極及汲極電極 92a、源區域及汲區域 89、緩衝層 88、以及閘極絕緣膜 52b 上形成絕緣膜 76。可以與閘極絕緣膜 52a、52b 同樣地形成絕緣膜 76。

接著，圖 8A 所示，在絕緣膜 76 中形成接觸孔，並且還形成在該接觸孔中與源極電極及汲極電極 92a 的一方接觸並層疊的佈線 93b、93c。注意，圖 8A 相當於沿著圖 9C 的 A-B 線的截面圖。此外，佈線 93a、93c 是使形成在相鄰的像素中的源極電極或汲極電極連接的佈線。

接著，如圖 8B 所示，形成在接觸孔中與源極電極及

汲極電極 92a 的另一方接觸的像素電極 77。注意，圖 8B 相當於沿著圖 9D 的 A-B 線的截面圖。

藉由上述製程，可以形成通道蝕刻型薄膜電晶體 84。通道蝕刻型薄膜電晶體的製程少，從而可以縮減成本。此外，藉由使用微晶半導體膜構成通道形成區域，可以獲得 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 至 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 的遷移率。因此，該薄膜電晶體可以用作像素部的像素的開關元件，還可以用作形成掃描線（閘極線）一側的驅動電路的元件。

根據本實施例模式，可以製造電特性的可靠性高的薄膜電晶體。

[實施例模式 2]

在本實施例模式中，下面示出包括實施例模式 1 所示的薄膜電晶體的液晶顯示裝置。

首先，示出 VA（垂直配向）型液晶顯示裝置。VA 型液晶顯示裝置是控制液晶面板的液晶分子的排列的方式之一種。VA 型液晶顯示裝置是當不被施加電壓時液晶分子朝向對於面板表面垂直的方向的方式。在本實施例模式中，尤其設法將像素分割為幾個區域（亞像素），使分子放倒向不同的方向。上述方法稱為多域（multi-domain）化或多域設計。在下面的說明中，說明考慮到多域設計的液晶顯示裝置。

圖 16 及圖 17 分別示出像素電極及相對電極。注意，圖 16 是形成有像素電極的基板一側的平面圖，而圖 15 示

出對應於圖 14 中的沿著 A-B 線的截面結構。此外，圖 17 是形成有相對電極的基板一側的平面圖。在下面的說明中，參照上述附圖進行說明。

圖 15 示出層疊形成有 TFT628、與其連接的像素電極 624、以及保持電容部 630 的基板 600 和形成有相對電極 640 等的相對基板 601 並注入有液晶的狀態。

在相對基板 601 中的隔離物 642 形成的位置上形成有遮光膜 632、第一著色膜 634、第二著色膜 636、第三著色膜 638、相對電極 640。藉由該結構，使用來控制液晶的取向的突起 644 和隔離物 642 的高度為不同。在像素電極 624 上形成取向膜 648，在相對電極 640 上也同樣地形成取向膜 646。其間形成有液晶層 650。

在此，使用柱狀隔離物示出隔離物 642，但是也可以散佈珠狀隔離物。再者，也可以在形成在基板 600 上的像素電極 624 上形成隔離物 642。

在基板 600 上形成 TFT628、與其連接的像素電極 624、以及保持電容部 630。像素電極 624 在接觸孔 623 中連接到佈線 618，該接觸孔 623 貫通覆蓋 TFT628、佈線、以及保持電容部 630 的絕緣膜 620 和覆蓋絕緣膜 620 的絕緣膜 622。可以適當地使用實施例模式 1 所示的薄膜電晶體作為 TFT628。此外，保持電容部 630 由第一電容佈線 604、閘極絕緣膜 606 和第二電容佈線 617 構成，該第一電容佈線 604 與 TFT628 的閘極佈線 602 同樣地形成，而該第二電容佈線 617 與佈線 616、618 同樣地形成。

成。

藉由重疊像素電極 624、液晶層 650、以及相對電極 640，形成液晶元件。

圖 16 示出基板 600 上的結構。使用實施例模式 1 所示的材料形成像素電極 624。在像素電極 624 中設置槽縫 625。槽縫 625 用來控制液晶的取向。

圖 16 所示的 TFT629 和與其連接的像素電極 626 及保持電容部 631 可以分別與 TFT628、像素電極 624 及保持電容部 630 同樣地形成。TFT628 和 TFT629 都與佈線 616 連接。其液晶面板的像素由像素電極 624 和像素電極 626 構成。像素電極 624 和像素電極 626 是亞像素。

圖 17 示出相對基板一側的結構。在遮光膜 632 上形成有相對電極 640。相對電極 640 較佳的使用與像素電極 624 同樣的材料形成。在相對電極 640 上形成有控制液晶的取向的突起 644。此外，根據遮光膜 632 的位置形成有隔離物 642。

圖 18 示出該像素結構的等效電路。TFT628 和 TFT629 都連接到閘極佈線 602、佈線 616。在此情況下，藉由使電容佈線 604 和電容佈線 605 的電位為不同，可以使液晶元件 651 的工作和液晶元件 652 的工作為不同。就是說，藉由分別控制電容佈線 604 和電容佈線 605 的電位，精密地控制液晶的取向來擴大視角。

當對設置有槽縫 625 的像素電極 624 施加電壓時，在槽縫 625 的近旁產生電場應變（傾斜電場）。藉由將該槽

縫 625 和相對基板 601 一側的突起 644 配置為互相咬合，有效地產生傾斜電場控制液晶的取向。由此，在每個部分中使液晶取向的方向為不同。就是說，進行多域化來擴大液晶面板的視角。

接著，對於與上述不同的 VA 型液晶顯示裝置，參照圖 19 至圖 22 進行說明。

圖 19 和圖 20 示出 VA 型液晶面板的像素結構。圖 20 是基板 600 的平面圖，而圖 19 示出對應於沿著圖 20 所示的截斷線 Y-Z 的截面結構。在下面的說明中，參照上述兩個附圖進行說明。

在其像素結構中，一個像素包括多個像素電極，並且每個像素電極與 TFT 連接。每個 TFT 構成為由不同的閘極信號驅動。就是說，在多域設計的像素中具有獨立地控制施加到各個像素電極的信號的結構。

像素電極 624 在接觸孔 623 中使用佈線 618 連接到 TFT628。此外，像素電極 626 在接觸孔 627 中使用佈線 619 連接到 TFT629。TFT628 的閘極佈線 602 和 TFT629 的閘極佈線 603 彼此分離，以可以將不同的閘極信號提供到它們。另一方面，TFT628 和 TFT629 共同使用用作資料線的佈線 616。此外，使用電容佈線 690、閘極絕緣膜 606、以及佈線 618 形成第一電容元件，並且使用電容佈線 690、閘極絕緣膜 606、以及佈線 619 形成第二電容元件。TFT628 和 TFT629 可以適當地使用實施例模式 1 所示的薄膜電晶體。

像素電極 624 和像素電極 626 的形狀不同，並且由槽縫 625 分離。像素電極 626 以圍繞舒展為 V 字形的像素電極 624 的外側的方式形成。藉由由 TFT628 和 TFT629 使施加到像素電極 624 和像素電極 626 的電壓的時序為不同，控制液晶的取向。圖 22 示出該像素結構的等效電路。TFT628 與閘極佈線 602 連接，而 TFT629 與閘極佈線 603 連接。藉由將不同的閘極信號提供到閘極佈線 602 和閘極佈線 603，可以使 TFT628 和 TFT629 的工作時序為不同。

在相對基板 601 上形成有遮光膜 632、第二著色膜 636、相對電極 640。此外，在第二著色膜 636 和相對電極 640 之間形成平坦化膜 637，以防止液晶的取向無序。圖 21 示出相對基板一側的結構。相對電極 640 是不同的電極之間共同化了的電極，其中形成有槽縫 641。將該槽縫 641 和像素電極 624 及像素電極 626 一側的槽縫 625 配置為規律地咬合，可以有效地產生傾斜電場控制液晶的取向。由此，可以在每個部分中使液晶取向的方向為不同，以擴大視角。

藉由重疊像素電極 624、液晶層 650、以及相對電極 640，形成第一液晶元件。此外，藉由重疊像素電極 626、液晶層 650、以及相對電極 640，形成第二液晶元件。另外，採用在一個像素中設置第一液晶元件和第二液晶元件的多域結構。

接著，示出水平電場方式的液晶顯示裝置。水平電場

方式是藉由對於單元內的液晶分子在水平方向上施加電場驅動液晶來進行灰度級表達。藉由該方式，可以將視角擴大為大約 180° 。在下面的說明中，說明採用水平電場方式的液晶顯示裝置。

圖 23 示出重疊形成有 TFT628 和與其連接的像素電極 624 的基板 600 和相對基板 601 並注入液晶的狀態。相對基板 601 形成有遮光膜 632、第二著色膜 636、平坦化膜 637 等。像素電極位於基板 600 一側，而不設置在相對基板 601 一側。在基板 600 和相對基板 601 之間形成有液晶層 650。

在基板 600 上形成第一像素電極 607、連接到第一像素電極 607 的電容佈線 604、以及實施例模式 1 所示的 TFT628。第一像素電極 607 可以使用與實施例模式 1 所示的像素電極 77 相同的材料。此外，第一像素電極 607 以大致區劃為像素形狀的形狀形成。注意，在第一像素電極 607 及電容佈線 604 上形成閘極絕緣膜 606。

TFT628 的佈線 616、佈線 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，且是在一個方向上延伸的佈線，同時，還與源區域 610 連接而成為源極及汲極中的一方電極。佈線 618 是成為源極及汲極中的另一方電極且與第二像素電極 624 連接的佈線。

在佈線 616、佈線 618 上形成絕緣膜 620。此外，在絕緣膜 620 上形成第二像素電極 624，該第二像素電極 624 在形成於絕緣膜 620 的接觸孔中與佈線 618 連接。像

素電極 624 使用與實施例模式 1 所示的像素電極 77 同樣的材料形成。

藉由上述方法，在基板 600 上形成 TFT628 和與其連接的第二像素電極 624。注意，保持電容形成在第一像素電極 607 和第二像素電極 624 之間。

圖 24 是示出像素電極的結構的平面圖。在像素電極 624 中，設置槽縫 625。槽縫 625 用來控制液晶的取向。在此情況下，在第一像素電極 607 和第二像素電極 624 之間產生電場。第一像素電極 607 和第二像素電極 624 之間形成有閘極絕緣膜 606，但是由於閘極絕緣膜 606 的厚度為 50nm 至 200nm，與厚度為 $2\mu\text{m}$ 至 $10\mu\text{m}$ 的液晶層相比充分薄，因此實際上在與基板 600 平行的方向（水平方向）上產生電場。由該電場控制液晶的取向。藉由利用該大致平行於基板的方向的電場使液晶分子在水平方向上旋轉。在此情況下，由於液晶分子在任何狀態下都處於水平狀態，所以因觀看角度的對比度等的影響很少，從而擴大視角。此外，因為第一像素電極 607 和第二像素電極 624 都是透光電極，所以可以提高開口率。

接著，示出水平電場方式的液晶顯示裝置的其他例子。

圖 25 和圖 26 示出 IPS 方式液晶顯示裝置的像素結構。圖 26 是平面圖，而圖 25 示出對應於沿著圖 26 所示的截斷線 A-B 的截面結構。在下面的說明中，參照上述兩個附圖進行說明。

圖 25 示出重疊形成有 TFT628 和與其連接的像素電極 624 的基板 600 和相對基板 601 並注入液晶的狀態。相對基板 601 形成有遮光膜 632、第二著色膜 636、平坦化膜 637 等。像素電極位於基板 600 一側，而不設置在相對基板 601 一側。在基板 600 和相對基板 601 之間形成有液晶層 650。

在基板 600 上形成共同電位線 609、以及實施例模式 1 所示的 TFT628。共同電位線 609 可以與薄膜電晶體 628 的閘極佈線 602 同時形成。

TFT628 的佈線 616、佈線 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，且是在一個方向上延伸的佈線，同時，還與源區域 610 連接而成為源極及汲極中的一方電極。佈線 618 是成為源極及汲極中的另一方電極且與第二像素電極 624 連接的佈線。

在佈線 616、佈線 618 上形成第二絕緣膜 620。此外，在絕緣膜 620 上形成第二像素電極 624，該第二像素電極 624 在形成於絕緣膜 62 的接觸孔 623 中與佈線 618 連接。像素電極 624 使用實施例模式 1 所示的像素電極 77 同樣的材料形成。注意，如圖 26 所示，像素電極 624 被形成為和與共同電位線 609 同時形成的梳形電極之間產生水平電場。此外，像素電極 624 以其梳齒部和與共同電位線 609 同時形成的梳形電極互相咬合的方式形成。

當施加到像素電極 624 的電位與共同電位線 609 的電位之間產生電場時，由該電場控制液晶的取向。藉由利用

該大致平行於基板的方向的電場使液晶分子在水平方向上旋轉。在此情況下，由於液晶分子在任何狀態下都處於水平狀態，所以因觀看角度的對比度等的影響很少，從而擴大視角。

像這樣，在基板 600 上形成 TFT628 以及與其連接的像素電極 624。保持電容藉由在共同電位線 609 和電容電極 615 之間設置閘極絕緣膜 606 而形成。電容電極 615 和像素電極 624 藉由接觸孔 633 相互連接。

接著，示出 TN 型的液晶顯示裝置的方式。

圖 27 和圖 28 示出 TN 型液晶顯示裝置的像素結構。圖 28 是平面圖，而圖 27 示出對應於沿著圖 28 所示的截斷線 A-B 的截面結構。在下面的說明中，參照上述兩個附圖進行說明。

像素電極 624 在接觸孔 623 中使用佈線 618 與 TFT628 連接。用作資料線的佈線 616 與 TFT628 連接。作為 TFT628，可以應用實施例模式 1 所示的 TFT 的任何一種。

像素電極 624 使用實施例模式 1 所示的像素電極 77 形成。

在相對基板 601 上形成有遮光膜 632、第二著色膜 636、相對電極 640。此外，在第二著色膜 636 和相對電極 640 之間形成平坦化膜 637，以防止液晶的取向無序。液晶層 650 形成在像素電極 624 和相對電極 640 之間。

藉由重疊像素電極 624、液晶層 650、以及相對電極

640，形成液晶元件。

相對電極 640 可以使用與像素電極 624 相同的材料。藉由像素電極 624、液晶層 650 和相對電極 640 彼此重疊，形成液晶元件。

此外，在圖 15 至圖 28 所示的液晶顯示裝置中，在基板 600 或相對基板 601 上也可以形成有顏色濾光片、用來防止旋錯（disclination）的遮罩膜（黑矩陣）等。此外，在基板 600 的與形成有薄膜電晶體的面相反的面上貼附偏振片，而在相對基板 601 的與形成有相對電極 640 的面相反的面上貼附偏振片。

藉由上述製程，可以製造液晶顯示裝置。由於本實施例模式的液晶顯示裝置使用截止電流少且電特性的可靠性高的薄膜電晶體，因此成為對比度高且可見度高的液晶顯示裝置。此外，因為採用將沒有雷射晶化製程的微晶半導體膜用於通道形成區域的薄膜電晶體，所以可以批量生產性高地製造可見度高的液晶顯示裝置。

[實施例模式 3]

接著，下面示出本發明的液晶顯示裝置的一個方式的顯示面板結構。

圖 12A 示出一種顯示面板的方式，其中另行形成信號線驅動電路 6013 且將該信號線驅動電路 6013 與形成在基板 6011 上的像素部 6012 連接。像素部 6012 及掃描線驅動電路 6014 採用將微晶半導體膜用於通道形成區域的薄

膜電晶體形成。藉由採用可獲得比將微晶半導體膜用於通道形成區域的薄膜電晶體高的電場效應遷移率的電晶體形成信號線驅動電路，可以使被要求比掃描線驅動電路高的驅動頻率的信號線驅動電路的工作穩定。注意，信號線驅動電路 6013 也可以是將單晶半導體用於通道形成區域的電晶體、將多晶半導體用於通道形成區域的薄膜電晶體、或使用 SOI 的電晶體。對於像素部 6012、信號線驅動電路 6013、掃描線驅動電路 6014 分別藉由 FPC6015 供給電源電位、各種信號等。

此外，信號線驅動電路及掃描線驅動電路也可以一起形成在與像素部相同的基板上。

另外，在另行形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼附在形成有像素部的基板上，例如也可以貼附在 FPC 上。圖 12B 示出一種液晶顯示裝置面板的方式，其中另行形成信號線驅動電路 6023，且將形成在基板 6021 上的像素部 6022 和信號線驅動電路 6023 彼此連接。像素部 6022 及掃描線驅動電路 6024 採用將微晶半導體膜用於通道形成區域的薄膜電晶體形成。信號線驅動電路 6023 藉由 FPC6025 與像素部 6022 連接。對於像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024 分別藉由 FPC6025 供給電源電位、各種信號等。

此外，也可以採用將微晶半導體膜用於通道形成區域的薄膜電晶體只將信號線驅動電路的一部分或掃描線驅動

電路的一部分形成在與像素部相同的基板上，並且另行形成其他部分並使它電連接到像素部。圖 10C 示出一種液晶顯示裝置面板的方式，將信號線驅動電路所具有的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上，並且將信號線驅動電路所具有的移位暫存器 6033b 另行形成在不同的基板上並彼此貼合。像素部 6032 及掃描線驅動電路 6034 採用將微晶半導體膜用於通道形成區域的薄膜電晶體形成。信號線驅動電路所具有的移位暫存器 6033b 藉由 FPC6035 與像素部 6032 連接。對於像素部 6032、信號線驅動電路、掃描線驅動電路 6034 分別藉由 FPC6035 供給電源電位、各種信號等。

如圖 12A 至 12C 所示，在本發明的液晶顯示裝置中，可以採用將微晶半導體膜用於通道形成區域的薄膜電晶體將驅動電路的一部分或全部形成在與像素部相同的基板上。

注意，對於另行形成的基板的連接方法沒有特別的限制，可以採用已知的 COG 方法、引線鍵合方法、或 TAB 方法等。此外，若是能夠電連接，連接位置不局限於圖 12A 至 12C 所示的位置。另外，也可以另行形成控制器、CPU、記憶體等而連接。

注意，用於本發明的信號線驅動電路不局限於只有移位暫存器和類比開關的方式。除了移位暫存器和類比開關之外，也可以具有其他電路如緩衝器、位準移位器、源極跟隨器等。此外，不一定設置移位暫存器和類比開關，例

如既可以使用如解碼器電路的能夠選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

圖 30 示出本發明的液晶顯示裝置的框圖。圖 30 所示的液晶顯示裝置包括具有多個具備液晶元件的像素的像素部 700、選擇各個像素的掃描線驅動電路 702、控制對被選擇的像素的視頻信號的輸入的信號線驅動電路 703。

在圖 30 中，信號線驅動電路 703 包括移位暫存器 704 和類比開關 705。時鐘信號（CLK）、起始脈衝信號（SP）輸入到移位暫存器 704 中。當時鐘信號（CLK）和起始脈衝信號（SP）被輸入時，在移位暫存器 704 中產生時序信號，並輸入到類比開關 705。

此外，類比開關 705 提供有視頻信號。類比開關 705 根據被輸入的時序信號對視頻信號進行取樣，然後供給給後級的信號線。

接著，說明掃描線驅動電路 702 的結構。掃描線驅動電路 702 包括移位暫存器 706、緩衝器 707。此外，也可以根據情況包括位準移位器。在掃描線驅動電路 702 的移位暫存器 706 中，藉由時鐘信號（CLK）及起始脈衝信號（SP）被輸入，產生選擇信號。產生了的選擇信號在緩衝器 707 中被緩衝放大，並被供給到對應的掃描線。一條線上的像素的電晶體的閘極連接到掃描線。而且，由於需要使一個線的像素的電晶體同時導通，因此使用能夠流過大電流的緩衝器 707。

在全彩色液晶顯示裝置中，在將對應於 R（紅）、G

(綠)、B(藍)的視頻信號按順序進行取樣而供給給對應的信號線的情況下，用來連接移位暫存器 704 和類比開關 705 的端子數相當於用來連接類比開關 705 和像素部 700 的信號線的端子數的 $1/3$ 左右。因此，藉由將類比開關 705 形成在與像素部 700 相同的基板上，與將類比開關 705 形成在與像素部 700 不同的基板上時相比，可以減少用來連接另行形成的基板的端子數，並且抑制連接不良的發生比率，以可以提高成品率。

此外，圖 30 的掃描線驅動電路 702 包括移位暫存器 706、及緩衝器 707，但是也可以由移位暫存器 706 構成掃描線驅動電路 702。

注意，圖 30 所示的結構只是本發明的液晶顯示裝置的一個方式，信號線驅動電路和掃描線驅動電路的結構不局限於此。

接著，參照圖 31 及圖 32 說明包括將極性都相同的微晶半導體膜用於通道形成區域的薄膜電晶體的移位暫存器的一個方式。圖 31 示出本實施例模式的移位暫存器的結構。圖 31 所示的移位暫存器由多個正反器（正反器 701-1 至 701-n）構成。此外，被輸入第一時鐘信號、第二時鐘信號、起始脈衝信號、重定信號而工作。

說明圖 31 的移位暫存器的連接關係。在圖 31 的移位暫存器的第 i 級的正反器 701- i （正反器 701-1 至 701-n 中任何一個）中，圖 32 所示的第一佈線 501 連接到第七佈線 717- $i-1$ ，圖 32 所示的第二佈線 502 連接到第七佈線

717-i+1，圖 32 所示的第三佈線 503 連接到第七佈線 717-i，圖 32 所示的第六佈線 506 連接到第五佈線 715。

此外，圖 32 所示的第四佈線 504 在第奇數級的正反器中連接到第二佈線 712，在第偶數級的正反器中連接到第三佈線 713，圖 32 所示的第五佈線 505 連接到第四佈線 714。

但是，第一級的正反器 701-1 中的圖 32 所示的第一佈線 501 連接到第一佈線 711，第 n 級的正反器 701- n 的圖 32 所示的第二佈線 502 連接到第六佈線 716。

注意，第一佈線 711、第二佈線 712、第三佈線 713、第六佈線 716 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第四佈線 714、第五佈線 715 也可以分別稱為第一電源線、第二電源線。

接著，圖 32 示出圖 31 所示的正反器的詳細結構。圖 32 所示的正反器包括第一薄膜電晶體 171、第二薄膜電晶體 172、第三薄膜電晶體 173、第四薄膜電晶體 174、第五薄膜電晶體 175、第六薄膜電晶體 176、第七薄膜電晶體 177、以及第八薄膜電晶體 178。在本實施例模式中，第一薄膜電晶體 171、第二薄膜電晶體 172、第三薄膜電晶體 173、第四薄膜電晶體 174、第五薄膜電晶體 175、第六薄膜電晶體 176、第七薄膜電晶體 177、以及第八薄膜電晶體 178 是 n 通道型電晶體，並且當閘極-汲極之間的電壓（ V_{gs} ）大於臨界值電壓（ V_{th} ）時其處於導通狀態。

接著，下面示出圖 32 所示的正反器的連接結構。

第一薄膜電晶體 171 的第一電極（源極電極及汲極電極的一方）連接到第四佈線 504，第一薄膜電晶體 171 的第二電極（源極電極及汲極電極的另一方）連接到第三佈線 503。

第二薄膜電晶體 172 的第一電極連接到第六佈線 506，第二薄膜電晶體 172 的第二電極連接到第三佈線 503。

第三薄膜電晶體 173 的第一電極連接到第五佈線 505，第三薄膜電晶體 173 的第二電極連接到第二薄膜電晶體 172 的閘極電極，第三薄膜電晶體 173 的閘極電極連接到第五佈線 505。

第四薄膜電晶體 174 的第一電極連接到第六佈線 506，第四薄膜電晶體 174 的第二電極連接到第二薄膜電晶體 172 的閘極電極，第四薄膜電晶體 174 的閘極電極連接到第一薄膜電晶體 171 的閘極電極。

第五薄膜電晶體 175 的第一電極連接到第五佈線 505，第五薄膜電晶體 175 的第二電極連接到第一薄膜電晶體 171 的閘極電極，第五薄膜電晶體 175 的閘極電極連接到第一佈線 501。

第六薄膜電晶體 176 的第一電極連接到第六佈線 506，第六薄膜電晶體 176 的第二電極連接到第一薄膜電晶體 171 的閘極電極，第六薄膜電晶體 176 的閘極電極連接到第二薄膜電晶體 172 的閘極電極。

第七薄膜電晶體 177 的第一電極連接到第六佈線 506，第七薄膜電晶體 177 的第二電極連接到第一薄膜電晶體 171 的閘極電極，第七薄膜電晶體 177 的閘極電極連接到第二佈線 502。第八薄膜電晶體 178 的第一電極連接到第六佈線 506，第八薄膜電晶體 178 的第二電極連接到第二薄膜電晶體 172 的閘極電極，第八薄膜電晶體 178 的閘極電極連接到第一佈線 501。

注意，以第一薄膜電晶體 171 的閘極電極、第四薄膜電晶體 174 的閘極電極、第五薄膜電晶體 175 的第二電極、第六薄膜電晶體 176 的第二電極、以及第七薄膜電晶體 177 的第二電極的連接部分為節點 143。再者，以第二薄膜電晶體 172 的閘極電極、第三薄膜電晶體 173 的第二電極、第四薄膜電晶體 174 的第二電極、第六薄膜電晶體 176 的閘極電極、以及第八薄膜電晶體 178 的第二電極的連接部分為節點 144。

注意，第一佈線 501、第二佈線 502、第三佈線 503、第四佈線 504 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第五佈線 505、第六佈線 506 也可以分別稱為第一電源線、第二電源線。

圖 33 示出圖 32 所示的正反器的俯視圖的一個例子。

導電膜 901 包括用作第一薄膜電晶體 171 的第一電極的部分，並藉由與像素電極同時形成的佈線 951 與第四佈線 504 連接。

導電膜 902 包括用作第一薄膜電晶體 171 的第二電極

的部分，並藉由與像素電極同時形成的佈線 952 與第三佈線 503 連接。

導電膜 903 包括用作第一薄膜電晶體 171 的閘極電極的部分、以及用作第四薄膜電晶體 174 的閘極電極的部分。

導電膜 904 包括用作第二薄膜電晶體 172 的第一電極的部分、用作第六薄膜電晶體 176 的第一電極的部分、用作第四薄膜電晶體 174 的第一電極的部分、以及用作第八薄膜電晶體 178 的第一電極的部分，並與第六佈線 506 連接。

導電膜 905 包括用作第二薄膜電晶體 172 的第二電極的部分，並藉由與像素電極同時形成的佈線 954 與第三佈線 503 連接。

導電膜 906 包括用作第二薄膜電晶體 172 的閘極電極的部分、以及用作第六薄膜電晶體 176 的閘極電極的部分。

導電膜 907 包括用作第三薄膜電晶體 173 的第一電極的部分，並藉由佈線 955 與第五佈線 505 連接。

導電膜 908 包括用作第三薄膜電晶體 173 的第二電極的部分、以及用作第四薄膜電晶體 174 的第二電極的部分，並藉由與像素電極同時形成的佈線 956 與導電膜 906 連接。

導電膜 909 包括用作第三薄膜電晶體 173 的閘極電極的部分，並藉由佈線 955 與第五佈線 505 連接。

導電膜 910 包括用作第五薄膜電晶體 175 的第一電極的部分，並藉由與像素電極同時形成的佈線 959 與第五佈線 505 連接。

導電膜 911 包括用作第五薄膜電晶體 175 的第二電極的部分、以及用作第七薄膜電晶體 177 的第二電極的部分，並藉由與像素電極同時形成的佈線 958 與導電膜 903 連接。

導電膜 912 包括用作第五薄膜電晶體 175 的閘極電極的部分，並藉由與像素電極同時形成的佈線 960 與第一佈線 501 連接。

導電膜 913 包括用作第六薄膜電晶體 176 的第二電極的部分，並藉由與像素電極同時形成的佈線 957 與導電膜 903 連接。

導電膜 914 包括用作第七薄膜電晶體 177 的閘極電極的部分，並藉由與像素電極同時形成的佈線 962 與第二佈線 502 連接。

導電膜 915 包括用作第八薄膜電晶體 178 的閘極電極的部分，並藉由與像素電極同時形成的佈線 961 與導電膜 912 連接。

導電膜 916 包括第八薄膜電晶體 178 的用作第二電極的部分，並藉由與像素電極同時形成的佈線 953 與導電膜 906 連接。

注意，微晶半導體膜 981 至 988 的一部分分別用作第一至第九薄膜電晶體的通道形成區域。

藉由由將微晶半導體用於通道形成區域的薄膜電晶體構成圖 30 至圖 32 所示的電路，可以使它進行高速工作。例如，當對將非晶半導體膜用於通道形成區域的情況和將微晶半導體膜用於通道形成區域的情況進行比較時，將微晶半導體膜用於通道形成區域的情況下的薄膜電晶體的電場效應遷移率較高，因此可以提高驅動電路（例如，掃描線驅動電路 702 的移位暫存器 706）的驅動頻率。因為可以使掃描線驅動電路 702 進行高速工作，所以可以提高框頻率或實現黑框插入等。

當提高框頻率之際，較佳的根據圖像的動作方向產生螢幕的資料。就是說，較佳的進行運動補償來內插資料。像這樣，藉由提高框頻率並內插圖像資料，改善動畫的顯示特性，從而可以進行平滑的顯示。例如，藉由為兩倍（例如，120 赫茲、100 赫茲）以上，更佳的為四倍（例如，480 赫茲、400 赫茲）以上，可以減少動畫中的模糊圖像、以及餘像。在此情況下，掃描線驅動電路 702 也藉由提高驅動頻率工作來可以提高框頻率。

在進行黑框插入的情況下，製造為能夠將圖像資料或成為黑顯示的資料供給給像素部 700 中。結果，成為類似於脈衝驅動的方式，而可以減少餘像。在此情況下，掃描線驅動電路 702 也藉由提高驅動頻率工作來可以進行黑框插入。

再者，藉由增大掃描線驅動電路 702 的薄膜電晶體的通道寬度或配置多個掃描線驅動電路等，可以實現更高的

框頻率。例如，可以實現八倍（例如，960 赫茲、800 赫茲）以上的框頻率。在配置多個掃描線驅動電路的情況下，藉由將用來驅動偶數行的掃描線的掃描線驅動電路配置在一側，並將用來驅動奇數行的掃描線的掃描線驅動電路配置在另一側，可以實現框頻率的提高。作為一個例子，第二薄膜電晶體 172 的通道寬度為 $300\ \mu\text{m}$ 以上，更佳的為 $1000\ \mu\text{m}$ 以上。

注意，藉由由將微晶半導體用於通道形成區域的薄膜電晶體構成圖 30 至圖 32 所示的電路，可以縮小設計面積。因此，可以縮小液晶顯示裝置的邊框。例如，當對將非晶半導體膜用於通道形成區域的情況和將微晶半導體膜用於通道形成區域的情況進行比較時，將微晶半導體膜用於通道形成區域的情況下的薄膜電晶體的電場效應遷移率較高，因此可以縮小薄膜電晶體的通道寬度。結果，可以實現液晶顯示裝置的窄邊框化。作為一個例子，第二薄膜電晶體 172 的通道寬度為 $3000\ \mu\text{m}$ 以下，更佳的為 $2000\ \mu\text{m}$ 以下。

注意，在圖 32 的第二薄膜電晶體 172 中，對於第三佈線 503 輸出低位準的信號的期間長。其間，第二薄膜電晶體 172 一直處於導通狀態。因此，第二薄膜電晶體 172 受到很強的壓力，而電晶體特性容易退化。當電晶體特性退化時，臨界值電壓逐漸增大。結果，電流值逐漸縮小。於是，第二薄膜電晶體 172 的通道寬度較佳的大，以便即使電晶體退化也能夠供給充分的電流。或者，較佳的被補

償以便防止在電晶體的退化時產生的電路工作的障礙。例如，較佳的藉由與第二薄膜電晶體 172 並列地配置電晶體，並使它與第二薄膜電晶體 172 交替處於導通狀態，不容易受到退化的影響。

然而，當對將非晶半導體膜用於通道形成區域的情況和將微晶半導體膜用於通道形成區域的情況進行比較時，將微晶半導體膜用於通道形成區域的電晶體較不容易退化。因此，在將微晶半導體膜用於通道形成區域的情況下，可以縮小薄膜電晶體的通道寬度。或者，即使不設置對於退化的補償用電路也可以進行正常工作。由此，可以縮小設計面積。

接著，參照圖 29A 和 29B 說明相當於本發明的液晶顯示裝置的一個方式的液晶顯示面板的外觀及截面。圖 29A 是一種面板的俯視圖，其中在與第二基板 4006 之間使用密封材料 4005 密封將形成在第一基板 4001 上的具有微晶半導體膜用作通道形成區域的薄膜電晶體 4010 及液晶元件 4013。圖 29B 相當於沿著圖 29A 的 A-A'線的截面圖。

以圍繞形成在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置第二基板 4006。因此，使用第一基板 4001、密封材料 4005 以及第二基板 4006 將像素部 4002 和掃描線驅動電路 4004 與液晶 4008 一起密封。另外，在第一基板 4001 上的與由密封

材料 4005 圍繞的區域不同的區域中安裝有使用多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。注意，本實施例模式說明具有將多晶半導體膜用於通道形成區域的薄膜電晶體的信號線驅動電路貼附到第一基板 4001 的例子，但是也可以採用將單晶半導體用於通道形成區域的電晶體形成信號線驅動電路並貼合。圖 29A 和 29B 例示包括在信號線驅動電路 4003 中的由多晶半導體膜形成的薄膜電晶體 4009。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體，圖 29B 例示包括在像素部 4002 中的薄膜電晶體 4010。薄膜電晶體 4010 相當於將微晶半導體膜用於通道形成區域的薄膜電晶體。

此外，液晶元件 4013 所具有的像素電極 4030 藉由佈線 4040 與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的相對電極 4031 形成在第二基板 4006 上。像素電極 4030、相對電極 4031、以及液晶 4008 重疊的部分相當於液晶元件 4013。

注意，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（典型地是不銹鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（纖維強化塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，也可以採用具有使用 PVF 薄膜及聚酯薄膜夾鋁箔的結構的薄片。

另外，為控制像素電極 4030 和相對電極 4031 之間的距離（單元間隙）而設置球狀隔離物 4035。注意，也可

以使用藉由選擇性地蝕刻絕緣膜來獲得的隔離物。

此外，提供到另行形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位藉由引導佈線 4014、4015 從 FPC4018 供給。

在本實施例模式中，連接端子 4016 由與液晶元件 4013 所具有的像素電極 4030 相同的導電膜形成。此外，引導佈線 4014、4015 由與佈線 4040 相同的導電膜形成。

連接端子 4016 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

注意，雖然未圖示，但是本實施例模式所示的液晶顯示裝置具有取向膜、偏振片，還可以具有顏色濾光片及遮罩膜。

此外，圖 29A 和 29B 示出另行形成信號線驅動電路 4003 而安裝到第一基板 4001 的例子，但是本實施例模式不局限於此。既可以另行形成掃描線驅動電路而安裝，又可以另行形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

本實施例模式可以與其他實施例模式所記載的結構組合而實施。

[實施例模式 4]

藉由採用根據本發明獲得的液晶顯示裝置，可以使用於主動矩陣型液晶模組。就是說，在將它們安裝到顯示部中的所有電子設備中可以實施本發明。

作為這種電子設備的例子，可以舉出如下：拍攝裝置如攝影機及數位相機等；頭戴式顯示器（護目鏡型顯示器）；汽車導航系統；投影機；汽車音響；個人電腦；可攜式資訊終端（可攜式電腦、行動電話、或電子書等）。圖 13A 至 13D 示出了它們的一個例子。

圖 13A 示出電視裝置。如圖 13A 所示，可以將顯示模組嵌入到框體中來完成電視裝置。還安裝有 FPC 的顯示面板稱為顯示模組。由顯示模組形成主螢幕 2003，並且作為其他輔助設備還具有揚聲器部 2009、操作開關等。像這樣，可以完成電視裝置。

如圖 13A 所示，將利用液晶元件的顯示用面板 2002 安裝在框體 2001 中，不僅可以由接收器 2005 接收普通的電視廣播，而且可以藉由經由數據機 2004 連接到採用有線或無線方式的通信網路，進行單方向（從發送者到接收者）或雙方向（在發送者和接收者之間或在接收者之間）的資訊通信。可以使用安裝在框體中的開關或遙控裝置 2006 來操作電視裝置。也可以在遙控裝置 2006 中設置用於顯示輸出資訊的顯示部 2007。

另外，除了主螢幕 2003 之外，在電視裝置中，可以使用第二顯示用面板形成子螢幕 2008，且附加有顯示頻道或音量等的結構。在這種結構中，可以使用視角優良的液晶顯示面板形成主螢幕 2003，而使用能夠以低耗電量來顯示的液晶顯示面板形成子螢幕。另外，為了優先降低耗電量，也可以使用液晶顯示面板形成主螢幕 2003，而

使用液晶顯示面板形成子螢幕，並使子螢幕可以閃亮和閃滅。

圖 14 示出表示電視裝置的主要結構的方塊圖。在顯示面板 900 中，形成有像素部 921。信號線驅動電路 922 和掃描線驅動電路 923 也可以以 COG 方式安裝到顯示面板 900。

作為其他外部電路的結構，在視頻信號的輸入一側包括視頻信號放大電路 925、視頻信號處理電路 926、以及控制電路 927 等。該視頻信號放大電路 925 放大由調諧器 924 接收的信號中的放大視頻信號，該視頻信號處理電路 926 將從視頻信號放大電路 925 輸出的信號轉換為與紅、綠、藍每種顏色相應的色信號，該控制電路 927 將該視頻信號轉換為驅動器 IC 的輸入規格。控制電路 927 將信號分別輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，也可以具有如下結構，即在信號線一側設置信號分割電路 928，並且將輸入數位信號分成 m 個來供給。

由調諧器 924 接收的信號中的音頻信號被傳送到音頻信號放大電路 929，並且其輸出經過音頻信號處理電路 930 供給到揚聲器 933。控制電路 931 從輸入部 932 接收接收站（接收頻率）和音量的控制資訊，並且將信號傳送到調諧器 924、音頻信號處理電路 930。

當然，本發明不局限於電視裝置，並且可以適用於各種各樣的用途，如個人電腦的監視器、以及大面積的顯示媒體如火車站或機場等的資訊顯示板或者街頭上的廣告顯

示板等。

圖 13B 示出行動電話 2201 的一個例子。該行動電話 2201 包括顯示部 2202、操作部 2203 等構成。在顯示部 2202 中，藉由應用上述實施例模式所說明的液晶顯示裝置可以提高批量生產性。

此外，圖 13C 所示的可攜式電腦包括主體 2401、顯示部 2402 等。藉由將上述實施例模式所示的液晶顯示裝置應用於顯示部 2402，可以提高批量生產性。

[實施例 1]

圖 34A 和 34B 示出形成微晶矽膜並藉由拉曼光譜法檢測該膜的結晶性的結果。

以如下成膜條件形成微晶矽膜：RF 電源頻率為 13.56MHz；成膜溫度為 280℃；氫流量和矽烷氣體流量的比率為 100：1；壓力為 280Pa。此外，圖 34A 是拉曼散射光譜，並且是對成膜時的 RF 電源的電力為 100W 的微晶矽膜和成膜時的 RF 電源的電力為 300W 的微晶矽膜進行比較的檢測結果。

注意，單晶矽膜的結晶峰值位置為 521cm^{-1} 。注意，當然非晶矽不能檢測可說結晶峰值的值。如圖 34B 所示，只檢測出以 480cm^{-1} 為頂點的不陡的山形。本說明書中的微晶矽膜是指當使用拉曼光譜器檢測時在 481cm^{-1} 以上至 520cm^{-1} 以下確認結晶峰值的膜。

成膜時的 RF 電源的電力為 100W 的微晶矽膜的結晶

峰值位置為 518.6cm^{-1} ，半峰全寬（FWHM）為 11.9cm^{-1} ，結晶/非晶峰值強度比（ I_c/I_a ）為 4.1。

此外，成膜時的 RF 電源的電力為 300W 的微晶矽膜的結晶峰值位置為 514.8cm^{-1} ，半峰全寬（FWHM）為 18.7cm^{-1} ，結晶/非晶峰值強度比（ I_c/I_a ）為 4.4。

如圖 34A 所示，因 RF 電力而產生結晶峰值位置和半峰全寬之間的大差異。這是因為如下緣故：具有在使用大電力的情況下增加離子衝擊而障礙粒子的生長，從而粒徑小的傾向。此外，由於形成用於圖 34A 的檢測的微晶矽膜的 CVD 裝置的電源頻率為 13.56MHz，因此結晶/非晶峰值強度比（ I_c/I_a ）為 4.1 或 4.4。但是，已確認若是 RF 電源頻率為 27MHz 就可以將結晶/非晶峰值強度比（ I_c/I_a ）設定為 6。因此，藉由將 RF 電源頻率設定為比 27MHz 更高，例如 2.45GHz，可以進一步提高結晶/非晶峰值強度比（ I_c/I_a ）。

[實施例 2]

在本實施例中，示出對於本發明所示的薄膜電晶體的電晶體特性以及電子密度分佈，進行裝置類比而獲得的結果。使用矽穀科技（Silvaco）公司製造的裝置模擬器“ATLAS”進行裝置模擬。

圖 35 示出裝置結構。假定絕緣基板 2301 是以氧化矽（介電常數為 4.1）為主要成分的玻璃基板（厚度為 $0.5\mu\text{m}$ ）。注意，在實際的製程上，絕緣基板 2301 的厚度

主要為 0.5mm、0.7mm 等，但是以絕緣基板 2301 之下的電場不影響到薄膜電晶體特性的程度，定義充分的厚度。

在絕緣基板 2301 上層疊由鉬形成的閘極電極 2303（厚度為 150nm）。鉬的功函數設定為 4.6eV。

在閘極電極 2303 上層疊具有氮化矽膜（介電常數為 7.0，厚度為 110nm）和氧氮化矽膜（介電常數為 4.1，厚度為 110nm）的疊層結構的閘絕緣膜 2305。

在閘極絕緣膜 2305 上層疊 μ c-Si 膜 2307 和 a-Si 膜 2309。在此的各個疊層條件為如下：厚度為 0nm 的 μ c-Si 膜 2307 和厚度為 100nm 的 a-Si 膜 2309 的疊層；厚度為 10nm 的 μ c-Si 膜 2307 和厚度為 90nm 的 a-Si 膜 2309 的疊層；厚度為 50nm 的 μ c-Si 膜 2307 和厚度為 50nm 的 a-Si 膜 2309 的疊層；厚度為 90nm 的 μ c-Si 膜 2307 和厚度為 10nm 的 a-Si 膜 2309 的疊層；以及厚度為 100nm 的 μ c-Si 膜 2307 和厚度為 0nm 的 a-Si 膜 2309 的疊層。

此外，在與第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 重疊的區域中，a-Si 膜 2309 除了上述厚度之外還層疊有 50nm 的 a-Si 膜。就是說，在不形成第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 的區域中，a-Si 膜 2309 具有其一部分被蝕刻 50nm 的凹部狀。

在 a-Si 膜 2309 上層疊有第一 a-Si (n^+) 膜 2311（厚度為 50nm）和第二 a-Si (n^+) 膜 2313（厚度為 50nm）。在圖 35 所示的薄膜電晶體中，第一 a-Si (n^+) 膜 2311 和

第二 a-Si (n^+) 膜 2313 之間的距離成為通道長度 L 。在此，通道長度 L 設定為 $6\mu\text{m}$ 。此外，通道寬度 W 設定為 $15\mu\text{m}$ 。

在第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 上分別層疊由鉬 (Mo) 形成的源極電極 2315 和汲極電極 2317 (厚度為 300nm)。將源極電極 2315 和第一 a-Si (n^+) 膜 2311 之間、以及汲極電極 2317 和第二 a-Si (n^+) 膜 2313 之間定義為歐姆接觸。

圖 36 示出當在圖 35 所示的薄膜電晶體中，改變 $\mu\text{c-Si}$ 膜及 a-Si 膜的膜厚度來進行裝置模擬之際獲得的 DC 特性 (V_g - I_d 特性、 $V_d=14\text{V}$) 的結果。此外，圖 37A 和 37B 示出當 $\mu\text{c-Si}$ 膜 2307 的厚度為 10nm ，而 a-Si 膜的厚度為 90nm 時的薄膜電晶體的電子濃度分佈。圖 37A 示出當薄膜電晶體處於導通狀態 (V_g 為 $+10\text{V}$ ， V_d 為 14V) 時的電子濃度分佈，而圖 37B 示出當薄膜電晶體處於截止狀態 (V_g 為 -10V ， V_d 為 14V) 時的電子濃度的分佈結果。

參照圖 36 就知道，隨著使 a-Si 膜的膜厚度變厚而截止電流減少。此外，藉由將 a-Si 的厚度設定為 50nm 以上，可以將 V_g 是 -20V 時的汲極電流設定為低於 $1\times 10^{-13}\text{A}$ 。

另外，在此知道，隨著使 $\mu\text{c-Si}$ 膜的膜厚度變厚而導通電流增加。此外，藉由將 $\mu\text{c-Si}$ 的厚度設定為 10nm 以上，可以將 V_g 是 20V 時的汲極電流設定為 $1\times 10^{-5}\text{A}$ 以上。

參照圖 37A 就知道，在導通狀態下， $\mu\text{c-Si}$ 膜中的電

子密度比 a-Si 膜中的電子密度高。就是說，由於導電率高的 μ c-Si 膜中的電子密度高，因此在導通狀態下電子容易流過，從而汲極電流升高。

參照圖 37B 就知道，在截止狀態下，a-Si 膜中的電子密度比 μ c-Si 膜中的電子密度高。就是說，由於導電率低的 a-Si 膜中的電子密度高，因此在截止狀態下電子難以流過，從而產生與將 a-Si 膜用作通道形成區域的薄膜電晶體同樣的汲極電流。

根據上述事實就知道，如圖 35 所示那樣的薄膜電晶體可以在減少截止電流的同時提高導通電流，在該薄膜電晶體中，在閘極絕緣膜上形成 μ c-Si 膜，在 μ c-Si 膜上形成 a-Si 膜，並在 a-Si 膜上形成源區域及汲區域。

【符號說明】

50：基板

51：閘極電極

52：抗蝕劑（閘極電極）

53：微晶半導體膜

54：緩衝層

55：半導體膜

59：多級灰度掩模

61：微晶半導體膜

62：緩衝層

63：半導體膜

- 76：絕緣膜
- 77：像素電極
- 80：抗蝕劑
- 81：抗蝕劑掩模
- 83：薄膜電晶體
- 86：抗蝕劑掩模
- 87：微晶半導體膜
- 88：緩衝層
- 89：汲區域
- 91：抗蝕劑掩模
- 132：液晶元件
- 143：節點
- 144：節點
- 161：液晶
- 163：基板
- 164：遮光部
- 165：衍射光柵
- 166：光透過量
- 167：半透過部
- 168：遮光部
- 169：光透過量
- 171：薄膜電晶體
- 172：薄膜電晶體
- 173：薄膜電晶體

- 174：薄膜電晶體
- 175：薄膜電晶體
- 176：薄膜電晶體
- 177：薄膜電晶體
- 178：薄膜電晶體
- 180：處理容器
- 182：氣體供給部
- 200：電漿
- 328：薄膜電晶體
- 501：佈線
- 502：佈線
- 503：佈線
- 504：佈線
- 505：佈線
- 506：佈線
- 52a：閘極絕緣膜
- 52b：閘極絕緣膜
- 59a：灰色色調掩模
- 59b：半色調掩模
- 600：基板
- 601：相對基板
- 602：閘極佈線
- 603：閘極佈線
- 604：電容佈線

- 605：電容佈線
- 606：閘極絕緣膜
- 607：像素電極
- 609：共同電位線
- 610：源區域
- 615：電容佈線
- 616：佈線
- 617：電容佈線
- 618：佈線
- 619：佈線
- 620：絕緣膜
- 622：絕緣膜
- 623：接觸孔
- 624：像素電極
- 625：槽縫
- 626：像素電極
- 627：接觸孔
- 628：TFT
- 629：TFT
- 630：保持電容部
- 631：保持電容部
- 632：遮光膜
- 633：接觸孔
- 634：著色膜

- 636：著色膜
- 637：平坦化膜
- 638：著色膜
- 640：相對電極
- 641：槽縫
- 642：隔離物
- 644：突起
- 646：取向膜
- 648：取向膜
- 650：液晶層
- 651：液晶元件
- 652：液晶元件
- 65a：導電膜
- 65b：導電膜
- 65c：導電膜
- 700：像素部
- 701：正反器
- 702：掃描線驅動電路
- 703：信號線驅動電路
- 704：移位暫存器
- 705：模擬開關
- 706：移位暫存器
- 707：緩衝器
- 711：佈線

712 : 佈線

713 : 佈線

714 : 佈線

715 : 佈線

716 : 佈線

717 : 佈線

75c : 汲極電極

79b : 佈線

85a : 導電膜

89a : 導電膜

900 : 顯示面板

901 : 導電膜

902 : 導電膜

903 : 導電膜

904 : 導電膜

905 : 導電膜

906 : 導電膜

907 : 導電膜

908 : 導電膜

909 : 導電膜

910 : 導電膜

911 : 導電膜

912 : 導電膜

913 : 導電膜

- 914 : 導電膜
- 916 : 導電膜
- 921 : 像素部
- 922 : 信號線驅動電路
- 923 : 掃描線驅動電路
- 924 : 調諧器
- 925 : 視頻信號放大電路
- 926 : 視頻信號處理電路
- 927 : 控制電路
- 928 : 信號分割電路
- 929 : 音頻信號放大電路
- 92a : 汲極電極
- 92c : 汲極電極
- 930 : 音頻信號處理電路
- 931 : 控制電路
- 932 : 輸入部
- 933 : 揚聲器
- 93b : 佈線
- 951 : 佈線
- 952 : 佈線
- 953 : 佈線
- 954 : 佈線
- 955 : 佈線
- 956 : 佈線

957：佈線
958：佈線
959：佈線
960：佈線
961：佈線
962：佈線
981：微晶半導體膜
1110：裝載室
1115：卸載室
1120：公共室
1121：傳送單元
1122：閘閥
1128：盒子
1130：基板
1200：公共室
1915：導電膜
2001：框體
2002：顯示用面板
2003：主螢幕
2004：解調器
2005：接收器
2006：遙控裝置
2007：顯示部
2008：子螢幕

2009：揚聲器部
 2201：行動電話
 2301：絕緣基板
 2202：顯示部
 2203：操作部
 2303：閘極電極
 2305：閘極絕緣膜
 2311：a-Si (n^+)
 2313：a-Si (n^+)
 2315：閘極電極
 2317：汲極電極
 2401：主體
 2402：顯示部
 4001：基板
 4002：像素部
 4003：信號線驅動電路
 4004：掃描線驅動電路
 4005：密封材料
 4006：基板
 4008：液晶
 4009：薄膜電晶體
 4010：薄膜電晶體
 4013：液晶元件
 4014：佈線

4016：連接端子
 4018：FPC
 4019：各向異性導電膜
 4030：像素電極
 4031：相對電極
 4035：隔離物
 4040：佈線
 4041：佈線
 6011：基板
 6012：像素部
 6013：信號線驅動電路
 6014：掃描線驅動電路
 6015：FPC
 6021：基板
 6022：像素部
 6023：信號線驅動電路
 6024：掃描線驅動電路
 6025：FPC
 6031：基板
 6032：像素部
 6034：掃描線驅動電路
 6035：FPC
 6033a 模擬開關
 6033b：移位暫存器

申請專利範圍

【請求項 1】一種半導體裝置，包括：

閘極電極；

在該閘極電極上方的閘極絕緣膜；

在該閘極絕緣膜上方的半導體膜；

在該半導體膜上方並電連接到該半導體膜的第一電極；

在該半導體膜上方並電連接到該半導體膜的第二電極；

在該第一電極和該第二電極上方的第一絕緣膜；

在該第一絕緣膜上方並與該第二電極電連接的像素電極；

其中該第一電極和該第二電極中的每一者均包括包含銅的導電膜，

其中該半導體膜包括第一區域、第二區域和第三區域，

其中該第一區域不與該第一電極和該第二電極中的任一者重疊，

其中該第二區域與該第一電極重疊，

其中該第三區域與該第二電極重疊，

其中該第一區域是位於該第二區域和該第三區域之間，

其中該第一絕緣膜與該第一區域接觸，且

其中該第一區域比該第二區域和該第三區域還薄。

【請求項 2】一種半導體裝置，包括：

閘極電極；

在該閘極電極上方的閘極絕緣膜；

在該閘極絕緣膜上方的半導體膜；

在該半導體膜上方並電連接到該半導體膜的第一電極；

在該半導體膜上方並電連接到該半導體膜的第二電極；

在該第一電極和該第二電極上方的第一絕緣膜；

在該第一絕緣膜上方並與該第二電極電連接的像素電極；

其中該第一電極和該第二電極中的每一者包括第一金屬層和在該第一金屬層上方的第二金屬層，

其中該第一電極的該第二金屬層與該第一電極的該第一金屬層直接接觸，

其中該第二電極的該第二金屬層與該第二電極的該第一金屬層直接接觸，

其中該第一電極的該第二金屬層和該第二電極的該第二金屬層的每一者均包括銅，

其中該半導體膜包括第一區域、第二區域和第三區域，

其中該第一區域不與該第一電極和該第二電極中的任一者重疊，

其中該第二區域與該第一電極重疊，

其中該第三區域與該第二電極重疊，

其中該第一區域是位於該第二區域和該第三區域之間，

其中該第一絕緣膜與該第一區域接觸，且

其中該第一區域比該第二區域和該第三區域還薄。

【請求項 3】一種半導體裝置，包括：

閘極電極；

在該閘極電極上方的閘極絕緣膜；

在該閘極絕緣膜上方的第一半導體膜；

在該第一半導體膜上方的第二半導體膜；

在該第一半導體膜上方的第三半導體膜；

在該第二半導體膜上方並與該第二半導體膜直接接觸的第一電極；

在該第三半導體膜上方並與該第三半導體膜直接接觸的第二電極；

在該第一電極和該第二電極上方的第一絕緣膜；

在該第一絕緣膜上方並與該第二電極電連接的像素電極；

其中該第一電極和該第二電極中的每一者均包括包含銅的導電膜，

其中該第一半導體膜包括第一區域、第二區域和第三區域，

其中該第一區域不與該第一電極和該第二電極中的任一者重疊，

其中該第一區域是位於該第二區域和該第三區域之間，

其中該第二半導體膜與該第二區域直接接觸，

其中該第三半導體膜與該第三區域直接接觸，

其中該第一絕緣膜與該第一區域直接接觸，

其中該第一區域比該第二區域和該第三區域還薄，且

其中該第一半導體膜、該第二半導體膜和該第三半導體膜的每一者均包括非晶矽。

【請求項 4】一種半導體裝置，包括：

閘極電極；

在該閘極電極上方的閘極絕緣膜；

在該閘極絕緣膜上方的第一半導體膜；

在該第一半導體膜上方的第二半導體膜；

在該第一半導體膜上方的第三半導體膜；

在該第二半導體膜上方並與該第二半導體膜直接接觸的第一電極；

在該第三半導體膜上方並與該第三半導體膜直接接觸的第二電極；

在該第一電極和該第二電極上方的第一絕緣膜；

在該第一絕緣膜上方並與該第二電極電連接的像素電極；

其中該第一電極和該第二電極中的每一者包括第一金屬層和在該第一金屬層上方的第二金屬層，

其中該第一電極的該第二金屬層與該第一電極的該第

一金屬層直接接觸，

其中該第二電極的該第二金屬層與該第二電極的該第一金屬層直接接觸，

其中該第一電極的該第二金屬層和該第二電極的該第二金屬層的每一者均包括銅，

其中該第一半導體膜包括第一區域、第二區域和第三區域，

其中該第一區域不與該第一電極和該第二電極中的任一者重疊，

其中該第一區域是位於該第二區域和該第三區域之間，

其中該第二半導體膜與該第二區域直接接觸，

其中該第三半導體膜與該第三區域直接接觸，

其中該第一絕緣膜與該第一區域直接接觸，

其中該第一區域比該第二區域和該第三區域還薄，且

其中該第一半導體膜、該第二半導體膜和該第三半導體膜的每一者均包括非晶矽。

【請求項 5】如請求項 1 或 2 的半導體裝置，

其中該第一電極和該第二電極中的每一者均與該半導體膜的上表面接觸。

【請求項 6】如請求項 1、2、3 和 4 的任一者的半導體裝置，

其中該第一絕緣膜包括：

包括氧化矽的第一層；和

在該第一層上方且包括氮化矽的第二層。

【請求項 7】如請求項 1、2、3 和 4 的任一者的半導體裝置，

其中該第一絕緣膜包括第一層和在該第一層上方的第二層，且

其中該第二層包括樹脂。

圖式

圖 1A

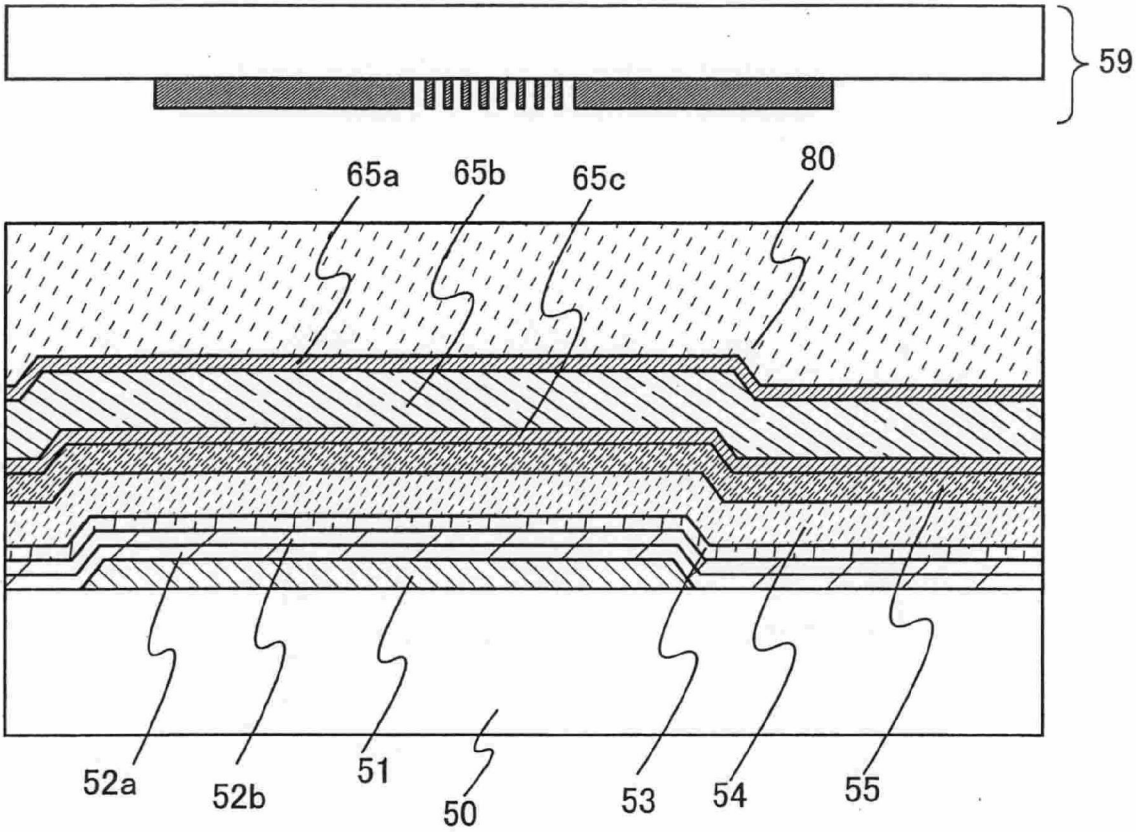


圖 1B

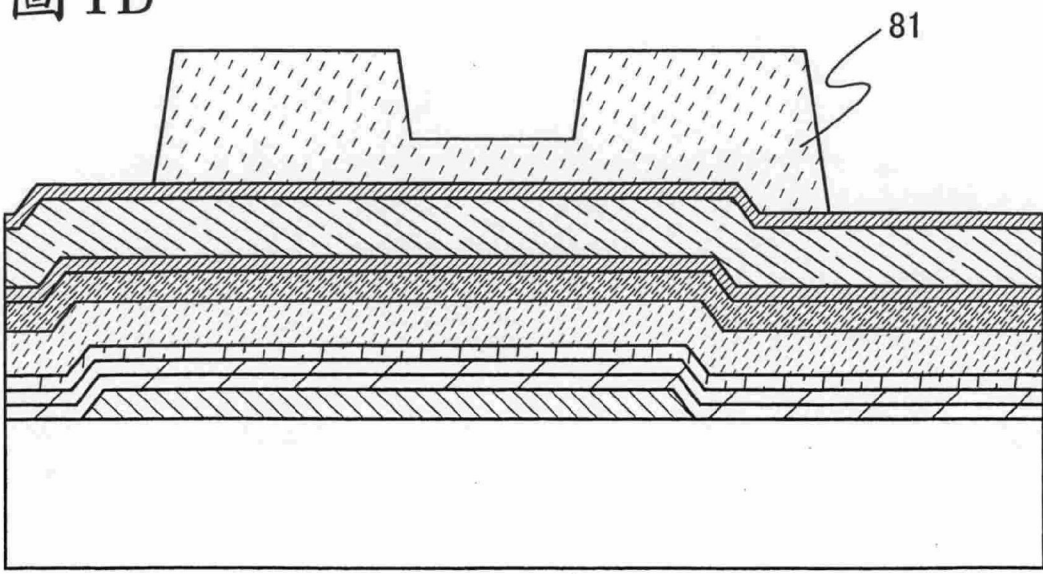


圖 2A

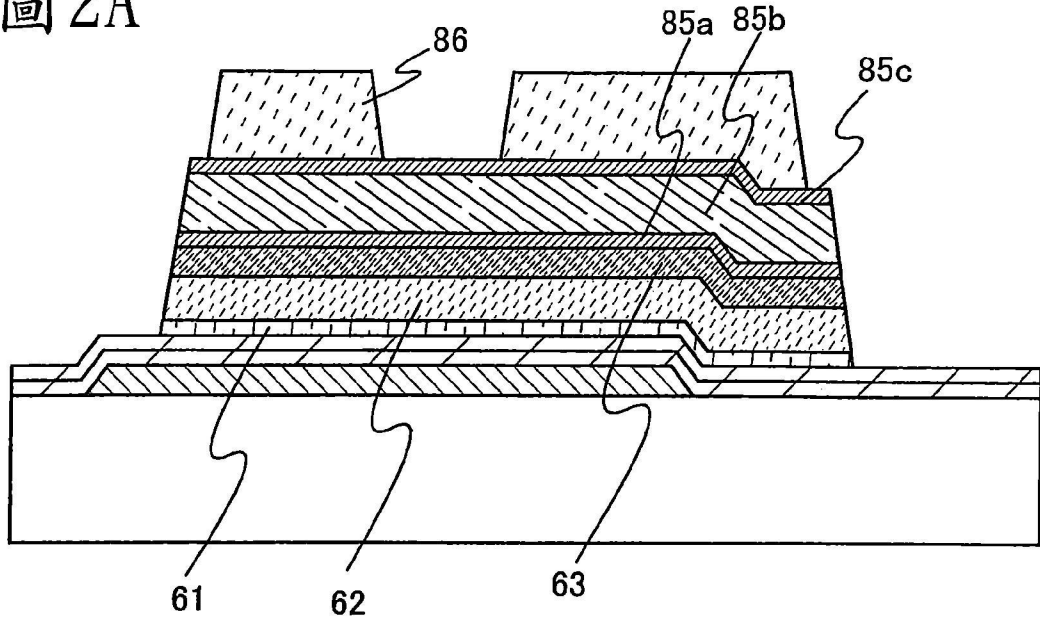


圖 2B

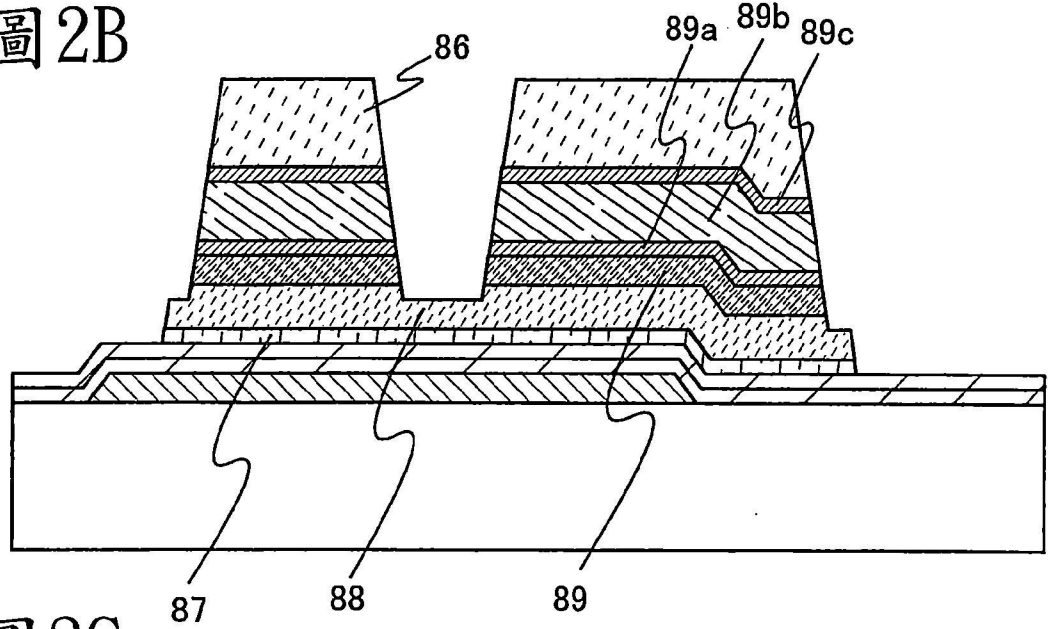


圖 2C

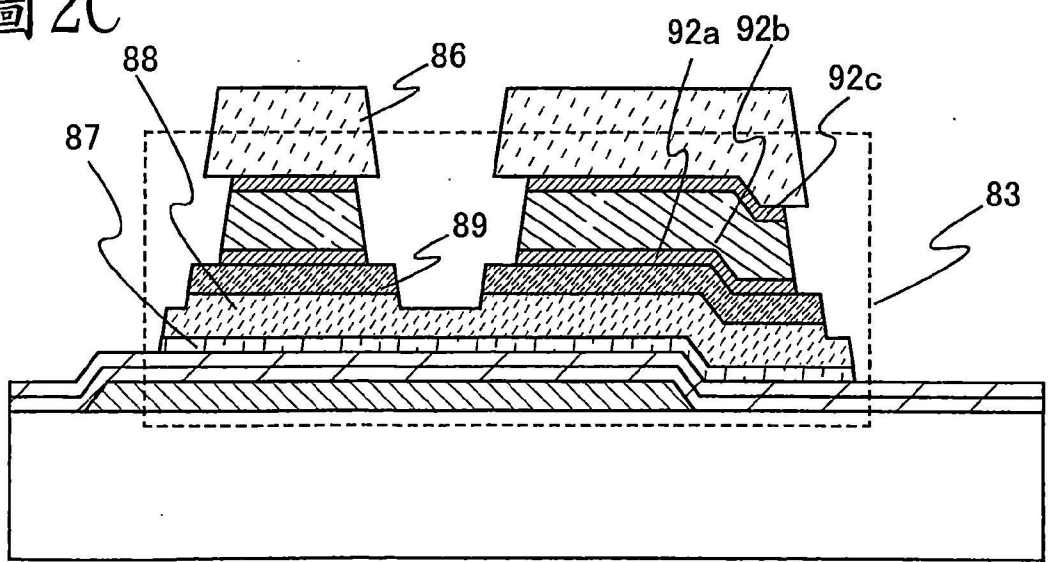


圖 3A

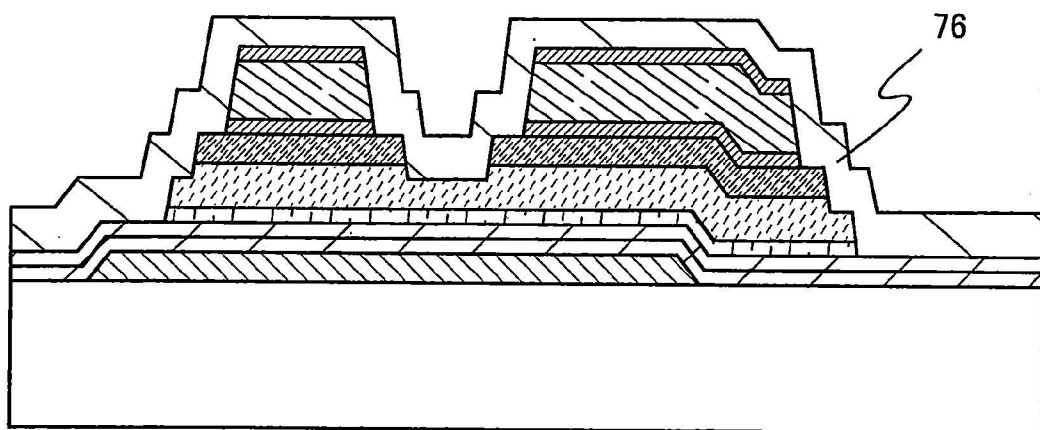


圖 3B

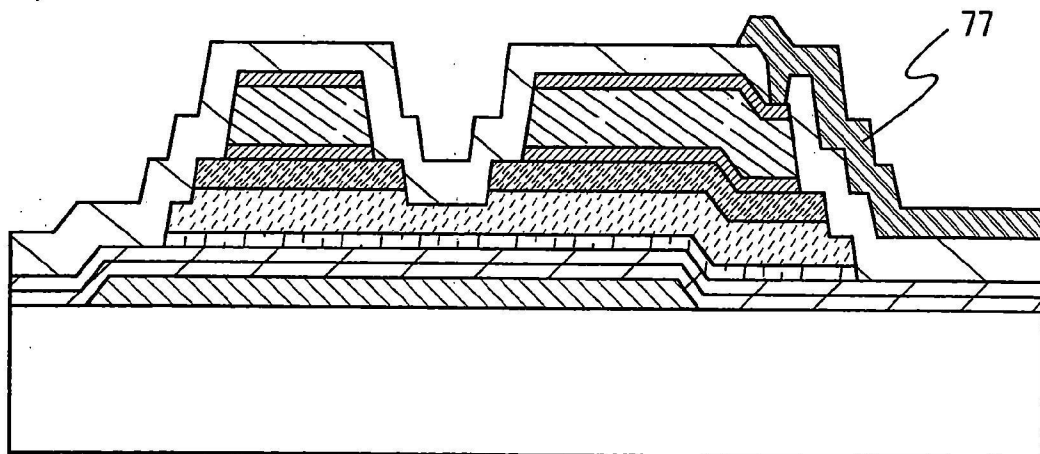


圖 4A

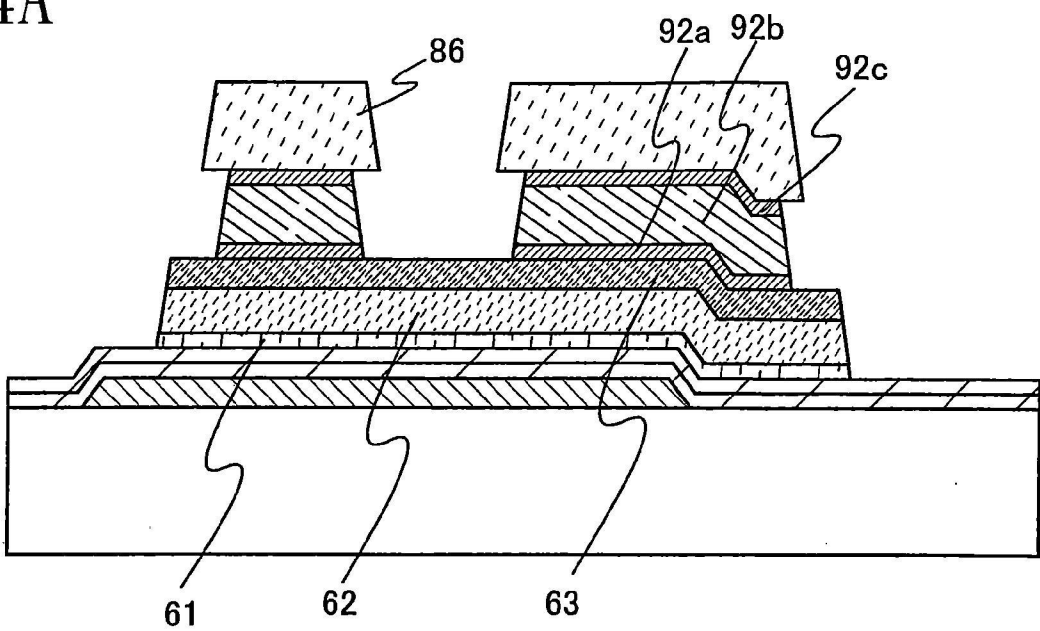


圖 4B

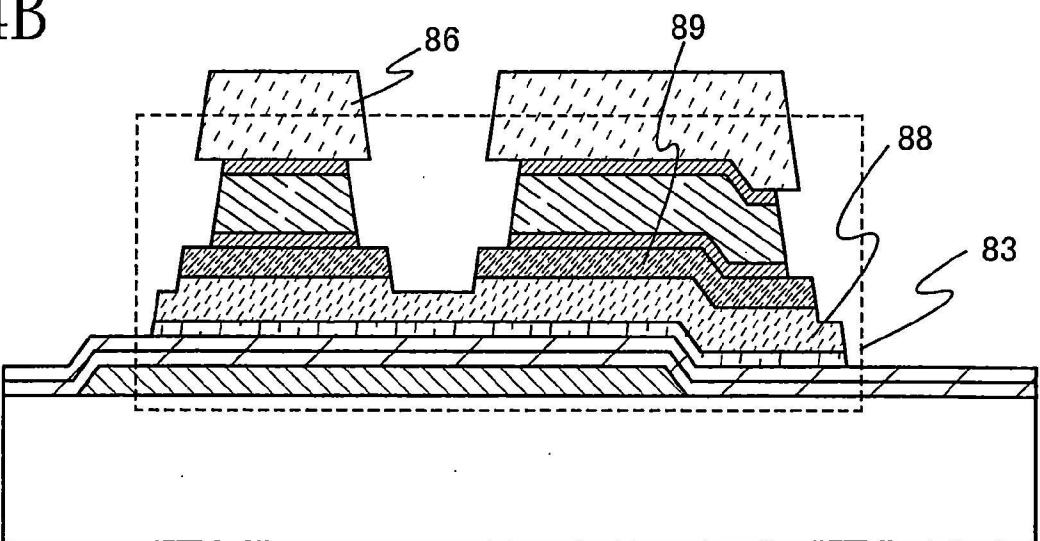


圖5A

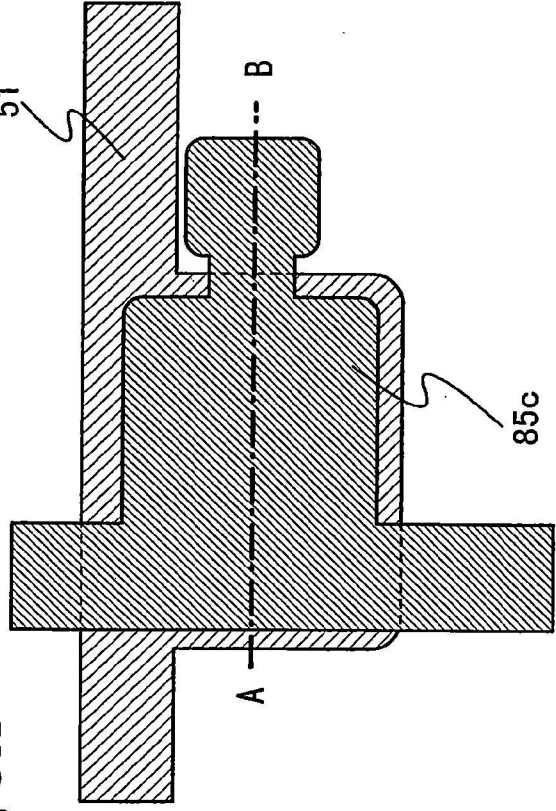


圖5B

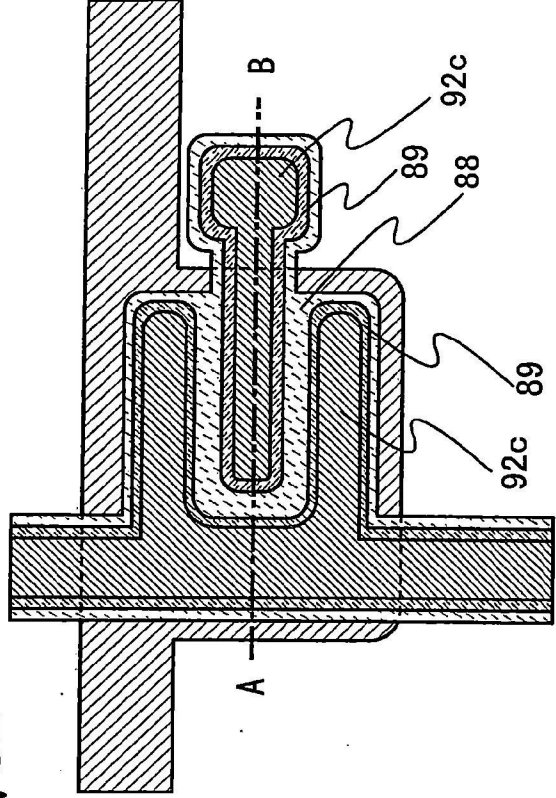


圖5C

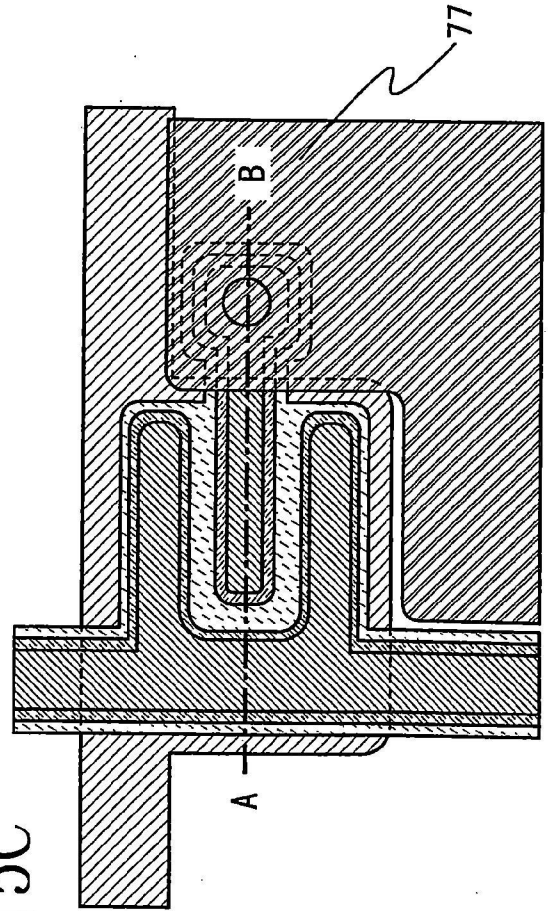


圖 6A

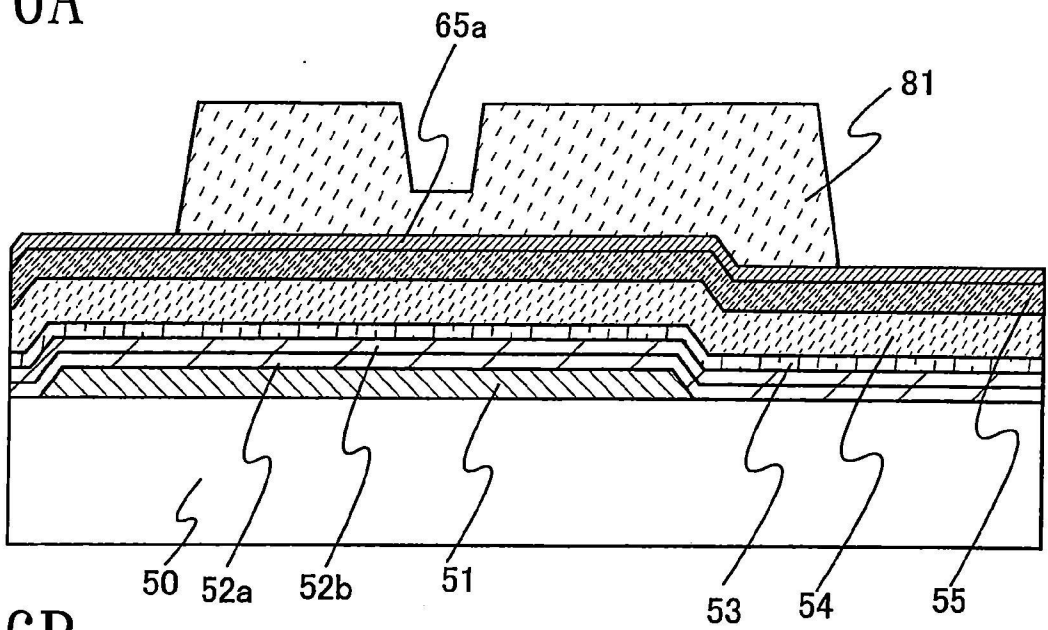


圖 6B

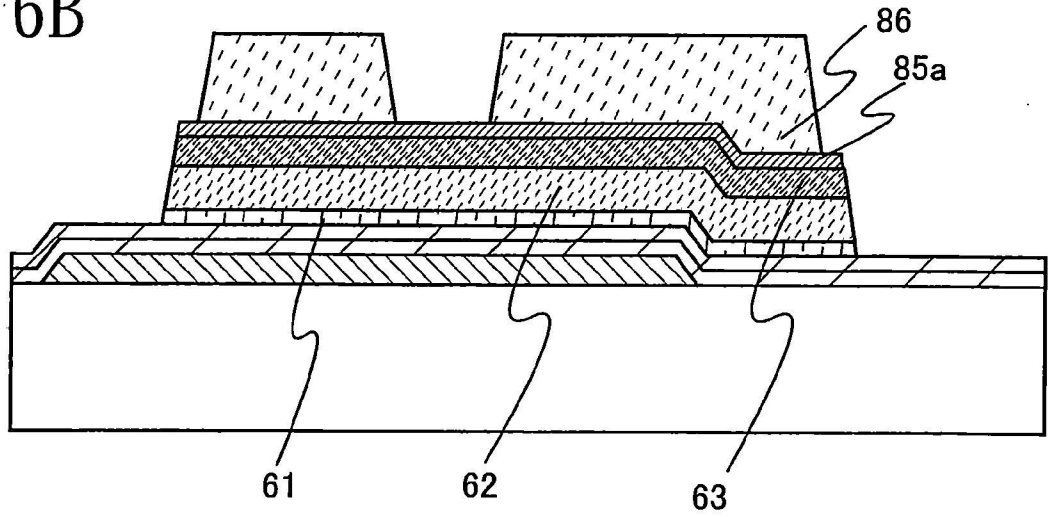


圖 6C

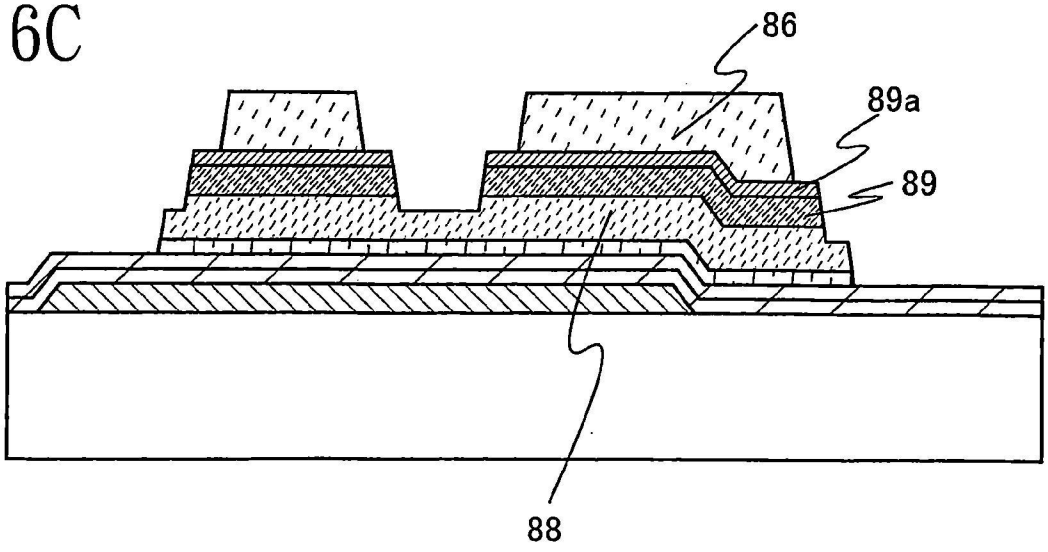


圖 7A

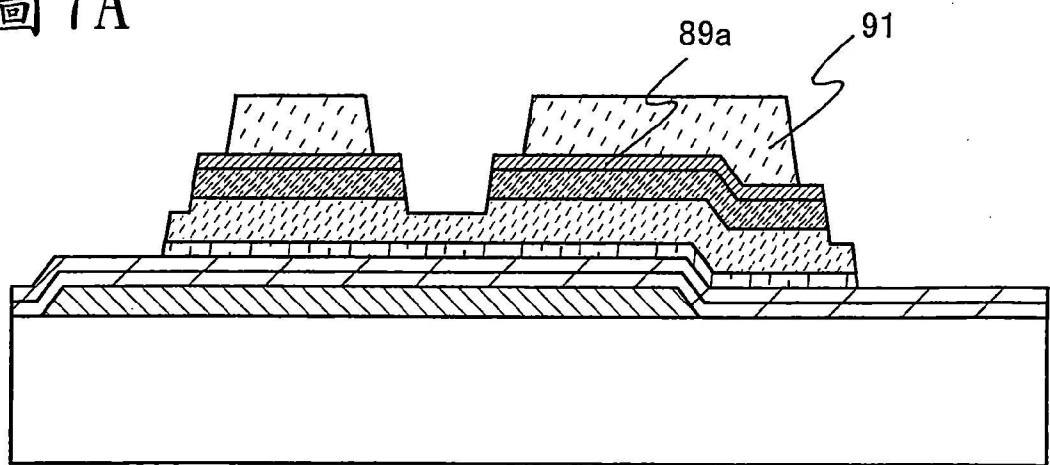


圖 7B

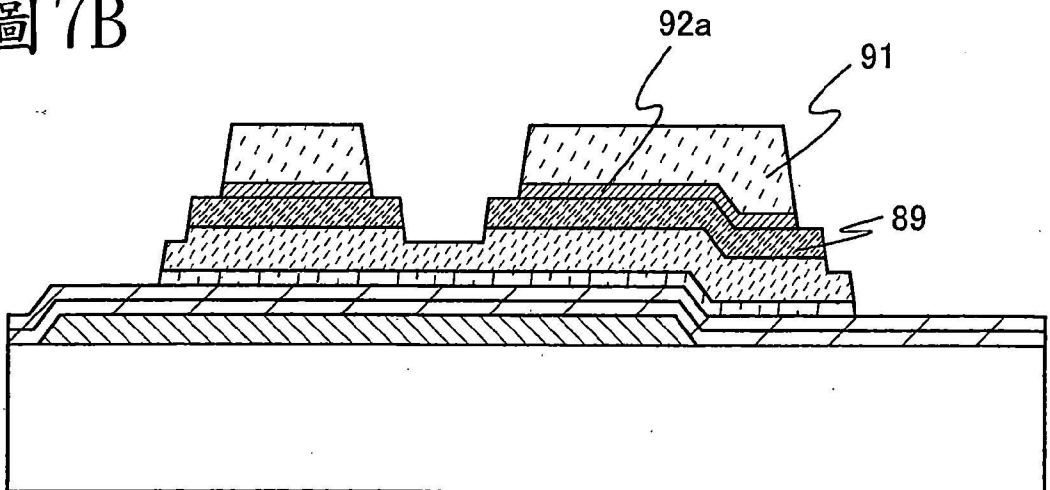


圖 7C

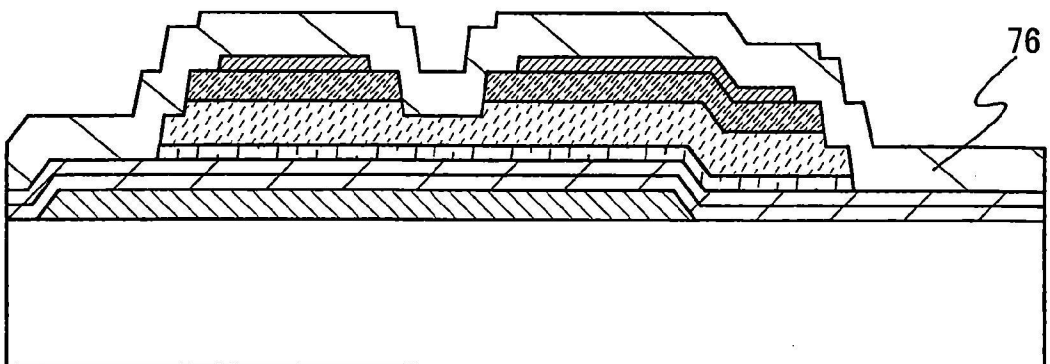


圖 8A

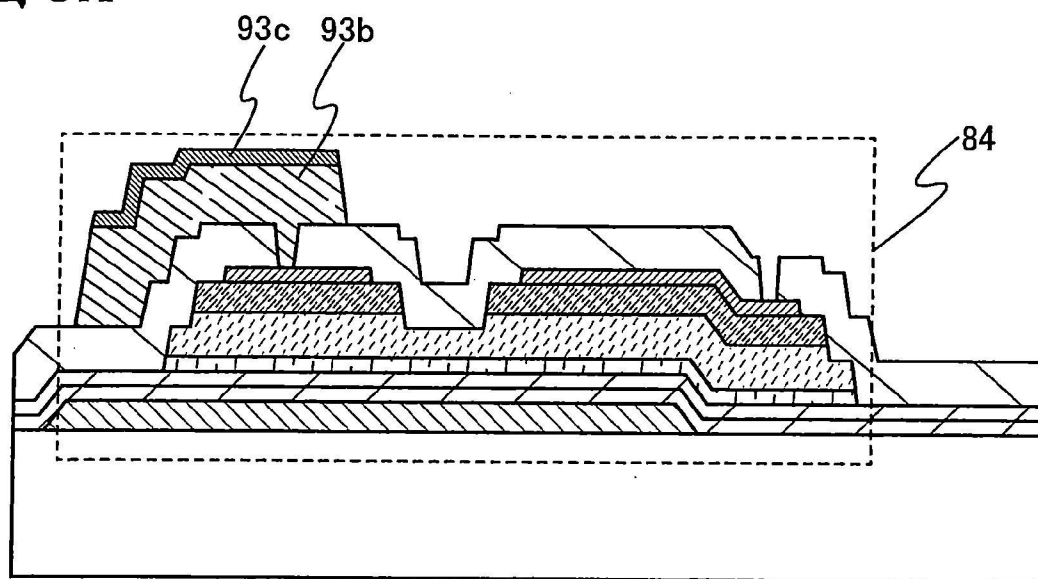


圖 8B

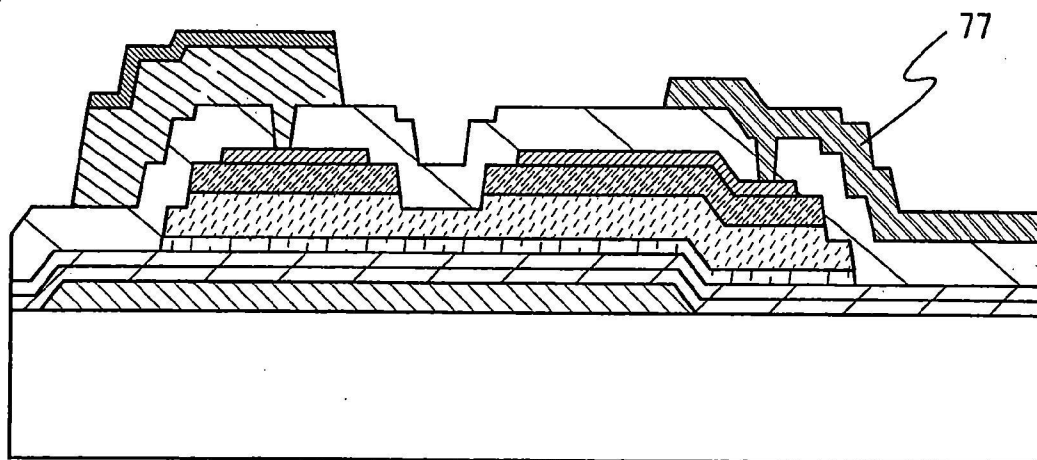


圖9A

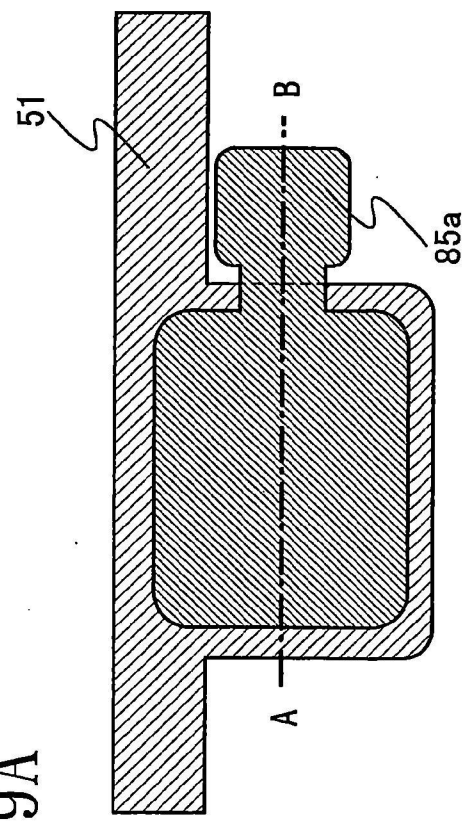


圖9B

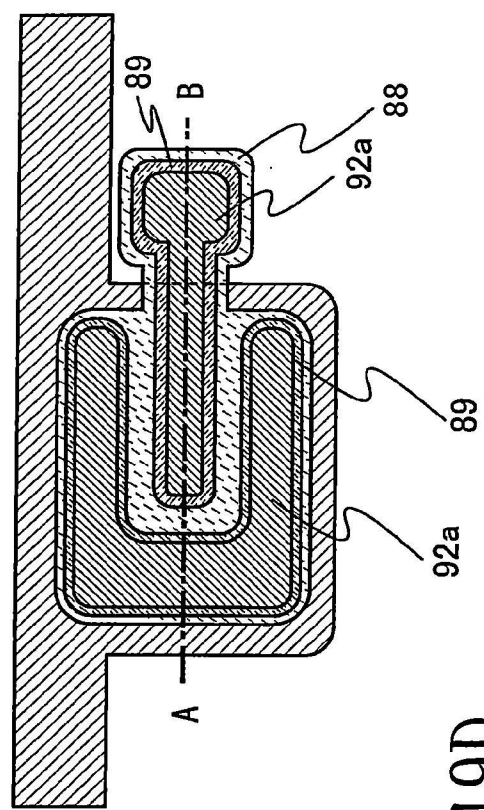


圖9C

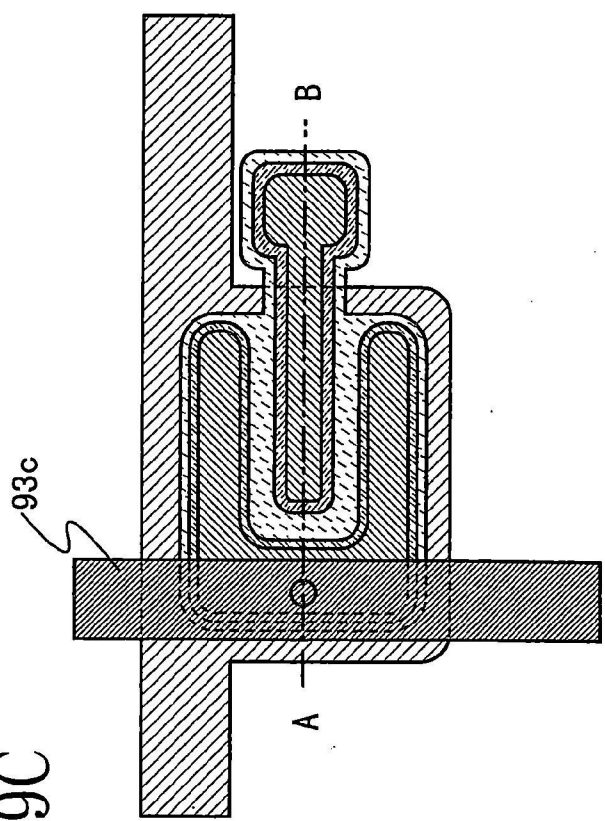


圖9D

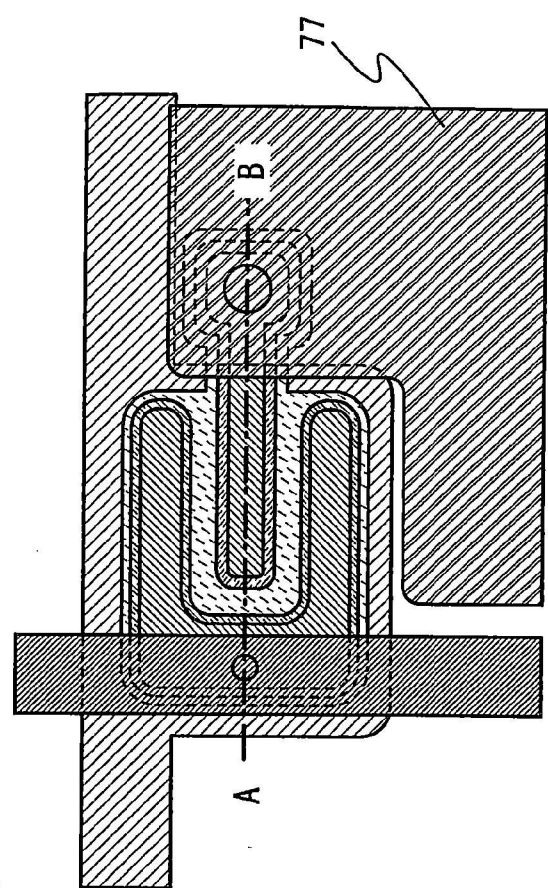


圖10

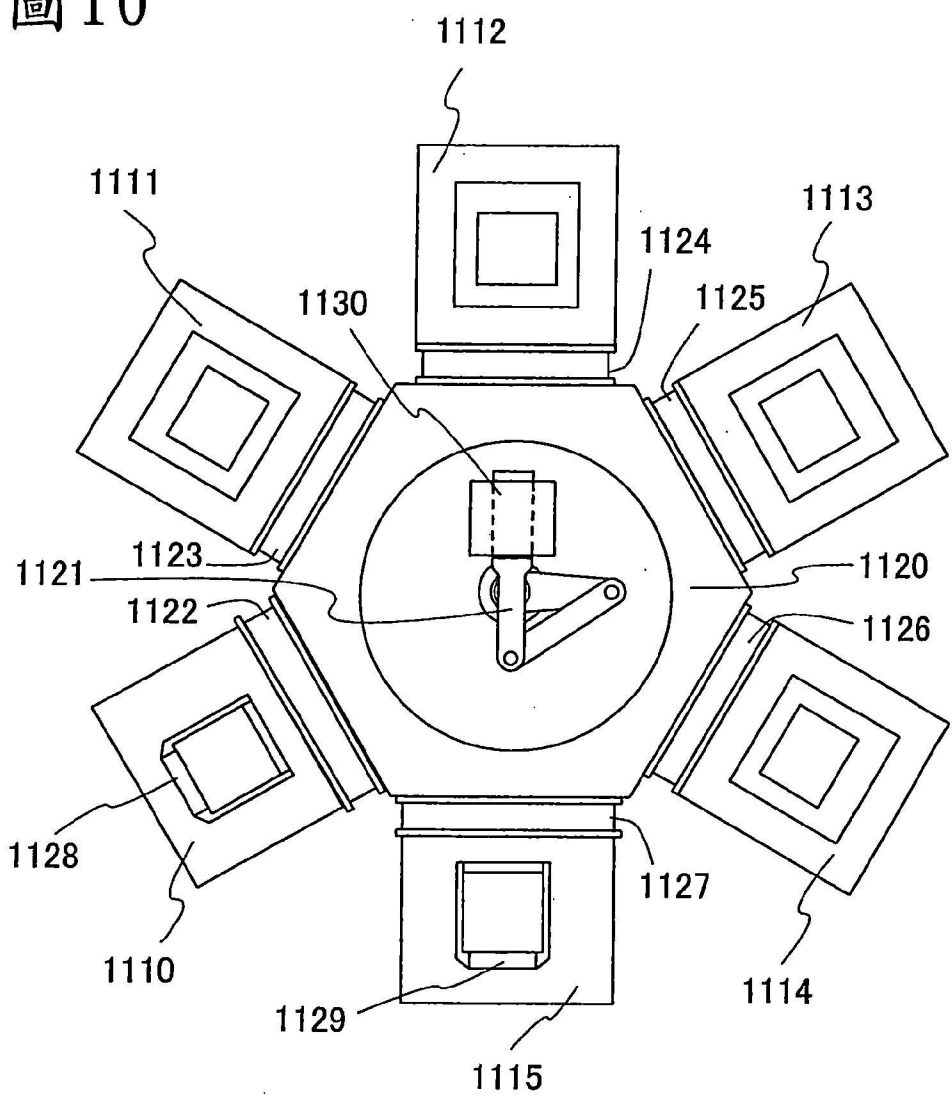


圖 11A

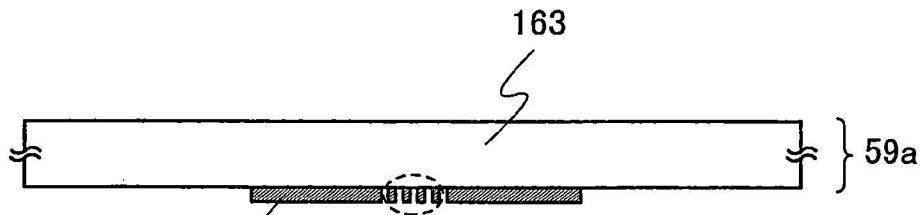


圖 11B

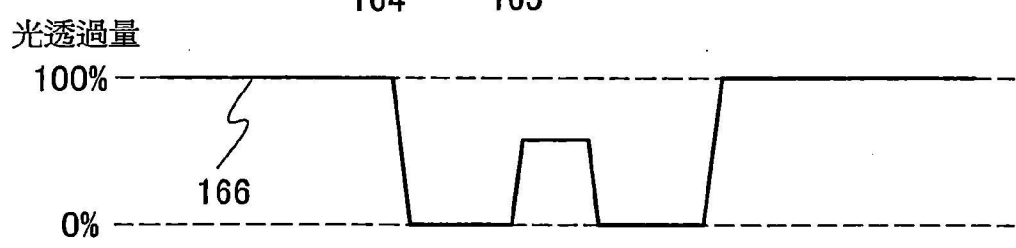


圖 11C

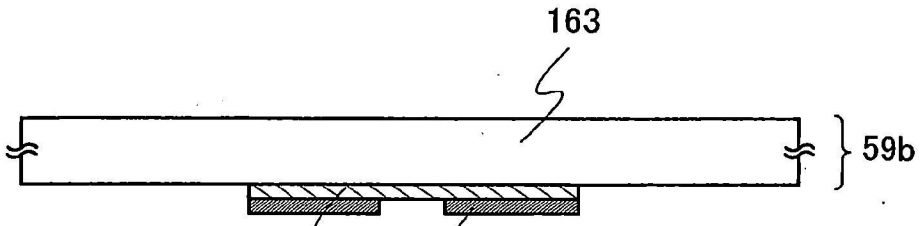


圖 11D

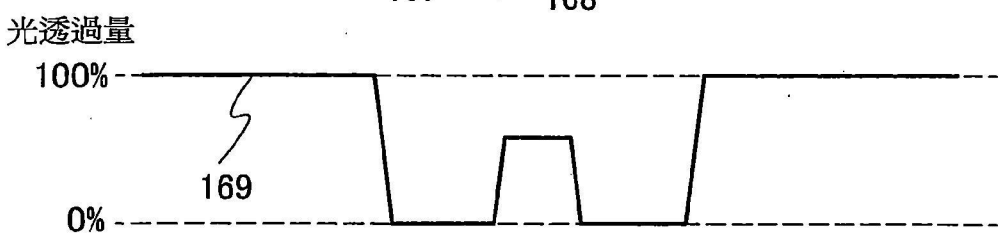


圖12A

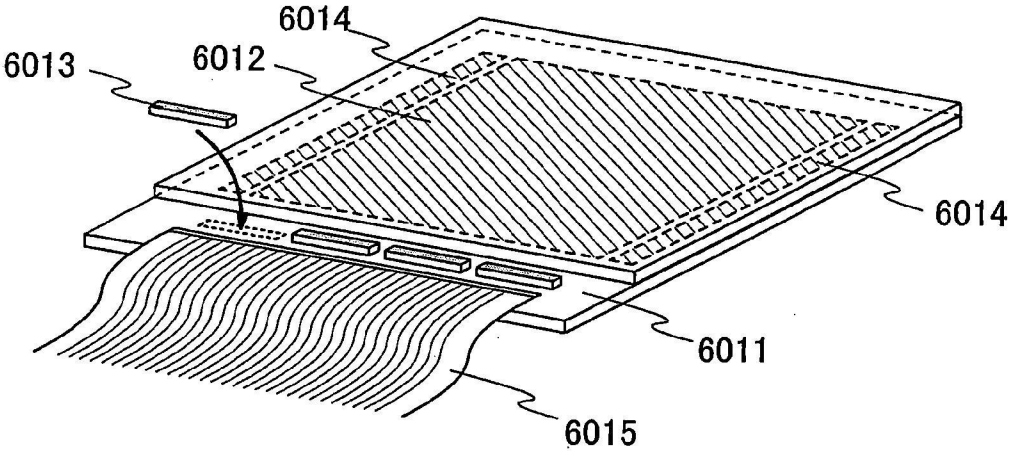


圖12B

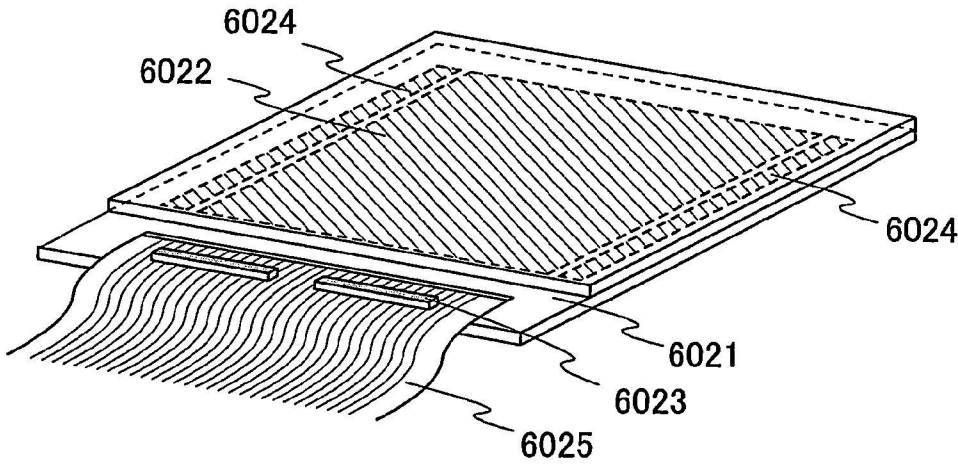


圖12C

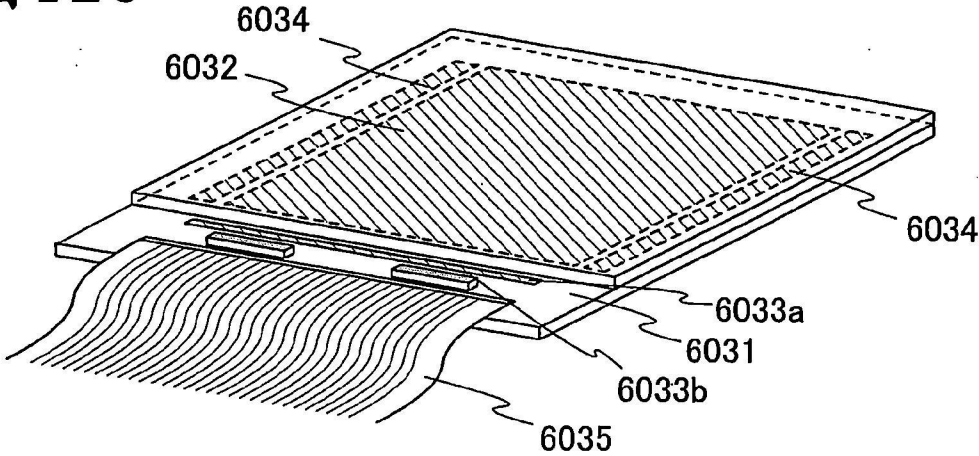


圖 13A

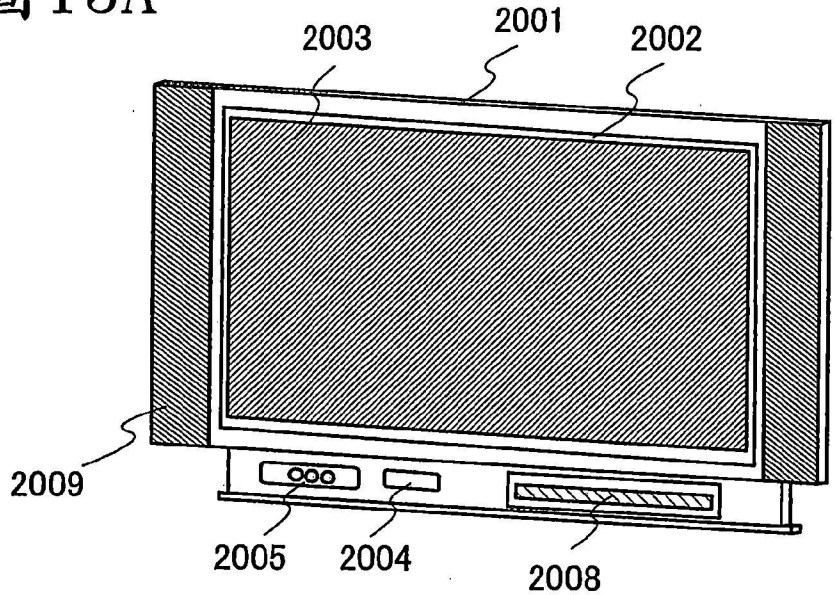


圖 13B

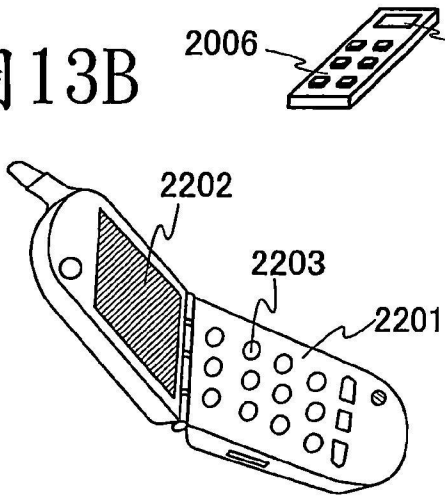


圖 13C

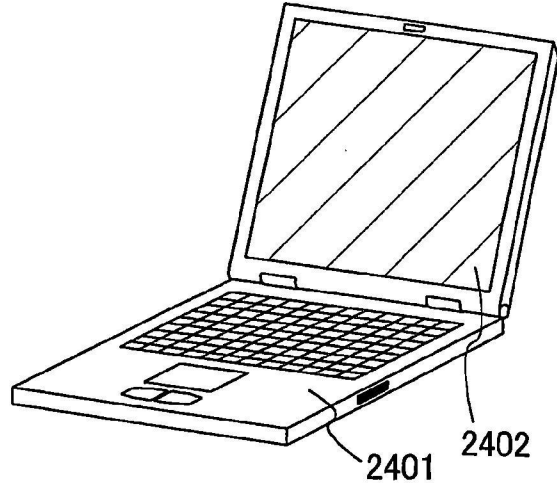


圖14

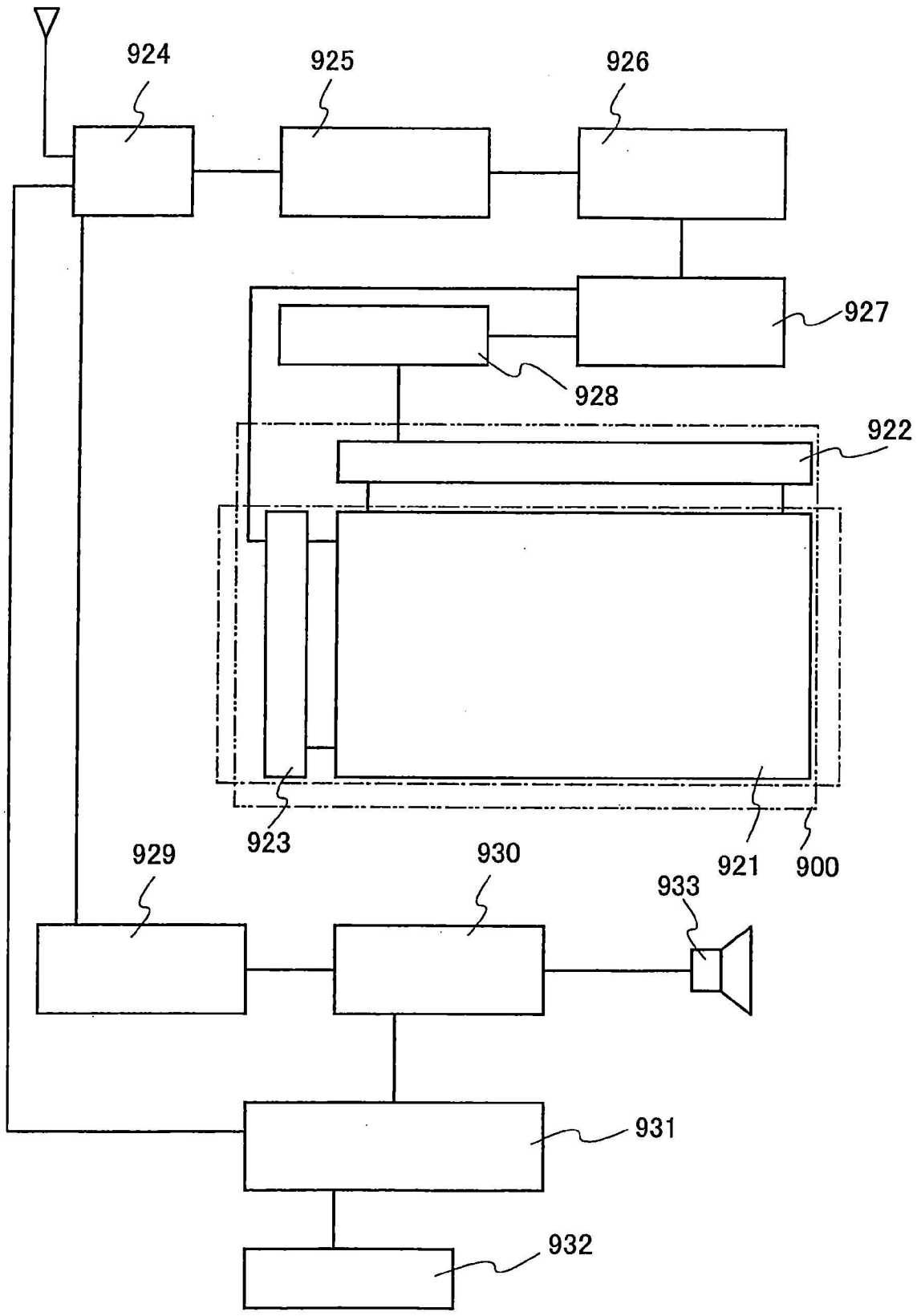


圖15

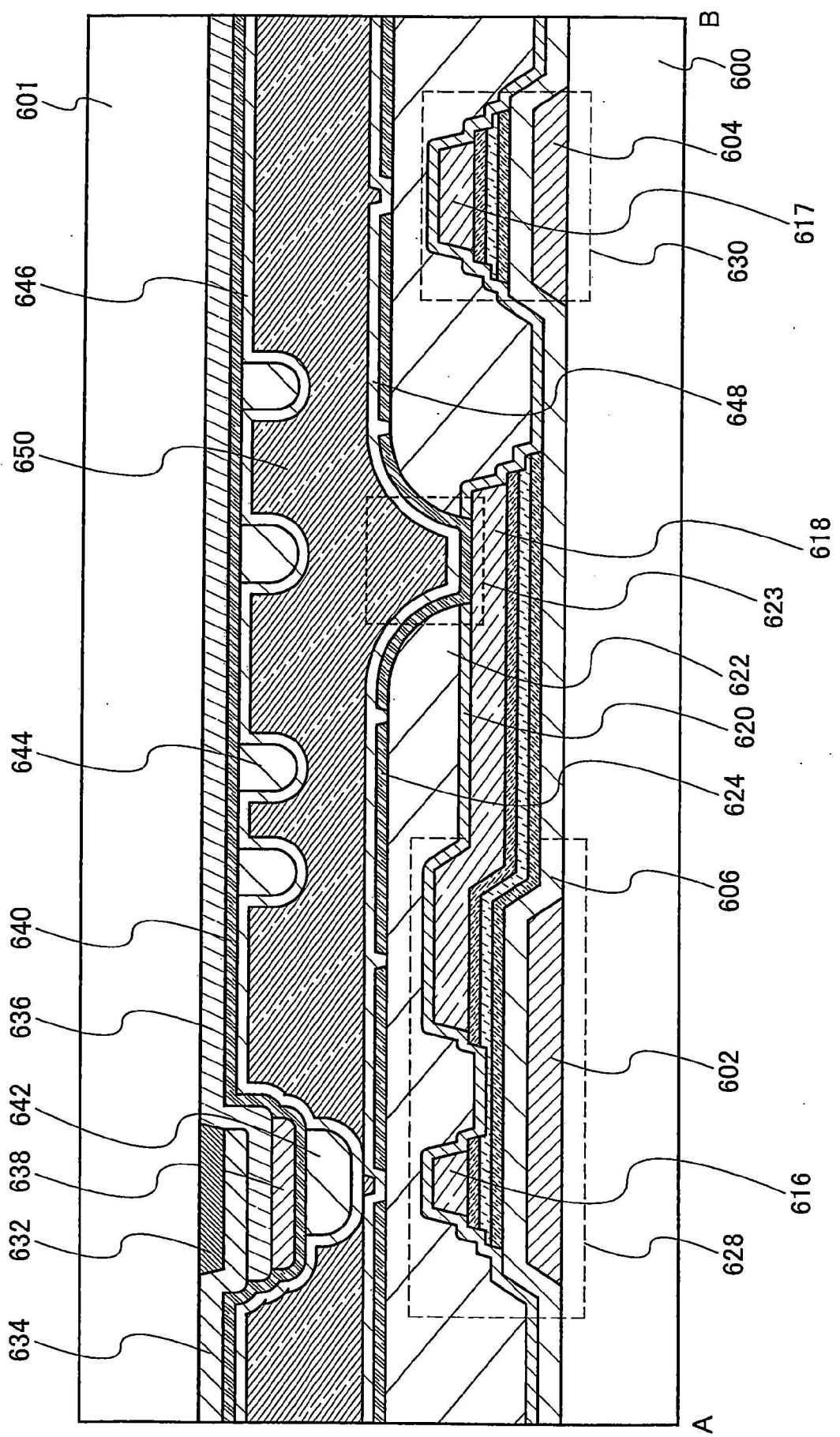


圖 16

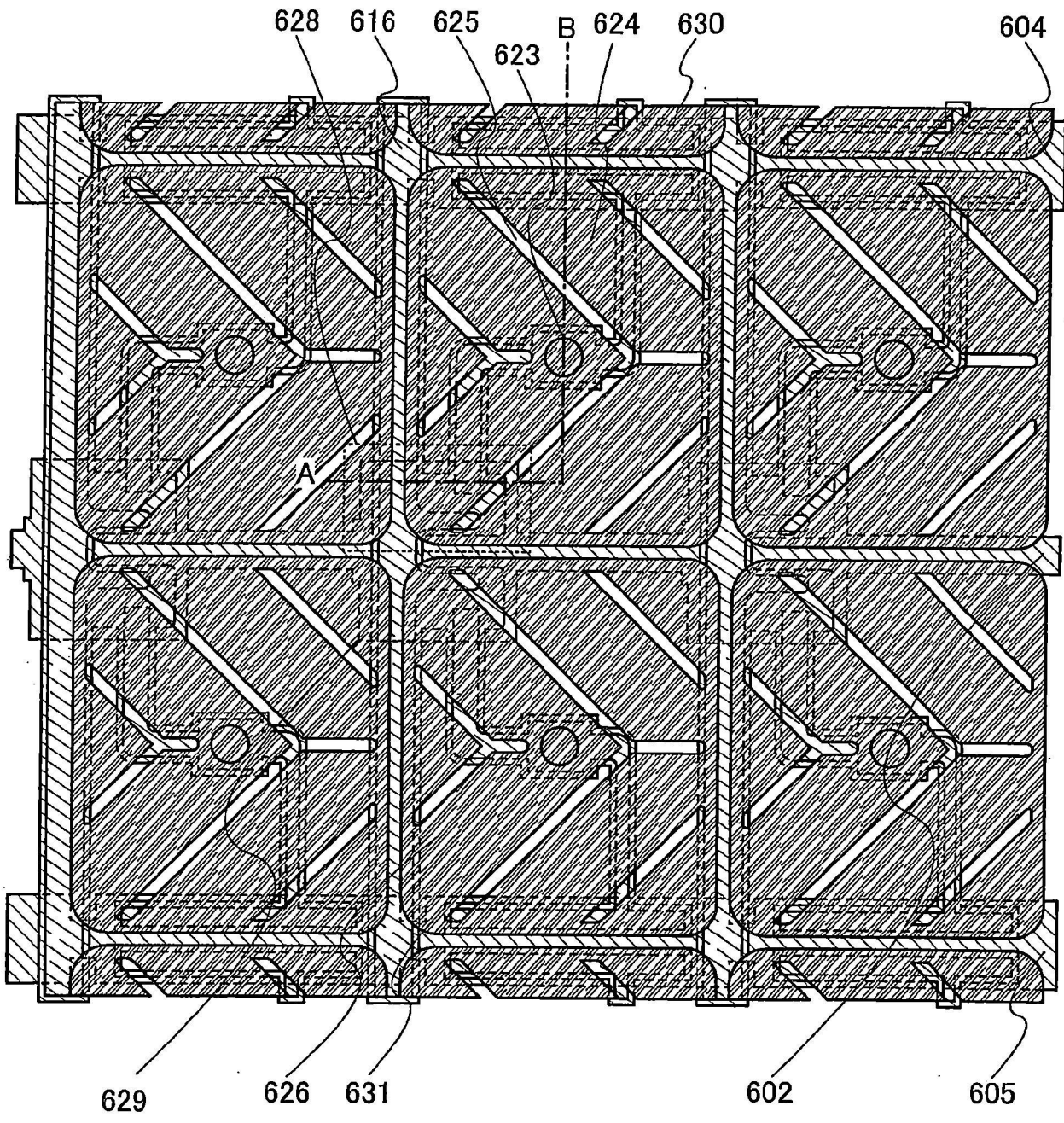


圖 17

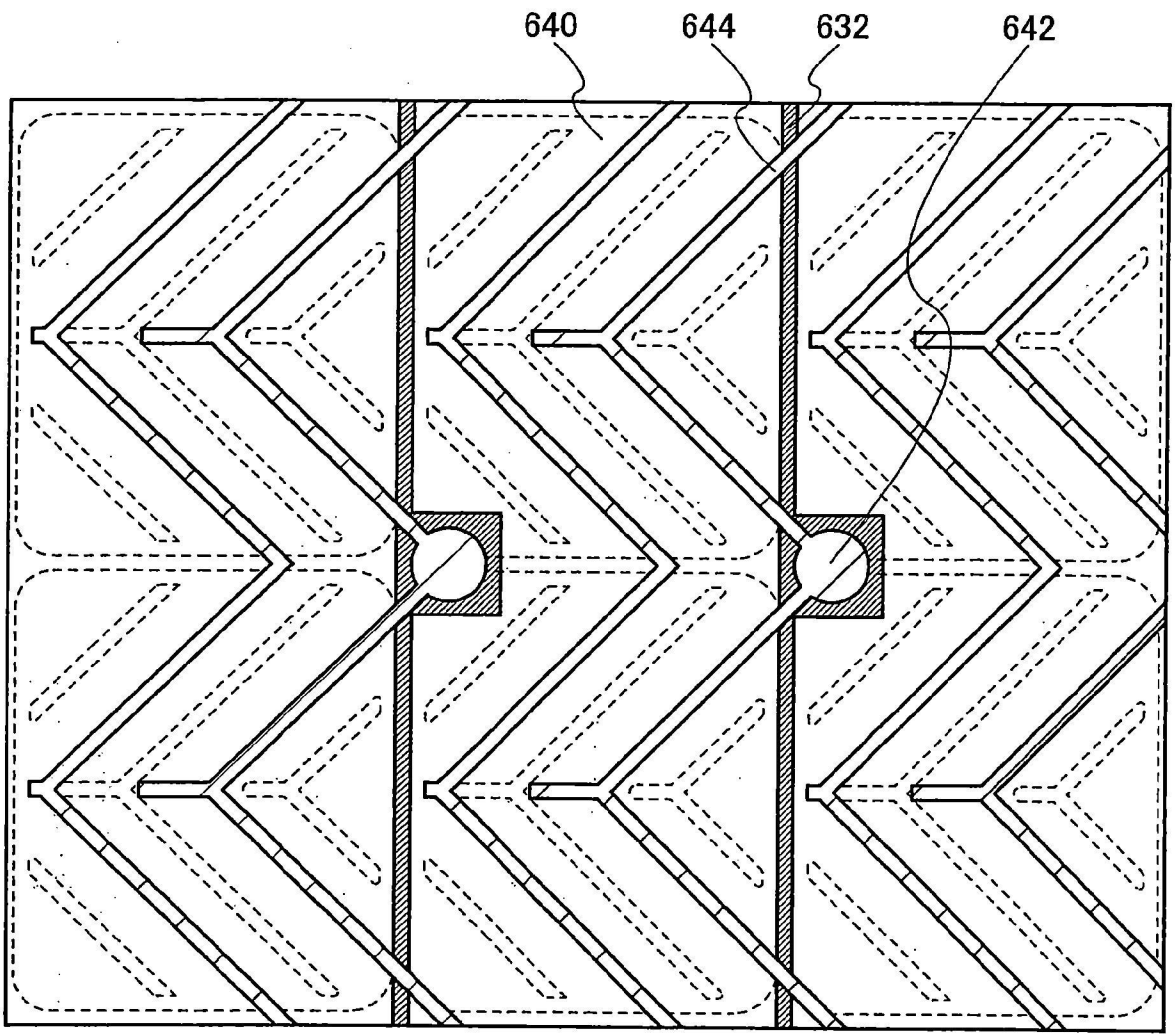


圖 18

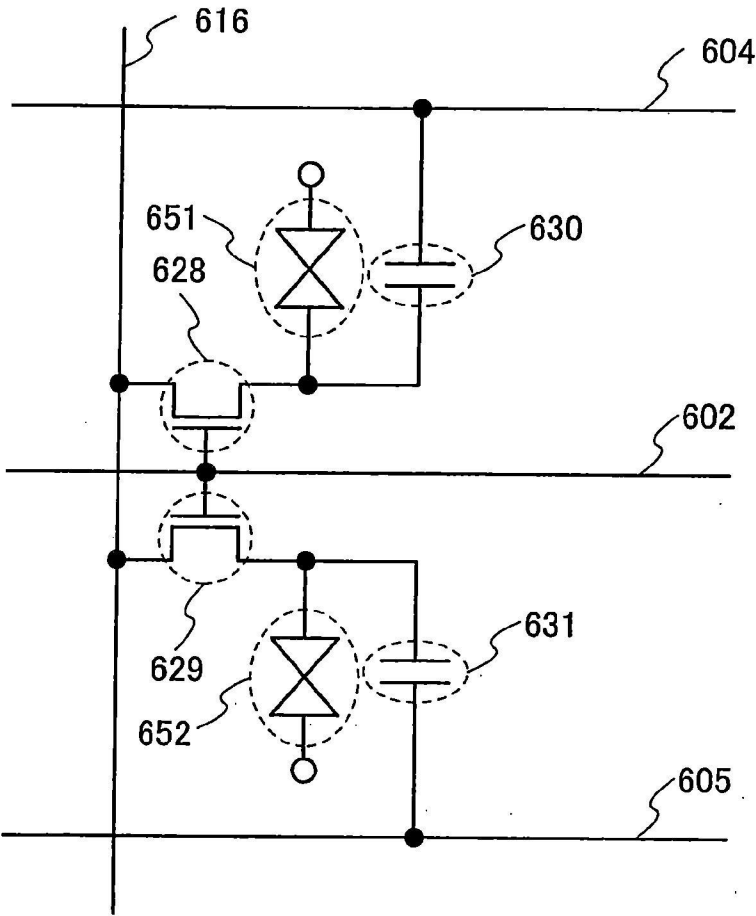


圖19

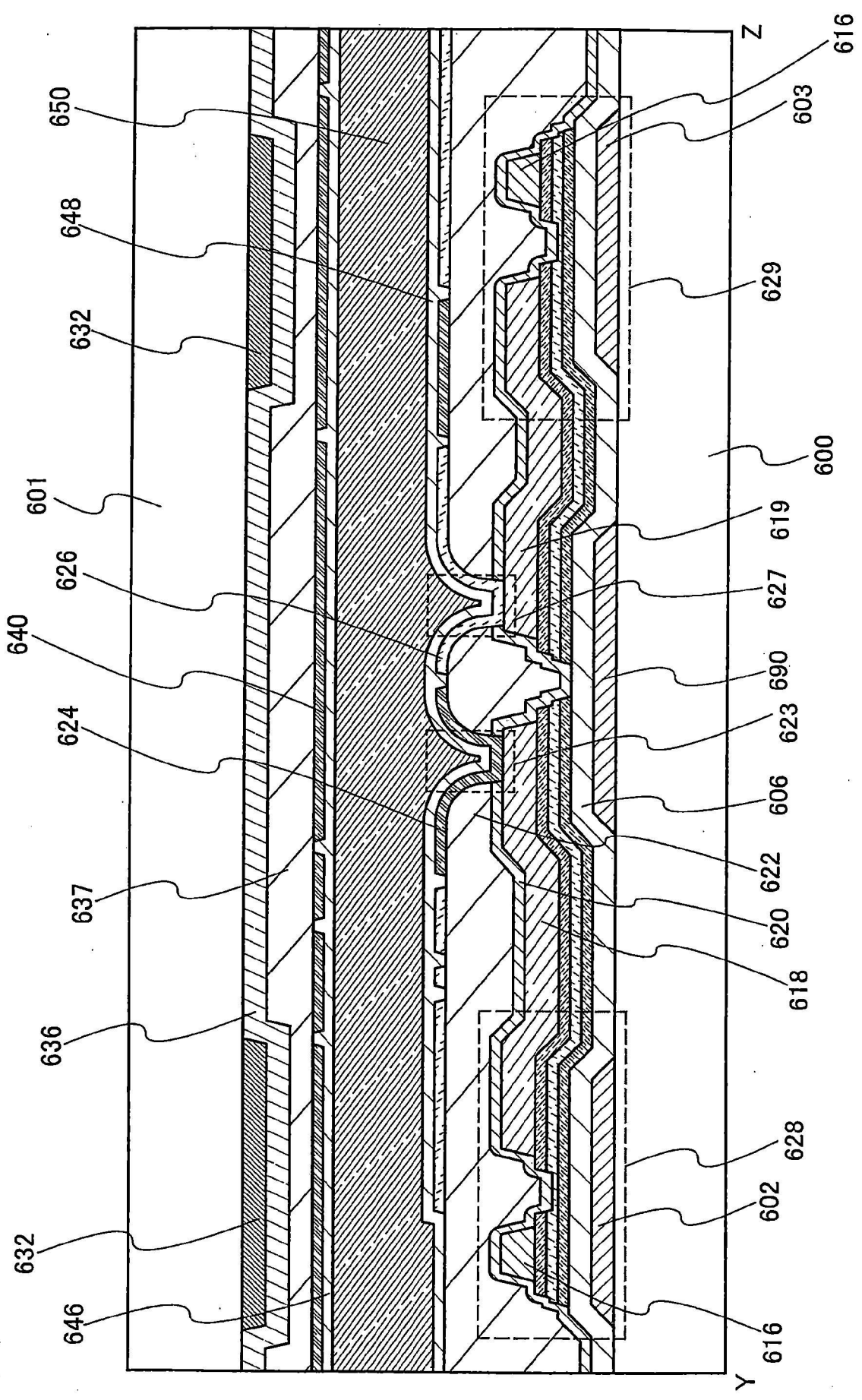


圖 20

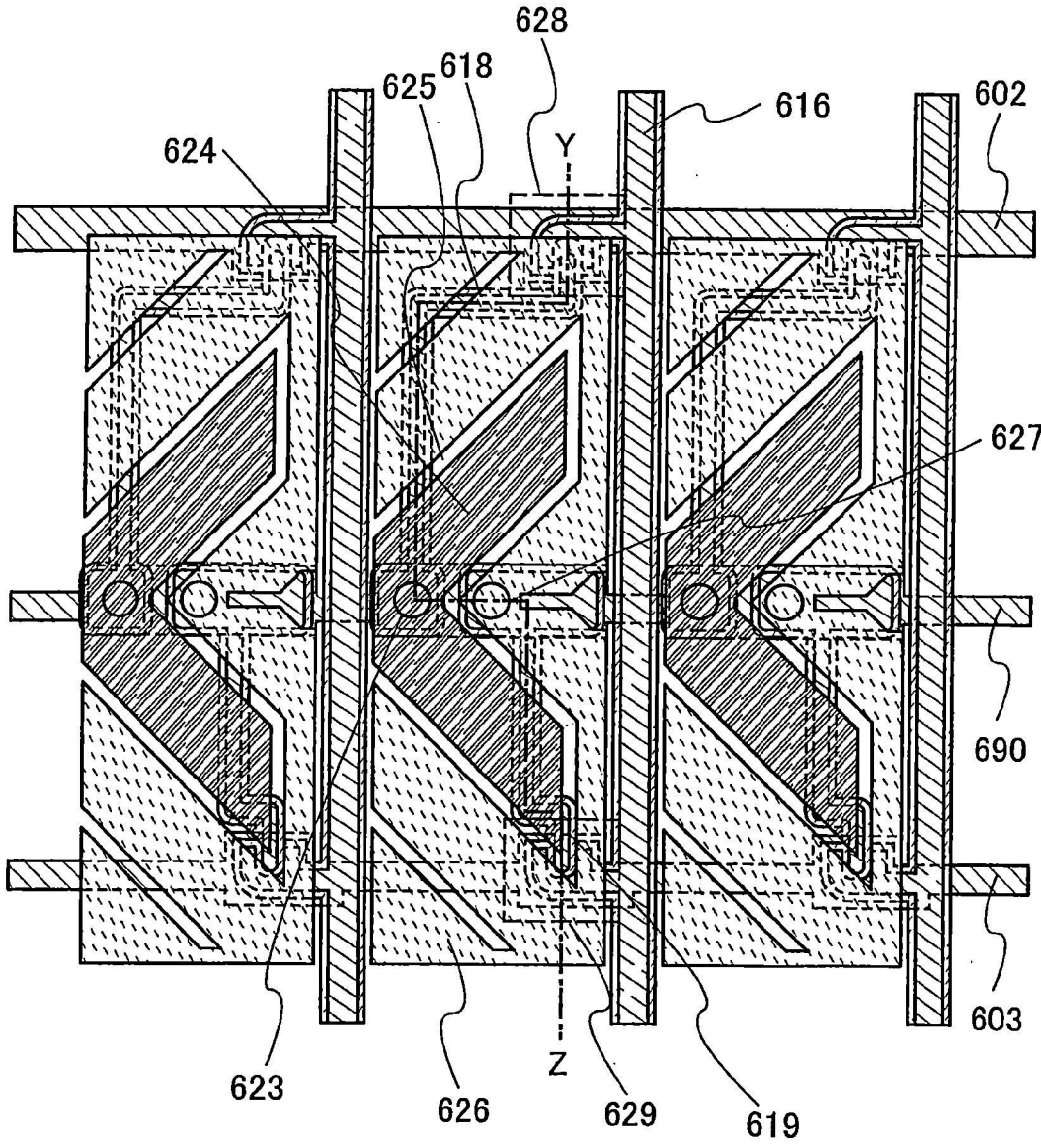


圖 21

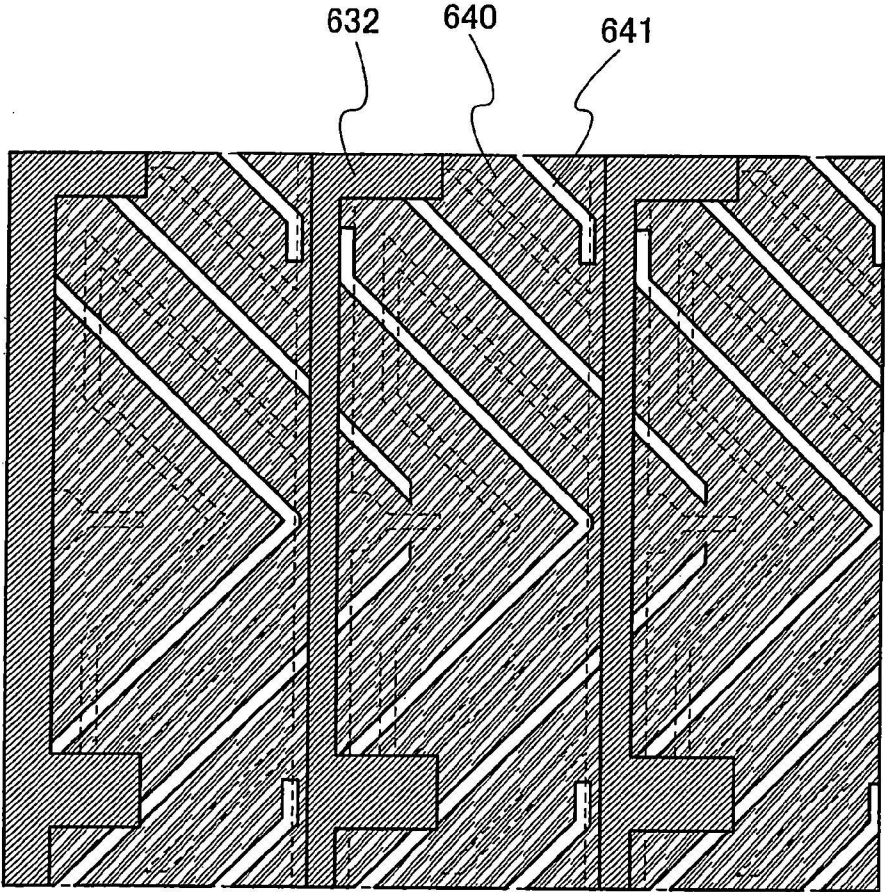


圖22

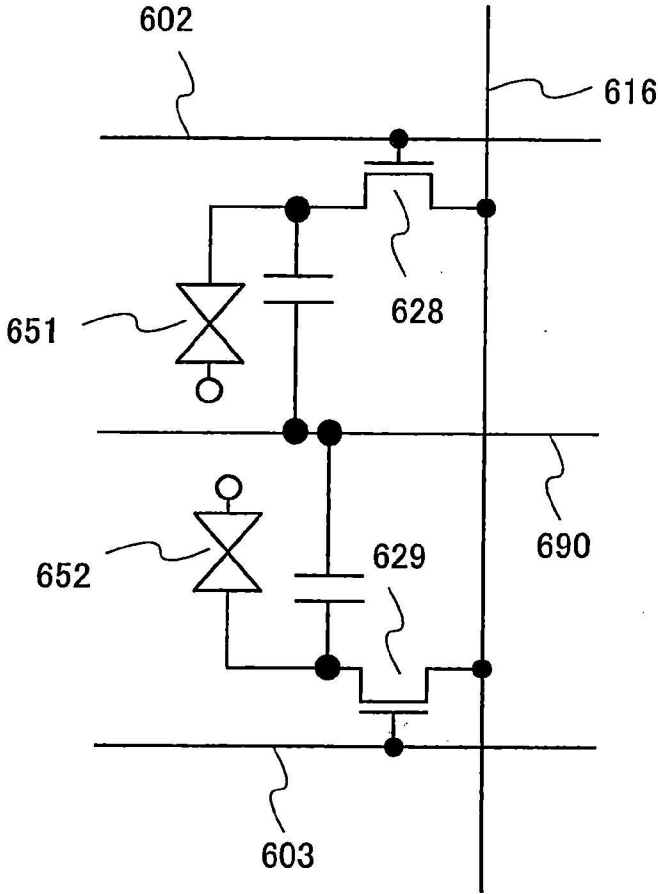
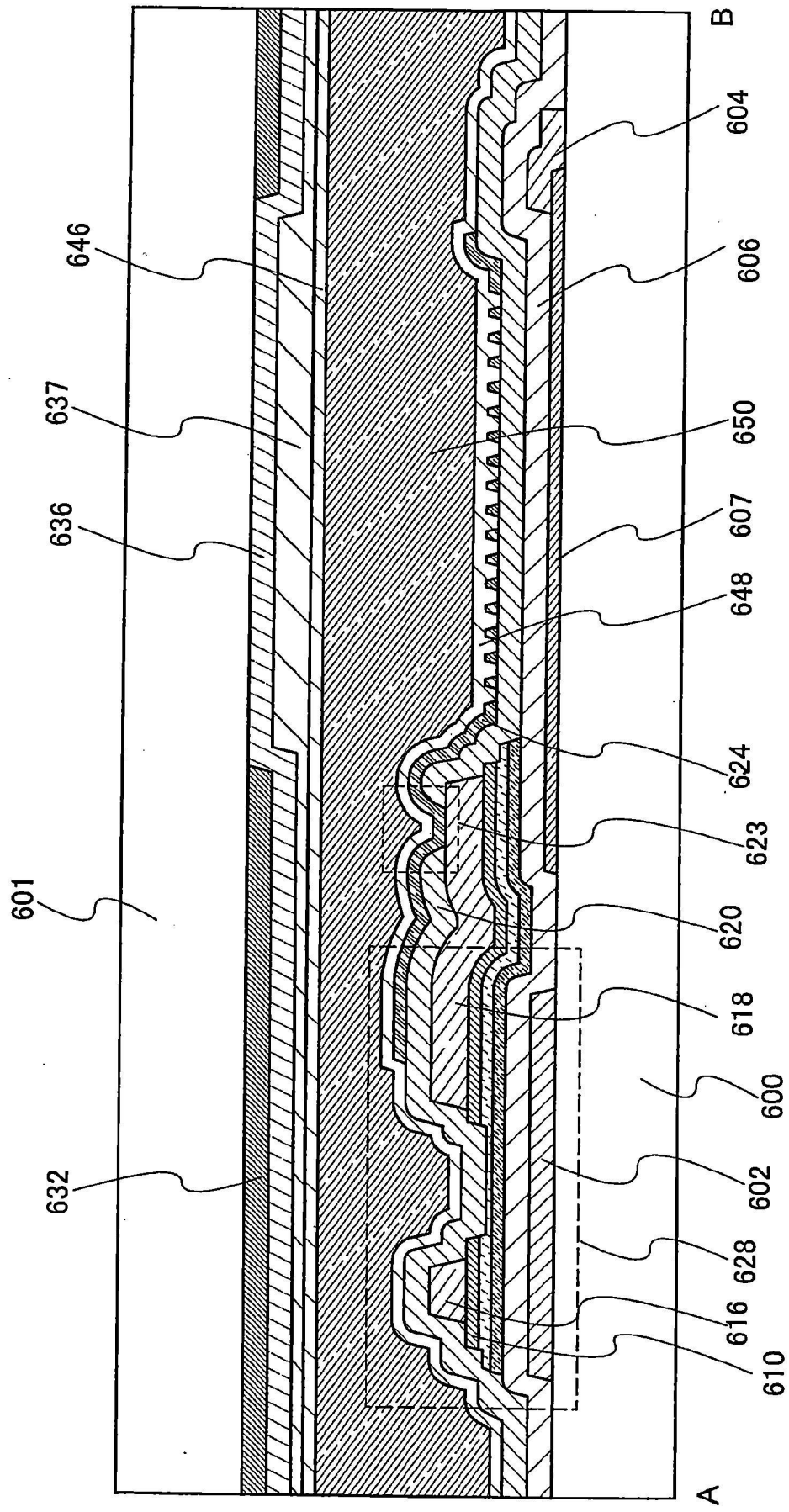


圖23



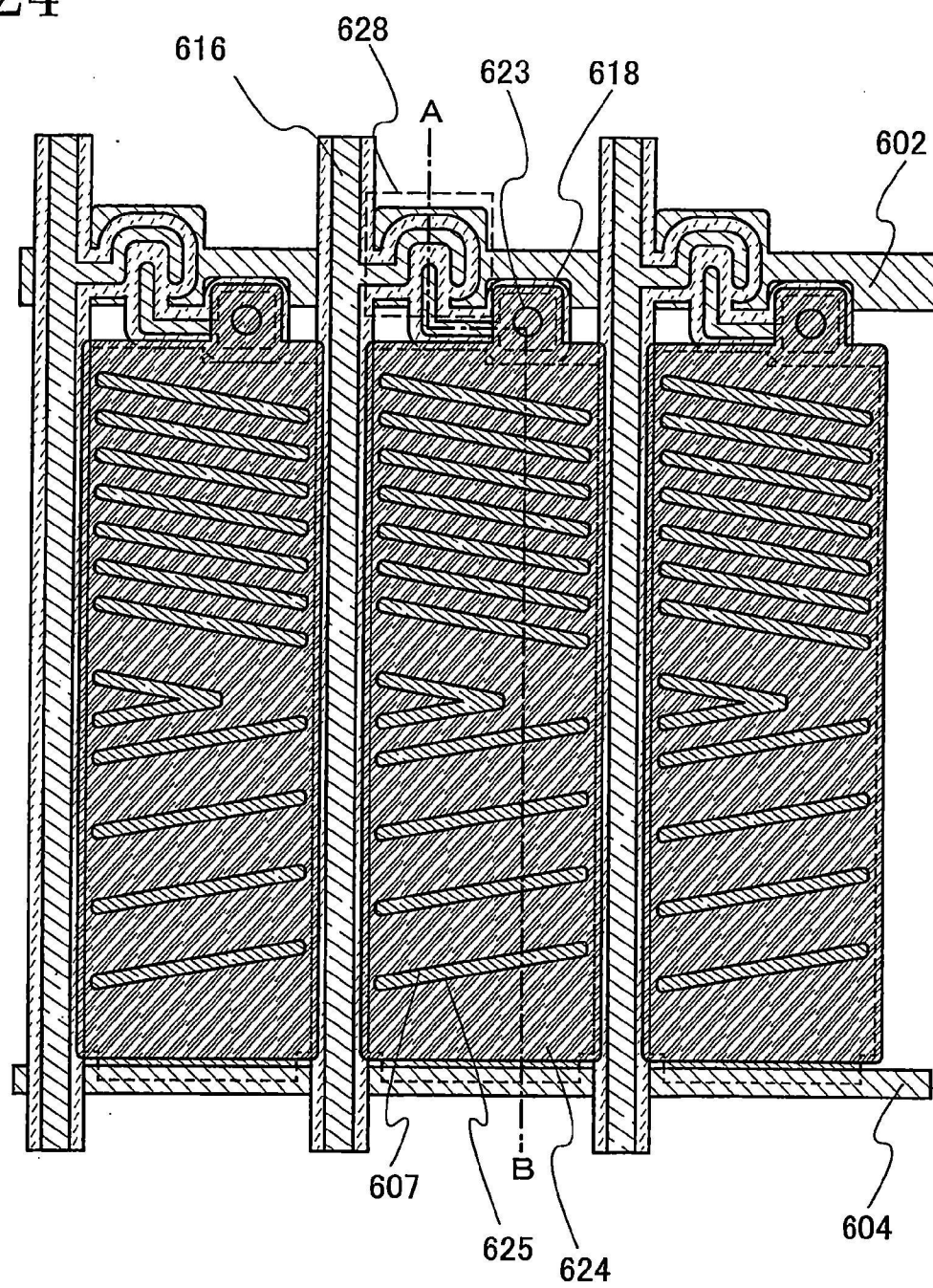


圖25

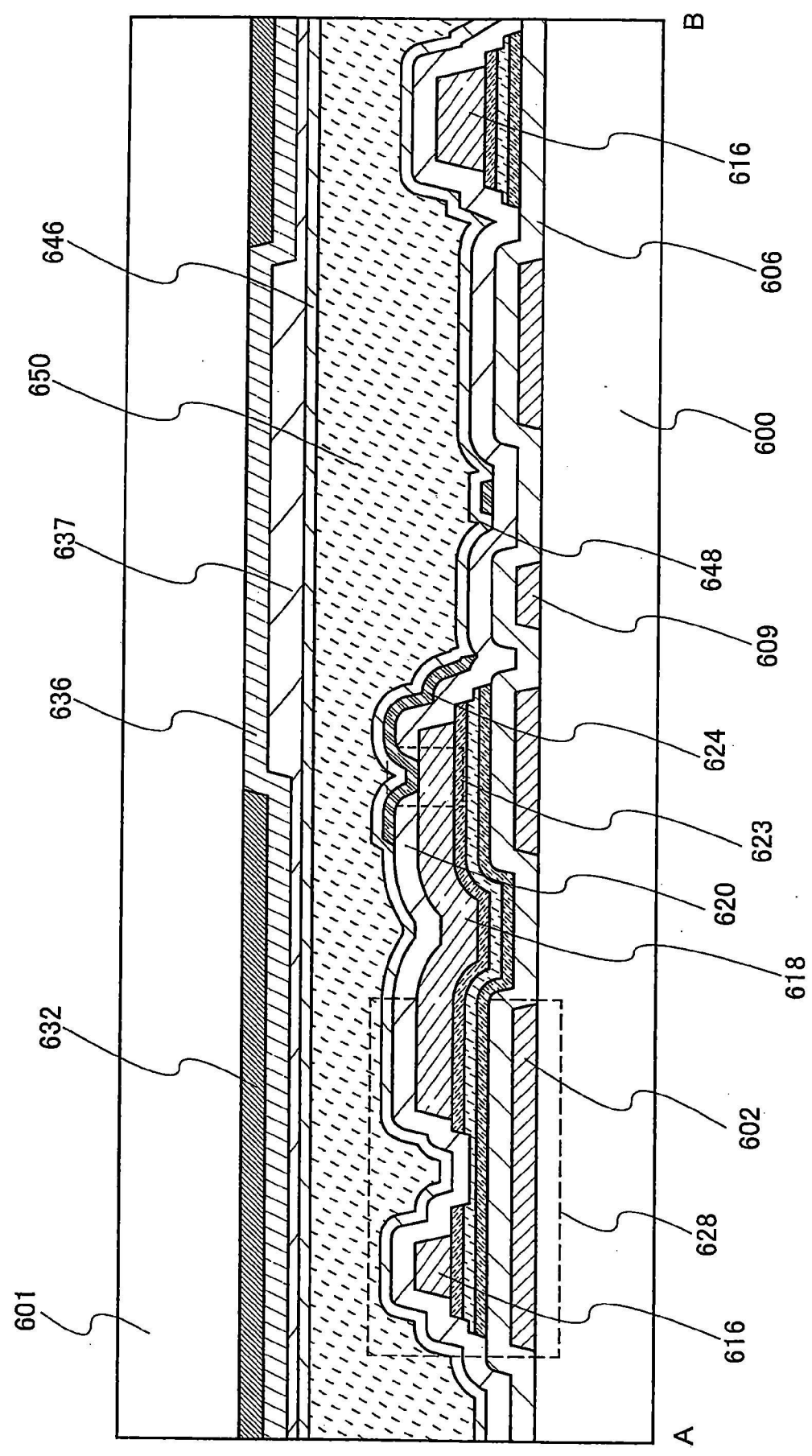


圖 26

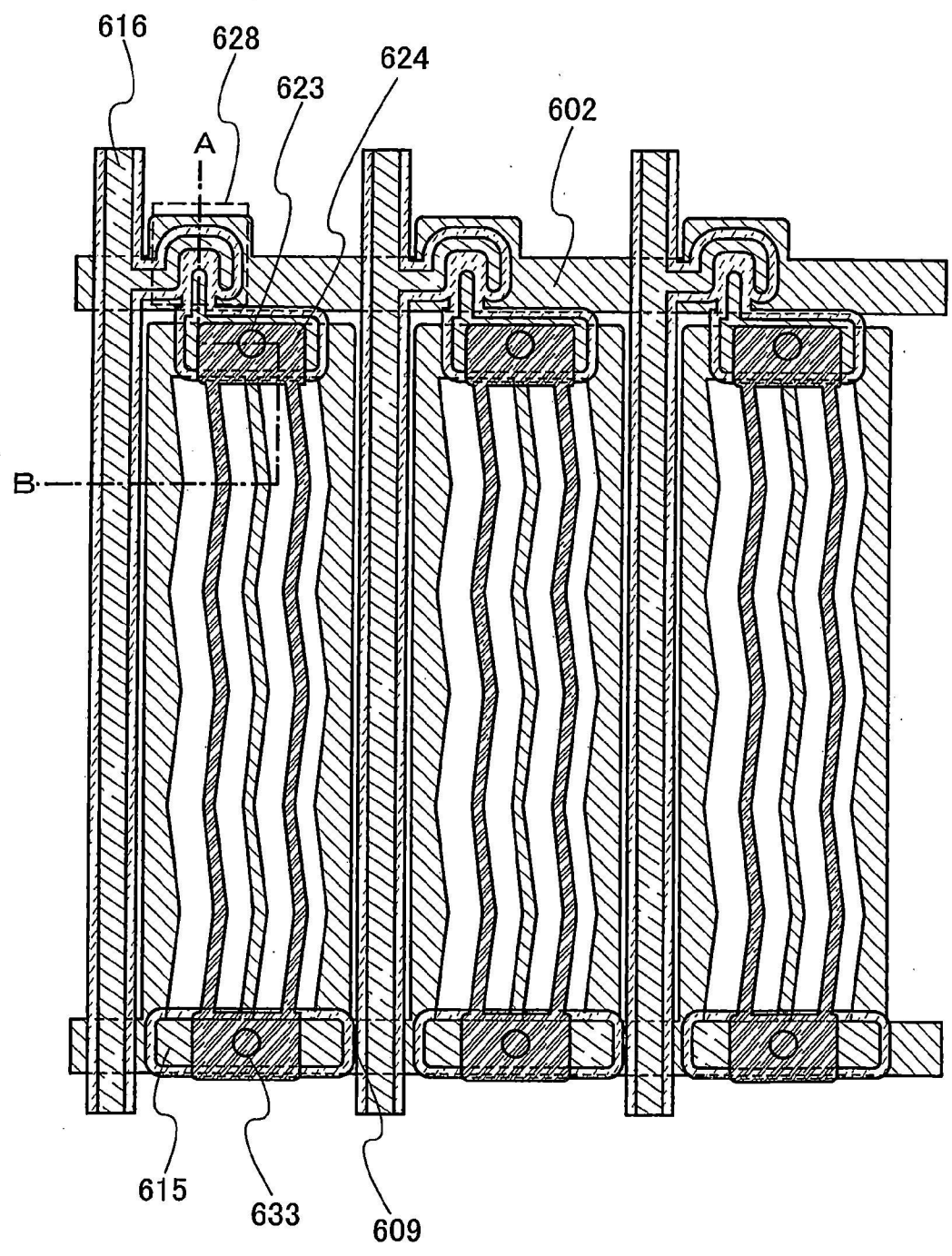


圖27

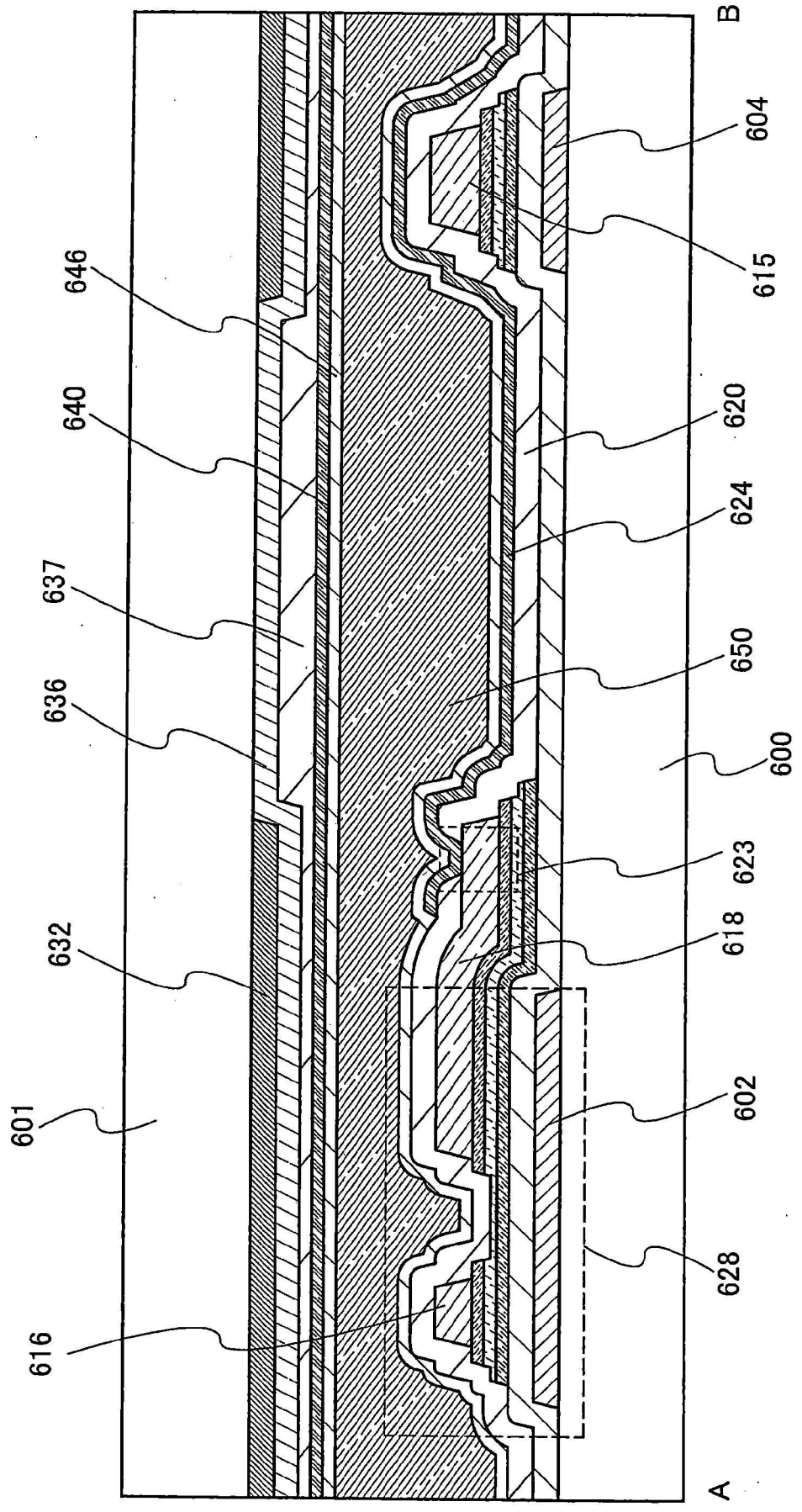


圖 28

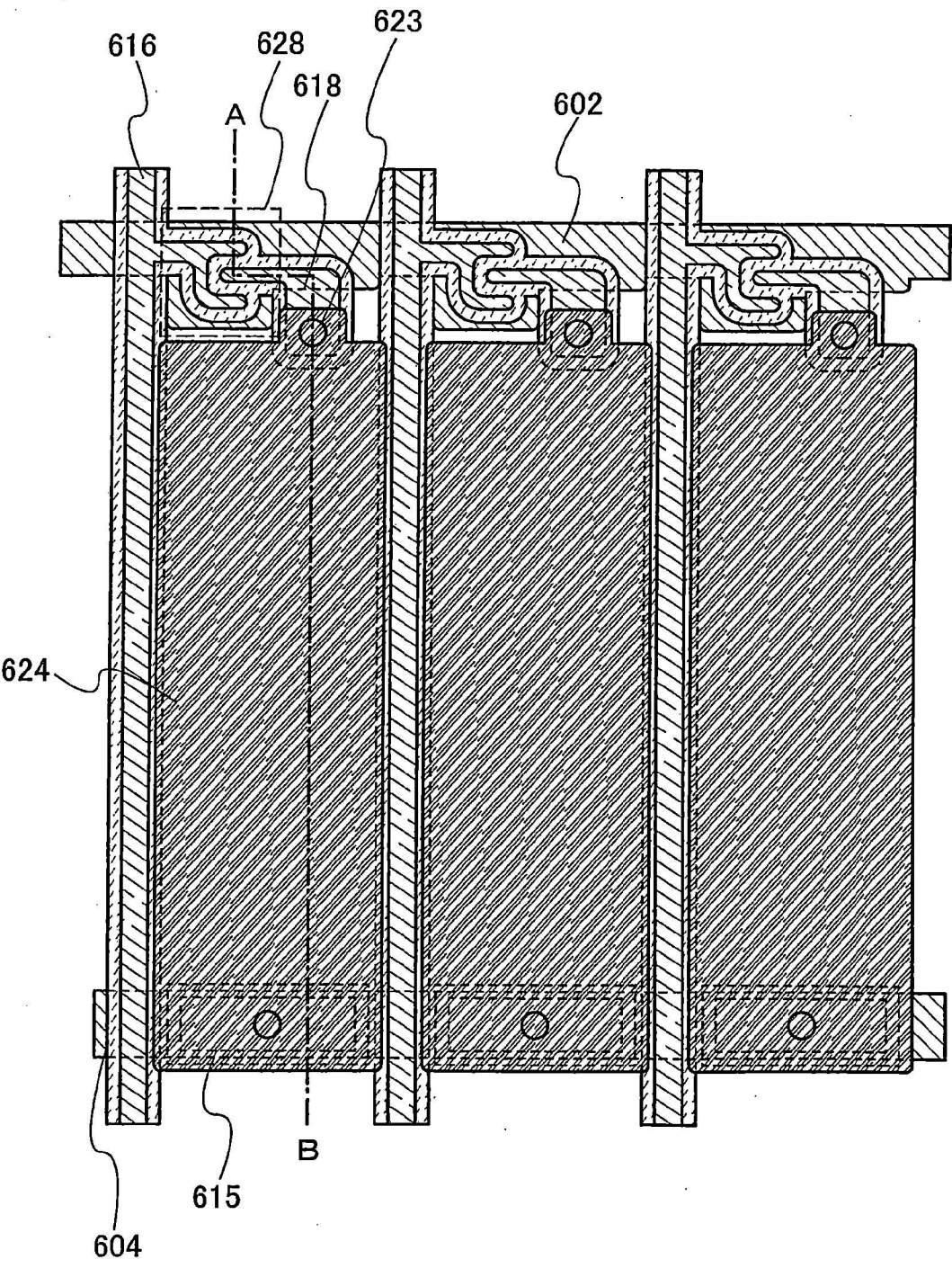


圖 29A

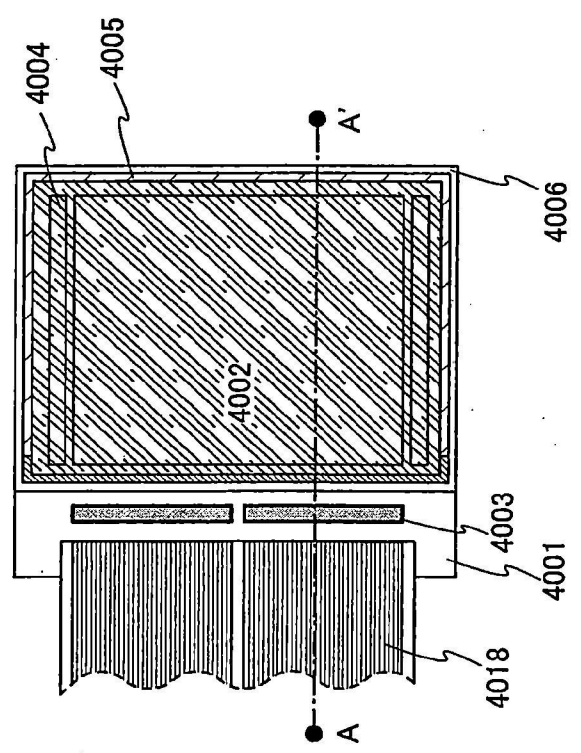


圖 29B

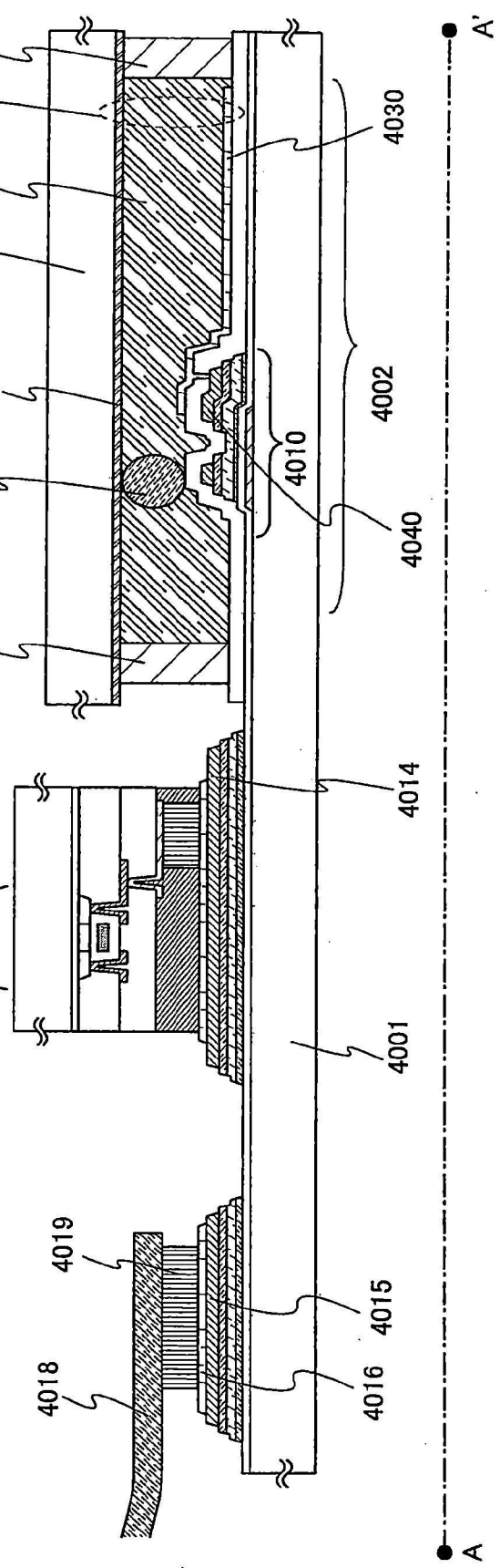


圖 30

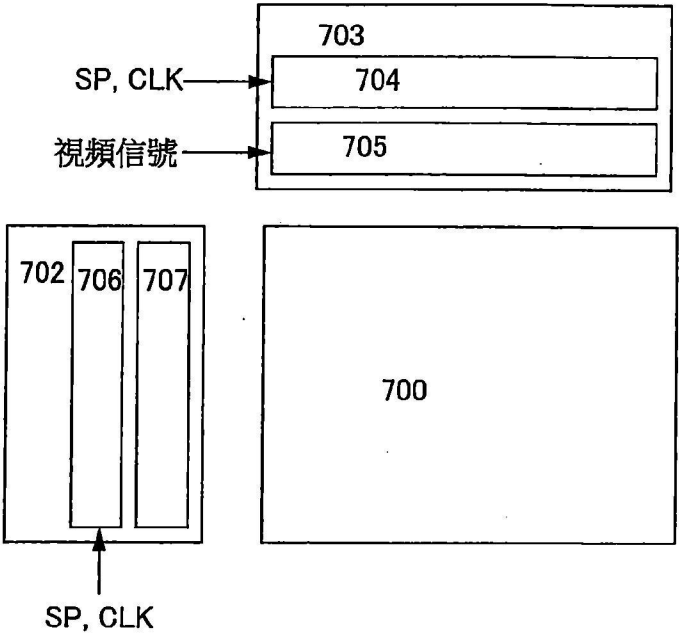


圖31

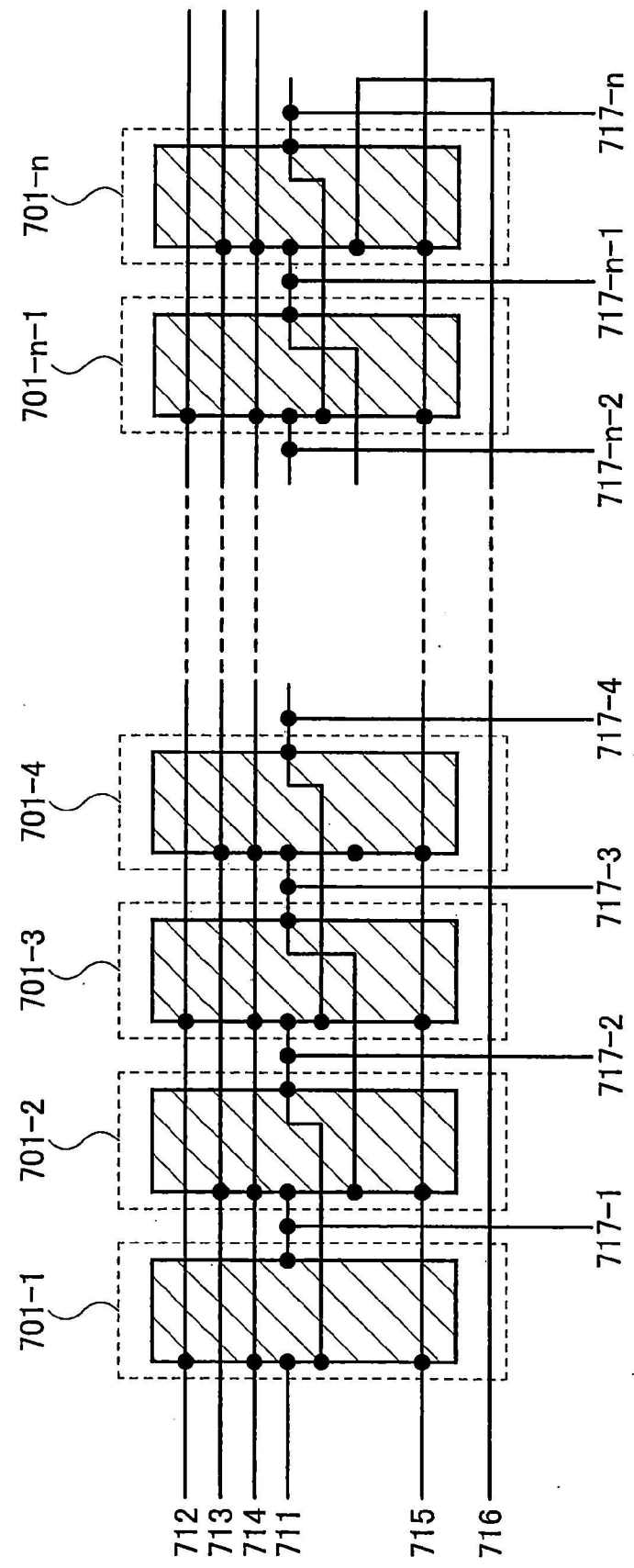


圖 32

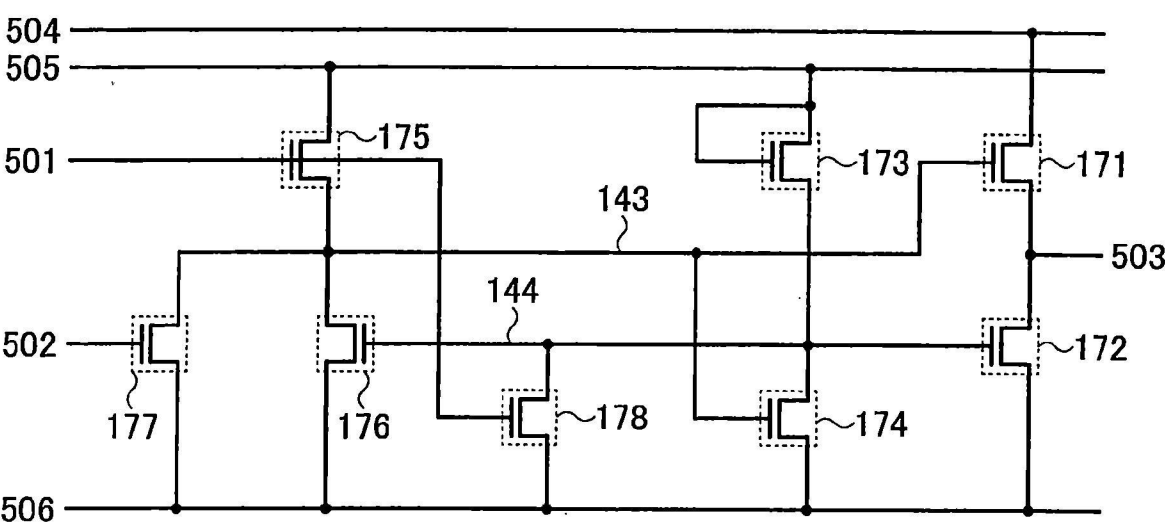


圖 33

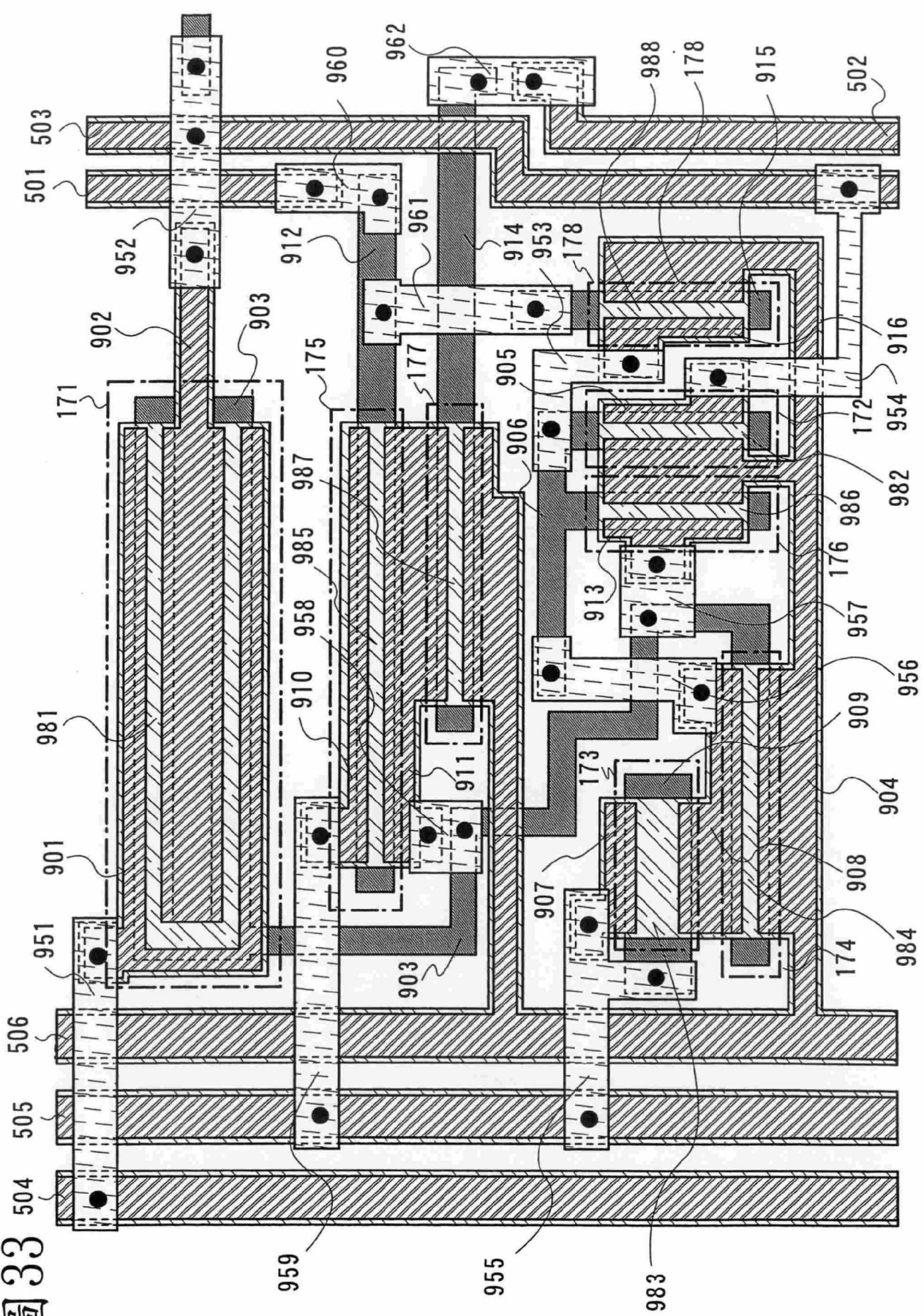


圖 34A

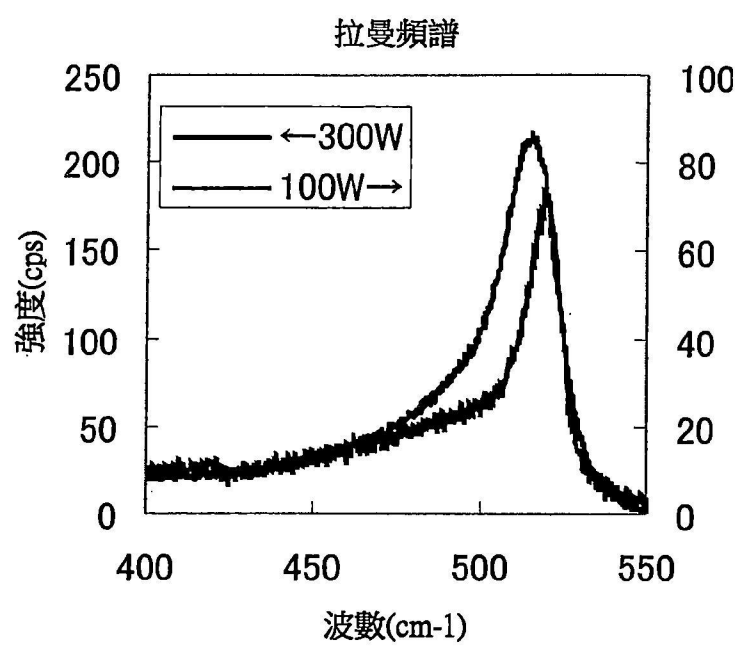


圖 34B

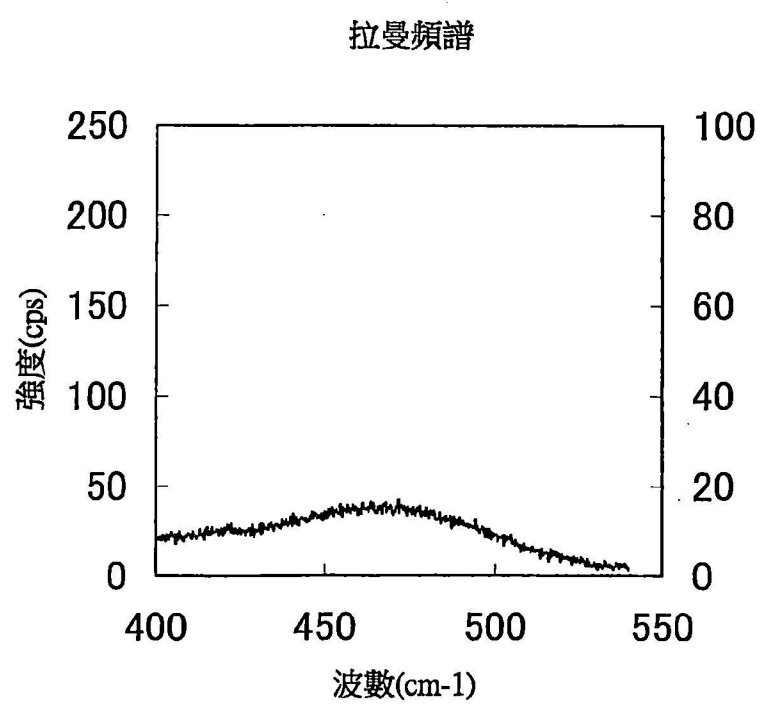


圖35

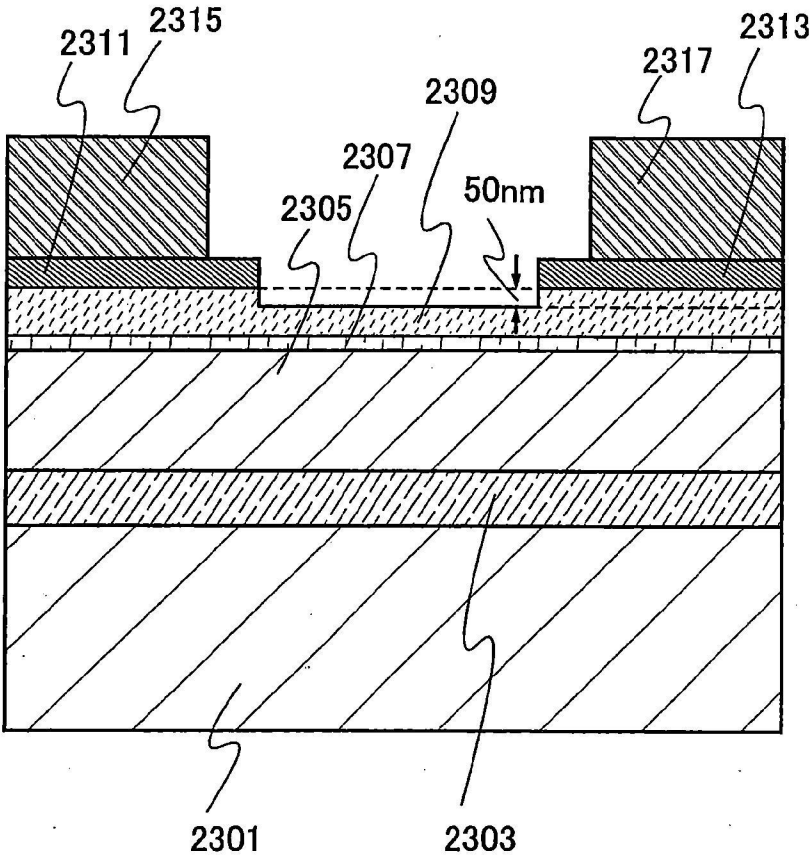


圖36

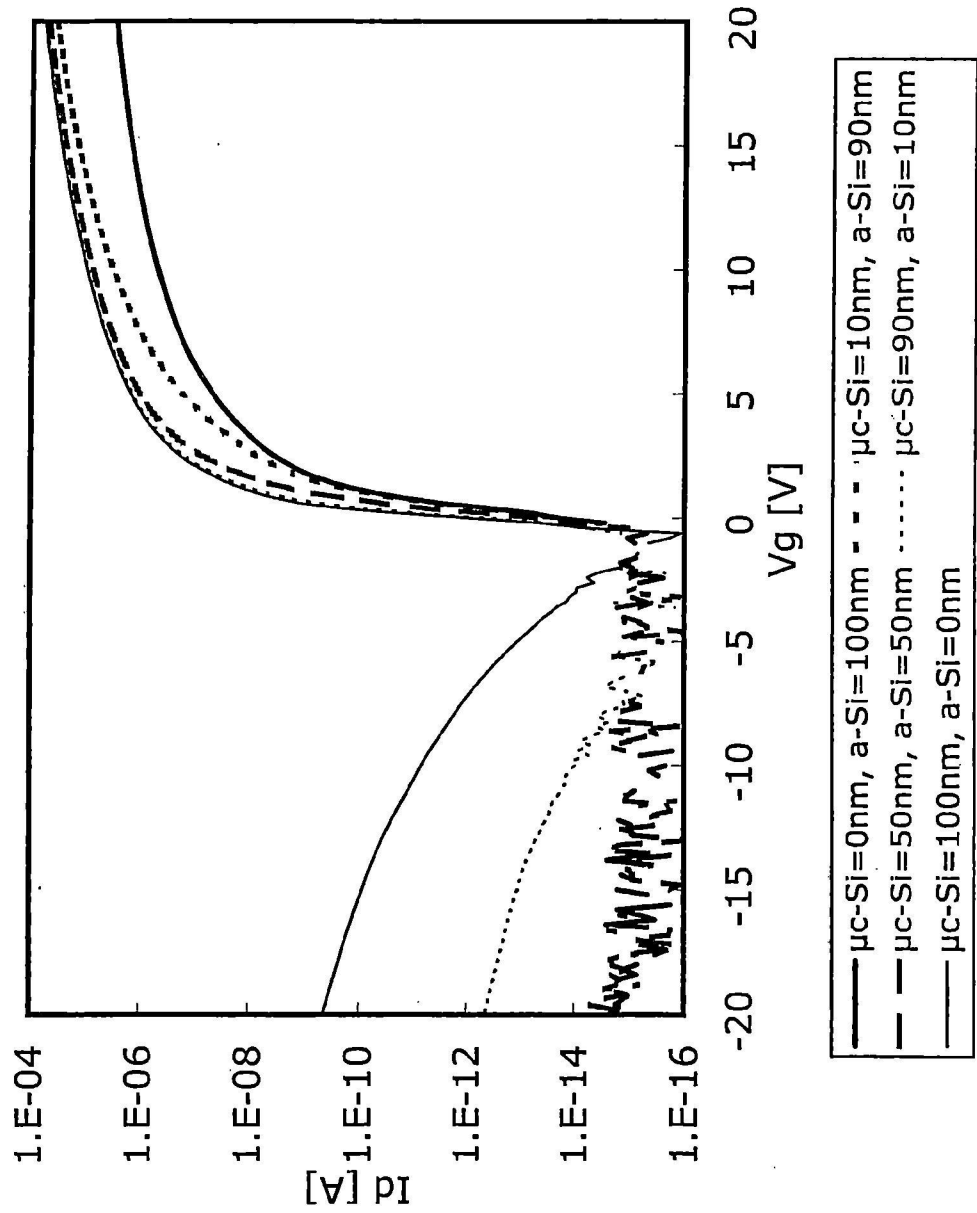


圖 37A

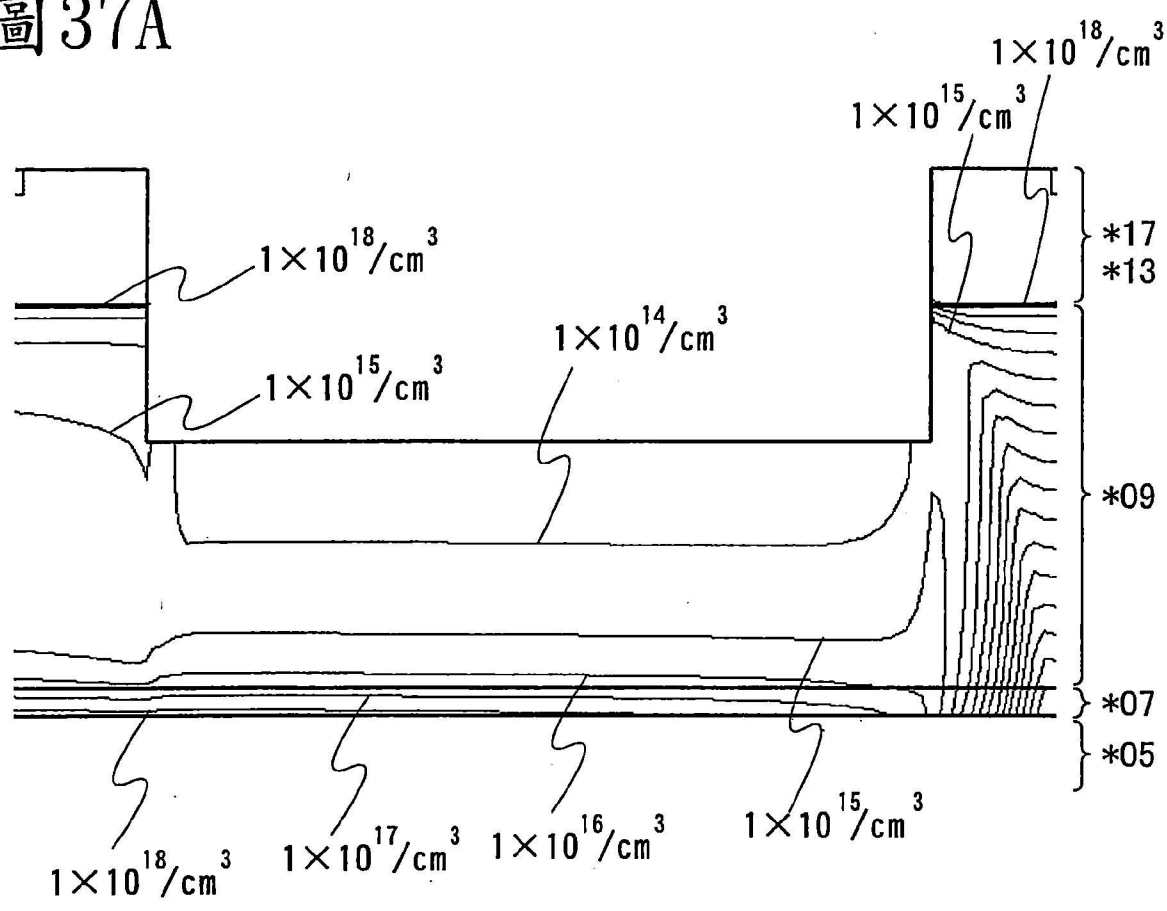


圖 37B

