

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-13025

(P2007-13025A)

(43) 公開日 平成19年1月18日(2007.1.18)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F O 4 8
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 3 O 1 S	5 F 1 4 O
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 O 2 B	
	HO 1 L 29/78 3 O 1 H	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号	特願2005-194710 (P2005-194710)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成17年7月4日(2005.7.4)		大阪府門真市大字門真1006番地
		(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100094134 弁理士 小山 廣毅
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実

最終頁に続く

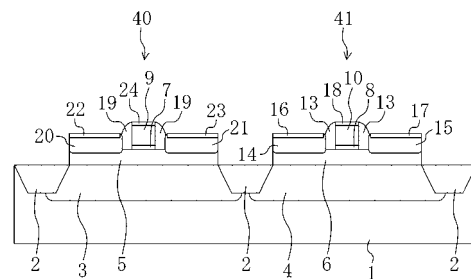
(54) 【発明の名称】 電界効果型トランジスタおよびその製造方法

(57) 【要約】

【課題】短チャネル効果を防止すると共に、移動度の向上および接合リーク電流の低減が可能な電界効果型トランジスタを提供する。

【解決手段】本発明の電界効果型トランジスタは、半導体基板1の上に設けられたアンドープ層5、6と、アンドープ層5、6の上にそれぞれ設けられたソース14、20およびドレイン15、21と、アンドープ層5、6の上にそれぞれ設けられたゲート絶縁膜7、8と、ゲート絶縁膜7、8の上にそれぞれ設けられたゲート電極9、10と、ゲート電極9、10の側面上にそれぞれ設けられたサイドウォール絶縁膜19、13とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体層と、
 前記第 1 導電型の半導体層の上に設けられたアンドープ半導体層と、
 前記アンドープ半導体層の上に、互いに離間して設けられた第 2 導電型の半導体層からなるソースおよびドレインと、
 前記アンドープ半導体層のうち前記ソースと前記ドレインとの間に位置する領域の上に、前記ソースおよび前記ドレインとは離間して設けられた第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上に設けられたゲート電極と、
 前記ゲート電極と前記ソースおよび前記ドレインとの間に介在する第 2 の絶縁膜とを備える電界効果型トランジスタ。 10

【請求項 2】

前記アンドープ半導体層には、 10^{10} cm^{-3} 以上 10^{17} cm^{-3} 以下の不純物が含まれる、請求項 1 に記載の電界効果型トランジスタ。

【請求項 3】

前記第 1 の絶縁膜は、 ZrO_2 、 ZrSiO 、 ZrSiON 、 HfO_2 、 HfSiO 、 HfSiON 、 SiN 、 TiO_2 、 La_2O_3 、 SiON 、 Al_2O_3 、 SrTiO_3 、 BaSrTiO_3 、 Nd_2O_3 および Ta_2O_5 のうちのいずれか 1 つ、またはこれらの積層構造を含む、請求項 1 に記載の電界効果型トランジスタ。

【請求項 4】

前記第 2 導電型の半導体層は結晶成長法によって形成された、請求項 1 に記載の電界効果型トランジスタ。 20

【請求項 5】

前記第 1 導電型の半導体層、前記アンドープ半導体層および前記第 2 導電型の半導体層のうち少なくともいずれか 1 つが、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$ 、 $0 < y < 1$) からなる、請求項 1 に記載の電界効果型トランジスタ。

【請求項 6】

第 1 導電型の半導体層の上に、アンドープ半導体層を結晶成長する工程と、
 前記アンドープ半導体層の上に第 1 の絶縁膜を形成する工程と、
 前記第 1 の絶縁膜の一部の上にゲート電極を形成する工程と、 30
 前記ゲート電極の側壁上に第 2 の絶縁膜を形成する工程と、
 前記第 2 の絶縁膜と前記ゲート電極とをマスクとして、前記第 1 の絶縁膜のうち露出する部分を除去する工程と、
 前記アンドープ半導体層の上に、ゲート電極および前記第 2 の絶縁層を挟んで互いに離間する、第 2 導電型の半導体層からなるソースおよびドレインを結晶成長する工程とを備える電界効果型トランジスタの製造方法。

【請求項 7】

第 1 導電型の半導体層の上に、アンドープ半導体層を結晶成長する工程と、
 前記アンドープ半導体層の上に第 2 導電型の半導体層を結晶成長する工程と、
 前記第 2 導電型の半導体層の上に第 1 の絶縁膜を形成する工程と、 40
 前記第 1 の絶縁膜および前記第 2 導電型の半導体層を貫通する溝を形成して前記第 2 導電型の半導体層を 2 つに分離することにより、前記第 2 導電型の半導体層からなるソースおよびドレインを形成する工程と、
 前記溝の表面を覆うゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜の上にゲート電極を形成する工程と、
 前記第 1 の絶縁膜を除去する工程とを備える、電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チャネル領域の不純物濃度を低減し、ソース、ドレイン接合容量と接合リー 50

ク電流を低減したMIS型電界効果型トランジスタおよびその製造方法に関するものである。

【背景技術】

【0002】

従来から、集積回路の高性能化は電界効果型トランジスタの微細化によって実現されている。特に、ゲート長を短縮化することで、素子面積を減少し、電流駆動力や動作速度が向上してきている。ゲート長を短縮するとき起こる最大の課題は短チャネル効果であり、これを防ぐためには、ソース・ドレイン領域の接合深さを浅くすることが必須である。

【0003】

図12は、従来において、最も一般的なMOS型電界効果型トランジスタの構造を示す断面図である。図12に示すように、従来のSiを用いた電界効果型トランジスタでは、半導体基板201中に、イオン注入法を用いて、ウェル202、ソース領域203、ドレイン領域204およびLDD(Lightly Doped Drain)領域205、206が形成されている。そして、半導体基板201の上には、ゲート酸化膜207を挟んでポリシリコンからなるゲート電極208が形成され、ゲート電極208の上にはシリサイドからなるゲート電極209が形成されている。ソース領域203およびドレイン領域204の上には、シリサイドソース電極212とシリサイドドレイン電極213とが形成されている。また、ゲート電極208の側面上には、ゲート側壁絶縁膜210、211が形成されている。

10

【0004】

図12に示すようなMOS型電界効果型トランジスタを作製するときは、短チャネル効果を防ぐために、ソース領域203およびドレイン領域204をできるだけ浅く形成すると共に、ポケット構造(もしくはヘロー構造)と呼ばれる、ウェル不純物と同種のイオンをLDD領域の下部に注入する技術が用いられている。この技術により、チャンネル部分の不純物濃度を高くすることができるため、ゲート長が短縮しても短チャネル効果が抑制できる。また、ソース・ドレイン領域の深さを浅くすると抵抗が高くなりスイッチング速度の低下および駆動電流の低下が起こるが、それを防ぐためには、ソース・ドレイン領域の不純物濃度を高くすればよい。

20

【0005】

図13は、図12に示すMOS型電界効果型トランジスタを改良した従来のMOS型電界効果型トランジスタの構造を示す断面図である。図13に示す構造では、エピタキシャル成長法により、ソース214およびドレイン215が形成されている。このソース214およびドレイン215は、半導体基板201の上に、選択的にSi等からなる半導体層を形成した後、イオン注入法を行うことにより形成される。ソース214およびドレイン215を形成するときのイオン注入によって、不純物が半導体基板201中にも注入されるため、半導体基板201内には、ソース領域203およびドレイン領域204が形成される。図13に示すトランジスタは、イオン注入法によって、ソース・ドレイン領域の接合深さを浅く、かつ不純物濃度を高くすることには限界があることから提案された改良法のひとつである。

30

【0006】

図14は、図13に示すMOS型電界効果型トランジスタを改良した従来のMOS型電界効果型トランジスタの構造を示す断面図である(詳細な構成については、特許文献1参照)。図14に示すソース214およびドレイン215は、不純物ドーピングをしながら選択エピタキシャル成長されることにより形成されている。このソース214およびドレイン215をエピタキシャル成長により形成した後に、アニールを施すことにより、半導体基板201に不純物を拡散させて、浅いソース領域203およびドレイン領域204が形成される。図14に示すトランジスタも、イオン注入法によって、ソース・ドレイン領域の接合深さを浅く、かつ不純物濃度を高くすることには限界があることから提案された改良法のひとつである。図14に示すトランジスタでは、図13に示すトランジスタよりもさらにソース・ドレイン領域の接合を浅く形成できる。

40

50

【特許文献1】特開平1-186680号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、前記従来構成では、チャンネル表面の不純物濃度が高いため、不純物散乱によってキャリアの移動度が劣化するという不具合があった。また、不純物濃度の高いウェルと不純物濃度の高いソース・ドレイン領域とが大きな接合容量を生み、動作速度を落とすことや、接合リーク電流が増大するという不具合もあった。

【0008】

また、ゲート絶縁膜にSiO₂よりも誘電率が高い材料（一般にHigh-K材料と呼ばれる）を用いた場合にも、半導体とゲート絶縁膜との界面におけるキャリア散乱が増加し、キャリアの移動度が劣化するという不具合があった。

10

【0009】

本発明は、前記従来課題を解決するもので、短チャンネル効果を防止すると共に、移動度の向上、接合リーク電流の低減を可能とするMIS型電界効果型トランジスタおよびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一形態の電界効果型トランジスタは、第1導電型の半導体層と、前記第1導電型の半導体層の上に設けられたアンドープ半導体層と、前記アンドープ半導体層の上に、互いに離間して設けられた第2導電型の半導体層からなるソースおよびドレインと、前記アンドープ半導体層のうち前記ソースと前記ドレインとの間に位置する領域の上に、前記ソースおよび前記ドレインとは離間して設けられた第1の絶縁膜と、前記第1の絶縁膜の上に設けられたゲート電極と、前記ゲート電極と前記ソースおよび前記ドレインとの間に介在する絶縁膜とを備える。

20

【0011】

本発明の一形態の電界効果型トランジスタでは、アンドープ層の上にソース・ドレインが配置しているため、アンドープ層内において、チャンネル領域となる部分より深い部分へソース・ドレインが広がりにくい。これにより、ソース・ドレインの接合を浅くすることができる。したがって、基板奥へのキャリアの回り込みを抑制することができるため、短チャンネル効果を起こりにくくすることができる。

30

【0012】

また、不純物濃度の低いアンドープ半導体層がチャンネル領域となるため、不純物の錯乱による移動度の低下が起こりにくくなる。したがって、高い移動度を得ることができ、駆動電流を向上させることができる。

【0013】

また、アンドープ層の上にソース・ドレインが配置しているため、ソース・ドレインの不純物濃度を高くしても接合容量を小さいものとするすることができる。そのため、ゲート容量およびソース・ドレイン容量を小さくすることができ、遮断周波数を向上させることができる。これにより、高速動作が可能となる。また、接合リーク電流の低減も可能となる。

40

【0014】

前記アンドープ半導体層には、 10^{10} cm^{-3} 以上 10^{17} cm^{-3} 以下の不純物が含まれていることが好ましい。

【0015】

前記第1の絶縁膜は、ZrO₂、ZrSiO₄、ZrSiON、HfO₂、HfSiO₄、HfSiON、SiN、TiO₂、La₂O₃、SiON、Al₂O₃、SrTiO₃、BaSrTiO₃、Nd₂O₃およびTa₂O₅のうちのいずれか1つ、またはこれらの積層構造を含むことが好ましい。

【0016】

50

前記第2導電型の半導体層は結晶成長法によって形成されていてもよい。

【0017】

前記第1導電型の半導体層、前記アンドープ半導体層および前記第2導電型の半導体層のうち少なくともいずれか1つが、 $Si_{1-x}Ge_xC_y$ ($0 < x < 1$ 、 $0 < y < 1$) からなっているもよい。

【0018】

本発明の一形態の電界効果型トランジスタの製造方法は、第1導電型の半導体層の上に、アンドープ半導体層を結晶成長する工程と、前記アンドープ半導体層の上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜の一部の上にゲート電極を形成する工程と、前記ゲート電極の側壁上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜と前記ゲート電極とをマスクとして、前記第1の絶縁膜のうち露出する部分を除去する工程と、前記アンドープ半導体層の上に、ゲート電極および前記第2の絶縁層を挟んで互いに離間する、第2導電型の半導体層からなるソースおよびドレインを結晶成長する工程とを備える。

10

【0019】

本発明の一形態の製造方法によると、アンドープ層の上にソース・ドレインを形成するため、アンドープ層内において、チャンネル領域となる部分より深い部分へソース・ドレインが広がりにくい。これにより、ソース・ドレインの接合を浅くすることができる。したがって、基板奥へのキャリアの回り込みを抑制することができるため、短チャンネル効果を起こりにくくすることができる。

【0020】

また、不純物濃度の低いアンドープ半導体層をチャンネル領域とすることができるため、不純物の錯乱による移動度の低下が起こりにくくなる。したがって、高い移動度を得ることができ、駆動電流を向上させることができる。

20

【0021】

また、アンドープ層の上にソース・ドレインを形成するため、ソース・ドレインの不純物濃度を高くしても接合容量を小さいものとするすることができる。そのため、ゲート容量およびソース・ドレイン容量を小さくすることができ、遮断周波数を向上させることができる。これにより、高速動作が可能となる。また、接合リーク電流を低減することも可能となる。

【0022】

第1導電型の半導体層の上に、アンドープ半導体層を結晶成長する工程と、前記アンドープ半導体層の上に第2導電型の半導体層を結晶成長する工程と、前記第2導電型の半導体層の上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜および前記第2導電型の半導体層を貫通する溝を形成して前記第2導電型の半導体層を2つに分離することにより、前記第2導電型の半導体層からなるソースおよびドレインを形成する工程と、前記溝の表面を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上にゲート電極を形成する工程と、前記第1の絶縁膜を除去する工程とを備えていてもよい。

30

【発明の効果】

【0023】

本発明の電界効果型トランジスタでは、短チャンネル効果を防止することができると共に、移動度の向上および接合リーク電流の低減およびソース、ゲート、ドレイン各端子と基板との接合容量低減が可能となる。

40

【発明を実施するための最良の形態】

【0024】

以下に、本発明の実施の形態について図面を参照しながら説明する。

【0025】

(第1の実施形態)

図1は、本発明の第1の実施形態における電界効果型トランジスタの構造を示す断面図である。図1に示すように、本実施形態の半導体基板1には、p型電界効果型トランジスタ40とn型電界効果型トランジスタ41とが、素子分離領域2によって互いに分離され

50

た状態で形成されている。半導体基板 1 のうち p 型電界効果型トランジスタ 4 0 が形成される領域には、n ウェル 3 が形成され、n 型電界効果型トランジスタ 4 1 が形成される領域には、p ウェル 4 が形成されている。

【0026】

n ウェル 3 および p ウェル 4 の上には、たとえば Si 半導体からなるアンドープ層 5、6 がそれぞれ設けられている。本明細書中において、アンドープ層 5、6 とは、不純物をドーパせずにエピタキシャル成長を行うことにより形成した層のことを意味している。ただし、アンドープ層 5、6 には、 10^{10} cm^{-3} 以上 10^{17} cm^{-3} 以下といった低い濃度の不純物が含まれていてもよい。

【0027】

アンドープ層 5、6 の上には、たとえば酸化膜よりなるゲート絶縁膜 7、8 と、たとえばポリシリコンからなるゲート電極 9、10 とがそれぞれ形成されている。さらに、アンドープ層 5 のうちゲート電極 9 の両側方に位置する部分の上には、たとえば p 導電型 Si 半導体からなるソース領域 20 およびドレイン領域 21 が形成されている。同様に、アンドープ層 6 のうちゲート電極 10 の両側方に位置する部分の上には、たとえば n 導電型 Si 半導体からなるソース領域 14 およびドレイン領域 15 が形成されている。

【0028】

ゲート電極 9、10 の側面上には、たとえば SiN 膜からなるサイドウォール絶縁膜 13、19 が形成されている。そして、ソース領域 20 およびドレイン領域 21 の上には、シリサイドからなるソース電極 22 およびドレイン電極 23 が形成されている。同様に、ソース 14 およびドレイン 15 の上には、シリサイドからなるソース電極 16 およびドレイン電極 17 が形成されている。

【0029】

かかる構成によれば、アンドープ層 5、6 がチャンネル領域となる。チャンネル領域の不純物濃度は低いので、不純物の散乱による移動度の低下が起こりにくくなる。したがって、高い移動度を得ることができ、駆動電流を向上させることができる。

【0030】

また、ソース 20、14 およびドレイン 21、15 をそれぞれアンドープ層 5、6 の上に設けているため、アンドープ層 5、6 内において、チャンネル領域となる部分より深い部分へソース 20、14 およびドレイン 21、15 が広がりにくい。したがって、ソース 20、14 およびドレイン 21、15 の深さを浅くすることができるため、短チャンネル効果を起こりにくいものとすることができる。

【0031】

また、ソース 20、14 およびドレイン 21、15 がアンドープ層 5、6 の上に形成されているため、n ウェル 3、p ウェル 4、ソース 20、14 およびドレイン 21、15 の不純物濃度を高くしても、接合容量を小さいものとするすることができる。そのため、ゲート容量およびソース・ドレイン容量を小さくすることができ、遮断周波数を向上させることができる。これにより、高速動作が可能となる。また、接合リーク電流を低減することもできる。

【0032】

なお、本実施形態において、半導体基板 1、アンドープ層 5、6、ソース 20、14 およびドレイン 21、15 として Si 半導体からなる半導体層を用いたが、 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ ($0 < x < 1$ 、 $0 < y < 1$) のような組成を持つ半導体材料を用いてもよい。たとえば、歪み SiGe 半導体、歪み Si 半導体、Ge 半導体または歪み Ge 半導体などをチャンネル層に用いると、Si 半導体よりも高い移動度を得ることができる。

【0033】

ソース 20、14 およびドレイン 21、15 の材料は、チャンネルの材料にあわせて選択可能であり、たとえば、ソース 20、14 およびドレイン 21、15 に Si 半導体を用い、チャンネルに SiGe 半導体を用いるといったように、ソースにチャンネルよりもバンドギャップの広い材料を選択すると、ソースからチャンネルへのキャリアの拡散がヘテロ界面で

10

20

30

40

50

発生するバレンスバンドの差によって加速されて高速化を図れる。また、ドレインにチャネルよりもバンドギャップの広い材料を用いると、オフリーク電流を低減できる。図2は、第1の実施形態において、変形例の半導体装置の構造を示す断面図である。図2に示すように、この変形例では、Si半導体からなるnウェル31と、チャネルとなるアンドープ歪みSiGe半導体層32と、Si半導体からなるソース領域33およびドレイン領域34とが形成されている。

【0034】

また、各種特性を向上するために、チャネルを多層の半導体から構成してもよい。図3は、第1の実施形態において、変形例の半導体装置の構造を示す断面図である。図3に示すように、この変形例では、アンドープ歪みSiGe半導体層32の上に、アンドープSi層35を設け、ヘテロ界面に埋め込みチャネルを形成している。この構造では、埋め込みチャネルを形成することで、ゲート絶縁膜界面での移動度の劣化を防ぐことができる。

10

【0035】

また、ゲート電極9、10としては、ポリシリコンに限らず、金属、シリサイド、SiGe、ポリSiGeを使用してもよい。これらの材料を適宜使用することで、チャネル濃度を濃くせずに、閾値電圧の値を制御することが可能である。

【0036】

ゲート絶縁膜7、8としては、SiO₂膜の代わりに、High-K材料などの絶縁体を使用してもよい。具体的には、ZrO₂、ZrSiO₄、ZrSiON、HfO₂、HfSiO₄、HfSiON、SiN、TiO₂、La₂O₃、SiON、Al₂O₃、SrTiO₃、BaSrTiO₃、Nd₂O₃およびTa₂O₅のうちのいずれか1つ、またはこれらの積層構造をゲート絶縁膜7、8として用いることで、ゲートリーク電流の低減や、単位容量増加による電流駆動力の増加が実現できる。

20

【0037】

また、閾値電圧の制御と短チャネル効果の防止として、nウェル3およびpウェル4の濃度をたとえば $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定することができる。通常、ウェル濃度を濃くすると、接合容量やリーク電流の問題が発生しやすいが、本実施形態では、アンドープ層5をウェル3、4とゲート絶縁膜7との間に介在させているので、そのような問題がおこりにくい。

【0038】

(第2の実施形態)

図4は、本発明の第2の実施形態における電界効果型トランジスタの構造を示す断面図である。図4では、ウェル領域31の上にアンドープSi層32aだけでなくウェル電極36が設けられている。これ以外の構成は図2に示す構成と同様であるので詳細な説明を省略する。このウェル電極36にバイアスを印加することによって、チャネルに不純物をドーピングしていなくても、所望の閾値電圧を得ることができる。また、短チャネル効果を防止することもできる。

30

【0039】

(第3の実施形態)

本実施形態では、第1の実施形態で説明した電界効果型トランジスタを製造する方法について説明する。図5(a)~図9(b)は、本発明の第3の実施形態における電界効果型トランジスタの製造方法を示す断面図である。図5(a)~図9(b)において、図1に示す部材と同じ部材には、同一の符号を付している。

40

【0040】

本実施形態の製造方法では、まず、図5(a)に示す工程で、シリコンからなる半導体基板1の一部に素子分離領域2を形成した後、図5(b)に示す工程で、イオン注入を行うことにより、半導体基板1のうち素子分離領域2によって囲まれる領域に、n型不純物を含むnウェル3およびp型不純物を含むpウェル4をそれぞれ形成する。

【0041】

次に、図5(c)に示す工程で、nウェル3およびpウェル4の上に、たとえばSiGe

50

e 半導体からなるアンドープ層 5、6 をエピタキシャル成長し、図 6 (a) に示す工程で、アンドープ層 5、6 の上に、ゲート絶縁膜となる絶縁膜 7 a、8 a を形成する。

【 0 0 4 2 】

次に、図 6 (b) に示す工程で、絶縁膜 7 a、8 a の上に、たとえばポリシリコンからなるゲート電極 9、10 を形成する。その後、図 6 (c) に示す工程で、絶縁膜 7 a、8 a の上全体に、たとえば SiN からなる絶縁膜 11 を形成する。その後、p 型トランジスタを形成する領域 (n ウェル 3 が形成される領域) 40 a をレジスト 12 で被覆し、n 型トランジスタを形成する領域 (p ウェル 4 が形成される領域) 41 a を露出させる。

【 0 0 4 3 】

次に、図 7 (a) に示す工程で、異方性エッチングを行うことにより、絶縁膜 11 のうちゲート電極 10 の側壁上に位置する部分のみを残し、サイドウォール絶縁膜 13 を形成する。その後、絶縁膜 8 a のうち露出している部分を除去してゲート絶縁膜 8 を除去する。

10

【 0 0 4 4 】

次に、図 7 (b) に示す工程で、レジスト 12 を除去する。その後、エピタキシャル成長法により、アンドープ層 6 の上に、たとえば P をドーピングした n 導電型の Si からなるソース 14 とドレイン 15 を選択的に形成する。このとき、p 型トランジスタを形成する領域 40 a は絶縁膜 11 に覆われているため、n 型トランジスタを形成する領域 41 a においてのみ結晶成長が進行する。

【 0 0 4 5 】

次に、図 8 (a) に示す工程で、n 型トランジスタを形成する領域 41 a をレジスト 25 で被膜して、p 型トランジスタを形成する領域 40 a を露出させる。その状態で、異方性エッチングを行うことにより、絶縁膜 11 のうちゲート電極 9 の側壁上に位置する部分のみを残し、サイドウォール絶縁膜 19 を形成する。その後、絶縁膜 7 a のうち露出している部分を除去して、ゲート絶縁膜 7 を形成する。

20

【 0 0 4 6 】

次に、図 8 (b) に示す工程で、レジスト 25 を除去する。その後、基板の上全体を絶縁膜 27 で被覆する。その後、絶縁膜 27 のうち n チャネルトランジスタを形成する領域 41 a をレジスト 26 で覆い、絶縁膜 27 のうち p チャネルトランジスタを形成する領域 40 a を露出させる。

30

【 0 0 4 7 】

次に、図 9 (a) に示す工程でエッチングを行うことにより、p チャネルトランジスタを形成する領域 40 a に位置する絶縁膜 27 を除去する。その後、レジスト 26 を除去する。その後、エピタキシャル成長法により、アンドープ層 5 の上に、たとえば B をドーピングした p 導電型の Si からなるソース領域 20 とドレイン領域 21 を選択的に形成する。このとき右側の n 型トランジスタを形成する領域 41 a は絶縁膜 27 に覆われているため、左側の p 型トランジスタを形成する領域 40 a においてのみ結晶成長が進行する。

【 0 0 4 8 】

次に、図 9 (b) に示す工程で、絶縁膜 27 を除去した後、シリサイドからなるソース電極 16、22、ドレイン電極 17、23 およびゲート電極 18、24 を形成する。以上

40

【 0 0 4 9 】

なお、本実施の形態において、n ウェルおよび p ウェルをイオン注入法を用いて形成したが、エピタキシャル成長法を用いて形成してもよい。

【 0 0 5 0 】

(第 4 の実施形態)

図 10 (a) ~ 図 11 (b) は、本発明の第 4 の実施形態に係る電界効果型トランジスタの製造方法を示す断面図である。

【 0 0 5 1 】

本実施形態の製造方法では、まず、図 10 (a) に示す工程で、半導体基板 100 の上

50

にたとえばSiからなるnウェル101、SiGeからなるアンドープ層102および p^+ Si層103をこの順でエピタキシャル成長する。その後、 p^+ Si層103の上に、第1の絶縁膜104を形成する。

【0052】

次に、図10(b)に示す工程で、第1の絶縁膜104の上に、開口を有するレジスト107を形成する。その後、レジスト107をマスクとして、第1の絶縁膜104および p^+ Si層103に対してエッチングを行うことにより、第1の絶縁膜104および p^+ Si層103を貫通する溝112を形成する。なお、このエッチングにより、 p^+ Si層103は、溝112を隔ててソース105とドレイン106とに分けられる。

【0053】

次に、図10(c)に示す工程で、第1の絶縁膜104および溝112の表面上全体に、第2の絶縁膜108aを塗布する。その後、図11(a)に示す工程で、第2の絶縁膜108aの上から溝112を埋める金属膜(図示せず)を蒸着した後、第2の絶縁膜108aおよび金属膜のうち溝112内に位置する部分のみを残し、他の部分を除去する。これにより、溝112の表面を覆うゲート絶縁膜108と、ゲート絶縁膜108の上から溝112を埋めるゲート電極109とを形成する。

【0054】

その後、図11(b)に示す工程で、第1の絶縁膜104を除去し、ゲート電極109の両側方にソース電極110およびドレイン電極111を形成する。以上の工程により、本実施形態のMIS型電界効果型トランジスタが形成される。

【0055】

なお、本実施形態では、nウェル101をエピタキシャル成長法を用いて形成したが、イオン注入法を用いて形成してもよい。

【産業上の利用可能性】

【0056】

本発明にかかる電界効果型トランジスタは、短チャネル効果を防止することができると共に、移動度の向上および接合リーク電流の低減が可能な点で、微細なデザインルールの集積回路用トランジスタとして有用である。またCMOS回路用トランジスタとしても、単体用途のトランジスタとしても有用である。

【図面の簡単な説明】

【0057】

【図1】本発明の第1の実施形態における電界効果型トランジスタの構造を示す断面図である。

【図2】第1の実施形態において、変形例の半導体装置の構造を示す断面図である。

【図3】第1の実施形態において、変形例の半導体装置の構造を示す断面図である。

【図4】第2の実施形態において、変形例の半導体装置の構造を示す断面図である。

【図5】(a)~(c)は、本発明の第3の実施形態における電界効果型トランジスタの製造方法を示す断面図である。

【図6】(a)~(c)は、本発明の第3の実施形態における電界効果型トランジスタの製造方法を示す断面図である。

【図7】(a)、(b)は、本発明の第3の実施形態における電界効果型トランジスタの製造方法を示す断面図である。

【図8】(a)、(b)は、本発明の第3の実施形態における電界効果型トランジスタの製造方法を示す断面図である。

【図9】(a)、(b)は、本発明の第3の実施形態における電界効果型トランジスタの製造方法を示す断面図である。

【図10】(a)~(c)は、本発明の第4の実施形態に係る電界効果型トランジスタの製造方法を示す断面図である。

【図11】(a)、(b)は、本発明の第4の実施形態に係る電界効果型トランジスタの製造方法を示す断面図である。

10

20

30

40

50

【図 1 2】従来において、最も一般的な M O S 型電界効果型トランジスタの構造を示す断面図である。

【図 1 3】図 1 2 に示す M O S 型電界効果型トランジスタを改良した従来の M O S 型電界効果型トランジスタの構造を示す断面図である。

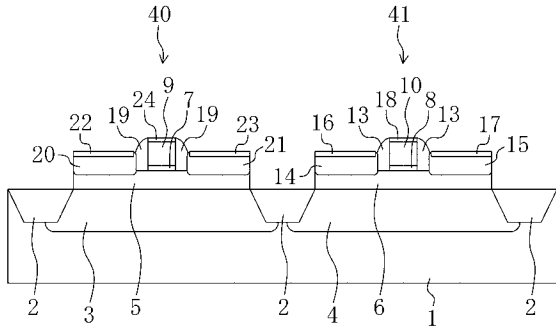
【図 1 4】図 1 3 に示す M O S 型電界効果型トランジスタを改良した従来の M O S 型電界効果型トランジスタの構造を示す断面図である。

【符号の説明】

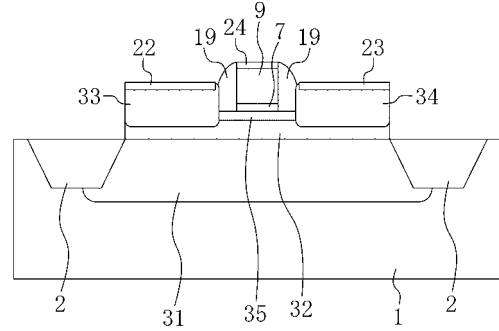
【 0 0 5 8 】

1	半導体基板	
2	素子分離領域	10
3	n ウェル	
4	p ウェル	
5、6	アンドープ層	
7、8	ゲート絶縁膜	
7 a、8 a	絶縁膜	
9、10	ゲート電極	
11	絶縁膜	
12	レジスト	
13、19	サイドウォール絶縁膜	
14	ソース	20
15	ドレイン	
16、22	ソース電極	
17、23	ドレイン電極	
18、24	ゲート電極	
20、14	ソース	
21、15	ドレイン	
25、26	レジスト	
27	絶縁膜	
31	n ウェル	
32	アンドープ歪み S i G e 層	30
32 a	アンドープ S i 層	
33	ソース領域	
34	ドレイン領域	
35	アンドープ S i 層	
36	ウェル電極	
100	半導体基板	
101	n ウェル	
102	アンドープ層	
103	p ⁺ S i 層	
104	第 1 の絶縁膜	40
105	ソース	
106	ドレイン	
107	レジスト	
108	ゲート絶縁膜	
108 a	第 2 の絶縁膜	
109	ゲート電極	
110	ソース電極	
111	ドレイン電極	
112	溝	

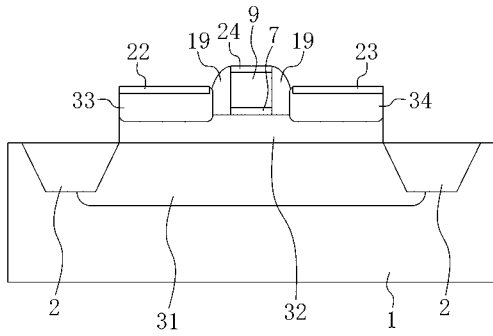
【 図 1 】



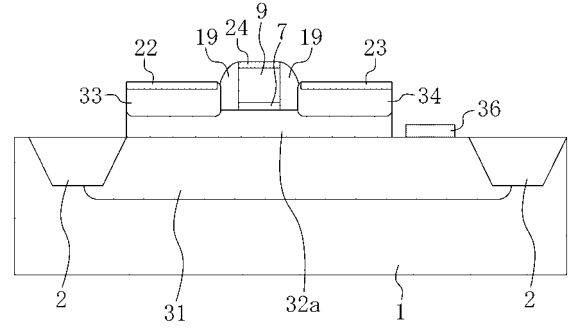
【 図 3 】



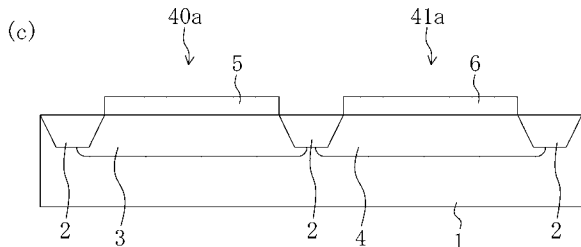
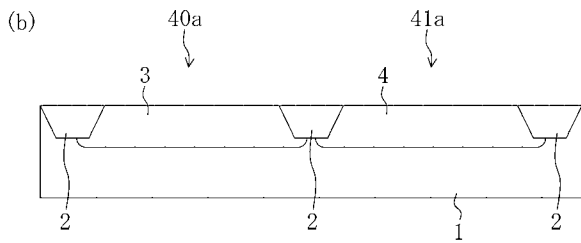
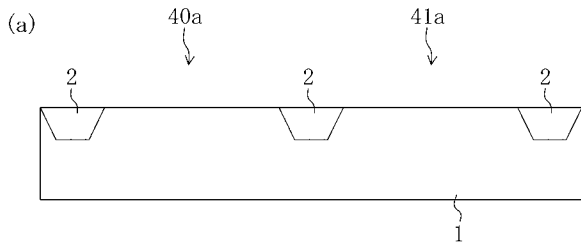
【 図 2 】



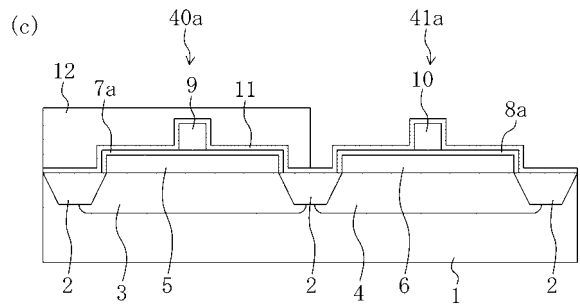
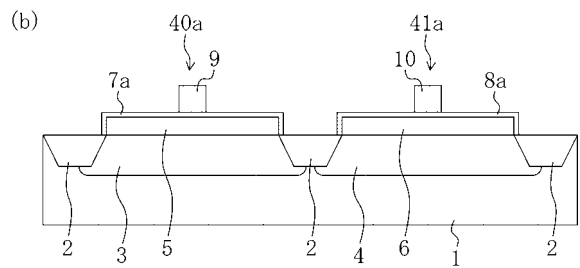
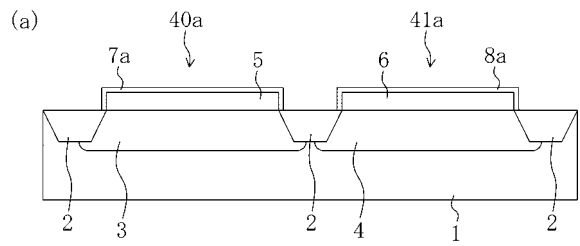
【 図 4 】



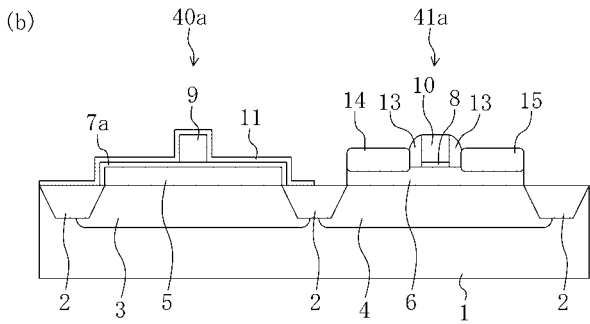
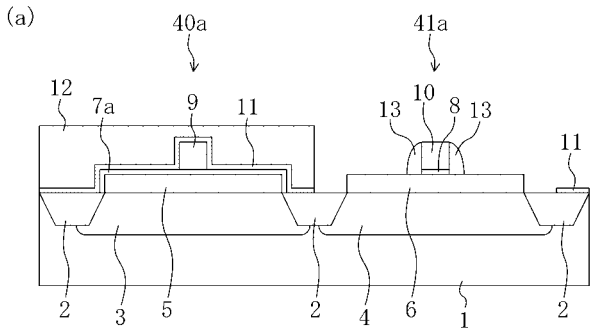
【 図 5 】



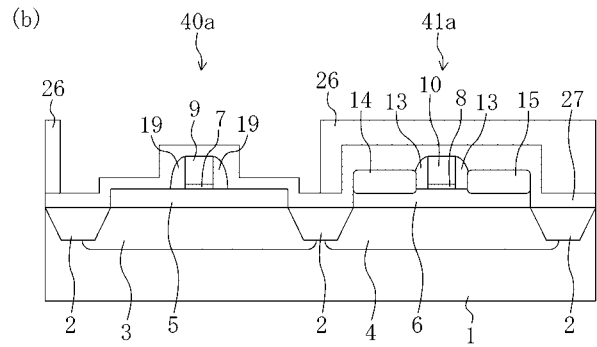
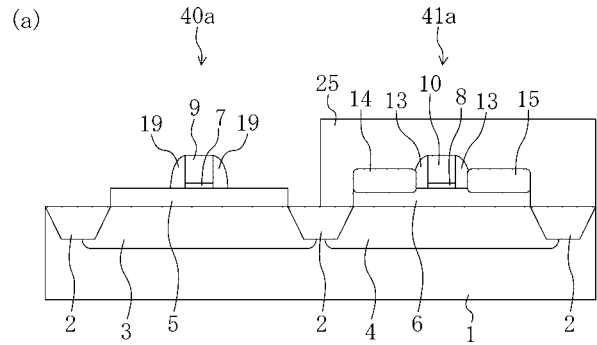
【 図 6 】



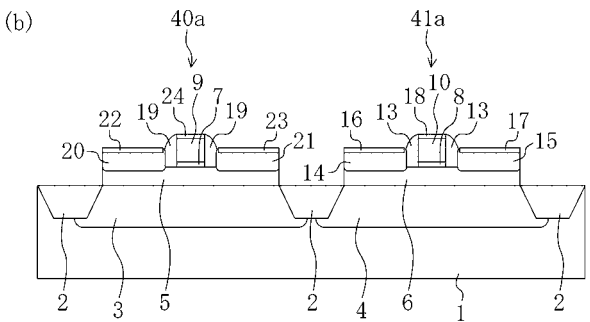
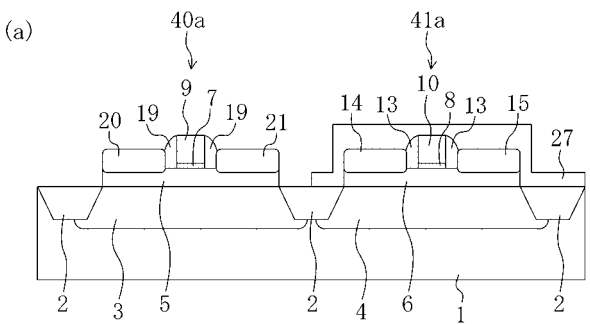
【 図 7 】



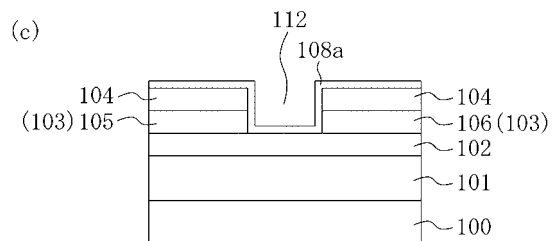
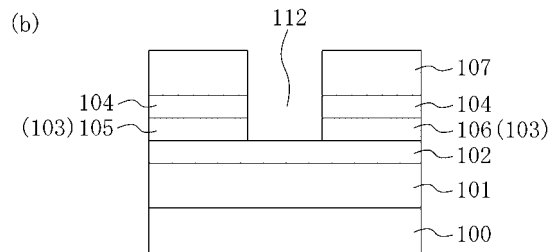
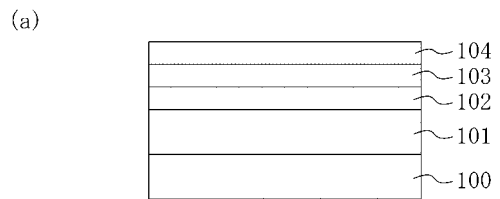
【 図 8 】



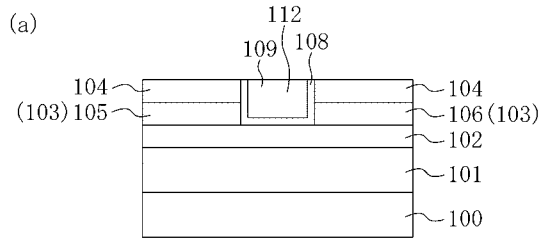
【 図 9 】



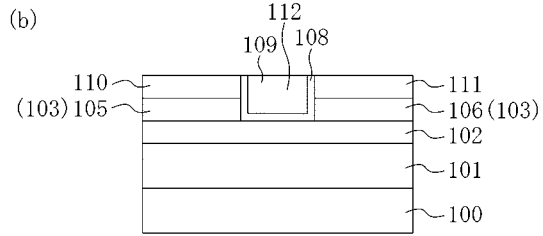
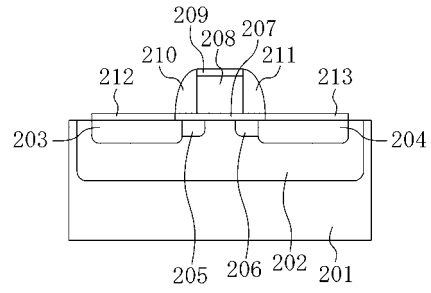
【 図 10 】



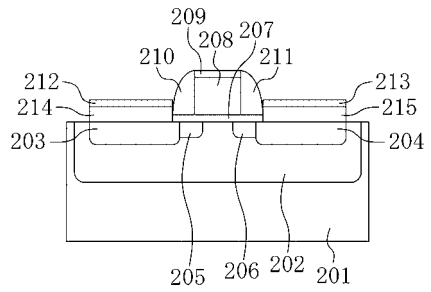
【 図 1 1 】



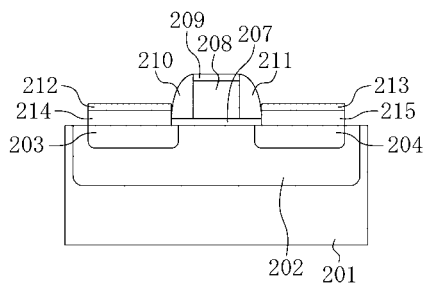
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124349
弁理士 米田 圭啓
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 岩永 順子
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 空田 晴之
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 高木 剛
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 井上 彰
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- F ターム(参考) 5F048 AA08 AC01 AC03 BA01 BA02 BA14 BB04 BB05 BB08 BB11
BB12 BB14 BB19 BC01 BD09 BE01 BE03 BE09 BF06 BF16
BF17 BF18 BG13 DA23
5F140 AA11 AA21 AA24 AB03 AC28 BA01 BA03 BA05 BA16 BA17
BB13 BC12 BC13 BD04 BD07 BD09 BD11 BD12 BD13 BF01
BF04 BF11 BF18 BF43 BG08 BG14 BG36 BG45 BG53 BH06
BH27 BJ01 BJ08 BK18 CB08 CF04