



(12)发明专利申请

(10)申请公布号 CN 109326531 A

(43)申请公布日 2019.02.12

(21)申请号 201811116166.4

(22)申请日 2018.09.25

(71)申请人 武汉新芯集成电路制造有限公司
地址 430205 湖北省武汉市东湖开发区高新四路18号

(72)发明人 吕凌剑 邵永军

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈衡

(51)Int.Cl.

H01L 21/60(2006.01)

H01L 23/488(2006.01)

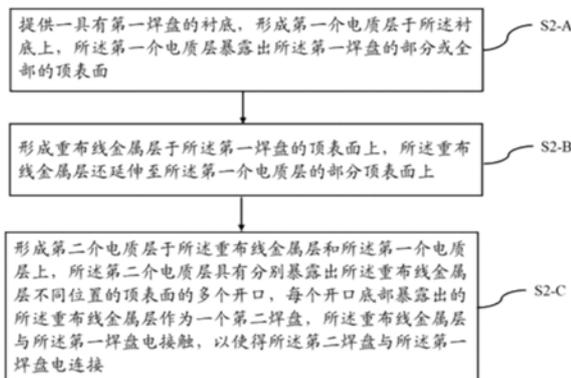
权利要求书2页 说明书7页 附图4页

(54)发明名称

重新布线结构及其制造方法和半导体器件及其制造方法

(57)摘要

本发明提供了一种重新布线结构及其制造方法和半导体器件及其制造方法,所述重新布线结构的制造方法包括:首先,在一具有第一焊盘的衬底上形成第一介电质层;然后,在所述第一焊盘的顶表面上形成重布线金属层;最后,在所述重布线金属层和所述第一介电质层上形成第二介电质层,所述第二介电质层具有分别暴露出所述重布线金属层不同位置的顶表面的多个开口,每个开口底部暴露出的所述重布线金属层作为一个第二焊盘。以实现半导体器件上的焊盘数量增多和位置更加多样化,进而使得半导体器件上的每个焊盘具有相同的时钟反应,以及避免在同一个焊盘上做点测和焊接而导致的焊盘的底部的金属层开裂的问题。



1. 一种重新布线结构的制造方法,其特征在于,包括:

提供一具有第一焊盘的衬底;

形成第一介电质层于所述衬底上,所述第一介电质层暴露出所述第一焊盘的部分或全部的顶表面;

形成重布线金属层于所述第一焊盘的顶表面上,所述重布线金属层还延伸至所述第一介电质层的部分顶表面上;以及,

形成第二介电质层于所述重布线金属层和所述第一介电质层上,所述第二介电质层具有分别暴露出所述重布线金属层不同位置的顶表面的多个开口,每个开口底部暴露出的所述重布线金属层作为一个第二焊盘,所述重布线金属层与所述第一焊盘电接触,以使得所述第二焊盘与所述第一焊盘电连接。

2. 如权利要求1所述的重新布线结构的制造方法,其特征在于,所述重布线金属层包含连接所述第二焊盘的互连线,每个互连线连接的所述第二焊盘的数量大于等于2。

3. 如权利要求1所述的重新布线结构的制造方法,其特征在于,形成所述第一介电质层的步骤包括:首先,沉积所述第一介电质层于所述衬底上,且沉积的所述第一介电质层将所述第一焊盘完全掩埋在内;然后,通过化学机械研磨将所述第一介电质层的顶表面平坦化;最后,刻蚀所述第一介电质层位于所述第一焊盘上的部分,以将所述第一焊盘的部分或全部的顶表面暴露出来。

4. 如权利要求1或2所述的重新布线结构的制造方法,其特征在于,形成所述重布线金属层的步骤包括:首先,形成一金属层于所述第一焊盘和所述第一介电质层上,所述金属层将所述第一介电质层和所述第一焊盘完全掩埋在内;然后,通过光刻和刻蚀将所述金属层图形化,以形成所述重布线金属层。

5. 如权利要求1所述的重新布线结构的制造方法,其特征在于,形成所述第二介电质层的步骤包括:首先,沉积第二介电质层于所述重布线金属层和所述第一介电质层上;然后,刻蚀所述第二介电质层位于所述重布线金属层不同位置上的部分,以形成分别暴露出所述重布线金属层不同位置的顶表面的多个开口。

6. 一种重新布线结构,其特征在于,包括:

第一介电质层,位于一具有第一焊盘的衬底上,所述第一介电质层暴露出所述第一焊盘的部分或全部的顶表面;

重布线金属层,位于所述第一焊盘的顶表面上,所述重布线金属层还延伸至所述第一介电质层的部分顶表面上;以及,

第二介电质层,位于所述重布线金属层和所述第一介电质层上,所述第二介电质层具有分别暴露出所述重布线金属层不同位置的顶表面的多个开口,每个开口底部暴露出的所述重布线金属层作为一个第二焊盘,所述重布线金属层与所述第一焊盘电接触,以使得所述第二焊盘与所述第一焊盘电连接。

7. 如权利要求6所述的重新布线结构,其特征在于,所述重布线金属层包含连接所述第二焊盘的互连线,每个互连线连接的所述第二焊盘的数量大于等于2。

8. 如权利要求6或7中所述的重新布线结构,其特征在于,所述重布线金属层的材质包括铝、金、银、镍、钛中的任一种或多种;所述第一介电质层和所述第二介电质层的材质包括二氧化硅、氮化硅、正硅酸乙酯、硼硅玻璃、磷硅玻璃、硼磷硅玻璃中的任一种或多种。

9. 一种焊盘结构,其特征在于,包括:第一焊盘和权利要求6至8中任一项所述的重新布线结构,所述重新布线结构位于所述第一焊盘上。

10. 一种半导体器件,其特征在于,包括:具有第一焊盘、金属互连结构、第三介电质层的衬底和权利要求6至8中任一项所述的重新布线结构;所述第三介电质层位于所述重新布线结构的底面上,且所述金属互连结构形成于所述第三介电质层中,且所述金属互连结构的顶表面与所述重新布线结构的第一焊盘的底表面电接触;所述第一焊盘还延伸至所述第三介电质层的部分顶表面上。

11. 一种权利要求10所述的半导体器件的制造方法,其特征在于,包括:在所述重新布线结构的一第二焊盘上作焊接,同时在所述重新布线结构的另一第二焊盘上作点测。

重新布线结构及其制造方法和半导体器件及其制造方法

技术领域

[0001] 本发明涉及集成电路制造领域,特别涉及一种重新布线结构及其制造方法和半导体器件及其制造方法。

背景技术

[0002] 在半导体集成电路的生产工艺中,通常需要采用铝(Al)或金(Au)等导电性的材料形成接合焊盘(pad)作为电极,用于半导体器件(芯片)与外部电路进行连接或者用来测试检查。一般设计的要求是接合焊盘规则分布在半导体器件(芯片)的四周,保证距离半导体器件(芯片)中心的距离相同,即时钟反应相同。而实际制造中,接合焊盘(Pad)的位置会受到其下方的铜金属层(包括铜互连线Cu line和铜焊盘Cu Pad)的位置的限制,例如当下方的部分铜焊盘Cu Pad是位于靠近半导体器件(芯片)中心的位置时,会导致部分接合焊盘(Pad)也位于靠近半导体器件(芯片)中心的位置。以铝焊盘(Al Pad)为例,具体请参阅图1a和图1b,图1a是现有半导体器件(芯片)上焊盘的位置的示意图,图1b是图1a所示的现有半导体器件(芯片)上焊盘的纵向截面示意图,从图1a和图1b中可看出,Cu Pad(图1b中的M1)与Al Pad(图1b中的M2)相连接,且位于Al Pad的下方,Al Pad与Al Pad之间没有互连线连接,Cu Pad与Cu Pad之间通过Cu line连接(例如图1a中互连线L1连接Cu Pad P1和P2)。一部分Cu Pad(例如图1a中的P1)规则排布在芯片上表面的外围,则会导致对应的一部分Al Pad(例如图1a中的P3、P4)规则排布在芯片上表面的外围;另一部分Cu Pad(例如图1a中的P2)排布在芯片上表面的靠近芯片中心的位置,则会导致对应的另一部分Al Pad(例如图1a中的P5)排布在芯片上表面的靠近芯片中心的位置,可见,芯片上的Cu pad的位置限定了Al Pad的位置,从而导致了芯片上Al Pad位置的局限性;同时,从1b中可以看出,Cu Pad和Al Pad是一一对应的。因此,现有接合焊盘(例如Al Pad)的设计导致了如下问题:

[0003] 1、无法实现相同的时钟反应:实现相同的时钟反应需要保证芯片上的铜金属层上方的各个接合焊盘(例如Al Pad)到达芯片上的主要电路(主要电路在芯片的中间)的距离相同,即需要所有接合焊盘(例如Al Pad)都规则排布于芯片的外围。但是,铜金属层中的Cu pad的位置限制了接合焊盘(例如Al Pad)的位置无法实现以上要求,进而导致无法实现相同的时钟反应。

[0004] 2、Cu Pad开裂(crack):另外,由于现有芯片封装结构中,一个Cu Pad上仅设置一个与之相连的接合焊盘(例如Al Pad),需要在该接合焊盘(例如Al Pad)上面同时做点测(probe)和焊接(bonding),因此会产生较大的压应力,该压应力容易导致下层的Cu Pad开裂(crack),进而导致芯片的良率损失。

[0005] 为了解决以上问题,需要打破现有的Cu Pad的位置对接合焊盘(例如Al Pad)的位置造成的局限性,使得与同一个Cu Pad相连接的接合焊盘(例如Al Pad)的数量增多以及使得接合焊盘(例如Al Pad)的位置更加多样化。因此,如何使得与同一个Cu Pad相连接的接合焊盘(例如Al Pad)的数量增多以及使得接合焊盘(例如Al Pad)的位置更加多样化成为亟需解决的问题。

发明内容

[0006] 本发明的目的在于提供一种重新布线结构及其制造方法和半导体器件及其制造方法,以实现半导体器件上的焊盘数量增多和位置更加多样化,进而使得半导体器件上的每个焊盘具有相同的时钟反应,以及避免在同一个焊盘上做点测和焊接而导致的焊盘的底部的金属层开裂的问题。

[0007] 为实现上述目的,本发明提供了一种重新布线结构的制造方法,包括:

[0008] 提供一具有第一焊盘的衬底;

[0009] 形成第一介电质层于所述衬底上,所述第一介电质层暴露出所述第一焊盘的部分或全部的顶表面;

[0010] 形成重布线金属层于所述第一焊盘的顶表面上,所述重布线金属层还延伸至所述第一介电质层的部分顶表面上;以及,

[0011] 形成第二介电质层于所述重布线金属层和所述第一介电质层上,所述第二介电质层具有分别暴露出所述重布线金属层不同位置的顶表面的多个开口,每个开口底部暴露出的所述重布线金属层作为一个第二焊盘,所述重布线金属层与所述第一焊盘电接触,以使得所述第二焊盘与所述第一焊盘电连接。

[0012] 可选的,所述重布线金属层包含连接所述第二焊盘的互连线,每个互连线连接的所述第二焊盘的数量大于等于2。

[0013] 可选的,形成所述第一介电质层的步骤包括:首先,沉积所述第一介电质层于所述衬底上,且沉积的所述第一介电质层将所述第一焊盘完全掩埋在内;然后,通过化学机械研磨将所述第一介电质层的顶表面平坦化;最后,刻蚀所述第一介电质层位于所述第一焊盘上的部分,以将所述第一焊盘的部分或全部的顶表面暴露出来。

[0014] 可选的,形成所述重布线金属层的步骤包括:首先,形成一金属层于所述第一焊盘和所述第一介电质层上,所述金属层将所述第一介电质层和所述第一焊盘完全掩埋在内;然后,通过光刻和刻蚀将所述金属层图形化,以形成所述重布线金属层。

[0015] 可选的,形成所述第二介电质层的步骤包括:首先,沉积第二介电质层于所述重布线金属层和所述第一介电质层上;然后,刻蚀所述第二介电质层位于所述重布线金属层不同位置上的部分,以形成分别暴露出所述重布线金属层不同位置的顶表面的多个开口。

[0016] 本发明还提供一种重新布线结构,包括:

[0017] 第一介电质层,位于一具有第一焊盘的衬底上,所述第一介电质层暴露出所述第一焊盘的部分或全部的顶表面;

[0018] 重布线金属层,位于所述第一焊盘的顶表面上,所述重布线金属层还延伸至所述第一介电质层的部分顶表面上;以及,

[0019] 第二介电质层,位于所述重布线金属层和所述第一介电质层上,所述第二介电质层具有分别暴露出所述重布线金属层不同位置的顶表面的多个开口,每个开口底部暴露出的所述重布线金属层作为一个第二焊盘,所述重布线金属层与所述第一焊盘电接触,以使得所述第二焊盘与所述第一焊盘电连接。

[0020] 可选的,所述重布线金属层包含连接所述第二焊盘的互连线,每个互连线连接的所述第二焊盘的数量大于等于2。

[0021] 可选的,所述重布线金属层的材质包括铝、金、银、镍、钛中的任一种或多种;所述

第一介电质层和所述第二介电质层的材质包括二氧化硅、氮化硅、正硅酸乙酯、硼硅玻璃、磷硅玻璃、硼磷硅玻璃中的任一种或多种。

[0022] 本发明还提供了一种焊盘结构,包括:第一焊盘和本发明提供的所述重新布线结构,所述重新布线结构位于所述第一焊盘上。

[0023] 本发明还提供了一种半导体器件,包括:具有第一焊盘、金属互连结构、第三介电质层的衬底和本发明提供的所述重新布线结构;所述第三介电质层位于所述重新布线结构的底面上,且所述金属互连结构形成于所述第三介电质层中,且所述金属互连结构的顶表面与所述重新布线结构的第一焊盘的底表面电接触;所述第一焊盘还延伸至所述第三介电质层的部分顶表面上。

[0024] 本发明还提供了一种半导体器件的制造方法,包括:在本发明提供的所述重新布线结构的一第二焊盘上作焊接,同时在所述重新布线结构的另一第二焊盘上作点测。

[0025] 与现有技术相比,本发明的技术方案具有以下有益效果:

[0026] 1、本发明的重新布线结构的制造方法,可以通过在一具有第一焊盘的衬底上依次形成第一介电质层、重布线金属层和第二介电质层,进而形成了与所述第一焊盘连接的多个第二焊盘,使得焊盘的数量增多且位置更加多样化,以实现每个焊盘具有相同的时钟反应,且避免了在同一个焊盘上做点测和焊接而导致的焊盘底部金属层的开裂。

[0027] 2、本发明的重新布线结构,能通过所述重新布线结构中的第一介电质层、重布线金属层和第二介电质层而形成第二焊盘,所述第二焊盘比原第一焊盘的数量增多,且位置更加多样化,实现了每个焊盘具有相同的时钟反应,且避免了在同一个焊盘上做点测和焊接而导致的焊盘底部金属层的开裂。

[0028] 3、本发明的焊盘结构,由于加入了本发明的重新布线结构,因此能够在原有的第一焊盘上形成多个第二焊盘,进而将焊盘的数量增多,同时焊盘的位置更加多样化,使得每个焊盘具有相同的时钟反应,且点测和焊接工艺可以在相互连接的两个焊盘上分别作业,避免了在同一个焊盘上作业导致的焊盘底部金属层开裂的问题。

[0029] 4、本发明的半导体器件,通过加入本发明的重新布线结构使得所述半导体器件中的每个原有的第一焊盘上形成了多个新的第二焊盘,进而使得点测和焊接工艺可以在相互连接的不同焊盘上分别作业,避免了在同一个焊盘上作业导致的焊盘底部金属层开裂的问题;而且新焊盘的位置的多样化也使得所述半导体器件上的每个焊盘具有相同的时钟反应。

[0030] 5、本发明的半导体器件的制造方法,通过在本发明的重新布线结构的一第二焊盘上作焊接,同时在所述重新布线结构的另一第二焊盘上作点测,避免了在同一个所述第二焊盘上做点测和焊接而导致的底部金属层开裂的问题。

附图说明

[0031] 图1a是现有半导体器件(芯片)上焊盘的位置的示意图;

[0032] 图1b是图1a所示的现有半导体器件(芯片)上焊盘的纵向截面示意图;

[0033] 图2是本发明一实施例的重新布线结构的制造方法的流程图;

[0034] 图3a~3g是图2所示的重新布线结构的制造方法中的器件示意图;

[0035] 图4是本发明一实施例的半导体器件(芯片)上焊盘的位置的示意图。

[0036] 其中,附图1a~4的附图标记说明如下:

[0037] P1、P2、M1-Cu Pad;P3~P5、M2-Al Pad;P6~P10-第二焊盘;L1、L2、L3-互连线;10-衬底;11-第一焊盘;20-第一介电质层;30-重布线金属层;40-第二介电质层;50-第二焊盘;T1~T4-凹槽。

具体实施方式

[0038] 为使本发明的目的、优点和特征更加清楚,以下结合附图2~4对本发明提出的重新布线结构及其制造方法和半导体器件及其制造方法作进一步详细说明。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0039] 本发明一实施例提供一种重新布线结构的制造方法,参阅图2,图2是本发明一实施例的重新布线结构的制造方法的流程图,所述重新布线结构的制造方法包括:

[0040] 步骤S2-A、提供一具有第一焊盘的衬底,形成第一介电质层于所述衬底上,所述第一介电质层暴露出所述第一焊盘的部分或全部的顶表面;

[0041] 步骤S2-B、形成重布线金属层于所述第一焊盘的顶表面上,所述重布线金属层还延伸至所述第一介电质层的部分顶表面上;

[0042] 步骤S2-C、形成第二介电质层于所述重布线金属层和所述第一介电质层上,所述第二介电质层具有分别暴露出所述重布线金属层不同位置的顶表面的多个开口,每个开口底部暴露出的所述重布线金属层作为一个第二焊盘,所述重布线金属层与所述第一焊盘电接触,以使得所述第二焊盘与所述第一焊盘电连接。

[0043] 下面参阅图3a~图3g更为详细的介绍本实施例提供的重新布线结构的制造方法,图3a~3g是图2所示的重新布线结构的制造方法中的器件示意图。

[0044] 首先,参阅图3a~图3c,按照步骤S2-A,提供一具有第一焊盘11的衬底10,形成第一介电质层20于所述衬底10上,所述第一介电质层20暴露出所述第一焊盘11的部分或全部的顶表面。从图3a中可看出,所述第一焊盘11可以部分位于所述衬底10中,另一部分位于所述衬底10的顶表面上,位于所述衬底10的顶表面上的所述第一焊盘11中可以存在一凹槽T1。另外,所述第一焊盘11的顶表面也可以是一平面或凸起的圆弧形的面。从图3b和图3c中可看出,当所述第一焊盘11中存在所述凹槽T1时,形成所述第一介电质层20的步骤包括:首先,沉积所述第一介电质层20于所述衬底10上,且沉积的所述第一介电质层20将所述第一焊盘11完全掩埋在内(如图3b);然后,通过化学机械研磨将所述第一介电质层20的顶表面平坦化;最后,刻蚀所述第一介电质层20位于所述第一焊盘11上的部分,以将所述第一焊盘11的部分或全部的顶表面暴露出来(如图3c)。另外,所述衬底10中还可包含其它金属层和介电质层,例如铜(Cu)金属层和正硅酸乙酯(TEOS)介电质层。

[0045] 然后,参阅图3d和图3e,按照步骤S2-B,形成重布线金属层30于所述第一焊盘11的顶表面上,所述重布线金属层30还延伸至所述第一介电质层20的部分顶表面上。从图3d和图3e中可看出,形成所述重布线金属层30的步骤包括:首先,形成一金属层于所述第一焊盘11和所述第一介电质层20上,所述金属层将所述第一介电质层20和所述第一焊盘11完全掩埋在内,形成所述金属层的方法可以是溅射沉积;然后,通过光刻和刻蚀将所述金属层图形化,以形成所述重布线金属层30。由于步骤S2-A中形成的所述第一介电质层20暴露出了所

述第一焊盘11的部分或全部的顶表面,所以,所述第一介电质层20内的所述第一焊盘11的顶表面上会形成一凹槽T2,那么,在向所述第一焊盘11的顶表面和所述第一介电质层20的顶表面上形成所述金属层时,所述第一焊盘11上的所述金属层的厚度可以和所述第一介电质层20的顶表面上的所述金属层的厚度相同,从而在所述第一焊盘11上方的所述金属层中形成了一凹槽T3;在通过光刻和刻蚀将所述金属层图形化时,可以将所述凹槽T3保留,同时在位于所述第一介电质层20的部分顶表面上的所述金属层上刻蚀出另一个或多个凹槽,例如图3e中的凹槽T4。或者,也可以通过延长在所述第一焊盘11上的沉积时间的方式,使得所述第一焊盘11的顶表面上和所述第一介电质层20的顶表面上的所述金属层齐平,即形成一平面,然后通过光刻和刻蚀的方式在所述金属层中同时形成2个或2个以上的凹槽。另外,为了保证形成的凹槽之间可以连接导通,所述重布线金属层30中还包含互连线,例如图4中的互连线L2和L3。

[0046] 最后,参阅图3f和图3g,按照步骤S2-C,形成第二介电质层40于所述重布线金属层30和所述第一介电质层20上,所述第二介电质层40具有分别暴露出所述重布线金属层30不同位置的顶表面的多个开口,每个开口底部暴露出的所述重布线金属层30作为一个第二焊盘50,所述重布线金属层30与所述第一焊盘11电接触,以使得所述第二焊盘50与所述第一焊盘11电连接。从图3f和图3g中可看出,形成所述第二介电质层40的步骤包括:首先,沉积第二介电质层40于所述重布线金属层30和所述第一介电质层20上;然后,刻蚀所述第二介电质层40位于所述重布线金属层30的不同位置上的部分,以形成分别暴露出所述重布线金属层30不同位置的顶表面的多个开口。所述重布线金属层30包含连接所述第二焊盘50的互连线,每个互连线连接的所述第二焊盘50的数量大于等于2。所述第二焊盘50与所述第一焊盘11直接电接触,或者,所述互连线与所述第一焊盘11直接电接触,以使得所述第二焊盘50与所述第一焊盘11电连接,进而使得所述第二焊盘50与所述第一焊盘11之间连接导通。由于所述第二介电质层40主要用于对所述重布线金属层30起保护作用,所以,在所述第二焊盘50所在的所述重布线金属层30的凹槽的侧壁上仍会保留一定厚度的所述第二介电质层40。

[0047] 参阅图4,图4是本发明一实施例的半导体器件(芯片)上焊盘的位置的示意图,从图4中可看出,与图1a中所示的A1 Pad(即材质为A1的所述第一焊盘11)P3相连接的所述第二焊盘50为P6,且P6通过互连线L2连接P7和P8;另外,与图1a中所示的A1 Pad(即材质为A1的所述第一焊盘11)P5相连接的所述第二焊盘50为P9,且P9通过互连线L3连接P10。当需要对半导体器件(芯片)上的焊盘进行点测和焊接时,如果采用图1a中所示的半导体器件(芯片)的焊盘的设计,P3上既要进行点测,又要进行焊接,较大的压应力可能会导致图1b中所示的Cu Pad M1开裂;但是,如果采用图4中所示的半导体器件(芯片)上的焊盘的设计,可以在P6上做点测,在P7或P8上做焊接;可以在P9上做焊接,在P10上做点测,这样每个焊盘上受到的压应力较小,从而避免导致Cu Pad M1开裂。另外,由于P9和P10之间相连接,使得位于靠近半导体器件(芯片)中心位置的所述P9也能通过位于半导体器件(芯片)外围位置的P10获得和位于半导体器件(芯片)外围的其它焊盘相同的时钟反应。

[0048] 综上所述,本发明提供的重新布线结构的制造方法,包括:形成第一介电质层于一具有第一焊盘的衬底上,所述第一介电质层暴露出所述第一焊盘的部分或全部的顶表面;形成重布线金属层于所述第一焊盘的顶表面上,所述重布线金属层还延伸至所述第一介电

质层的部分顶表面上；以及，形成第二介电质层于所述重布线金属层和所述第一介电质层上，所述第二介电质层具有分别暴露出所述重布线金属层不同位置的顶表面的多个开口，每个开口底部暴露出的所述重布线金属层作为一个第二焊盘，所述重布线金属层与所述第一焊盘电接触，以使得所述第二焊盘与所述第一焊盘电连接。通过本发明提供的重新布线结构的制造方法，使得焊盘的数量增多以及位置更加多样化，进而使得半导体器件（芯片）上的焊盘都能具有相同的时钟反应以及避免在同一个焊盘上做点测和焊接而导致的焊盘底部金属层的开裂。

[0049] 本发明一实施例提供一种重新布线结构，参阅图3g，从图3g中可看出，所述重新布线结构包括：第一介电质层20、重布线金属层30和第二介电质层40。所述第一介电质层20位于一具有第一焊盘11的衬底10上，且所述第一介电质层20暴露出所述第一焊盘11的部分或全部的顶表面；所述重布线金属层30位于所述第一焊盘11的顶表面上，所述重布线金属层30还延伸至所述第一介电质层20的部分顶表面上；以及，所述第二介电质层40位于所述重布线金属层30和所述第一介电质层20上，所述第二介电质层40具有分别暴露出所述重布线金属层30不同位置的顶表面的多个开口，每个开口底部暴露出的所述重布线金属层30作为一个第二焊盘50，所述重布线金属层30与所述第一焊盘11电接触，以使得所述第二焊盘50与所述第一焊盘11电连接。

[0050] 下面参阅图3g更为详细的介绍本实施例提供的重新布线结构：

[0051] 所述第一介电质层20位于一具有第一焊盘11的衬底10上，且所述第一介电质层20暴露出所述第一焊盘11的部分或全部的顶表面。所述第一焊盘11可以部分位于所述衬底10中，另一部分位于所述衬底10的顶表面上，位于所述衬底10的顶表面上的所述第一焊盘11中可以存在一凹槽T1。另外，所述第一焊盘11的顶表面也可以是一平面或凸起的圆弧形的面。所述第一介电质层20的材质可以包括二氧化硅(SiO₂)、氮化硅(Si₃N₄)、正硅酸乙酯(TEOS)、硼硅玻璃(BSG)、磷硅玻璃(PSG)、硼磷硅玻璃(BPSG)中的任一种或多种，位于所述第一焊盘11的顶表面上的所述第一介电质层20的厚度可以为6.5 KÅ ~8 KÅ（例如为7KÅ、7.5KÅ等），位于所述衬底10上的所述第一介电质层20的厚度可以为15.5 KÅ ~19 KÅ（例如为17KÅ、18KÅ等）。

[0052] 所述重布线金属层30位于所述第一焊盘11的顶表面上，所述重布线金属层30还延伸至所述第一介电质层20的部分顶表面上。所述重布线金属层30还包含连接所述第二焊盘50的互连线，每个互连线连接的所述第二焊盘50的数量大于等于2。所述重布线金属层30的材质可以包括铝(Al)、金(Au)、银(Ag)、镍(Ni)、钛(Ti)中的任一种或多种，所述重布线金属层30的厚度可以为9.5KÅ~16KÅ（例如为12KÅ、14.5KÅ等）；

[0053] 所述第二介电质层40位于所述重布线金属层30和所述第一介电质层20上，所述第二介电质层40具有分别暴露出所述重布线金属层30不同位置的顶表面的多个开口，每个开口底部暴露出的所述重布线金属层30作为一个第二焊盘50，所述重布线金属层30与所述第一焊盘11电接触，以使得所述第二焊盘50与所述第一焊盘11电连接。所述重布线金属层30还包含连接所述第二焊盘50的互连线，每个互连线连接的所述第二焊盘50的数量大于等于2，即与每个第一焊盘11连接导通的所述第二焊盘50的数量大于等于2。所述第二介电质层40的材质可以包括二氧化硅(SiO₂)、氮化硅(Si₃N₄)、正硅酸乙酯(TEOS)、硼硅玻璃(BSG)、磷

硅玻璃 (PSG)、硼磷硅玻璃 (BPSG) 中的任一种或多种,位于所述第一介电质层20上的所述第二介电质层40的厚度可以为 $19.5 \text{ KÅ} \sim 29 \text{ KÅ}$ (例如为 22 KÅ 、 25.5 KÅ 、 28 KÅ 等)。

[0054] 综上所述,本发明提供的重新布线结构,包括位于一具有第一焊盘的衬底上的第一介电质层,所述第一介电质层暴露出所述第一焊盘的部分或全部的顶表面;位于所述第一焊盘的顶表面上的重布线金属层,所述重布线金属层还延伸至所述第一介电质层的部分顶表面上;以及,位于所述重布线金属层和所述第一介电质层上的第二介电质层,所述第二介电质层具有分别暴露出所述重布线金属层不同位置的顶表面的多个开口,每个开口底部暴露出的所述重布线金属层作为一个第二焊盘,所述重布线金属层与所述第一焊盘电接触,以使得所述第二焊盘与所述第一焊盘电连接。本发明提供的重新布线结构可以在每个原焊盘上形成大于等于2个数量的新焊盘,使得焊盘的数量增多,且焊盘的位置也更加多样化,进而使得半导体器件(芯片)上的焊盘都能具有相同的时钟反应,以及避免在同一个焊盘上做点测和焊接而导致的焊盘底部金属层的开裂。

[0055] 本发明一实施例提供一种焊盘结构,所述焊盘结构包括:第一焊盘和本发明提供的所述重新布线结构,所述重新布线结构位于所述第一焊盘上。通过采用所述重新布线结构,在所述第一焊盘上形成了第二焊盘,且每个所述第一焊盘上形成的互相连接的所述第二焊盘的数量大于等于2,相连接的所述第二焊盘可以同时位于半导体器件(芯片)的外围,或者部分位于半导体器件(芯片)的外围,另一部分位于半导体器件(芯片)的靠近中心的位置,以实现每个焊盘具有相同的时钟反应,且相连接的所述第二焊盘可以部分用于点测,另一部分用于焊接,避免了在同一个焊盘上做点测和焊接而导致的所述第一焊盘或所述第一焊盘下方的金属层开裂的问题。

[0056] 本发明一实施例提供一种半导体器件,所述半导体器件包括:具有第一焊盘、金属互连结构、第三介电质层的衬底和本发明提供的所述重新布线结构。所述第三介电质层位于所述重新布线结构的底面上,且所述金属互连结构形成于所述第三介电质层中,且所述金属互连结构的顶表面与所述重新布线结构的第一焊盘的底表面电接触;所述第一焊盘还延伸至所述第三介电质层的部分顶表面上。所述金属互连结构的材质可以包括铜(Cu)、铝(Al)、钴(Co)中的任一种或多种,所述第三介电质层的材质可包括二氧化硅(SiO_2)、正硅酸乙酯(TEOS)、硼硅玻璃(BSG)、磷硅玻璃(PSG)、硼磷硅玻璃(BPSG)中的任一种或多种。通过采用所述重新布线结构,在所述第一焊盘上形成了第二焊盘,所述第二焊盘通过互连线相互连接,每个互连线连接的所述第二焊盘的数量大于等于2,这样可以在所述重新布线结构的一第二焊盘上作焊接,同时在所述重新布线结构的另一第二焊盘上作点测,避免了在同一个所述第二焊盘上做点测和焊接而导致的所述第一焊盘或所述金属互连结构开裂的问题;而且所述第二焊盘的位置更加多样化,使得所述半导体器件上的焊盘具有相同的时钟反应。

[0057] 本发明一实施例提供一种半导体器件的制造方法,包括:在本发明提供的所述重新布线结构的一第二焊盘上作焊接,同时在所述重新布线结构的另一第二焊盘上作点测,避免了在同一个所述第二焊盘上做点测和焊接而导致的底部金属层开裂的问题。

[0058] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

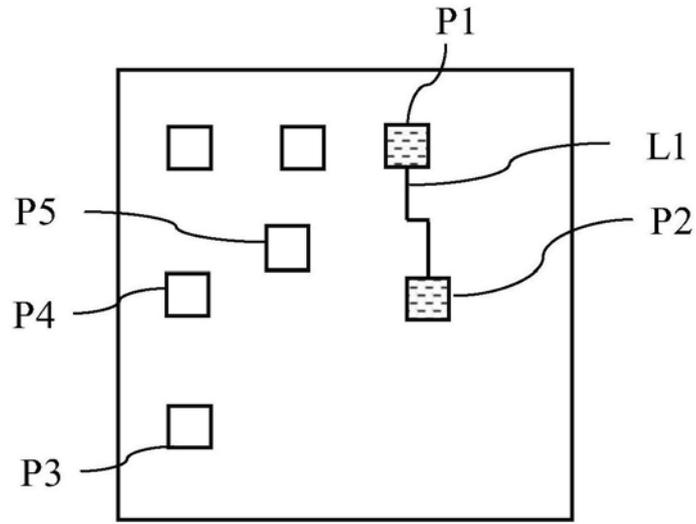


图1a

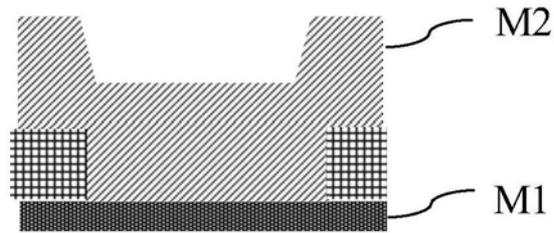


图1b

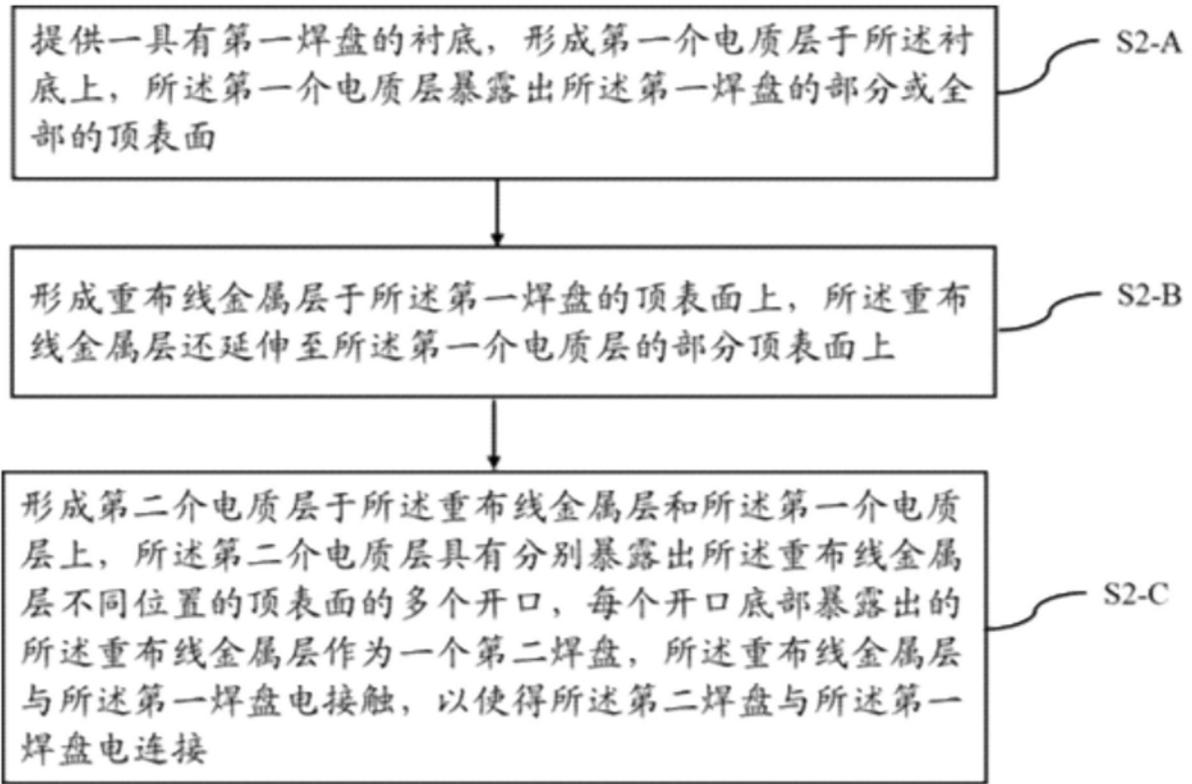


图2

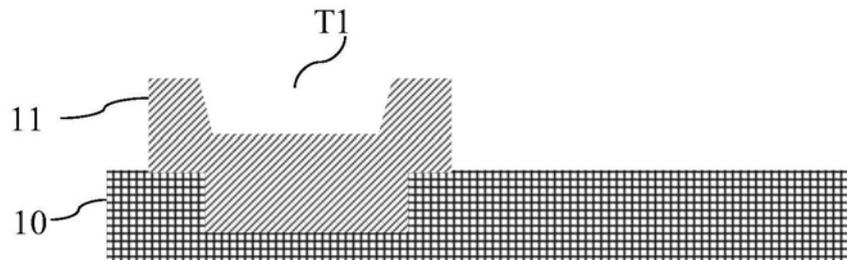


图3a

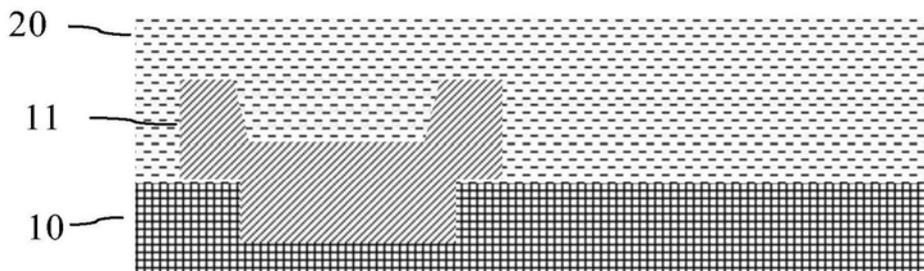


图3b

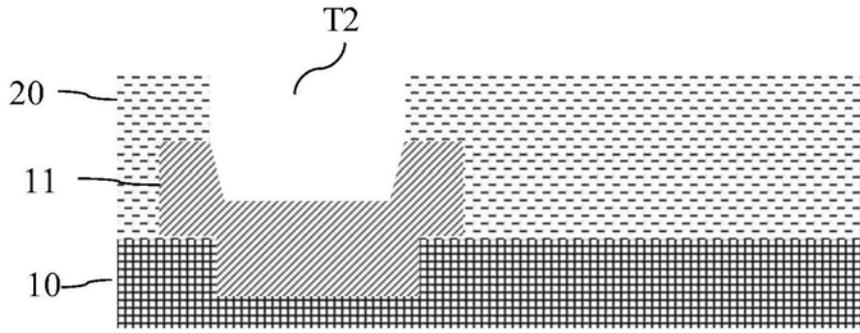


图3c

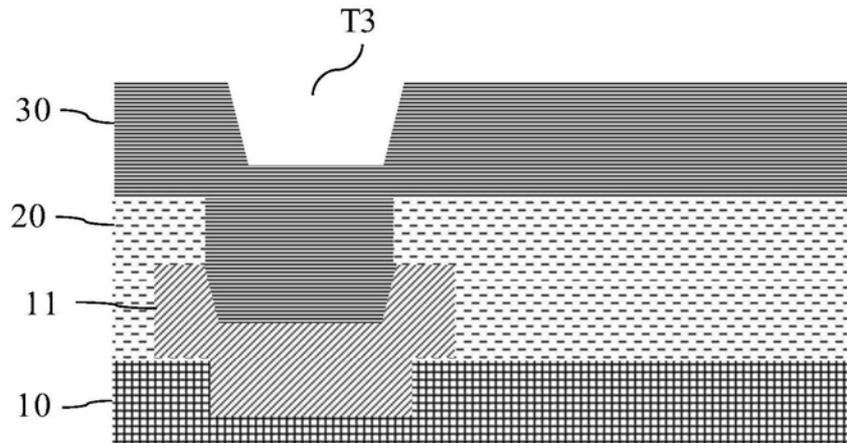


图3d

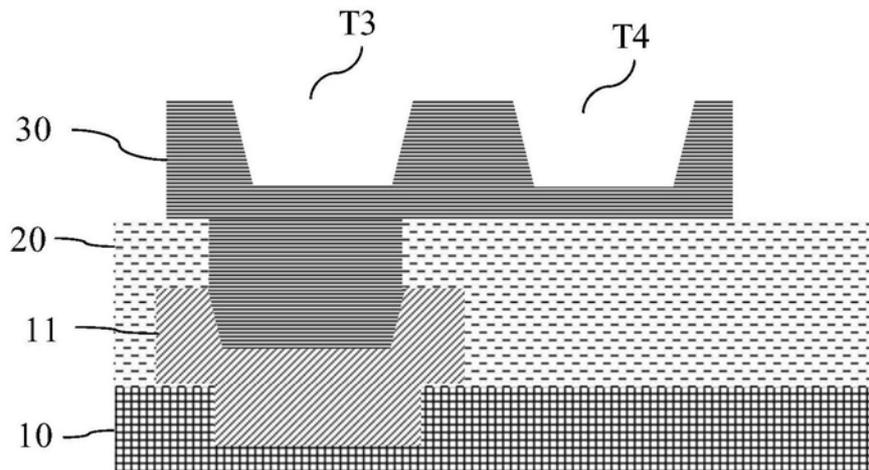


图3e

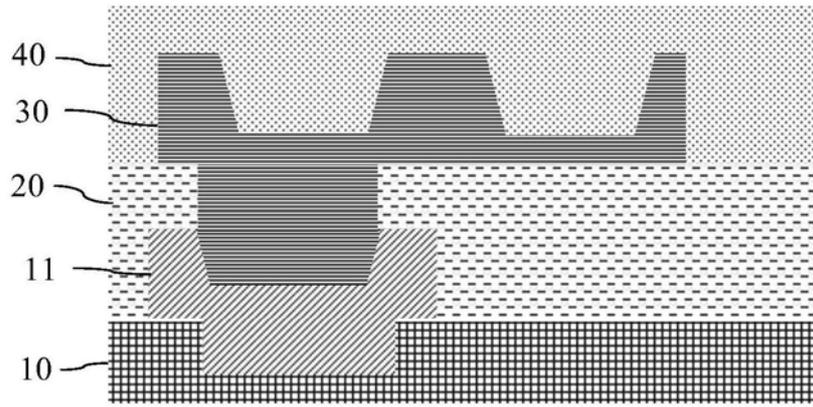


图3f

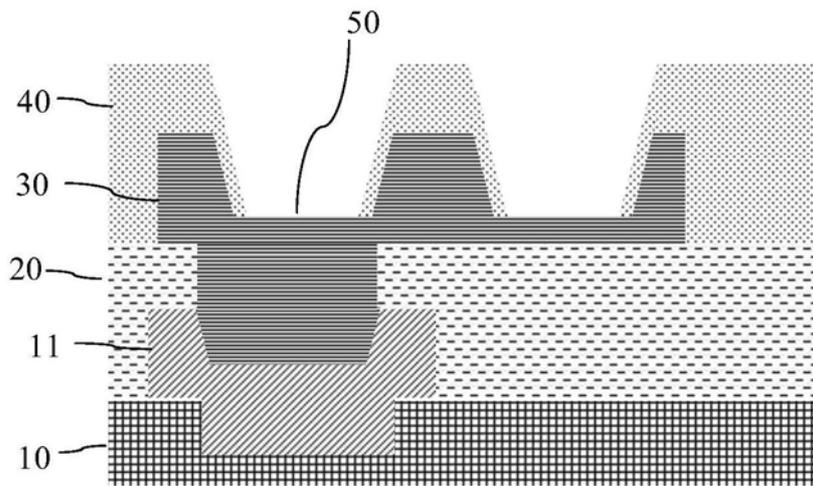


图3g

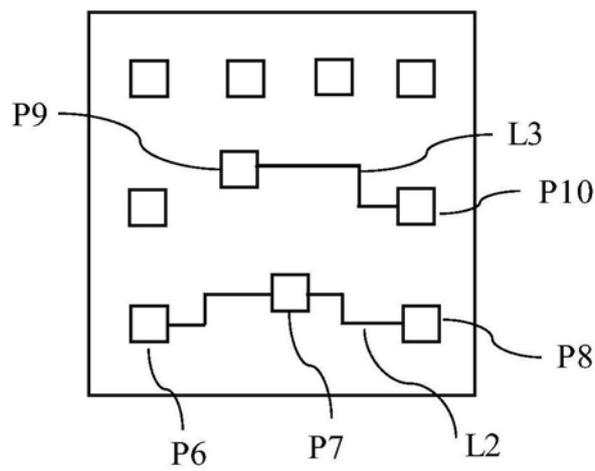


图4