(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3561012号

(P3561012)

(45)発行日　平成16年9月2日(2004.9.2)　(24)登録日　平成16年6月4日(2004.6.4)

(51)Int.Cl.[7]	F I		
G11C 11/413	G11C	11/34	335A
G11C 11/407	G11C	11/34	354F
H01L 21/822	H01L	27/04	B
H01L 21/8238	H01L	27/08	321L
H01L 21/8242	H01L	27/10	681F

請求項の数 35　(全 89 頁)　最終頁に続く

(21)出願番号　特願平6-272592
(22)出願日　平成6年11月7日(1994.11.7)
(65)公開番号　特開平8-138381
(43)公開日　平成8年5月31日(1996.5.31)
審査請求日　平成13年11月1日(2001.11.1)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

第１の論理レベルの電圧を伝達する第１のメイン電圧伝達線と、
前記第１のメイン電圧伝達線に対応して配置される第１のサブ電圧伝達線と、
第２の論理レベルの電圧を伝達する第２のメイン電圧伝達線と、
前記第２のメイン電圧伝達線に対応して配置される第２のサブ電圧伝達線と、
前記第１のメイン電圧伝達線と前記第１のサブ電圧伝達線との間に接続される第１の絶縁ゲート型電界効果トランジスタで構成される第１のスイッチング素子と、
前記第２のメイン電圧伝達線と前記第２のサブ電圧伝達線との間に接続される第２の絶縁ゲート型電界効果トランジスタで構成される第２のスイッチング素子と、
前記第１のサブ電圧伝達線と前記第２のメイン電圧伝達線との間に接続される第１のキャパシタと、
前記第２のサブ電圧伝達線と前記第１のメイン電圧伝達線との間に接続される第２のキャパシタと、
前記第１および第２のサブ電圧伝達線上の電圧を動作電源電圧として動作し、与えられた信号に所定の論理処理を施して出力するゲート回路とを備え、
前記ゲート回路の動作時、前記第１および第２のスイッチング素子は導通状態とされる、
半導体集積回路装置。

【請求項２】

第１の論理レベルの電圧を伝達するメイン電圧伝達線と、

複数のサブ電圧伝達線と、
前記複数のサブ電圧伝達線各々と前記メイン電圧伝達線との間に接続される少なくとも１つの抵抗素子と、
前記複数のサブ電圧伝達線各々に対応してグループに分割され、各々が対応のサブ電圧伝達線上の電圧を一方動作電源電圧として動作し、与えられた信号に所定の論理処理を施して出力する複数のゲート回路と、
電源投入検出信号に応答して、前記複数のサブ電圧伝達線を相互接続する接続手段を備える、半導体集積回路装置。
【請求項３】
前記複数のサブ電圧伝達線各々に対応して設けられ、各々が対応のサブ電圧伝達線に接続される一方電極ノードと第２の論理レベルの電圧を受ける他方電極ノードとを有する、絶縁ゲート型電界効果トランジスタで構成される複数のキャパシタをさらに備える、特許請求の範囲第２項記載の半導体集積回路装置。
【請求項４】
第１の論理レベルの電圧を供給するメイン電圧伝達ノードと、
サブ電圧伝達ノードと、
第２の論理レベルの電圧を供給する電圧供給ノードと、
前記サブ電圧伝達ノード上の電圧と前記電圧供給ノード上の電圧とを両動作電源電圧として動作し、与えられた信号に所定の論理処理を施して出力する論理ゲートと、
前記サブ電圧伝達ノードと前記メイン電圧伝達ノードとの間に接続され、前記論理ゲートの出力信号が前記第１の論理レベルのときそのコンダクタンスが増大する可変コンダクタンス素子とを備える、半導体集積回路装置。
【請求項５】
前記可変コンダクタンス素子は、前記論理ゲートの出力信号をゲートに受けるデプレション型の絶縁ゲート型電界効果トランジスタである、特許請求の範囲第４項記載の半導体集積回路装置。
【請求項６】
しきい値電圧を有し、前記メイン電圧伝達ノードと前記サブ電圧伝達ノードとの間に接続されかつそのゲートに前記メイン電圧伝達ノード上の電圧と前記しきい値電圧の和と前記メイン電圧伝達ノード上の電圧との間の電圧を受ける絶縁ゲート型電界効果トランジスタをさらに備える、特許請求の範囲第４項記載の半導体集積回路装置。
【請求項７】
前記第２の論理レベルの電圧を伝達する第２のメイン電圧伝達線と、
前記第２のメイン電圧伝達線と前記電圧供給ノードとの間に設けられ、前記論理ゲートの出力信号の前記第２の論理レベルへの変化に従ってそのコンダクタンスが増大する第２の可変コンダクタンス素子をさらに備える、特許請求の範囲第４項記載の半導体集積回路装置。
【請求項８】
しきい値電圧を有し、前記第２のメイン電圧伝達線と前記電圧供給ノードとの間に接続され、そのゲートに前記第２のメイン電圧伝達線上の電圧と前記しきい値電圧との和と前記第２のメイン電圧伝達線上の電圧との間のレベルを受ける絶縁ゲート型電界効果トランジスタをさらに備える、特許請求の範囲第７項記載の半導体集積回路装置。
【請求項９】
第１の論理レベル電圧を供給するメイン電圧伝達ノードと、
サブ電圧伝達ノードと、
第２の論理レベルの電圧を供給する電圧供給ノードと、
前記サブ電圧伝達ノードの電圧と前記電圧供給ノードの電圧とを動作電源電圧として動作し、与えられた信号に所定の論理処理を施して出力する論理ゲートと、
前記メイン電圧伝達ノードと前記サブ電圧伝達ノードとの間に接続されかつそのゲートが前記サブ電圧伝達ノードに接続され、前記メイン電圧伝達ノードの電圧と前記サブ電圧伝

達ノードの電圧の差が所定値以上となるとパンチスルー現象を生じさせる絶縁ゲート型電界効果トランジスタとを備える、半導体集積回路装置。
【請求項１０】
前記第２の論理レベルの電圧を供給する第２のメイン電圧伝達ノードと、
前記電圧供給ノードに接続される一方導通電極ノードと、前記第２のメイン電圧伝達ノードに接続される他方導通電極ノードと、前記電圧供給ノードに接続されるゲート電極ノードとを有し、前記電圧供給ノードの電圧と前記第２のメイン電圧伝達ノードの電圧の差が所定値以上となるとパンチスルー現象を生じさせる第２の絶縁ゲート型電界効果トランジスタをさらに備える、特許請求の範囲第９項記載の半導体集積回路装置。
【請求項１１】
前記メイン電圧伝達線は、動作電源電圧よりも高い電圧を伝達し、
前記電源投入検出信号に応答して所定期間前記複数のサブ電圧伝達線を前記メイン電圧伝達線に接続する手段をさらに備える、特許請求の範囲第２に記載の半導体集積回路装置。
【請求項１２】
電源電圧を伝達する電源電圧伝達線と、
前記複数のサブ電圧伝達線の各々と前記電源電圧伝達線の間に設けられ、前記電源投入検出信号の非活性化時に各前記サブ電圧伝達線と前記電源電圧伝達線とを接続する手段をさらに備える、特許請求の範囲第１１項記載の半導体集積回路装置。
【請求項１３】
前記複数のサブ電圧伝達線各々に対して設けられ、前記電源投入検出信号に応答して所定期間対応のサブ電圧伝達線へ電源投入時前記メイン電圧伝達線上の電圧と同じ方向へ変化する電圧を伝達する複数のスイッチングトランジスタをさらに備える、特許請求の範囲第２項記載の半導体集積回路装置。
【請求項１４】
第１の論理レベルの電圧を伝達するメイン電圧伝達線と、
複数のサブ電圧伝達線と、
前記複数のサブ電圧伝達線の各々に対応してグループ化され、各々が与えられた信号に所定の論理処理を施して出力する複数のゲート回路と、
前記複数のサブ電圧伝達線各々に対応して設けられ、サブ電圧伝達線を特定するグループ特定信号に応答して対応のサブ電圧伝達線を前記メイン電圧伝達線へ接続する複数の第１のスイッチングトランジスタと、
前記複数のサブ電圧伝達線各々に対応して設けられ、前記グループ特定信号の非活性化時、対応のサブ電圧伝達線へ前記第１の論理レベルの電圧よりも第２の論理レベルに近い電圧を伝達する複数の第２のスイッチングトランジスタを備える、半導体集積回路装置。
【請求項１５】
行列状に配列される複数のメモリセルを有するメモリアレイと、
各前記行に対応して配設され、各々に対応の行のメモリセルが接続される複数のワード線と、
与えられたアドレス信号をデコードし、該デコード結果に従ってアドレス指定されたワード線を選択するためのワード線選択信号を発生するロウデコーダをさらに備え、
前記複数のゲート回路は、前記複数のワード線各々に対応して設けられ、前記ロウデコーダの出力するワード線選択信号が対応のワード線を指定するときには対応のワード線上へ対応のサブ電圧伝達線上の電圧を伝達するワードドライバである、特許請求の範囲第２項、第３項、および第１１項ないし第１４項のいずれかに記載の半導体集積回路装置。
【請求項１６】
前記複数のワード線の各々は、さらに複数のブロックに分割され、
前記ワードドライバは、前記複数のブロックに分割されたワード線各々に対応して設けられる、特許請求の範囲第１５項記載の半導体集積回路装置。
【請求項１７】
各々が、行列状に配列される複数のメモリセルを有する複数のメモリグループを含むメモ

リアレイを備え、前記複数のメモリグループの各々は前記複数のサブ電圧伝達線それぞれに対応し、
各前記列に対応して配列され、各々に対応の列のメモリセルが接続される複数のビット線対と、
隣接するメモリグループの間に対応のメモリグループの各ビット線対に対応して配置され、対応のビット線対の電位を差動的に増幅するための複数のセンスアンプと、
各前記ビット線対に対応して設けられ、接続制御信号に応答して対応のビット線対と対応のセンスアンプとを接続する複数の接続ゲートとをさらに備え、
前記複数のゲート回路の各々は、前記接続ゲートへ前記サブ電圧伝達線上の第１の論理レベルの電圧を前記接続制御信号として伝達するための接続制御信号発生回路である、特許請求の範囲第２項、第３項および第１１項ないし第１４項のいずれかに記載の半導体集積回路装置。

【請求項１８】
前記複数の列の各々はさらに複数のブロックに分割され、前記接続制御信号発生回路は、前記複数のブロックの各々に対応して設けられる、特許請求の範囲第１７項記載の半導体集積回路装置。

【請求項１９】
各々が、行列状に配列される複数のメモリセルを有しかつ前記サブ電圧伝達線のグループに対応してグループ化される複数の列グループを含むメモリアレイと、
各前記列に対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線対と、
各前記ビット線対に対応して配置され、イコライズ信号に応答して対応のビット線対の各ビット線を所定の電圧レベルに設定する複数のイコライズ／プリチャージ回路をさらに備え、
前記複数のゲート回路は、対応のサブ電圧伝達線上の第１の論理レベルの電圧を活性状態のイコライズ信号として対応のグループのイコライズ／プリチャージ回路へ伝達するイコライズ信号発生回路である、特許請求の範囲第２項、第３項および第１１項ないし第１４項のいずれかに記載の半導体集積回路装置。

【請求項２０】
前記複数のメモリグループ各々において、複数の列はさらに複数の列ブロックに分割され、前記イコライズ信号発生回路は各前記列ブロックに対応して配置される、特許請求の範囲第１９項記載の半導体集積回路装置。

【請求項２１】
各々が、行列状に配列される複数のメモリセルを有しかつ前記複数のサブ電圧伝達線に対応して設けられる複数の列グループを含むメモリセルアレイと、
各前記列に対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線対と、
各前記複数のビット線対に対して設けられ、活性化時対応のビット線対の高電位のビット線を第２の論理レベルの電圧レベルに設定する複数のセンスアンプと、
前記複数のセンスアンプ各々に対して設けられ、導通時、前記第２の論理レベルの電圧を対応のセンスアンプに供給して対応のセンスアンプを活性化する複数のセンスアンプ活性化トランジスタとをさらに備え、前記複数のゲート回路は、活性化時対応のサブ電圧伝達線上の第１の論理レベルの電圧を対応のグループのセンスアンプ活性化トランジスタへ与えて導通状態とするセンス制御回路である、特許請求の範囲第２項、第３項および第１１項ないし第１４項のいずれかに記載の半導体集積回路装置。

【請求項２２】
前記第１の論理レベルの電圧は負電圧である、特許請求の範囲第２１項記載の半導体集積回路装置。

【請求項２３】
各前記列グループにおいて、前記複数の列は、さらに複数の列ブロックに分割され、

前記センス制御回路は、各ブロックに対応して配置される、特許請求の範囲第２１項に記載の半導体集積回路装置。

【請求項２４】

行列状に配列される複数のメモリセルを有するメモリアレイと、

各前記行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線と、

各々が２本のワード線に対応して設けられ、与えられた第１のアドレス信号をデコードし、該デコード結果を示すデコード信号を出力する複数のデコーダと、

前記複数のデコーダ各々に対応して設けられ、対応のデコーダの出力するデコード信号と第２のアドレス信号とに従って、対応の２本のワード線の第１のワード線へ高電圧を伝達する複数の第１のワードドライバと、

動作電源電圧よりも高い高電圧を供給するグローバル高電圧供給線と、

前記グローバル高電圧供給線から前記高電圧を供給され、前記複数の第１のワードドライバへ前記高電圧を供給する第１のサブ高電圧伝達線と、

前記グローバル高電圧供給線と前記第１サブ高電圧伝達線との間に接続され、第１の制御信号に応答して導通する第１のスイッチングトランジスタと、

前記複数のデコーダ各々に対応して配置されかつ対応のデコーダおよび対応の第１のワードドライバと行方向において整列して配列され、前記対応のデコーダの出力信号と前記第２のアドレス信号の補の信号とに従って対応の２本のワード線の第２のワード線へ前記高電圧を伝達するための複数の第２のワードドライバと、

前記グローバル高電圧供給線から高電圧を供給され、前記複数の第２のワードドライバへ前記高電圧を供給する第２のサブ高電圧伝達線と、

前記グローバル高電圧供給線と前記第２のサブ高電圧伝達線との間に接続され、第２の制御信号に応答して導通する第２のスイッチングトランジスタとを備える、半導体集積回路装置。

【請求項２５】

行列状に配列される複数のメモリセルを有するメモリアレイと、

各前記行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線と、

２本のワード線の組各々に対応して配置され、各々が１つのワード線の組を特定する第１のアドレス信号をデコードし、該デコード結果を示すデコード信号を出力する複数のデコーダと、

高電圧発生回路により発生された高電圧を伝達するグローバル高電圧供給線と、

前記グローバル高電圧供給線から高電圧を供給され、該供給された高電圧を伝達する、前記第１および第２のメイン高電圧伝達線と平行にかつ離れて配置される第１および第２のサブ高電圧伝達線と、

前記グローバル高電圧供給線と前記第１および第２のサブ高電圧伝達線との間にそれぞれ接続され、導通時前記グローバル高電圧供給線と対応のサブ高電圧伝達線とを接続する第１および第２のスイッチングトランジスタと、

前記複数のデコーダ各々に対応して設けられかつ行方向に整列して配置される第１および第２のワードドライバ形成領域とを備え、

前記第１のワードドライバ形成領域は、プリチャージ信号に応答して第１の内部ノードを前記第１のメイン高電圧伝達線上の電圧レベルへプリチャージする第１の第１導電型の絶縁ゲート型電界効果トランジスタと、対応のワード線の組の第１のワード線の電位に応答して前記第１の内部ノードを前記第１のメイン高電圧伝達線上の電圧レベルへ充電する第２の第１導電型の絶縁ゲート型電界効果トランジスタと、前記第１の内部ノード上の電圧に応答して前記第１のワード線へ前記第１のサブ高電圧伝達線上の電圧を伝達する第３の第１導電型の絶縁ゲート型電界効果トランジスタが形成される第１のトランジスタ形成領域と、各ワード線の組において第１および第２のワード線の一方を指定する第２のアドレス信号に応答し対応のデコーダの出力信号を前記第１の内部ノードへ伝達する第２導電型

の絶縁ゲート型電界効果トランジスタが形成される第２のトランジスタ形成領域とを備え、
前記第２のワードドライバ形成領域は、前記プリチャージ信号に応答して第２の内部ノードを前記第２のメイン高電圧伝達線上の電圧レベルへプリチャージする第４の第１導電型の絶縁ゲート型電界効果トランジスタと、該対応のワード線の組の第２のワード線の電位に応答して前記第２の内部ノードを前記第２のメイン高電圧伝達線上の電圧レベルへ充電する第５の第１導電型の絶縁ゲート型電界効果トランジスタと、前記第２の内部ノード上の電圧に応答して前記第２のワード線へ前記第２のサブ高電圧伝達線上の電圧を伝達する第６の第１導電型の絶縁ゲート型電界効果トランジスタが形成される第３のトランジスタ形成領域と、前記第２のアドレス信号に応答して対応のロウデコーダの出力信号を前記第２の内部ノードへ伝達する第２の第２導電型の絶縁ゲート型電界効果トランジスタが形成される第４のトランジスタ形成領域とを備える、半導体集積回路装置。
【請求項２６】
前記第２のトランジスタ形成領域は、前記第１の内部ノードの電位に応答して対応の第１のワード線を接地電位レベルへ放電する第２の第２導電型の絶縁ゲート型電界効果トランジスタを含み、
前記第４のトランジスタ形成領域は、前記第２の内部ノードの電位に応答して対応の第２のワード線を接地電位レベルへ放電する第４の第２導電型の絶縁ゲート型電界効果トランジスタを含む、特許請求の範囲第２５項記載の半導体集積回路装置。
【請求項２７】
前記第１、第２、第４、および第３のトランジスタ形成領域がこの順に対応のデコーダから対応のワード線の組へ向かって配列される、特許請求の範囲第２６項記載の半導体集積回路装置。
【請求項２８】
前記第１および第２のトランジスタ形成領域におけるトランジスタの配置と前記第３および第４のトランジスタ形成領域のトランジスタの配置とは、前記第２のトランジスタ形成領域と前記第４のトランジスタ形成領域との間の領域に関して対称的である、特許請求の範囲第２７項記載の半導体集積回路装置。
【請求項２９】
前記第１および第２の制御信号は、動作時、前記第２のアドレス信号に従って一方が活性状態とされて前記第１および第２のスイッチングトランジスタの一方が導通状態とされる、特許請求の範囲第２４項または第２５項に記載の半導体集積回路装置。
【請求項３０】
前記ゲート回路の各々は、各々に１行のメモリセルが接続されるワード線を選択状態へ駆動するためのワードドライバである、請求項４ないし１０のいずれかに記載の半導体集積回路装置。
【請求項３１】
前記ゲート回路の各々は、活性化時、１列のメモリセルが接続されるビット線対の低電位のビット線を放電するセンスアンプを活性化するためのセンスアンプ活性化信号を発生する回路である、請求項４ないし１０のいずれかに記載の半導体集積回路装置。
【請求項３２】
前記ゲート回路の各々は、活性化時、１列のメモリセルが接続されるビット線対の高電位のビット線を所定の高電位に維持するセンスアンプを活性化するためのセンス活性化信号を発生する回路である、請求項４ないし１０のいずれかに記載の半導体集積回路装置。
【請求項３３】
前記ゲート回路の各々は、活性化時１列のメモリセルが接続されるビット線対の高電位のビット線を所定の高電位に維持するセンスアンプをスタンバイ状態に維持するためのセンス制御信号を発生する回路である、請求項４ないし１０のいずれかに記載の半導体集積回路装置。
【請求項３４】

前記ゲート回路の各々は、１列のメモリセルが接続されるビット線対とこのビット線対の電位差を増幅するセンスアンプとの間に接続される接続ゲートの導通／非導通を制御する信号を発生する接続制御信号発生回路である、請求項４ないし１０のいずれかに記載の半導体集積回路装置。

【請求項３５】

前記論理ゲートは、第１のゲート長を有する電界効果型トランジスタを含み、前記絶縁ゲート型電界効果トランジスタは、前記第１のゲート長よりも短い第２のゲート長を有する、請求項９または１０記載の半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

この発明は、半導体集積回路装置に関し、特に、低消費電力で安定に動作する高集積化に適した半導体記憶装置に関する。より特定的には、高電圧を含む動作電源電圧を伝達する電源の構成および電圧発生回路の構成に関する。

【０００２】

【従来の技術】

図７１は、典型的なゲート回路であるインバータの構成を示す図である。図７１において、インバータは、電源ノード１と出力ノード２の間に接続されるｐチャネルＭＯＳ（絶縁ゲート型電界効果）トランジスタＰＱと、出力ノード２と接地ノード３の間に接続されるｎチャネルＭＯＳトランジスタＮＱを含む。入力ノード４はトランジスタＰＱおよびＮＱのゲートに接続される。次に、この図７１に示すインバータの動作について簡単に説明する。

【０００３】

入力信号ＩＮがハイレベルのとき、ＭＯＳトランジスタＰＱがオフ状態となり、ＭＯＳトランジスタＮＱがオン状態となる。出力ノード２がこのオン状態のトランジスタＮＱを介して接地電位レベルへ放電される。出力ノード２の出力信号ＯＵＴが接地電位レベルにまで低下すると、トランジスタＮＱはそのソース（接地ノード３に接続される導通端子）とドレイン（出力ノード２に接続される導通端子）の電位が等しくなり、トランジスタＮＱには電流は流れない。

【０００４】

一方、入力信号ＩＮがローレベルのとき、トランジスタＮＱがオフ状態、トランジスタＰＱがオン状態となる。出力ノード２がこのオン状態のトランジスタＰＱを介して電源電圧ＶＣＣレベルにまで充電される。出力ノード２の出力信号ＯＵＴが電源電圧レベルにまで上昇すると、トランジスタＰＱのソース（電源端子１に接続される導通端子）とドレイン（出力ノード２に接続される導通端子）の電位が等しくなり、トランジスタＰＱを介しては電流は流れない。

【０００５】

上述のようにｐチャネルＭＯＳトランジスタＰＱとｎチャネルＭＯＳトランジスタＮＱを用いるＣＭＯＳ（相補ＭＯＳ）インバータの場合、出力信号ＯＵＴがハイレベルまたはローレベルに移行すると、トランジスタＰＱおよびＮＱがともにオフ状態となり、一般に、電流消費は生じない。単に出力信号ＯＵＴがローレベルからハイレベルまたはハイレベルからローレベルへ変化するときにトランジスタＰＱおよびＮＱを介して電源ノード１から接地ノード３へ貫通電流が流れるだけである。したがって、この図７１に示すようなＣＭＯＳ構成のインバータを用いることにより消費電流を低減することができる。

【０００６】

ＭＯＳトランジスタを流れるドレイン電流Ｉｄｓは、ＭＯＳトランジスタのゲート－ソース間電圧の関数で表わされる。ＭＯＳトランジスタのしきい値電圧の絶対値よりも、そのゲート－ソース間電圧の絶対値が大きくなるほど大きなドレイン電流が流れる。ゲート－ソース間電圧の絶対値が、このしきい値電圧の絶対値以下となってもドレイン電流Ｉｄｓは完全に０とはならない。この電圧領域において流れるドレイン電流は、サブスレショル

ド電流と呼ばれ、ゲート－ソース間電圧に指数関数的に比例する。

【０００７】

図７２は、ｎチャネルＭＯＳトランジスタのサブスレショルド電流特性を示す図である。図７２において、横軸はゲート－ソース間電圧Ｖｇｓを示し、縦軸にドレイン電流Ｉｄｓの対数値を示す。この図７２に示す曲線ＡおよびＢの直線領域がサブスレショルド電流領域である。このサブスレショルド電流領域において、たとえばゲート幅（チャネル幅）１０μｍのＭＯＳトランジスタにおいて１０ｍＡのドレイン電流が流れるときのゲート－ソース間電圧がしきい値電圧として定義される。図７２においては、直線Ａのサブスレショルド電流特性を有するトランジスタのしきい値電圧Ｖｔｈを示す。この図７２から見られるように、ＭＯＳトランジスタのゲート－ソース間電圧Ｖｇｓが０Ｖの場合においても、サブスレショルド電流Ｉｔが流れる。大規模集積回路装置において、構成要素となるＭＯＳトランジスタの数が増加すると、このサブスレショルド電流の総和が無視できない値となり、消費電流が増加するという問題が生じる。

【０００８】

また、一方において、大記憶容量半導体記憶装置などの大規模集積回路装置においては、低消費電力化、信号振幅低減による高速動作化、および電池電源の利用などを目的として動作電源電圧ＶＣＣがたとえば１．５Ｖと低くされる傾向にある。電源電圧ＶＣＣを低くする場合、ＭＯＳトランジスタもその電源電圧に応じてスケーリング則に従って縮小する必要がある。このＭＯＳトランジスタのスケールダウンのとき、しきい値電圧Ｖｔｈも比例して低くする必要があるが（ｎチャネルＭＯＳトランジスタの場合）、しきい値電圧はこのようなスケーリング則に従って低くすることはできない。

【０００９】

すなわち、図７２に示すように、曲線Ａで示されるサブスレショルド電流特性を有するＭＯＳトランジスタのしきい値電圧Ｖｔｈを低くした場合、この曲線Ａで表わされるサブスレショルド電流特性は曲線Ｂで表わされるそれに変化する。この場合、ゲート－ソース間電圧Ｖｇｓが０Ｖのときのサブスレショルド電流がＩｔからＩｔａに増加し、消費電流が増加するという問題が生じる。

【００１０】

また、半導体記憶装置においては、動作電源電圧ＶＣＣよりも高い高電圧Ｖｐｐが用いられる。高電圧Ｖｐｐを利用することによりＭＯＳトランジスタのしきい値電圧による信号電圧損失の影響を防止して電源電圧ＶＣＣレベルの信号を伝搬する。このような高電圧Ｖｐｐを利用する部分は、後に詳細に説明するが、半導体記憶装置においてワード線を選択状態に駆動するワードドライバなどがある。

【００１１】

このような高電圧Ｖｐｐを利用する場合には、図７１において電源電圧ＶＣＣに代えて高電圧Ｖｐｐが印加される。入力信号ＩＮが、高電圧Ｖｐｐレベルのとき、ｐチャネルＭＯＳトランジスタＰＱがオフ状態とされる。このときには、ｎチャネルＭＯＳトランジスタＮＱがオン状態となり、出力ノード２は接地電位レベルへ放電される。しかしながら、この場合、ｐチャネルＭＯＳトランジスタＰＱのソース－ドレイン間には高電圧Ｖｐｐが印加されるため、ゲート－ソース間電圧Ｖｇｓが０Ｖであっても、ソース／ドレイン間に印加される電圧は動作電源電圧ＶＣＣよりも大きくなり、電荷が加速され、より多くの電流が流れ、サブスレショルド電流が増加する。すなわち、図７２に示す曲線Ａが曲線Ｂへ変化することになり、サブスレショルド電流が増加する。ここで、しきい値電圧を決定する場合には、ドレイン電圧は所定値に設定されている。同じドレイン電圧のときにしきい値電圧を小さくするとサブスレショルド電流が増加するが、このとき、同じしきい値電圧を有していても、ドレイン電圧が増加すれば、曲線Ａから曲線Ｂへ変化する。

【００１２】

ｐチャネルＭＯＳトランジスタのサブスレショルド電流特性は、図７２に示す曲線のゲート－ソース間電圧Ｖｇｓの符号を変えることにより表わされる。

【００１３】

上述のように、動作電源電圧ＶＣＣおよび高電圧Ｖｐｐなどの内部電圧を利用して動作する回路においては、サブスレショルド電流領域で動作するＭＯＳトランジスタのリーク電流（サブスレショルド電流）をできるだけ小さくする必要がある。

【００１４】

図７３は、このサブスレショルド電流を低減するための従来の電源配置の一例を示す図である。図７３において、電源配置は、電源電圧供給ノード１１に接続されるメイン電源電圧伝達線（以下、単にメイン電源線と称す）１０と、このメイン電源線１０から電源電圧ＶＣを供給されるサブ電源電圧伝達線（以下、サブ電源線と称す）１２と、メイン電源線１０とサブ電源線１２の間に接続され、制御信号φＣＴに応答してメイン電源線１０とサブ電源線１２とを接続するｐチャネルＭＯＳトランジスタからなるスイッチングトランジスタＳＷ１と、メイン電源線１０とサブ電源線１２の間に設けられる電流抑制回路１５を含む。この電流抑制回路１５は、そのドレインおよびゲートがメイン電源線１０に接続され、そのソースがサブ電源線１２に接続されるｎチャネルＭＯＳトランジスタ１６で構成される。このトランジスタ１６は、ダイオードとして動作し、サブ電源線１２の電圧をＶＣ－ＶＴにクランプする機能を備える。ここでＶＴは、トランジスタ１６のしきい値電圧である。

【００１５】

サブ電源線１２と他方電源電圧伝達線（以下、接地線と称す）３の間にゲート回路Ｇ１およびＧ２が接続される。このゲート回路の数は任意であるが、図７３においては、代表的に２つのゲート回路を示す。ゲート回路Ｇ１およびＧ２は、同じＣＭＯＳインバータの構成を備える。ゲート回路Ｇ１およびＧ２は、サブ電源線１２上の電圧ＶＣおよび接地線３上の接地電圧ＶＳＳを両動作電源電圧として動作し、与えられた信号ＩＮ１およびＩＮ２をそれぞれ反転して出力信号ＯＵＴ１およびＯＵＴ２をそれぞれ出力する。次に動作について図７４を参照して簡単に説明する。

【００１６】

ゲート回路Ｇ１およびＧ２のスタンバイ時（待機時）においては、制御信号φＣＴは電源電圧ＶＣＨレベルのハイレベルにある。このとき、スイッチトランジスタＳＷ１はそのゲートおよびソースが同一電位となり、オフ状態となる。サブ電源線１２の電圧ＶＣがリーク電流により低下したとき、トランジスタ１６により電流を供給され、そのサブ電源線１２の電圧はＶＣ－ＶＴレベルに維持される。ゲート回路Ｇ１において、スタンバイ時において入力信号ＩＮ１が電源電圧ＶＣレベルのハイレベルのとき、トランジスタＰＱがオフ状態、トランジスタＮＱがオン状態であり、出力信号ＯＵＴ１は接地電圧ＶＳレベルにある。このとき、ＰチャネルＭＯＳトランジスタＰＱは、そのソース電圧ＶＣがゲートの電圧よりも低くなり、より深いオフ状態とされ、トランジスタＰＱを流れるサブスレショルド電流が抑制される。入力信号ＩＮ２もまたハイレベルにあり、出力信号ＯＵＴ２はローレベルにある。

【００１７】

動作サイクルに入ると、まず制御信号φＣＴが接地電圧ＶＳＳレベルのローレベルとなり、スイッチングトランジスタＳＷ１がオン状態となり、サブ電源線１２とメイン電源線１０とが電気的に接続され、サブ電源線１２上の電圧ＶＣが電源電圧ＶＣＨレベルに復帰する（時刻Ｔ１）。サブ電源線１２上の電圧ＶＣが所定の電源電圧ＶＣＨレベルに復帰し、安定した後、入力信号ＩＮ１が時刻Ｔ２において接地電圧レベルのローレベルに低下し、出力信号ＯＵＴ１がハイレベルに立上がる。この動作サイクル時においては、サブ電源線１２上の電圧ＶＣとメイン電源線１０上の電圧ＶＣＨは同じ電圧レベルにあり、トランジスタ１６はオフ状態にある。

【００１８】

時刻Ｔ３において動作サイクルが完了すると、制御信号φＣＴが再びハイレベルに立上がり、スイッチトランジスタＳＷ１がオフ状態とされる。サブ電源線１２の電圧ＶＣがこのサブ電源線１２におけるリーク電流（ゲート回路Ｇ１およびＧ２のサブスレショルド電流を含む）により低下しても、この電圧ＶＣがＶＣＨ－ＶＴレベル以下に低下すると、トラ

ンジスタ１６がオン状態となり、サブ電源線１２へ電流が供給され、サブ電源線１２上の電圧ＶＣは、ＶＣＨ－ＶＴの電圧レベルに維持される。

【００１９】

【発明が解決しようとする課題】

電源線をメイン電源線とサブ電源線との階層構造とすることにより、オフ状態となるＭＯＳトランジスタをより強いオフ状態とすることができ、サブスレショルド電流を低減することができる。また、電源電圧の低下に伴って、スケーリング則に従って低くされたしきい値電圧のＭＯＳトランジスタを利用することができ、低電圧電源を用いての高速動作を保証することができる。

【００２０】

しかしながら、ダイオード接続されたクランプトランジスタを用いる場合、サブ電源線上の電圧ＶＣは、電源電圧ＶＣＨよりもクランプトランジスタのしきい値電圧ＶＴだけ低い電圧レベルとなる。５Ｖ電源電圧時にしきい値電圧が０．８Ｖないし１．０Ｖを有するＭＯＳトランジスタを、電源電圧１．５Ｖのときスケーリング則に沿ってそのしきい値電圧を０．２５ないし０．３Ｖに低下させて、このような低いしきい値電圧のＭＯＳトランジスタを用いたとしても、サブ電源線１２の電圧ＶＣが電源電圧ＶＣＨレベルにまで復帰するには、図７４に示す時間Ｔ１－Ｔ０が必要とされる。ゲート回路Ｇ１およびＧ２等が動作するのは、このサブ電源線１２上の電圧ＶＣが電源電圧ＶＣＨレベルに復帰し、安定した後の時刻Ｔ２となる。したがって、ゲート回路Ｇ１およびＧ２の動作開始タイミングを早くすることができず、この半導体集積回路装置が半導体記憶装置の場合アクセス時間が長くなり、外部から見て高速動作性が損われるという問題が生じる。

【００２１】

また、図７３に示す電源配置の場合、入力信号ＩＮ１およびＩＮ２は、スタンバイ時（待機時）においてハイレベルとなり、その論理レベルは予め定められている必要がある。スタティック動作する回路などにおいては、スタンバイサイクルにおいて、その入力信号の電圧レベルは予測可能ではない。したがって、従来の電源配置の場合、スタンバイサイクル時にその入力信号の論理レベルが予測可能である装置にしか適用できないという欠点があった。

さらに、一般に半導体記憶装置の場合、負電圧Ｖｂｂの基板バイアス電圧が、接合容量の低減、寄生ＭＯＳトランジスタの発生防止およびＭＯＳトランジスタのしきい値電圧の安定化などを目的として基板領域（基板またはウェル領域）に印加される。前述の高電圧Ｖｐｐおよびこのような負電圧Ｖｂｂは、ともに、電圧ＶＣおよびＶＳＳからキャパシタのチャージポンプ作用により発生している。低電源電圧構成の場合、効率的に高い電圧レベルの高電圧Ｖｐｐおよび低い電圧レベルの負電圧Ｖｂｂを発生することが要求される。また、このような高電圧Ｖｐｐおよび負電圧Ｖｂｂを発生する回路の消費電力をできるだけ小さくするような、電源配置が必要とされる。

【００２２】

それゆえ、この発明の目的は、低電圧電源時においても低消費電流で安定にかつ高速に動作する半導体集積回路装置を提供することである。

【００２３】

この発明の他の目的は、ＭＯＳトランジスタのサブスレショルド電流を十分に抑制することのできる電源配置を備える半導体集積回路装置を提供することである。

【００２４】

この発明のさらに他の目的は、低電源電圧時においても安定に高電圧および負電圧を発生することのできる内部電圧発生回路を提供することである。

【００２５】

この発明のさらに他の目的は、このような内部電圧発生回路に対する負荷の小さな電源配置を備える半導体集積回路装置を提供することである。

【００２６】

この発明のさらに他の目的は、スタンバイサイクルにおける入力信号の論理レベルが予測

できない場合においても十分にサブスレショルド電流を抑制することのできる電源配置を備える半導体集積回路装置を提供することである。

【００２７】

この発明のさらに他の目的は、サブスレショルド電流を抑制する電源配置を容易に実現することのできる半導体集積回路装置の製造方法を提供することである。

【００２８】

【課題を解決するための手段】

請求項１に係る半導体集積回路装置は、第１の論理レベルの電圧を伝達する第１のメイン電圧伝達線と、第１のメイン電圧伝達線に対応して配置される第１のサブ電圧伝達線と、第２の論理レベルの電圧を伝達する第２のメイン電圧伝達線と、上記第２のメイン電津伝達線に対応して配置される第２のサブ電圧伝達線と、上記第１のメイン電圧伝達線と上記第１のサブ電圧伝達線との間に接続される第１の絶縁ゲート型電界効果トランジスタで構成される第１のスイッチング素子と、上記第２のメイン電圧伝達線と第２のサブ電圧伝達線との間に配置される第２の絶縁ゲート型電界効果トランジスタで構成される第２のスイッチング素子と、上記第１のサブ電圧電圧線と第２のメイン電圧伝達線との間に接続される第１のキャパシタと、上記第２のサブ電圧伝達線と第１のメイン電圧伝達線との間に接続される第２のキャパシタと、上記第１および第２のサブ電圧電圧伝達線の電圧を動作電源電圧として動作し、与えられた信号に所定の演算処理を施して出力するゲート回路を備える。第１および第２のスイッチング素子は、ゲート回路の動作時に導通状態とされる。

【００２９】

請求項２に係る半導体集積回路装置は、第１の論理レベルの電圧を伝達するメイン電圧伝達線と、複数のサブ電圧伝達線と、これら複数のサブ電圧伝達線各々とメイン電圧伝達線との間に接続される少なくとも１つの抵抗素子と、上記複数のサブ電圧伝達線それぞれに対応してグループに分割され、各々が対応のサブ電圧伝達線上の電圧を一方動作電源電圧として動作し、与えられた信号に所定の論理処理を施して出力する複数のゲート回路と、電源投入検出信号に応答して複数のサブ電圧伝達線を相互接続する接続手段とを備える。

【００３０】

請求項３に係る半導体集積回路装置は、請求項２の装置がさらに、複数のサブ電圧伝達線それぞれに対応して設けられ、各々が対応のサブ電圧伝達線に接続される一方電極ノードと第２の論理レベルの電圧を受ける他方電極ノードとを有する、絶縁ゲート型電界効果トランジスタで構成される複数のキャパシタをさらに備える。

【００３３】

請求項４に係る半導体集積回路装置は、第１の論理レベルの電圧を供給するメイン電圧伝達ノードと、サブ電圧伝達ノードと、第２の論理レベルの電圧を供給する電圧供給ノードと、サブ電圧伝達ノード上の電圧と電圧供給ノード上の電圧とを両動作電源電圧として動作し、与えられた信号に所定の論理処理を施して出力するゲート回路と、サブ電圧伝達ノードとメイン電圧伝達ノードとの間に接続され、論理ゲートの出力信号が第１の論理レベルのときそのコンダクタンスが増大する可変コンダクタンス素子とを備える。

【００３４】

請求項５に係る半導体集積回路装置は、請求項４の可変コンダクタンス素子が、論理ゲートの出力信号をゲートに受けるデプレション型の絶縁ゲート型電界効果トランジスタで構成される。

【００３５】

請求項６に係る半導体集積回路装置は、請求項５の装置が、さらに、しきい値電圧を有し、メイン電圧伝達ノードとサブ電圧伝達ノードとの間に接続され、かつそのゲートにメイン電圧伝達ノード上の電圧としきい値電圧の和とメイン電圧伝達ノード上の電圧の間の電圧を受ける絶縁ゲート型電界効果トランジスタを備える。

【００３６】

請求項７に係る半導体集積回路装置は、第２の論理レベルの電圧を伝達する第２のメイン電圧伝達線と、この第２のメイン電圧伝達線と電圧供給ノードとの間に設けられ、論理ゲ

ートの出力信号の第２の論理レベルへの変化に従ってそのコンダクタンスが増大する第２の可変コンダクタンス素子をさらに備える。

【００３７】

請求項８に係る半導体集積回路装置は、請求項７の装置が、さらに、しきい値電圧を有し、第２のメイン電圧伝達線と電圧供給ノードとの間に接続され、そのゲートに第２のメイン電圧伝達線上の電圧としきい値電圧との和と第２のメイン電圧伝達ノード上の電圧との間のレベルの電圧を受ける絶縁ゲート型電界効果トランジスタを備える。

【００３８】

請求項９に係る半導体集積回路装置は、第１の論理レベルの電圧を供給するメイン電圧伝達ノードと、サブ電圧伝達ノードと、第２の論理レベルの電圧を供給する電圧供給ノードと、サブ電圧伝達ノードの電圧と電圧供給ノードの電圧とを動作電源電圧として動作し、与えられた信号に所定の論理処理を施して出力するゲート回路と、メイン電圧伝達ノードとサブ電圧伝達ノードとの間に接続されかつそのゲートがサブ電圧伝達ノードに接続され、メイン電圧伝達ノードの電圧とサブ電圧伝達ノードの電圧の差が所定値以上となるとパンチスルー現象を生じさせる絶縁ゲート型電界効果トランジスタを備える。

【００３９】

請求項１０に係る半導体集積回路装置は、請求項９の装置が、さらに、第２の論理レベルの電圧を供給する第２のメイン電圧伝達ノードと、電圧供給ノードに接続される一方導通ノードと、第２のメイン電圧伝達ノードに接続される他方導通ノードと、電圧供給ノードに接続されるゲート電極ノードとを有し、電圧供給ノードの電圧と第２のメイン電圧伝達ノードの電圧の差が所定値以上となるとパンチスルー現象を生じさせる第２の絶縁ゲート型電界効果トランジスタを備える。

【００４５】

請求項１１に係る半導体集積回路装置は、請求項２の装置において、メイン電圧伝達線が動作電源電圧よりも高い電圧を伝達し、さらに、電源投入検出信号に応答して所定期間複数のサブ電圧伝達線をメイン電圧伝達線に接続する手段を備える。

【００４６】

請求項１２に係る半導体集積回路装置は、請求項１１の装置がさらに、電源電圧伝達線と、複数のサブ電圧伝達線の各々と電源電圧伝達線の間に設けられ、電源投入検出信号の非活性化時に各サブ電圧伝達線と電源電圧伝達線とを接続する手段を備える。

【００４７】

請求項１３に係る半導体集積回路装置は、請求項２の装置がさらに、複数のサブ電圧伝達線各々に対して設けられ、電源投入検出信号に応答して所定期間、対応のサブ電圧伝達線へ電源投入時にメイン電圧伝達線上の電圧と同じ方向へ変化する電圧を伝達する複数のスイッチングトランジスタを備える。

【００４８】

請求項１４に係る半導体集積回路装置は、第１の論理レベルの電圧を伝達するメイン電圧伝達線と、複数のサブ電圧伝達線と、これら複数のサブ電圧伝達線の各々に対応してグループ化され、各々が与えられた信号に所定の論理処理を施して出力する複数のゲート回路と、複数のサブ電圧伝達線各々に対応して設けられ、対応のサブ電圧伝達線を特定するグループ特定信号の活性化時対応のサブ電圧伝達線をメイン電圧伝達線へ接続する複数の第１のスイッチングトランジスタと、複数のサブ電圧伝達線各々に対応して設けられ、グループ特定信号の非活性化時、対応のサブ電圧伝達線へ第１の論理レベルの電圧よりも第２の論理レベルに近い電圧を伝達する複数の第２のスイッチングトランジスタを備える。

【００４９】

請求項１５に係る半導体集積回路装置は、請求項２、３および１１ないし１４のいずれかの装置が、行列状に配列される複数のメモリセルを有するメモリアレイと、各行に対応して配設され、各々に対応の行のメモリセルが接続される複数のワード線と、アドレス信号をデコードし、そのデコード結果に従ってアドレス指定されたワード線を選択するワード線選択信号を発生するロウデコーダをさらに備え、複数のゲート回路は、複数のワード線

各々に対応して設けられ、ロウデコーダの出力信号が対応のワード線を指定するとき対応のワード線上へ対応のサブ電圧伝達線上の電圧を伝達するワードドライバである。

【００５０】

請求項１６に係る半導体集積回路装置は、請求項１５の装置において、複数のワード線の各々が複数のブロックに分割され、ワードドライバは、複数のブロックに分割されたワード線各々に対して設けられる。

【００５１】

請求項１７に係る半導体集積回路装置は、請求項２、３および１１ないし１４のいずれかの装置が、さらに、各々が行列状に配列される複数のメモリセルを有する複数のメモリグループを含むメモリアレイと、各列に対応して配列され、各々に対応の列のメモリセルが接続される複数のビット線対と、隣接するメモリブロックの間に対応のメモリブロックの各ビット線対に対応して配置され、対応のビット線対の電位差を差動的に増幅するための複数のセンスアンプと、ビット線対に対応して設けられ、接続制御信号に応答して対応のビット線対と対応のセンスアンプとを接続する複数の接続ゲートを備える。複数のメモリグループは複数のサブ電圧伝達線それぞれに対応して配置される。複数のゲート回路の各々は、接続ゲートへ対応のサブ電圧伝達線上の電圧を接続制御信号として伝達するための接続制御信号発生回路である。

【００５２】

請求項１８に係る半導体集積回路装置は、請求項１７の装置において、複数の列の各々が複数のブロックに分割され、接続制御信号発生回路は、これらの複数のブロックの各々に対応して設けられる。

【００５３】

請求項１９に係る半導体集積回路装置は、請求項２、３および１１ないし１４のいずれかの装置がさらに、各々が、行列状に配列される複数のメモリセルを有しかつ各サブ電圧伝達線のグループに対応して配置される複数のメモリグループを含むメモリアレイと、各列に対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線対と、複数のビット線対の各々に対応して配置され、イコライズ信号に応答して対応のビット線対の各ビット線を所定の電圧レベルに設定する複数のイコライズ／プリチャージ回路を備える。複数のゲート回路が、対応のサブ電圧伝達線上の第１の論理レベルの電圧を上記イコライズ信号として対応のグループのイコライズ／プリチャージ回路へ伝達するイコライズ信号発生回路である。

【００５４】

請求項２０に係る半導体集積回路装置は、請求項１９の装置において、メモリグループ各々において、複数の列はさらに複数のブロックに分割され、イコライズ信号発生回路は各ブロックに対応して配置される。

【００５９】

請求項２１に係る半導体集積回路装置は、各々が、行列状に配列される複数のメモリセルを有しかつ複数のサブ電圧伝達線に対応して設けられる複数のグループを含むメモリセルアレイと、各列に対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線対と、各ビット線対に対して設けられ、活性化時対応のビット線対の高電位のビット線を第２の論理レベルの電圧レベルに設定する複数のセンスアンプと、複数のセンスアンプ各々に対して設けられ、導通時、第２の論理レベルの電圧を対応のセンスアンプに供給して対応のセンスアンプを活性化する複数のセンスアンプ活性化トランジスタとをさらに備え、ゲート回路は、活性化時、対応のサブ電圧伝達線上の第１の論理レベルの電圧を対応のグループのセンスアンプ活性化トランジスタへ与えて導通状態とする複数のセンス制御回路である。

【００６０】

請求項２２に係る半導体集積回路装置は、請求項２１の装置の第１の論理レベルの電圧が負電圧である。

【００６１】

請求項２３に係る半導体集積回路装置は、請求項２１の装置においてメモリアレイの各グループにおいて、複数の列は、さらに複数の列ブロックに分割され、センス制御回路は、各列ブロックに対応して配置される。

【００６２】

請求項２４に係る半導体集積回路装置は、行列状に配列される複数のメモリセルを有するメモリアレイと、各行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線と、各々が、２本のワード線に対応して設けられ、与えられた第１のアドレス信号をデコードして、該デコード結果を示すデコード信号を出力する複数のデコーダと、複数のデコーダ各々に対応して設けられ、対応のデコーダの出力するデコード信号と第２のアドレス信号とに従って対応の２本のワード線の第１のワード線へ高電圧を伝達するための複数の第１のワードドライバと、動作電源電圧よりも高い高電圧を供給するグローバル高電圧供給線と、このグローバル高電圧供給線から高電圧を供給され、複数の第１のワードドライバへ高電圧を供給する第１のサブ高電圧伝達線と、グローバル高電圧供給線と第１のサブ高電圧伝達線との間に接続され、第１の制御信号に応答して導通する第１のスイッチングトランジスタと、複数のデコーダ各々に対応して配置され、かつ対応のデコーダおよび対応の第１のワードドライバと行方向において整列して配置され、対応のデコーダの出力信号と第２のアドレス信号の補の信号とに従って対応の２本のワード線のうちの第２のワード線へ高電圧を伝達する複数の第２のワードドライバと、グローバル高電圧供給線から高電圧を供給され、複数の第２のワードドライバへ高電圧を供給する第２のサブ高電圧伝達線と、グローバル高電圧供給線と第２のサブ高電圧伝達線との間に接続され、第２の制御信号に応答して導通する第２のスイッチングトランジスタとを備える。

【００６３】

請求項２５に係る半導体集積回路装置は、行列状に配列される複数のメモリセルを有するメモリアレイと、各行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線と、２本のワード線の組各々に対応して配置され、各々が１つのワード線の組を特定する第１のアドレス信号をデコードし、そのデコード結果を示すデコード信号を出力する複数のデコーダと、高電圧発生回路により発生された動作電源電圧よりも高い高電圧を伝達するグローバル高電圧供給線と、グローバル高電圧供給線に接続され、その高電圧を伝達する互いに平行に設けられる第１および第２のメイン高電圧伝達線と、グローバル高電圧供給線から高電圧を供給され、かつ第１および第２のメイン高電圧線と平行にかつ互いに離れて配置される第１および第２のサブ高電圧伝達線と、グローバル高電圧供給線と第１のサブ高電圧伝達線との間に設けられ、第１の制御信号に応答して導通する第１のスイッチングトランジスタと、グローバル高電圧供給線と第２のサブ高電圧伝達線との間に接続され第２の制御信号に応答して導通する第２のスイッチングトランジスタと、複数のデコーダ各々に対応して設けられかつ行方向に整列して配置される第１および第２のワードドライバ形成領域とを備える。この第１のワードドライバ形成領域は、プリチャージ信号に応答して第１の内部ノードを第１のメイン高電圧伝達線上の電圧レベルへプリチャージする第１の第１導電型の絶縁ゲート型電界効果トランジスタと、対応のワード線の組の第１のワード線の電位に応答して第１の内部ノードを第１のメイン高電圧伝達線上の電圧レベルへ充電する第２の第１導電型の絶縁ゲート型電界効果トランジスタと、第１の内部ノード上の電圧に応答して第１のワード線へ第１のサブ高電圧伝達線上の電圧を伝達する第３の第１導電型の絶縁ゲート型電界効果トランジスタが形成される第１のトランジスタ形成領域と、ワード線の組の第１および第２のワード線の一方を指定する第２のアドレス信号に応答して対応のデコーダの出力信号を第１の内部ノードへ伝達するデコードトランジスタが形成される第２のトランジスタ形成領域とを備える。

【００６４】

第２のワードドライバ形成領域は、プリチャージ信号に応答して第２の内部ノードを第２のメイン高電圧伝達線上の電圧レベルへプリチャージする第４の第１導電型の絶縁ゲート型電界効果トランジスタと、対応のワード線の組の第２のワード線の電位に応答して第２の内部ノードを第２のメイン高電圧伝達線上の電圧レベルへ充電する第５の第１導電型の

絶縁ゲート型電界効果トランジスタと、第２の内部ノード上の電圧に応答して第２のワード線へ第２のサブ高電圧伝達線上の電圧を伝達する第６の第１導電型の絶縁ゲート型電界効果トランジスタが形成される第３のトランジスタ形成領域と、第２のアドレス信号に応答して対応のロウデコーダの出力信号を第２の内部ノードへ伝達するデコードトランジスタが形成される第４のトランジスタ形成領域を備える。

【００６５】

請求項２６に係る半導体集積回路装置は、請求項２５の装置において、第２のトランジスタ形成領域が、第１の内部ノードの電位に応答して対応の第１のワード線を接地電位レベルへ放電する第２の第２導電型の絶縁ゲート型電界効果トランジスタを含み、第４のトランジスタ形成領域が、第２の内部ノード上の電位に応答して対応の第２のワード線を接地電位レベルへ放電する第４の第２導電型の絶縁ゲート型電界効果トランジスタを含む。

【００６６】

請求項２７に係る半導体集積回路装置は、請求項２６の装置において、第１、第２、第４、および第３のトランジスタ形成領域がこの順に対応のデコーダから対応のワード線の組へ向かって配列される。

【００６７】

請求項２８に係る半導体集積回路装置は、請求項２７の装置において、第１および第２のトランジスタ形成領域におけるトランジスタの配置は第２のトランジスタ形成領域と第４のトランジスタ形成領域との間の領域に関して第３および第４のトランジスタ形成領域のトランジスタの配置と対称的にされる。

【００６８】

請求項２９に係る半導体集積回路装置は、請求項２４または２５の装置において、第１および第２の制御信号は動作時第２のアドレス信号に従って一方が活性状態とされて、対応のスイッチングトランジスタを導通状態とする。

【００７０】

請求項３０の半導体集積回路装置は、請求項４ないし１０のいずれかの装置において、ゲート回路が、それぞれに１行のメモリセルが接続されるワード線を選択状態に駆動し、サブ電圧伝達線上の電圧を対応のワード線を伝達するためのワードドライバである。

【００７１】

請求項３１に係る半導体集積回路装置は、請求項４ないし１０のいずれかの装置において、ゲート回路が、それぞれに１列のメモリセルが接続されるビット線対の低電位のビット線電位を第２の論理レベルへ駆動するセンスアンプを活性化するために対応のサブ電圧伝達ノード上の第１の論理レベルの電圧を与えるセンス活性化回路である。

【００７２】

請求項３２に係る半導体集積回路装置は、請求項４ないし１０のゲート回路が、各々に１列のメモリセルが接続される複数のビット線対それぞれに対応して設けられる、対応のビット線対の高電位のビット線を第１の論理レベルの電圧へ駆動するセンスアンプを活性化するために、サブ電圧伝達ノード上の電圧をセンスアンプへ与えてセンスアンプを活性化するセンス活性化回路である。

【００７３】

請求項３３に係る半導体集積回路装置は、請求項４ないし１０のいずれかの装置において、ゲート回路が、各々に一列のメモリセルが接続される複数のビット線対それぞれに対応して設けられ、対応のビット線対の高電位のビット線を第２の論理レベルへ駆動するセンスアンプを、スタンバイサイクル時に対応のサブ電圧伝達ノード上の第１の論理レベルの電圧を与えてセンスアンプを非活性状態とするセンス制御回路である。

【００７４】

請求項３４に係る半導体集積回路装置は、請求項４ないし１０のいずれかの装置において、シェアードセンスアンプ配置を有するビット線対とセンスアンプとの間の接続を行なう接続ゲートを動作時にサブ電圧伝達ノード上の電圧を与えてビット線対とセンスアンプとを接続する接続制御回路である。

請求項３５に係る半導体集積回路装置は、請求項９または１０の装置において、論理ゲートが第１のゲート長を有する電界効果型トランジスタを含み、絶縁ゲート型電界効果型トランジスタが、第１のゲート長よりも短い第２のゲート長を有する。

【００７５】

【作用】

請求項１の半導体集積回路装置においては、メイン電圧伝達線とサブ電圧伝達線の間に接続されるスイッチングトランジスタにより、サブスレショルド電流が流れるとサブ電圧伝達線の電圧を降下させてゲート回路のトランジスタをより深くオフ状態としてサブスレショルド電流を低下させてサブスレショルド電流の増加を防止しかつサブ電圧伝達線の電位低下を抑制し、これによりサブ電圧伝達線の電圧振幅を小さくする。また、第１および第２のサブ電圧伝達線それぞれに接続されるキャパシタは、ゲート回路の動作時に増加する電流を補償し、サブ電圧伝達線の電圧変化を小さくする。

【００７６】

請求項２の半導体集積回路装置においては、複数のサブ電圧伝達線に設けられた抵抗素子により、サブスレショルド電流を低減しかつサブ電圧伝達線の電圧降下が抑制される。また、電源投入時にこれらのサブ電圧伝達線を相互接続することにより電源投入時にこれらのサブ電圧伝達線の電圧レベルを同一電圧レベルに設定することができ、ゲート回路動作時における電源電圧を均一にして一定の動作条件でこれらのゲート回路を動作させることができる。

【００７７】

請求項３の半導体集積回路装置においては、複数のサブ電圧伝達線各々に設けられたキャパシタがＭＯＳキャパシタの構成を備え、小占有面積でゲート回路動作時における増加電流を補償し、各サブ電圧伝達線の電位変化を抑制する。

【００８０】

請求項４の半導体集積回路装置においては、メイン電圧伝達線とサブ電圧伝達線との間の可変コンダクタンス素子が、ゲート回路の出力信号が第１の論理レベルのときにコンダクタンスが増大しメイン電圧伝達線とサブ電圧伝達線との間の大きな駆動力を有する電流供給量を形成し高速に出力信号を変化させかつこのゲート回路の出力信号が第２の論理レベルのときそのコンダクタンスが低下し、メイン電圧伝達線とサブ電圧伝達線との間に流れる電流を制限し、消費電流を低減する。

【００８１】

請求項５の半導体集積回路装置においては、請求項４の装置の可変コンダクタンス素子をデプレション型トランジスタ素子で構成したため、容易に可変抵抗特性を有する可変コンダクタンス素子を実現することができる。

【００８２】

請求項６の半導体集積回路装置においては、メイン電圧伝達線とサブ電圧伝達線との間に設けられた絶縁ゲート型電界効果トランジスタがメイン電圧伝達線の電圧とサブ電圧伝達線との間の電圧差をそのしきい値電圧の絶対値以下に設定する。したがって、ゲート回路の出力信号が第１の論理レベルのとき可変抵抗特性を有するトランジスタ素子の抵抗値を十分に小さくすることができる。

【００８３】

請求項７の半導体集積回路装置においては、第２の可変コンダクタンス素子が第２のメイン電圧伝達線と第２のサブ電圧伝達線との間に接続されており、ゲート回路の出力信号が第２の論理レベルのとき第２のメイン電圧伝達線と第２のサブ電圧伝達線との間に電流の流れを生じさせてこのゲート回路の出力信号を高速で変化させ、一方、ゲート回路の出力信号が第１の論理レベルのときそのコンダクタンスが小となってゲート回路のサブスレショルド電流を低減する。これにより、ゲート回路の出力信号の論理レベルが第１および第２の論理レベルのいずれの場合においても消費電流を低減しかつ高速動作を実現することができる。

【００８４】

請求項８の半導体集積回路装置においては、第２のメイン電圧伝達線と第２のサブ電圧伝達線との間の絶縁ゲート型電界効果トランジスタは、第２のメイン電圧伝達線の電圧と第２のサブ電圧伝達線の電圧との差をそのしきい値電圧の絶対値以下とし、第２のサブ電圧伝達線の電圧変化を小さくしかつゲート回路の出力信号が第２の論理レベルのとき第１のメイン電圧伝達線と第１のサブ電圧伝達線との間のトランジスタ素子の抵抗値を確実に大きくしかつ第２のメイン電圧線と第２のサブ電圧伝達線との間のトランジスタ素子の抵抗値を十分に小さくし、ゲート回路の入力信号の論理レベルが第１および第２の論理レベルのいずれの場合においても低消費電力で高速に出力信号を変化させることができる。

【００８５】

請求項９の半導体集積回路装置においては、メイン電圧伝達ノードとサブ電圧伝達ノードとの間のトランジスタ素子はパンチスルーによりメイン電圧伝達ノードとサブ電圧伝達ノードとの間に電流の経路を形成しており、サブ電圧伝達ノードの電圧の変化を小さくする。

【００８６】

請求項１０の半導体集積回路装置においては、第２のメイン電圧伝達ノードと第２のサブ電圧伝達ノードとの間の電圧が所定値以上となると第２の絶縁ゲート型電界効果トランジスタがパンチスルーにより導通し、これにより第２のメイン電圧伝達ノードと第２のサブ電圧伝達ノードとの間の電流経路を形成して第２のサブ電圧伝達ノードの電位変化を小さくする。

【００９２】

請求項１１の半導体集積回路装置においては、メイン電圧伝達線には高電圧が印加されており、ゲート回路の低消費電流化により高電圧発生回路の電流容量を低減することができ、小規模の高電圧発生回路で安定に高電圧を発生してゲート回路を動作させることができる。

【００９３】

請求項１２の半導体集積回路装置においては、電源投入検出信号の非活性化時すなわち電源が投入されて電源電圧が安定化するまでの期間サブ電圧伝達線へ動作電源電圧を伝達するため、電源投入時のサブ電圧伝達線の電圧上昇速度を速くすることができ、高速にサブ電圧伝達線の電位を安定化させることができる。

【００９４】

請求項１３の半導体集積回路装置においては、電源投入時にサブ電圧伝達線へ電圧が伝達され高速にサブ電源伝達線の電位を上昇させる。

【００９５】

請求項１４の半導体集積回路装置においては、第２のスイッチング手段により安定にサブ電圧伝達線の電圧が所定レベルに維持される。

【００９６】

請求項１５の半導体集積回路装置においては、複数のゲート回路はワード線を選択状態へ駆動するワードドライバであり、ワード線駆動部における消費電流を低減することができかつサブ電圧伝達線の電圧回復を速くすることができるため、低消費電流で安定かつ高速動作する半導体集積回路装置を実現することができる。

【００９７】

請求項１６の半導体集積回路装置においては、複数のワード線各々がブロックに分割され、各ブロックごとにワードドライバが設けられており、ワードドライバの負荷が軽減され高速にワード線を選択状態へ移行させることができる。

【００９８】

請求項１７の半導体集積回路装置においては、複数のゲート回路は、センスアンプとビット線対とを接続する接続ゲートの動作を制御する信号を発生する回路であり、センスアンプとビット線対との接続制御を低消費電流で高速に行なうことができる。

【００９９】

請求項１８の半導体集積回路装置においては、ビット線対が複数の列ブロックに分割され

、各列ブロックに対応して接続制御信号発生回路が設けられており、接続制御信号発生回路の負荷が軽減される。

【０１００】

請求項１９の半導体集積回路装置においては、複数のゲート回路はビット線対のて電位をイコライズ／プリチャージするためのイコライズ／プリチャージ回路の動作を制御するイコライズ信号発生回路であり、低消費電流で安定かつ高速にイコライズ信号を発生することができる。

【０１０１】

請求項２０の半導体集積回路装置においては、ビット線対が複数の列ブロックに分割され、各列ブロックに対応してイコライズ信号発生回路が設けられており、イコライズ信号発生回路の負荷が軽減される。

【０１０６】

請求項２１の半導体集積回路装置においては、ビット線対の高電位のビット線を第２の論理レベルの電圧レベルに設定する複数のセンスアンプに対し、各センスアンプへ第２の論理レベルの電圧を伝達してセンスアンプを活性化するセンス活性化トランジスタが設けられており、これらのセンス活性化トランジスタに対しゲート回路が対応のサブ電圧伝達線上の第１の論理レベルの電圧を伝達してセンス活性化トランジスタを導通状態としており、低消費電流でかつ高速にセンスアンプ活性化トランジスタを導通状態とするセンス制御回路を実現することができる。

請求項２２の半導体集積回路装置においては、請求項２１の装置における第１の論理レベルの電圧が負電圧であり、センスアンプ活性化トランジスタのオン抵抗を小さくして高速でセンスアンプを活性化することができる。

【０１０７】

請求項２３の半導体集積回路装置においては、請求項２１の装置において、複数の列が複数の列ブロックに分割されて、センス制御回路が各列ブロックに対応して配置されており、センス制御回路の負荷が軽減される。

【０１０８】

請求項２４の半導体集積回路装置においては、ロウデコーダが２本のワード線の組に対応して配置されかつこのロウデコーダの出力信号に応答する第１および第２のワードドライバが行方向に沿って整列して配置されておりかつ第１および第２のワードドライバに対し第１および第２のサブ電圧伝達線から高電圧が印加されており、高電圧伝達線を階層構造とすることにより、低消費電流でかつ高速動作する高密度のワード線駆動回路を実現することができる。

【０１０９】

請求項２５の半導体集積回路装置においては、２本のワード線の組に対して１つのロウデコーダが配置され、かつこのロウデコーダの出力信号に応答する２本のワード線に対応する第１および第２のワードドライバが対応のロウデコーダとともに整列して配置されており、占有面積が低減され、またワード線へ高電圧を伝達するトランジスタはサブ電圧伝達線から電圧が供給され、メイン電圧伝達線からの高電圧は内部ノードを高電圧レベルへ充電するトランジスタへ伝達されるだけであり、この経路におけるサブスレショルド電流は生じず、一方ワード線に直接接続される回路部分にはサブ電圧伝達線から高電圧が供給されており、サブスレショルド電流を低減することができ、低消費電流で安定に動作する高密度のワード線選択回路を実現することができる。

【０１１０】

請求項２６の半導体集積回路装置においては、第１および第２のワードドライバを構成するワード線放電用トランジスタが対応の２本のワード線の一方を選択するためのデコード用トランジスタと同じ第２および第４のトランジスタ形成領域にそれぞれ形成されており、ワードドライバ部に効率的にトランジスタを配置することができ、ワードドライバの占有面積を低減することができる。

【０１１１】

請求項２７の半導体集積回路装置においては、内部ノードおよびワード線充電用のトランジスタ、デコード用トランジスタ、デコーダトランジスタおよび内部ノードおよびワード線充電用トランジスタ形成領域の順にロウデコーダからワード線に向かって配置されており、同一導電型トランジスタ形成領域を隣接して配置することができ、ワードドライバの占有面積を低減することができる。

【０１１２】

請求項２８の半導体集積回路装置においては、第１のワードドライバ形成のための第１および第２のトランジスタ形成領域と第２のワードドライバ形成のための第３および第４のトランジスタ形成領域は第１および第２のワードドライバの境界領域に関して対称的なトランジスタ配置を有しており、トランジスタのレイアウトが容易となりかつ効率的にトランジスタを配置することができ、ワードドライバの占有面積を低減することができる。

【０１１３】

請求項２９の半導体集積回路装置においては、グローバル高電圧供給線と第１および第２のサブ高電圧伝達線とは第１および第２の制御信号に従って選択的に接続されており、これら第１および第２の制御信号は第１および第２のワードドライバの一方を選択状態とする第２のアドレス信号に従って活性状態とされており、したがって、選択ワード線グループに対して設けられたワードドライバのみがグローバル高電圧供給線から電流を供給されて動作し、非選択ワード線グループに対して設けられたワードドライバはサブ電圧伝達線上の電圧のみを受けるだけであり、グローバル高電圧供給線からは電流を供給されないため、非選択ワードドライバのサブスレショルド電流を低減することができ、ワード線選択回路における消費電流を低減することができる。

【０１１５】

請求項３０の半導体集積回路装置は、請求項４ないし１０のいずれかのゲート回路がワード線を選択状態へ駆動するワードドライバであり、ワードドライバにおけるサブスレショルド電流を低減することができ、応じて消費電流を低減することができる。

【０１１６】

請求項３１の半導体集積回路装置は、請求項４ないし１０のいずれかのゲート回路は、ビット線対の低電位のビット線を接地電位レベルへ放電するセンスアンプを活性化するためのセンス活性化回路であり、高電圧をセンス活性化信号として利用することにより高速でセンスアンプを活性化することができるとともに、このセンス活性化回路におけるサブスレショルド電流を低減することができる。

【０１１７】

請求項３２の半導体集積回路装置は、請求項４ないし１０のいずれかのゲート回路が、ビット線対の高電位のビット線を高電位に設定するためのセンスアンプを活性化するセンス活性化回路であり、このセンスアンプ活性化信号としてサブ電圧伝達線上の負電圧を与えているため高速でセンスアンプを活性化することができるとともにセンスアンプ活性化回路のサブスレショルド電流を低減することができる。

【０１１８】

請求項３３の半導体集積回路装置は、請求項４ないし１０のいずれかのゲート回路が、ビット線対の高電位のビット線を電源電圧レベルに駆動するセンスアンプをスタンバイ時に非活性状態とする信号を発生するセンス制御回路であり、このセンス制御回路はサブ電圧伝達線上の高電圧をセンス活性化トランジスタのゲートへ印加しているため、このセンス活性化トランジスタにおけるサブスレショルド電流を抑制することができるとともに、センス活性制御信号発生回路の消費電流を低減することができる。

【０１１９】

請求項３４の半導体集積回路装置は、請求項４ないし１０のいずれかのゲート回路がビット線対とセンスアンプとを接続する接続ゲートの接続を制御する信号を発生する回路であり、この接続制御信号発生回路は対応のサブ電圧伝達線上の高電圧を接続信号として印加しており、この接続制御信号発生回路のスタンバイ時におけるサブスレショルド電流を低減することができる。

請求項３５の半導体集積回路装置においては、論理ゲートのトランジスタのゲート長が、メイン電圧伝達ノードとサブ電圧伝達ノードとの間のトランジスタのゲート長より長くされており、容易にメイン/サブ電圧伝達ノードの電圧差に応じてパンチスルー現象を生じさせることができ、メイン／サブ電圧伝達ノードの電圧差を所定値以下に保持することができる。

【０１２０】

【実施例】

［実施例１］

図１はこの発明の第１の実施例である半導体集積回路装置の要部の構成を示す図である。図１においては、内部電圧ＶＣＨを伝達するメイン電源電圧伝達線１００と、このメイン電源電圧伝達線１００から電流を供給されるサブ電源電圧伝達線１１０と、メイン電源電圧伝達線１００とサブ電源電圧伝達線１１０の間に接続される抵抗素子Ｒと、サブ電源電圧伝達線１１０上の電圧ＶＣを一方動作電源電圧として動作するゲート回路Ｇが示される。メイン電源電圧伝達線１００上の電圧ＶＣＨは、通常の動作電源電圧Ｖｃｃであってもよく、また半導体記憶装置において利用される通常動作電源電圧よりも高い高電圧Ｖｐｐであってもよく、以下単に電源電圧ＶＣＨとして説明する。またメイン電源電圧伝達線１００およびサブ電源電圧伝達線１１０も単にメイン電源線１００およびサブ電源線１１０と称す。

【０１２１】

ゲート回路Ｇは、そのソースがサブ電源線１１０に接続され、そのゲートが入力信号ＩＮを受ける入力ノード１１１に接続され、そのドレインが出力ノード１１２に接続されるｐチャネルＭＯＳトランジスタＰＱと、そのドレインが出力ノード１１２に接続され、そのゲートが入力ノード１１１に接続され、そのソースが他方動作電源電圧（以下、単に接地電圧と称す）ＶＳＳを受けるように接続されるｎチャネルＭＯＳトランジスタＮＱを含む。次に動作について簡単に説明する。

【０１２２】

入力信号ＩＮが論理ハイレベル（電圧ＶＣＨレベルのとき）、トランジスタＰＱがオフ状態、トランジスタＮＱがオン状態であり、出力ノード１１２は、オン状態のトランジスタＮＱを介して接地電圧ＶＳＳレベルに放電される。

【０１２３】

トランジスタＰＱは、サブスレショルド電流領域で動作する。トランジスタＱＰにサブスレショルド電流Ｉｓが流れると、この電流Ｉｓは抵抗素子Ｒを介してメイン電源線１００から供給されるため、抵抗素子Ｒに電圧降下が生じ、サブ電源線１１０上の電圧ＶＣは、ＶＣ＝ＶＣＨ－Ｒ・Ｉｓとなる。この状態においては、トランジスタＰＱのゲート電位が電圧ＶＣＨレベルであり、したがって、そのソース電位よりもゲート電位が高くなり、トランジスタＰＱのサブスレショルド電流が抑制される。

【０１２４】

すなわち、トランジスタＰＱを流れるサブスレショルド電流が増加すると、抵抗素子Ｒにより、サブ電源線１１０上の電圧ＶＣが低下し、トランジスタＰＱをより深いオフ状態とし、そのトランジスタＰＱを介して流れるサブスレショルド電流を抑制する。したがってこのサブ電源線１１０上の電圧ＶＣのレベルは、トランジスタＰＱを流れるサブスレショルド電流と抵抗素子Ｒにおける電圧降下とが平衡した状態の電圧レベルとなる。

【０１２５】

したがって、図２に示すように、入力信号ＩＮが論理ハイレベルで一定となるとき（図２においてスタンバイサイクルとして示す）における電圧ＶＣの降下量はＩｓ・Ｒで与えられ、従来のようなダイオードトランジスタを用いてサブ電源線上の電圧をクランプする構成に比べてメイン電源線１００とサブ電源線１１０の間の電圧差（ＶＣＨ－ＶＣ）を小さくすることが可能となる。

【０１２６】

図３は、図１に示す抵抗素子Ｒの具体的構成の一例を示す図である。図３において、抵抗

素子Ｒは、メイン電源線１００とサブ電源線１１０の間に接続され、そのゲートに所定の基準電圧ＶＲ（＜ＶＣＨ）を受けるｐチャネルＭＯＳトランジスタで構成される。ゲートに一定電圧ＶＲを受けるｐチャネルＭＯＳトランジスタを用いて抵抗素子Ｒを構成することにより、サブ電源線１１０の電圧ＶＣが低下するといわゆる自乗特性に従ってメイン電源線１００からサブ電源線１１０へ電流が供給され、このサブ電源線１１０上の電圧を所定の電圧レベルに復帰させる。このｐチャネルＭＯＳトランジスタを用いることにより、安定にサブ電源線１１０上の電圧レベルを一定の電圧レベル（ゲート回路Ｇにおけるサブスレショルド電流とそのサブスレショルド電流によるトランジスタ１１５におけるチャネル抵抗による電圧降下とがバランスする電圧レベル）に維持することができる。

【０１２７】

［抵抗素子の変更例］

図４は図１に示す抵抗素子Ｒの変更例を示す図である。図４（Ａ）において、抵抗素子Ｒは、そのソースおよび基板がメイン電源線１００に接続され、そのゲートおよびドレインがサブ電源線１１０に接続されるｐチャネルＭＯＳトランジスタ１１６で構成される。このトランジスタ１１６のチャネル幅を、サブ電源線１１０に接続されるゲート回路（複数個接続されていてもよい）のｐチャネルＭＯＳトランジスタのサブスレショルド電流の総和を供給する程度とする。トランジスタ１１６においてサブスレショルド電流が流れ、そのチャネル抵抗とそのサブスレショルド電流によりサブ電源線１１０の電圧ＶＣがメイン電源線１００上の電圧ＶＣＨよりも低下する。この図４（Ａ）に示す構成においても、トランジスタ１１６はサブ電源線１１０上の電圧ＶＣが所定値よりも低下するとオン状態となりその供給電流が増加し、高速でサブ電源線１１０上の電圧ＶＣを所定の電圧レベルに復帰させる。

【０１２８】

図４（Ｂ）に示す抵抗素子Ｒは、そのゲートおよびドレインがメイン電源線１００に接続され、その基板領域およびソースがサブ電源線１１０に接続されるｎチャネルＭＯＳトランジスタ１１７で構成される。ＭＯＳトランジスタ１１７の基板領域をサブ電源線１１０に接続し、このトランジスタ１１７のソースおよび基板領域を同じ電圧レベルとすることにより基板効果の影響を排除し、トランジスタ１１７のしきい値電圧を小さくする。この図４（Ｂ）に示す抵抗素子Ｒの構成においても、トランジスタ１１７にサブスレショルド電流を流すことにより、サブ電源線１１０上の電圧ＶＣをＶＣＨ－ＶＴよりも高く設定する。

【０１２９】

なお図４（Ａ）および（Ｂ）に示す構成において、トランジスタ１１６および１１７にはデプレション型のＭＯＳトランジスタが用いられて負荷抵抗として機能させる構成が利用されてもよい。

【０１３０】

以上のように、この発明の第１の実施例に従えば、メイン電源線とサブ電源線の間に抵抗素子を接続したため、サブ電源線上の電圧レベルをこの抵抗素子における電圧降下とゲート回路におけるサブスレショルド電流とがバランスする電圧レベルに設定することができ、応じてメイン電源線とサブ電源線との間の電圧差を小さくすることができる。

【０１３１】

［実施例２］

図５は、この発明の第２の実施例である半導体記憶装置の要部の構成を示す図である。図５に示す構成においては、メイン電源線１００とサブ電源線１１０の間に、抵抗Ｒと並列に、制御信号φＣＴが論理ローレベルのときに導通するｐチャネルＭＯＳトランジスタＰＷが設けられる。この半導体集積回路装置がスタンバイサイクルとアクティブサイクルとを有しており、スタンバイサイクル時には、制御信号φＣＴはメイン電源線１００上の電圧ＶＣＨレベルの論理ハイレベルとなり、アクティブサイクル時には制御信号φＣＴは接地電圧ＶＳＳレベルの論理ローレベルとなる。次にこの図５に示す構成の動作についてその動作波形図である図６を参照して説明する。

【０１３２】
スタンバイサイクル時においては、制御信号φＣＴはハイレベルにあり、トランジスタＰＷはオフ状態にあり、メイン電源線１００とサブ電源線１１０は抵抗素子Ｒのみを介して電気的に接続される。この状態においては、ゲート回路Ｇに含まれるＰチャネルＭＯＳトランジスタＰＱ（図１参照）においてサブスレショルド電流が流れ、抵抗素子ＲによりサブＶＣＨ－Ｉｓ・Ｒの電圧レベルとなる。ここでＩｓはゲート回路Ｇを流れるサブスレショルド電流である。この抵抗素子Ｒの流れるサブスレショルド電流による電圧降下は先に図１を参照して説明したように比較的小さい。したがってメイン電源線１００上の電圧ＶＣＨとサブ電源線１１０上の電圧ＶＣとの差を小さくすることができる。トランジスタＰＷは単にスイッチング動作を行なうことが要求されるだけであり、そのしきい値電圧の絶対値は特に小さくする必要はない。したがってこのトランジスタＰＷを流れるサブスレショルド電流はゲート回路Ｇにおけるサブスレショルド電流に比べて十分小さくすることが可能である。

【０１３３】
アクティブサイクルに入ると、制御信号φＣＴが論理ローレベルとなり、スイッチングトランジスタＰＷがオン状態とされ、サブ電源線１１０上の電圧ＶＣはメイン電源線１００上の電圧ＶＣＨレベルとなる。スタンバイサイクルにおけるメイン電源線１００上の電圧ＶＣＨとサブ電源線１１０上の電圧ＶＣの差は十分小さくされている。したがってアクティブサイクルに入ると、高速でこのサブ電源線１１０上の電圧ＶＣは所定の電圧ＶＣＨレベルに復帰する。したがって従来のようなダイオード接続されたクランプトランジスタを用いる構成に比べて早いタイミングでゲート回路Ｇを動作させることが可能となる。またこのときゲート回路Ｇにおいて低しきい値電圧（しきい値の絶対値の小さい）トランジスタを用いることができ（サブスレショルド電流は十分抑制されるため）、低電源電圧動作時においても低消費電流で高速動作するゲート回路Ｇを実現することができ、応じて、このようなゲート回路Ｇに対する電源配置を利用することにより低電源電圧時においても低消費電流で高速動作する半導体集積回路装置を実現することができる。

【０１３４】
以上のように、この発明の第２の実施例に従えばメイン電源線とサブ電源線の間に動作サイクルに応じてオン・オフ状態とされるスイッチングトランジスタを設けたためその半導体集積回路装置の動作サイクルに合せてサブ電源線の電圧レベルを変更することができ、応じてスタンバイサイクル時におけるサブスレショルド電流を十分低減することができる。

【０１３５】
［実施例３］
図７は、この発明の第３の実施例である半導体集積回路装置の要部の構成を示す図である。図７に示す構成においては、図１に示す構成に加えて、サブ電源線１１０と接地ノードとの間に安定化のための比較的大きな容量を有するキャパシタＣが設けられる。ゲート回路Ｇの待機時（入力信号および出力信号の安定化時）においては、サブ電源線１１０の電圧ＶＣは、このゲート回路Ｇにおけるサブスレショルド電流と抵抗素子Ｒによる電圧降下とがバランスした電圧レベルとなっており、またキャパシタＣもこのサブ電源線１１０上の電圧ＶＣレベルに充電されている。この状態において、ゲート回路Ｇの入力信号は論理ハイレベルにある。ゲート回路Ｇへ与えられる入力信号がハイレベルからローレベルへ変化すると、応じてこのゲート回路Ｇの出力信号がローレベルからハイレベルへと立上がる。この出力信号の電位の立上がりは、メイン電源線１００、抵抗素子ＲおよびサブＶＣＨからの電流供給により実現される。このとき、図８に破線で示すように、キャパシタＣが設けられていない場合、抵抗素子Ｒに比較的大きな電流が流れ、抵抗素子Ｒにおける電圧降下が大きくなり、サブ電源線１１０上の電圧ＶＣが低下し、ゲート回路Ｇの出力信号が所定の電圧レベル（ＶＣＨレベル）に到達するまでの時間が長くなる。

【０１３６】
しかしながら、キャパシタＣを設けることにより、図８に実線で示すように、ゲート回路

Ｇによる出力信号電位立上げのための電流がキャパシタＣから供給され、抵抗素子Ｒにおける電圧降下をほとんどなくすことができ、高速でゲート回路Ｇの出力信号を所定の電圧ＶＣＨレベルに上昇させることができる。ゲート回路Ｇの出力信号が電圧ＶＣＨレベルに到達すると、このゲート回路Ｇに含まれる出力ノード充電のためのｐチャネルＭＯＳトランジスタはそのソースおよびドレインが同一電圧レベルとなり、抵抗素子Ｒには電流が流れないため、この抵抗素子Ｒにおける電圧降下は生じず、サブ電源線１１０上の電圧ＶＣはメイン電源線１００上の電圧ＶＣＨと同じ電圧レベルとなる。キャパシタＣを設け、ゲート回路Ｇの出力信号の電位立上がり時にこのキャパシタＣから電流をゲート回路Ｇへ供給することにより、サブ電源線１１０上の電圧ＶＣの低下を抑制することができ、高速で出力信号を所定の電圧レベルに到達させることができ、低消費電流で高速動作する装置を実現することができる。

【０１３７】

図９は、図７に示すキャパシタＣの構成の一例を示す図である。図９において、キャパシタＣは、半導体基板領域（半導体層またはウェル領域または半導体基板）１２０の表面に形成される高濃度Ｎ型不純物領域１２１ａおよび１２１ｂと、不純物領域１２１ａおよび１２１ｂの間の半導体表面（チャネル領域）上にゲート絶縁膜（図示せず）を介して形成されるゲート電極１２２を含む。ゲート電極１２２がサブ電源線１１０に接続され、不純物領域１２１ａおよび１２１ｂが接地ノードに接続される。この図９に示すキャパシタＣは、ＭＯＳキャパシタの構成を備える。メイン電源線１００とサブ電源線１１０との間にキャパシタを接続しても同様の効果を得ることができるが、サブ電源線１１０と接地ノードの間にキャパシタを接続することにより以下の利点が得られる。

【０１３８】

メイン電源線１００およびサブ電源線１１０は通常、上層配線層で構成される。この場合、キャパシタは、平行電極のキャパシタを用いる必要がある。すなわちこの場合、図９に示すようなＭＯＳキャパシタを利用することはできない（サブ電源線１１０およびメイン電源線１００の電圧レベルがほぼ同じ電圧レベルであり、チャネル領域に反転層が形成されずキャパシタの一方電極層が形成されないため）。したがってこのような平行電極層を有するキャパシタを用いる場合、所望の静電容量を得るためには、大きな面積が必要とされるとともにこのキャパシタを作製するために余分の製造工程が必要とされる。しかしながらこのサブ電源線１１０と接地ノードとの間にキャパシタＣを設けることにより、図９に示すＭＯＳキャパシタを用いることができ、小占有面積で大きな静電容量を有するキャパシタを実現することができる。またゲート回路Ｇに含まれるｎチャネルＭＯトランジスタと同一の製造工程でキャパシタＣを作製することができ、追加の製造工程が必要とされることはない。

【０１３９】

なお、キャパシタＣとしては、ｎチャネルＭＯＳトランジスタに代えて、ｐチャネルＭＯトランジスタが用いられてもよい。ｐチャネルＭＯＳトランジスタが用いられる場合には、ゲート電極が接地ノードに接続され、不純物領域（ソースおよびドレイン領域）がサブ電源線１１０に接続される。

【０１４０】

以上のように、この発明の第３の実施例に従えば、サブ電源線と接地ノードの間にキャパシタを接続したため、ゲート回路の出力信号変化時にキャパシタから電流を供給することができ、ゲート回路の出力信号変化時におけるサブ電源線上の電圧降下を抑制することができ、高速でゲート回路の出力信号を所定の電圧レベルに到達させることができる。

【０１４１】

［実施例４］

図１０は、この発明の第４の実施例である半導体集積回路装置の要部の構成を示す図である。図１０に示す構成においては、メイン電源線１００とサブ電源線１１０の間に抵抗素子Ｒが接続され、また制御信号φＣＴに応答して導通するｐチャネルＭＯＳトランジスタＰＷが抵抗素子Ｒと並列に配置され、かつさらにサブ電源線１１０と接地ノードとの間に

キャパシタＣｓが接続される。メイン電源線１００には寄生容量Ｃｍが存在する。

【０１４２】

ゲート回路Ｇのスタンバイ時には、制御信号φＣＴはハイレベルにあり、トランジスタＰＷはオフ状態にある。サブ電源線１１０上の電圧ＶＣは、ゲート回路Ｇを流れるサブスレショルド電流と抵抗素子Ｒにおける電圧降下がバランスした電圧レベルとなる。アクティブサイクルに入ると、制御信号φＣＴがローレベルとなり、トランジスタＰＷがオン状態となり、メイン電源線１００とサブ電源線１１０とが電気的に接続され、サブ電源線１１０の電圧ＶＣのレベルが上昇する。この後、ゲート回路Ｇが動作し、その出力信号のレベルが変化する。この場合、ゲート回路Ｇが複数個設けられており、複数のゲート回路が同時に動作した場合においても、キャパシタＣｓの供給する電流によりメイン電源線１００の電圧ＶＣＨの低下を抑制することができ、安定にゲート回路Ｇを複数個同時に動作させることができる。

【０１４３】

図１１は、メイン電源線１００の寄生容量Ｃｍとサブ電源線１１０に接続されるキャパシタＣｓによるサブ電源線１１０の電圧の回復状況を示す図である。図１１においては縦軸に電圧、横軸に時間Ｔを示す。トランジスタＰＷがオフ状態のときには、メイン電源線１００上の電圧ＶＣＨとサブ電源線１１０上の電圧ＶＣの電圧レベルは異なっている。トランジスタＰＷがオン状態となると、メイン電源線１００からサブ電源線１１０へ電流が流れ、サブ電源線１１０上の電圧ＶＣのレベルが上昇する。このときには、電流供給に従ってメイン電源線１００上の電圧レベルが低下する。このメイン電源線１００からサブ電源線１１０への電流の供給はメイン電源線１００の寄生容量Ｃｍからサブ電源線１１０のキャパシタＣｓへの充電と等価である。寄生容量Ｃｍの静電容量がキャパシタＣｓのそれよりも十分大きい場合には、高速でサブ電源線１１０上の電圧レベルが上昇し、一方、寄生容量Ｃｍの静電容量が比較的小さい場合には、サブ電源線１１０の電位上昇は比較的緩やかとなる。メイン電源線１００およびサブ電源線１１０の電圧レベルが等しくなった後には図示しない電源からの電流供給によりサブ電源線１１０およびメイン電源線１００の電圧は同じ速度で上昇する。この図１１に示す波形図から明らかなように、サブ電源線１１０の電圧ＶＣのレベルを高速で回復させるためには、メイン電源線１００の寄生容量Ｃｍを比較的大きくするのが好ましい。寄生容量Ｃｍが比較的小さい場合には、別のキャパシタがメイン電源線１００に対して設けられてもよい。また、メイン電源線１００へ伝達される電圧ＶＣＨがたとえば高電圧Ｖｐｐのような場合、この高電圧発生回路の出力ノードに安定化用のキャパシタが設けられ、そのキャパシタの容量を十分大きな静電容量を有するように構成されてもよい。またサブ電源線１１０に接続するキャパシタＣｓは、ゲート回路Ｇが複数個設けられる場合、サブ電源線１１０には比較的大きな寄生容量が付随することになり、このサブ電源線１１０に付随する寄生容量を考慮してその静電容量が適当な値に決定される。サブ電源線１１０の適用箇所が決定されれば、そこに接続されるゲート回路の数が決定されるため、この寄生容量は容易に求めることができる。

【０１４４】

以上のように、この発明の第４の実施例に従えば、高速でサブ電源線１１０の電圧レベルを所定の電圧レベルに復帰させることができる。

【０１４５】

［実施例５］

図１２は、この発明の第５の実施例である半導体集積回路装置の要部の構成を示す図である。図１２に示す構成においては、メイン電源線１００に対し複数のサブ電源線１１０ａ、１１０ｂ、…１１０ｃが配置される。サブ電源線１１０ａ～１１０ｃとメイン電源線１００の間には、それぞれ制御信号φＣＴａ、φＣＴｂおよびφＣＴｃに応答して導通するｐチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタＰＷａ、ＰＷｂおよびＰＷｃが設けられる。サブ電源線１１０ａ、１１０ｂ、および１１０ｃにはゲート回路Ｇａ、Ｇｂ、およびＧｃがそれぞれ接続される。これらのゲート回路Ｇａ～Ｇｃは対応のサブ電源線１１０ａ～１１０ｃ上の電圧を一方動作電源電圧として動作する。メイン電

源線１１０とサブ電源線１１０ａ、１１０ｂ、…１１０ｃの間には、このサブ電源線１１０ａ、１１０ｂ、および１１０ｃ上の電圧レベルを調整する調整回路１３０ａ、１３０ｂ、…１３０ｃが接続される。この調整回路１３０ａ～１３０ｃは、先の実施例において説明した抵抗素子Ｒのみであってもよく、また抵抗素子ＲとキャパシタＣ両者を含んでもよい。

【０１４６】

制御信号φＣＴａ～φＣＴｃは、すべて同じタイミングで活性／非活性状態とされてもよく、またそれぞれ独立に活性／非活性が制御される構成が利用されてもよい。制御信号φＣＴａ～φＣＴｃをそれぞれ独立に活性／非活性状態とすることにより、動作するゲート回路に対してのみメイン電源線１００から電流が供給されるため、このメイン電源線１００上の電圧ＶＣＨの電圧変動の抑制および消費電流の低減を実現することができる。サブ電源線１１０ａ～１１０ｃそれぞれの電圧の変化は先の実施例において説明したものと同じである。複数のサブ電源電圧線１１０ａ～１１０ｃを設けることにより１つのサブ電源線の寄生容量を小さくすることができ、各サブ電源線１１０ａ～１１０ｃの対応のスイッチングトランジスタのオン状態になったときの電圧レベルの回復を高速にすることができる。また、１つのサブ電源線において電圧変動が生じても、その電圧変動は他のサブ電源線へは伝達されないため、すべてのサブ電源線１１０～１１０ｃ上の電圧が同時に同じ電圧変動を生じる可能性が小さくされ、応じて全体としてゲート回路Ｇａ～Ｇｃが同時に誤動作するのを防止することができ、電源ノイズの影響を十分抑制することができる。

【０１４７】

以上のように、この発明の第５の実施例に従えば、サブ電源線を複数のサブ電源線に分割したため、サブ電源線の寄生容量を小さくすることができ、応じて動作時に高速でサブ電源線上の電圧を所定の電圧レベルに回復させることができる。また複数のサブ電源線に分割することにより、１つのサブ電源線における電圧変動が他のサブ電源線へ影響を及ぼすことはなく、電源ノイズの影響を最小限に抑制することができ、安定に動作する半導体集積回路装置を実現することができる。

【０１４８】

［実施例６］

図１３は、この発明の第６の実施例である半導体集積回路装置の要部の構成を示す図である。図１３に示す構成においては、一方動作電源電圧（通常動作電源電圧または高電圧）ＶＨを伝達する電源電圧伝達線（以下、単に電源線と称す）１３０と、他方電源電圧（負電圧または接地電圧）ＶＳＬを伝達する他方電源電圧伝達線（以下、単にメイン接地線と称す）１４０と、他方電源電圧ＶＳ（以下、単に接地電圧と称す）を伝達サブ他方電源電圧伝達線（以下、単にサブ接地線と称す）１５０と、サブ接地線１５０とメイン接地線１４０の間に接続される抵抗素子Ｒｌと、電源線１３０上の電圧ＶＨとサブ接地線１５０上の電圧ＶＳを両動作電源電圧として動作するゲート回路Ｇが示される。図１３においては、ゲート回路Ｇの入出力信号は示していない。このゲート回路Ｇは、先の実施例において示したようにＣＭＯＳインバータであってもよく、またＣＭＯＳ構成の多入力論理ゲートであってもよい。

【０１４９】

図１３に示す構成の場合、ゲート回路Ｇの出力信号がローレベルのとき、ゲート回路Ｇに含まれる出力ノード放電用のＭＯＳトランジスタ（通常、ｎチャネルＭＯＳトランジスタ）がオン状態にあり、ソースおよびドレイン電圧は同じ電圧レベルであり、このトランジスタを介しては電流は流れず、したがって、抵抗素子Ｒｌにも電流は流れず、サブ接地線１５０上の電圧ＶＳはメイン接地線１４０上の電圧ＶＳＬの電圧レベルである。

【０１５０】

ゲート回路Ｇの出力信号がハイレベル（電圧ＶＨレベル）のとき、ゲート回路Ｇに含まれる出力放電用のトランジスタがオフ状態とされる（サブスレショルド電流領域で動作する）。この場合には、ゲート回路Ｇに含まれる放電用トランジスタを介して流れるサブスレショルド電流が抵抗素子Ｒｌを介して流れ、抵抗素子Ｒｌに電圧降下が生じ、サブ接地線

１５０上の電圧ＶＳはメイン接地線１４０上の電圧ＶＳＬよりも高い電圧レベルとなる（図１４参照）。このとき、この出力放電用のトランジスタのゲートへは接地電圧ＶＳＬレベルの電圧が与えられており、このトランジスタのゲート電圧はソース電圧（サブ接地線１５０上の電圧ＶＳ）よりも低くなり、放電用トランジスタがより強いオフ状態とされ、そのサブスレショルド電流が低減される。

【０１５１】

ゲート回路Ｇに含まれるｎチャネルＭＯＳトランジスタを介して流れるサブスレショルド電流が増加すれば、抵抗素子Ｒｌにおける電圧降下が大きくなり、応じてサブ接地線１５０上の電圧ＶＳが上昇し、この出力放電用のｎチャネルＭＯＳトランジスタをより強いオフ状態としてそのサブスレショルド電流を低減する。一方、ゲート回路Ｇに含まれるｎチャネルＭＯＳトランジスタを流れるサブスレショルド電流が小さくなれば、抵抗素子Ｒｌにおける電圧降下が小さくなり、サブ接地線１５０上の電圧ＶＳが低下し、ゲート回路Ｇにおけるｎチャネルトランジスタのサブスレショルド電流が増加する。したがって、このサブ接地線１５０上の電圧ＶＳは、ゲート回路Ｇに含まれる出力ノード放電用のｎチャネルＭＯＳトランジスタを介して流れるサブスレショルド電流と抵抗素子Ｒｌにおける電圧降下が釣り合った電圧レベルとなる。図１４においては、この安定状態のサブ接地線１５０上の電圧ＶＳをＩｓ・Ｒｌで示す。ここでＩｓはサブスレショルド電流を示す。サブ接地線１５０とメイン接地線１４０の間の電圧差Ｉｓ・Ｒｌは十分小さくすることができ、ゲート回路Ｇ動作時におけるサブ接地線１５０上の電圧ＶＳの所定電圧レベルＶＳＬへの回復を高速で行なうことができる。

【０１５２】

抵抗素子Ｒｌとしては、先の第２の実施例に用いられたものと同様、一定の電圧をゲートに受けるｎチャネルＭＯＳトランジスタを用いて実現することもできる。また、図４に示すように、ＭＯＳトランジスタを抵抗接続して用いることもできる。

【０１５３】

以上のように、この発明の第６の実施例に従えば、ゲート回路の出力信号が待機状態においてハイレベルのとき、ゲート回路に含まれる出力放電用のＭＯＳトランジスタのサブスレショルド電流を効果的に抑制することができるとともに、サブ接地線とメイン接地線との間の電圧差を十分小さくすることができ、ゲート回路動作時において、サブ接地線の電圧ＶＳの所定電圧レベルＶＳＬへの高速回復を実現することができる。

【０１５４】

［実施例７］

図１５は、この発明の第７の実施例である半導体集積回路装置の要部の構成を示す図である。図１５に示す構成においては、図１３に示す構成に加えて、電源線１３０とサブ接地線１５０の間にキャパシタＣｌが設けられる。このキャパシタＣｌの構成については後に詳細に説明するが、サブ接地線１５０上の電圧ＶＳの安定化の機能を備える。待機状態において、ゲート回路Ｇの出力信号がハイレベルのとき、サブ接地線１５０上の電圧ＶＳはこのゲート回路Ｇのサブスレショルド電流に起因してメイン接地線１４０上の電圧ＶＳＬよりも高い電圧レベルにある（抵抗素子Ｒｌにおける電圧降下分）。ゲート回路Ｇが動作し、その出力信号がハイレベルからローレベルへ低下するとき、出力信号を放電する電流が抵抗素子Ｒｌを介して流れ、このサブ接地線１５０上の電圧ＶＳの電圧レベルが上昇し、ゲート回路Ｇに含まれる放電用のトランジスタ（図１３参照）のゲート電圧が等化的に低くなり、放電用のｎチャネルＭＯＳトランジスタの電流駆動力が小さくなることが考えられる。しかしながら、キャパシタＣｌを設けることにより、このゲート回路Ｇの放電電流はキャパシタＣｌに吸収され、抵抗素子Ｒｌにおける電流を低減し、サブ接地線１５０上の電圧ＶＳの上昇を抑制する。これにより、ゲート回路Ｇが、高速でその出力信号をローレベルへ立下げることができる。

【０１５５】

キャパシタＣｌとしては、図９に示すようなＭＯＳキャパシタを利用することができる。この場合、ｐチャネルＭＯＳトランジスタを用いてキャパシタＣｌが形成されてもよい。

電源線１３０とサブ接地線１５０の間にキャパシタＣｌを設けることにより得られる利点は、先の第３の実施例におけるキャパシタＣが与える利点と同様である。

【０１５６】

また、ゲート回路が複数個このサブ接地線に接続される場合、キャパシタの静電容量はこのサブ接地線に付随する寄生容量を考慮して決定されればよい。

【０１５７】

以上のように、この第７の実施例に従えば、サブ接地線にキャパシタを接続したため、サブ接地線上の電圧を安定化させることができ、ゲート回路の出力信号を高速でローレベルへ立下げることができる。またゲート回路の待機状態においてサブ接地線１５０上にノイズなどが生じてもこのキャパシタにより吸収され、待機状態におけるサブ接地線上の電圧を安定化することができる。

【０１５８】

［実施例８］

図１６は、この発明の第８の実施例である半導体集積回路装置の要部の構成を示す図である。図１６に示す構成において、サブ接地線１５０とメイン接地線１４０の間に制御信号／φＣＴに応答して導通するｎチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタＮＷが接続される。また、サブ接地線１５０とメイン接地線１４０の間には調整回路１４５が設けられる。この調整回路１４５は、ゲート回路Ｇにおけるサブスレショルド電流を低減する回路構成であればよく、図１３に示す抵抗素子Ｒｌのみを含む構成、および抵抗素子Ｒｌおよびキャパシタ Ｃｌ両者を含む構成のいずれが用いられてもよい。ゲート回路Ｇは、このサブ接地線１５０上の電圧ＶＳと電源線１３０上の電圧ＶＨを両動作電源電圧として動作する。

【０１５９】

ゲート回路Ｇの動作タイミングに併せて制御信号／φＣＴが活性状態／非活性状態とされる。ゲート回路Ｇの待機状態（スタンバイサイクル時）においては、制御信号／φＣＴが電圧ＶＳＬレベルのローレベルであり、トランジスタＮＷはオフ状態になる。この状態においては、サブ接地線１５０上の電圧ＶＳは調整回路１４５により設定される電圧レベルに維持され、メイン接地線１４０上の電圧ＶＳＬよりも少し高い電圧レベルに維持される。

【０１６０】

ゲート回路Ｇが動作するアクティブサイクルになると、制御信号／φＣＴがハイレベルとされ、トランジスタＮＷがオン状態とされる。これにより、サブ接地線１５０はメイン接地線１４０に接続され、このサブ接地線１５０上の電圧ＶＳは高速でメイン接地線１４０上の電圧ＶＳＬレベルにまで低下する。この後、ゲート回路Ｇが動作し、その出力信号の電圧レベルが変化する（ハイレベルからローレベルへ変化する）。

【０１６１】

この図１６に示すようにメイン接地線１４０とサブ接地線１５０の間にゲート回路Ｇの動作サイクルに合せて導通状態／非導通状態となるスイッチングトランジスタを設けることによりスタンバイサイクルからアクティブサイクル移行時においてサブ接地線１５０上の電圧ＶＳを高速で所定の電圧ＶＳＬレベルにまで低下させることができ、応じてゲート回路Ｇの動作開始タイミングを早くすることができる。

【０１６２】

以上のように、この第８の実施例に従えば、メイン接地線とサブ接地線の間にゲート回路の動作サイクルに合せて導通／非導通とされるスイッチングトランジスタを設けたため、ゲート回路のスタンバイサイクルからアクティブサイクル移行時においてサブ接地線上の電圧レベルの回復を高速に行なうことができる。また、ゲート回路のサブスレショルド電流は調整回路により十分低減される。

【０１６３】

［実施例９］

図１７は、この発明の第９の実施例である半導体集積回路装置の要部の構成を示す図であ

る。図１７においては、複数のゲート回路Ｇａ、Ｇｂ、…Ｇｃに対応してサブ接地線１５０ａ、１５０ｂ、…１５０ｃが設けられる。サブ接地線１５０ａ、１５０ｂ、および１５０ｃとメイン接地線１４０の間に、調整回路１４５ａ、１４５ｂ、…１４５ｃがそれぞれ設けられる。サブ接地線１５０ａに対しては、さらに、調整回路１４５ａと並列に、制御信号／φＣＴａに応答して導通し、サブ接地線１５０ａとメイン接地線１４０を接続するｎチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタＮＷａが設けられる。サブ接地線１５０ｂに対しても、制御信号／φＣＴｂがハイレベルの時導通し、サブ接地線１５０ｂとメイン接地線１４０を接続するスイッチングトランジスタＮＷｂが設けられる。サブ接地線１５０ｃとメイン接地線１４０の間にも、調整回路１４５ｃと並列に、制御信号／φＣＴｃに応答してサブ接地線１５０ｃをメイン接地線１４０に接続するスイッチングトランジスタＮＷｃが設けられる。ゲート回路Ｇａ、Ｇｂ、…Ｇｃは、共通に電源線１３０から一方動作電源電圧ＶＨを受ける。制御信号／φＣＴａ～／φＣＴｃは同じタイミングで活性／非活性状態とされてもよく、またそれぞれ互いに独立に対応のゲート回路の動作状況に合せて活性／非活性状態とされてもよい。

【０１６４】

サブ接地線１５０ａ、１５０ｂ、…１５０ｃそれぞれにおける電圧の調整は、上で図１３ないし図１６を参照して説明したものと同じである。サブ接地線１５０ａ、１５０ｂ、…１５０ｃと複数のサブ接地線に分割することにより、サブ接地線１５０ａ～１５０ｃに接続さるゲート回路の数が低減され、かつサブ接地線の配線長も短くされ、このサブ接地線１５０ａ，１５０ｂ、…１５０ｃの容量が小さくされる。したがって、スイッチングトランジスタＮＷａ～ＮＷｂの導通時においてサブ接地線１５０ａ～１５０ｃの所定の電圧レベルへの電位復帰を高速に行なうことができる。これにより、ゲート回路Ｇａ～Ｇｃの動作開始タイミングを早くすることができ、低消費電流で高速動作する半導体集積回路装置を実現することができる。

【０１６５】

以上のように、この第９の実施例に従えば、サブ接地線を複数のサブ接地線に分割したため、サブ接地線の負荷容量が小さくされ、スイッチングトランジスタ導通時におけるサブ接地線の電位回復をより高速で行なうことができる。

【０１６６】

またサブ接地線はそれぞれ分離されているため、１つのサブ接地線における電圧ノイズが他のサブ接地線へ及ぼす影響を低減することがで、ノイズ耐性に優れた半導体集積回路装置をまた実現することができる（実施例５の効果と同様）。

【０１６７】

［実施例１０］

図１８は、この発明の第１８の実施例である半導体集積回路装置の要部の構成を示す図である。図１８において、ゲート回路Ｇに対し、メイン電源線１００およびサブ電源線１１０ならびにメイン接地線１４０およびサブ接地線１５０が設けられる。メイン電源線１００とサブ電源線１１０との間には抵抗素子Ｒが接続されかつこの抵抗素子Ｒと並列に制御信号φＣＴのローレベルの時導通してメイン電源線１００とサブ電源線１１０を接続するｐチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタＰＷが設けられる。さらに、サブ電源線１１０とメイン接地線１４０の間にキャパシタＣ１が設けられる。

【０１６８】

メイン接地線１４０とサブ接地線１５０の間に抵抗素子Ｒｌが接続されかつこの抵抗素子Ｒｌと並列に制御信号／φＣＴのハイレベルの時導通するｎチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタＮＷが設けられる。サブ接地線１５０とメイン電源線１００の間にキャパシタＣｌが設けられる。

【０１６９】

ゲート回路Ｇは、一例として、ｐチャネルＭＯＳトランジスタＰＱとｎチャネルＭＯＳトランジスタＮＱで構成されるＣＭＯＳインバータの構成を備える。次に動作について簡単に説明する。

【０１７０】
まず、図１９を参照して、入力信号ＩＮがローレベル（Ｌ）からハイレベル（Ｈ）へ変化するときの動作について説明する。入力信号ＩＮがローレベルの状態であり、ゲート回路Ｇが待機状態にあるとき、制御信号φＣＴおよび／φＣＴはそれぞれハイレベルおよびローレベルの非活性状態にあり、トランジスタＰＷおよびＮＷはともにオフ状態にある。ゲート回路Ｇにおいては、トランジスタＰＱはそのソースおよびドレイン電位が同一電位であり、トランジスタＰＱには電流は流れない。一方、トランジスタＮＱが、そのゲート電位がソース電位（サブ接地線１５０上の電圧）よりも低いため、そのサブスレショルド電流は低減されている（図１９には抵抗素子Ｒｌは示さず）。

【０１７１】
次に、ゲート回路Ｇの動作時においては、制御信号φＣＴおよび／φＣＴがともに活性状態とされ、トランジスタＰＷおよびＮＷがともにオン状態とされる。これにより、サブ接地線１５０上の電圧がメイン接地線１４０上の電圧レベルへ低下し、またサブ電源線１１０上の電圧はメイン電源線１００上の電圧レベルに上昇する。このとき、入力信号ＩＮがローレベルからハイレベルへ立上がると、トランジスタＮＱがオン状態とされ、その出力信号ＯＵＴがハイレベルからローレベルへ立下がる。このときサブ接地線１５０の電圧レベルが十分に低下していない場合においても、トランジスタＮＱを介して与えられる放電電流は一旦キャパシタＣｌに吸収され、次いでキャパシタＣｌからトランジスタＮＷを介してメイン接地線１４０へ流れる。これにより、サブ接地線１５０上の電圧が十分にメイン接地線１４０上の電圧レベルにまで低下していない場合にゲート回路Ｇが動作し、その出力信号ＯＵＴがハイレベルからローレベルへ低下する場合においても、高速で出力信号ＯＵＴを所定の電位レベルへと低下させることができる。

【０１７２】
次に、図２０を参照して、入力信号ＩＮがハイレベルからローレベルへ変化するときの動作について説明する。入力信号ＩＮがハイレベルで安定しているとき、制御信号φＣＴおよび／φＣＴは非活性状態にあり、トランジスタＰＷおよびＮＷはともにオフ状態にある（スタンバイサイクル時）。この状態においては、出力信号ＯＵＴはローレベルであり、トランジスタＮＱはそのソースおよびドレインの電位が同じであり、トランジスタＮＱを介しては電流は流れない。一方、トランジスタＰＱは、そのゲートにメイン電源線１００上の電圧レベルのハイレベルの信号を受けており、そのソースがサブ電源線１１０に接続されているため、トランジスタＰＱにおけるサブスレショルド電流は抑制される（図２０においても抵抗素子Ｒは示していない）。キャパシタＣは、このサブ電源線１１０上の電圧レベルに充電されている。

【０１７３】
ゲート回路Ｇの動作時においては、まず制御信号φＣＴおよび／φＣＴが活性状態のローレベルおよびハイレベルとされ、トランジスタＰＷおよびＮＷがオン状態となり、サブ電源線１１０はメイン電源線１００に接続され、サブ接地線１５０がメイン接地線１４０に接続される。この状態において、入力信号ＩＮがハイレベルからローレベルへ低下すると、トランジスタＰＱがオン状態、トランジスタＮＱがオフ状態とされる。この出力信号ＯＵＴの電位立上がりを行なうための充電電流は、キャパシタＣからも供給されるため、サブ電源線１１０における電位低下を抑制し、高速で出力信号ＯＵＴをハイレベルへ立上げることができる。なお、図２０においては、トランジスタＰＷを介して一旦キャパシタＣへ充電電流が流れた後、キャパシタＣから電流がトランジスタＰＱを介して出力ノードへ伝達されるように示されている。しかしながら、トランジスタＰＷのキャパシタＣの充電とトランジスタＰＷからトランジスタＰＱへの電流供給は同時に行なわれている。このキャパシタＣからの充電電流の供給によりサブ電源線１１０の電位低下を抑制することが可能となる。

【０１７４】
すなわち、入力信号ＩＮがハイレベルからローレベルへ立下がるとき、キャパシタＣが設けられていない場合、トランジスタＰＱを介して流れる充電電流のために、図２１におい

て破線で示すように、サブ電源線１１０上の電圧ＶＣが少し低下する（トランジスタＰＷからの供給電流は、サブ電源線１１０の電位が低下した後に与えられ、その応答に遅れがある）。しかしながら、キャパシタＣを設けておくことにより、サブ電源線１１０からトランジスタＰＱへ充電電流を供給することができ、このサブ電源線１１０上の電圧レベルの低下を防止することができる。同様に、入力信号ＩＮがローレベルからハイレベルへ立上がる場合においても、このトランジスタＮＱを介して流れる放電電流は一旦キャパシタＣｌに吸収されるため、サブ接地線１５０上の電圧上昇は防止することができる（図２１においてサブ接地線にキャパシタＣｌが設けられていないときの電圧ＶＳの変化を破線で示す）。

【０１７５】

したがって、図１８に示すように、電源線および接地線両方をメイン／サブの階層構造とし、サブ電源線およびサブ接地線から動作電源電圧をゲート回路へ与える構成とすることにより、ゲート回路Ｇの入力信号ＩＮがハイレベルおよびローレベルいずれのレベルにあってもサブスレショルド電流を抑制することができるとともに、サブ電源線およびサブ接地線の電圧レベルをメイン電源線１００およびメイン接地線１４０上の電圧レベルに高速で回復させることができる。また、ゲート回路動作時におけるサブ電源線１１０およびサブ接地線１５０の電圧変動を抑制することができ、安定に動作する集積回路装置を得ることができる。なお、図１８に示す構成において、抵抗素子ＲおよびＲｌならびにキャパシタＣおよびＣｌの構成としては、先に説明した実施例における構成を利用することができる。

【０１７６】

以上のように、この第１０の実施例に従えば、電源線および接地線両者をメイン／サブの階層構造としたため、ゲート回路の入力信号の論理レベルがハイレベルおよびローレベルいずれであっても確実にサブスレショルド電流を抑制することができるとともに、動作時においてサブ電源線およびサブ接地線の電圧回復を高速で行なうことが可能となる。

【０１７７】

［実施例１１］

図２２は、この発明の第１１の実施例である半導体集積回路装置の要部の構成を示す図である。図２２においても、メイン電源線１００、サブ電源線１１０、メイン接地線１４０およびサブ接地線１５０がゲート回路Ｇに対して設けられる。ゲート回路Ｇは、一例として、ＣＭＯＳインバータの構成を備える。メイン電源線１００とサブ電源線１１０の間に、そのゲートに一定の電圧ＶＣＨ＋αを受けるｎチャネルＭＯＳトランジスタ１６５で構成されるクランプ素子１６０が設けられる。ここでα＜Ｖｔｈｎである。ただしＶｔｈｎはＭＯＳトランジスタ１６５のしきい値電圧を示す。メイン電源線１００とサブ電源線１１０の間にさらに、ゲート回路Ｇの出力信号ＯＵＴをそのゲートに受けるデプレション型のｎチャネルＭＯＳトランジスタ１６７で構成される電流調整素子１６２が設けられる。

【０１７８】

メイン接地線１４０とサブ接地線１５０の間には、そのゲートに一定の基準電圧ＶＳＬ－βを受けるｐチャネルＭＯＳトランジスタ１６６で構成されるクランプ素子１６１と、このクランプ素子１６１と並列に、ゲート回路Ｇの出力信号ＯＵＴをそのゲートに受けるデプレション型ｐチャネルＭＯＳトランジスタ１６８で構成される電流調整素子１６３が設けられる。クランプ素子１６０に含まれるトランジスタ１６５は、メイン電源線１００から、ＶＣＨ＋α－Ｖｔｈｎの電圧をサブ電源線１１０へ伝達する。このサブ電源線１１０上の電圧ＶＣが電圧ＶＣＨ＋α－Ｖｔｈｎ以上となると、トランジスタ１６５はオフ状態とされる。同様、クランプ素子１６１のトランジスタ１６６は、サブ接地線１５０上に電圧ＶＳＬ－β－Ｖｔｈｐの電圧を伝達する。ここでＶｔｈｐはｐチャネルＭＯＳトランジスタ１６６のしきい値電圧であり、負の値を有する。また、定数βは０＜β＜｜Ｖｔｈｐ｜である。サブ接地線１５０上の電圧ＶＳが電圧ＶＳＬ－β－Ｖｔｈｐ以下となると、トランジスタ１６６がオフ状態とされる。このサブ電源線１０上の電圧ＶＣとメイン電源線１００上の電圧ＶＣＨの電圧の差はトランジスタ１６５のしきい値電圧Ｖｔｈｎよりも小

さい。また同様に、メイン接地線１４０とサブ接地線１５０の間の電圧差もトランジスタ１６６のしきい値電圧Ｖｔｈｐの絶対値よりも小さい。

【０１７９】

図２３に、図２２に示すＭＯＳトランジスタ１６７および１６８のゲート－ソース電圧Ｖｇｓとドレイン電流Ｉｄｓの関係を示す。トランジスタ１６７は、そのゲート－ソース間電圧ＶｇｓがＶ１となるとオフ状態となり、トランジスタ１６８は、そのゲート－ソース間電圧がＶ２となるとオフ状態となる。次にこの図２２に示す回路の動作について説明する。

【０１８０】

入力信号ＩＮがメイン電源線１００上の電圧ＶＣＨレベルのハイレベルのとき、ゲート回路Ｇにおいては、トランジスタＰＱがオフ状態、トランジスタＮＱがオン状態とされる。トランジスタＰＱは、そのゲート電圧がサブ電源線１１０上の電圧ＶＣよりも高く、そのサブスレショルド電流は十分に抑制される。このとき、出力信号ＯＵＴはサブ接地線１５０上の電圧ＶＳレベルである。サブ接地線１５０上の電圧ＶＳは、クランプ素子１６１により、ＶＳ＝ＶＳＬ－β－Ｖｔｈｐである。トランジスタ１６７は、そのゲートに電圧ＶＳＬ－β－Ｖｔｈｐを受け、そのソースに電圧ＶＣを受けており、そのゲート－ソース間電圧は、電圧Ｖ１よりもはるかに低く、トランジスタ１６７は十分深いオフ状態とされる。これにより、サブ電源線１１０へは、クランプ素子１６０を介してのみ電流が供給され、このサブ電源線１１０上の電圧は、ＶＣＨ＋α－Ｖｔｈｎの電圧レベルに維持される。一方、電流調整素子１６３においては、出力信号ＯＵＴはサブ電源線１５０上の電圧ＶＳレベルであり、そのゲート－ソース間電圧は０Ｖであり、サブ接地線１５０からメイン接地線１４０へ電流が流れ、このサブ接地線１５０の電圧レベルは接地電圧ＶＳＬレベルにまで放電される。これにより、トランジスタ１６７はより深いオフ状態とされる。

【０１８１】

一方、入力信号ＩＮがローレベル（電圧ＶＳＬレベル）のとき、トランジスタＰＱがオン状態、トランジスタＮＱがオフ状態とされる。ゲート回路Ｇの出力信号ＯＵＴはサブ電源線１１０上の電圧ＶＣレベルであり、トランジスタ１６８のゲート電圧はそのソース電圧よりも十分高くなり、トランジスタ１６８は深いオフ状態とされる。したがってサブ接地線１５０上の電圧ＶＳはクランプ素子１６１のトランジスタ１６６により電圧ＶＳＬ－β－Ｖｔｈｐの電圧レベルに維持される。これによりゲート回路Ｇにおけるトランジスタ ＮＱはそのゲート－ソース間が逆バイアス状態とされ、より深いオフ状態となり、サブスレショルド電流が抑制される。一方、出力信号ＯＵＴがサブ電源線１１０上の電圧ＶＣレベルであり、トランジスタ１６７は、そのゲートおよびソースの電位が等しくなり、メイン電源線１００からサブ電源線１１０へ電流を供給し（Ｖｇｓ＝０）、サブ電源線１１０上の電圧をメイン電源線１００上の電圧ＶＣＨレベルにまで上昇させる。これにより、ゲート回路Ｇへ与えられる入力信号ＩＮがハイレベルおよびローレベルいずれの場合においても、サブスレショルド電流を十分に抑制しつつ高速でサブ電源線およびサブ接地線上の電圧を所定の電圧レベルに回復させることのできる集積回路装置を実現することができる。

【０１８２】

［実施例１２］

図２４は、この発明の第１２の実施例である半導体集積回路装置の要部の構成を示す図である。図２４においては、２つのカスケードされたゲート回路Ｇ１およびＧ２に対し、高電位側の電流を調整する電流調整素子１６２ａおよび１６２ｂならびに低電位側の電流を調整する電流調整素子１６３ａおよび１６３ｂが設けられる。電流調整素子１６２ａは、電源ノード１００とゲート回路Ｇ１の電源供給ノード（サブ電源電圧供給ノード）の間に接続され、そのゲートにゲート回路Ｇ１の出力信号を受けるデプレション型ｎチャネルＭＯＳトランジスタ１６７ａで構成される。電流調整素子１６２ｂは、電源ノード１００とゲート回路Ｇ２の電源供給ノードの間に接続され、そのゲートにゲート回路Ｇ２の出力信号を受けるデプレション型ｎチャネルＭＯＳトランジスタ１６７ｂを備える。

【０１８３】

電流調整素子１６３ａは、接地ノード１４０とゲート回路Ｇ１の他方電源ノード（サブ接地ノード）の間に接続され、そのゲートにゲート回路Ｇ１の出力信号を受けるデプレション型ｐチャネルＭＯＳトランジスタ１６８ａを備える。電流調整素子１６３ｂは、接地ノード１４０とゲート回路Ｇ２のサブ接地ノードの間に接続され、そのゲートにゲート回路Ｇ２の出力信号を受けるデプレション型ｐチャネルＭＯＳトランジスタ１６３ｂを備える。

【０１８４】

このデプレション型１６７ａ、１６７ｂ、１６８ａおよび１６８ｂは、それぞれ図２３に示すゲートーソース電圧／ドレイン電流特性を備える。

【０１８５】

ゲート回路Ｇ１はｎチャネルＭＯＳトランジスタＮＱ１およびｐチャネルＭＯＳトランジスタＱＰ１を含むＣＭＯＳインバータの構成を備える。ゲート回路Ｇ２も、同様に、ｐチャネルＭＯＳトランジスタＱＰ２およびｎチャネルＭＯＳトランジスタＮＱ２を含むＣＭＯＳインバータの構成を備える。

【０１８６】

入力信号ＩＮがハイレベルのとき、トランジスタＰＱ１がオフ状態、トランジスタＮＱ１がオン状態となり、このゲート回路Ｇ１の出力信号はローレベルとなる。このとき、トランジスタ１６８ａがオン状態となり、低抵抗状態となってゲート回路Ｇ１の出力信号をローレベルへと放電する。トランジスタ１６８ａはデプレション型トランジスタであり、ゲート回路Ｇ１の出力信号は接地電圧ＶＳＬレベルにまで放電される。一方、トランジスタ１６７ａは、そのソースに電源電圧ＶＣＨを受け、そのゲートにローレベルの信号を受けており、ゲートーソース間電圧は負電圧であり、オフ状態（または高抵抗状態）となり、電源ノード１００からゲート回路Ｇ１への電流供給はほとんど生じない。

【０１８７】

ゲート回路Ｇ２においては、ゲート回路Ｇ１から与えられるローレベルの信号により、トランジスタＰＱ２がオン状態、トランジスタＮＱ２がオフ状態となる。ゲート回路Ｇ２の出力信号ＯＵＴがハイレベルとなり、トランジスタ１６８ｂがオフ状態（または高抵抗状態）とされる。一方、トランジスタ１６７ｂが深いオン状態となり、電源ノード１００から電圧ＶＣＨをゲート回路Ｇ２のトランジスタＰＱ２へ伝達する。このとき、ｎチャネルＭＯＳトランジスタ１６７ｂにおいては、高電位を受ける導通端子がドレイン端子であり、トランジスタ１６７ｂは、ゲート回路Ｇ２の電源供給ノード（トランジスタＰＱ２のソース）へ電源電圧ＶＣＨレベルの電圧を伝達することができる。

【０１８８】

以上のように、この第１２の実施例に従えば、ゲート回路の電源供給ノードと電源ノードの間および／または接地ノードとゲート回路の接地電圧供給ノードの間にゲート回路の出力信号に従ってその抵抗値が出力信号の電圧レベルに比例的に変化する可変抵抗を有する電流調整素子を設けたので、スタンバイサイクル時および動作サイクル時いずれの場合においても入力信号の論理レベルにかかわらずサブスレショルド電流の発生を抑制し、十分に消費電流を低減することができる。

【０１８９】

［実施例１３］

図２５は、この発明の第１３の実施例である半導体集積回路装置の要部の構成を示す図である。図２５においては、ゲート回路Ｇ１およびＧ２の電源供給ノードと電源線１００の間に電流調整素子１６２ｃおよび１６２ｄがそれぞれ設けられ、同様、ゲート回路Ｇ１およびＧ２と接地電位供給ノードと接地ノード１４０の間に電流調整素子１６３ｃおよび１６３ｄがそれぞれ設けられる。

【０１９０】

ゲート回路Ｇ１およびＧ２は、それぞれｐチャネルＭＯＳトランジスタＰＱとｎチャネルＭＯＳトランジスタＮＱで構成されるＣＭＯＳインバータの構成を備える。

【０１９１】

電流調整素子１６２ｃは、その一方導通端子（ソース）が電源線１００に接続され、そのゲートおよび他方導通端子（ドレイン）がゲート回路Ｇ１の電源供給ノードに接続される。ｐチャネルＭＯＳトランジスタの構成を備える。電流調整素子１６２ｄは、その一方導通端子（ソース）が電源線１００に接続され、そのゲートおよび他方導通端子（ドレイン）がゲート回路Ｇ２の電源供給ノードに接続される。トランジスタＰＴ１およびＰＴ２のゲート長（チャネル長）はゲート回路Ｇ１およびＧ２に含まれるトランジスタＰＱのそれよりも短くされる。

【０１９２】

電流調整素子１６３ｃは、その一方導通端子（ソース）が接地ノード１４０に接続され、そのゲートおよび他方導通端子（ドレイン）がゲート回路Ｇ１の接地電位供給ノードに接続されるｎチャネルＭＯＳトランジスタＮＴ１を含む。電流調整素子１６３ｄは、その一方導通端子（ソース）が接地ノード１４０に接続され、そのゲートおよび他方導通端子（ドレイン）がゲート回路Ｇ２の接地電位供給ノードに接続されるｎチャネルＭＯＳトランジスタＮＴ２を含む。トランジスタＮＴ１およびＮＴ２のゲート長（チャネル長）はゲート回路Ｇ１およびＧ２に含まれるｎチャネルＭＯＳトランジスタＮＱのそれよりも短くされる。トランジスタＰＴ１、ＰＴ２、ＮＴ１およびＮＴ２のゲート長（チャネル長）を短くすることにより、ソース領域およびドレイン領域近傍の空乏層領域のつながりを容易にし、パンチスルー現象を生じさせやすくする。

【０１９３】

図２６は図２５に示す構成の１つのゲート回路に関連する部分の構成を示す図である。図２６において、半導体基板（また半導体層）１７０上にＮウェル１７２およびＰウェル１７４が形成される。Ｎウェル１７２内に、ｐチャネルＭＯＳトランジスタＰＴおよびＰＱが形成され、Ｐウェル１７４内に、ｎチャネルＭＯＳトランジスタＮＱおよびＮＴが形成される。ＭＯＳトランジスタＰＴは、不純物領域１８０および１８１と、これら不純物領域１８０および１８１を覆うように形成される不純物領域１８２および１８３を含む。不純物領域１８０および１８２がトランジスタＰＴのソース領域を形成し、不純物領域１８１および１８３がトランジスタＰＴ３のドレイン領域を形成する。不純物領域１８１および１８３は、ゲート電極層１８５に接続される。このＭＯＳトランジスタＰＴのチャネル長は不純物領域１８２および１８３の間の距離Ｌａにより表わされる。トランジスタＰＱは、不純物領域１８１および１８４と、ゲート電極層１８６により形成される。このトランジスタＰＱのチャネル長は、不純物領域１８１および１８４の間の距離Ｌｂにより与えられる。

【０１９４】

ＭＯＳトランジスタＮＴは、Ｐウェル１７４の表面に形成される不純物領域１９０および１９１と、これらの不純物領域１９０および１９１を覆うように形成される不純物領域１９２および１９３と、これらの不純物領域１９０および１９２と不純物領域１９１および１９３の間のチャネル領域上に形成されるゲート電極層１９５により構成される。ゲート電極層１９５は不純物領域１９１および１９３に接続され、不純物領域１９２および１９０が接地ノード１４０に接続される。

【０１９５】

ＭＯＳトランジスタＮＱは、不純物領域１９１と、不純物領域１９４と、これらの不純物領域１９１および１９４の間のＰウェル１７４の表面上に形成されるゲート電極層１９６で構成される。ＭＯトランジスタＮＴのチャネル長は不純物領域１９２および１９３の間の距離Ｌｄにより与えられ、ＭＯＳトランジスタＮＱのチャネル長は不純物領域１９１および１９４の間の距離Ｌｃにより与えられる。図２６から明らかなように、Ｌｂ＞Ｌａ、Ｌｄ＞Ｌｃである。

【０１９６】

不純物領域１８４および１９４がともに接続されて出力ノードを形成し、ゲート電極層１８６および１９６がともに接続されて入力ノードを形成する。次に図２５および図２６に示す構成の動作について説明する。

【０１９７】
入力信号ＩＮがハイレベルのとき、ゲート回路Ｇ１においてトランジスタＰＱがオフ状態、トランジスタＮＱがオン状態であり、ゲート回路Ｇ１の出力信号はローレベルとなる。このとき、電流調整素子１６３ｃにおけるトランジスタＮＴ１は、ゲート回路Ｇ１の接地電位供給ノードの電位が上昇するとパンチスルー現象を生じさせ、このゲート回路Ｇ１の接地電位供給ノードを接地電位レベルへと放電する。したがって、このゲート回路Ｇ１の出力信号のローレベルは十分接地電圧ＶＳＬに近い電圧レベルとなる。一方、ゲート回路Ｇ１のｐチャネルＭＯＳトランジスタＰＱはサブスレショルド電流領域で動作するが、このときゲート回路Ｇ１の電源供給ノードの電位が低下すると、電流調整素子１６２ｃのトランジスタＰＴ１がパンチスルー現象を生じさせて電源線１００から電流を供給し、このゲート回路Ｇ１の電源供給ノードの電位を上昇させてトランジスタＰＱをより深いオフ状態とし、このトランジスタＰＱを流れるサブスレショルド電流を抑制する。

【０１９８】
ここで、パンチスルー現象を生じさせたトランジスタにおいては、図２７に示すように、不純物領域間に空乏層がつながり、チャネル領域に反転層が容易に形成される状態となり、このチャネルにおける反転層においてピンチオフ点は存在せず、そのゲート電位に従って電流が一方の不純物領域から他方不純物領域へ加速的に流れる。図２７においては、トランジスタＰＴにおいて、不純物領域１８２および１８３の間の空乏層１９８がつながり、反転層１９９が形成されて不純物領域１８２および１８３が導通状態とされた状態が示される。この図２７に示す場合には、不純物領域１８３の電位が低下すると、不純物領域１８２から不純物領域１８３へ電流が供給される。このとき、パンチスルー現象においては、ほとんどゲート電極１８５の電位による電流の制御性は失われ、不純物領域１８２および１８３の間の電圧差に従って電流が流れる。これにより、ゲート回路Ｇ１の電源供給ノードの電位低下を高速で抑制することができ、トランジスタＰＱをより深いオフ状態とすることができる。

【０１９９】
ゲート回路Ｇ１の電源供給ノードの電位が高くなると、空乏層１９８が分離し、このトランジスタＰＴ１のパンチスルー現象がなくなり、電流供給が停止される。すなわち、トランジスタＰＱを流れるサブスレショルド電流とトランジスタＱＴ１がパンチスルー現象を起こす電圧がバランスした電圧レベルにゲート回路Ｇ１の電源供給ノードの電圧レベルが設定される。

【０２００】
ゲート回路Ｇ２においては、その入力信号がローレベルであり、トランジスタＰＱがオン状態となり、出力信号ＯＵＴはハイレベルとなる。出力信号ＯＵＴの電位上昇時においても、トランジスタＰＴ２により電流が高速で供給され、出力信号ＯＵＴの電位レベルは高速で立上がる。またトランジスタＰＴ２における電圧降下は極めて小さく、出力信号ＯＥＴの電圧レベルはほぼ電源線１００への電圧レベルとなる（トランジスタＰＴ２において電流が流れないとき、出力信号ＯＵＴは電源線１００上の電圧レベルとなる）。

【０２０１】
一方、ゲート回路Ｇ２のトランジスタＮＱはそのゲート電圧が接地電圧レベルであり、サブスレショルド電流領域で動作する。この場合においては、トランジスタＮＱを介してサブスレショルド電流が流れる場合、その接地電位ノードが上昇した場合にはトランジスタＮＴ２においてパンチスルー現象が生じ、接地電位供給ノードを高速で接地電位レベルまで放電する。トランジスタＮＱを流れるサブスレショルド電流とトランジスタＮＴ２のパンチスルーが生じる電圧とがバランスする電圧レベルにこのゲート回路Ｇ２の接地電位供給ノードの電圧レベルが設定される。トランジスタＮＱを流れるサブスレショルド電流が十分抑制されると、トランジスタＮＴ２のゲートおよびど電圧が十分低下し、かつトランジスタＮＱのゲートは逆バイアス状態とされるため十分このトランジスタＮＱを流れるサブスレショルド電流を抑制することができる。

【０２０２】

これら一連の動作により、低消費電流で高速に動作する半導体集積回路装置を実現することができる。

【０２０３】

［変更例１］

図２８は、この発明の第１３の実施例の変更例の構成を示す図である。図２８に示す構成においては、サブ電源線１１０およびサブ接地線１５０に複数のゲート回路Ｇａ、Ｇｂが接続される。ゲート回路ＧａおよびＧｂは互いに並列に動作する。メイン電源線１００とサブ電源線１１０の間にそのチャネル長が十分短くされたｐチャネルＭＯＳトランジスタＰＴが接続される。トランジスタＰＴはその一方導通端子がメイン電源線１００に接続され、その他方導通端子およびゲートがサブ接地線１１０に接続される。メイン接地線１４０とサブ接地線１５０の間に、そのチャネル長が十分短くされたｎチャネルＭＯＳトランジスタＮＴが接続される。トランジスタＮＴは、その一方導通端子およびゲートがメイン接地線１４０に接続され、その他方導通端子がサブ接地線１５０に接続される。トランジスタＰＴは、サブ電源線１１０の電圧が低下すると、パンチスルー現象を起こし、メイン電源線１００からサブ電源線１１０へ電流を供給し、このサブ電源線１１０の電圧低下を防止する。一方、トランジスタＮＴは、サブ接地線１５０上の電圧が上昇すると、パンチスルー現象を生じさせてサブ接地線１５０からメイン接地線１４０へ電流の流れを生じさせる。これによりサブ接地線１５０の電圧ＶＳをメイン接地線１４０上の電圧ＶＳＬに近いレベルに低下させる。

【０２０４】

図２８に示す構成においては、サブ電源線１１０上の電圧ＶＣは、ゲート回路ＧａおよびＧｂの出力充電用トランジスタ（図２５のｐチャネルＭＯＳトランジスタＰＱに対応）を流れるサブスレショルド電流とトランジスタＰＴのパンチスルー電圧（パンチスルーが生じる電圧）とがバランスしている電圧、より正確には、ゲート回路ＧａおよびＧｂのサブ電源線１１０から出力ノードへ流れるサブスレショルド電流とトランジスタＰＴを介してメイン電源線１００からサブ電源線１１０へ流れるリーク電流が等しくなる電圧レベルとなる。トランジスタＰＴのチャネル長は十分短く、そのしきい値電圧はいわゆる短チャネル効果により十分小さくされ、メイン電源線１００上の電圧ＶＣＨとサブ電源線１１０上の電圧ＶＣとの差は十分小さくされる。

【０２０５】

同様、サブ接地線１５０上の電圧ＶＳは、ゲート回路ＧａおよびＧｂの出力放電用トランジスタ（図２５のｎチャネルＭＯＳトランジスタＮＱに対応）を介して流れるサブスレショルド電流とトランジスタＮＴのリーク電流（パンチスルーが生じる前の状態における電流）とがバランスするレベルとなる。

【０２０６】

この図２８に示す構成に従えば、ゲート回路ＧａおよびＧｂの入力信号の論理レベルにかかわらず、これらのゲート回路ＧａおよびＧｂにおけるサブスレショルド電流を十分に小さくすることができる。

【０２０７】

以上のように、この発明の第１３の実施例に従えば、ゲート回路の一方電源ノードとこの一方電源ノードへ電流を供給する電源線の間にチャネル長が十分小さくされたパンチスルー現象を生じさせやすいトランジスタを接続したため、ゲート回路におけるサブスレショルド電流を十分抑制することができるとともに、電源ノードとゲート回路の電源供給ノードとの間の電位差を十分小さくすることができる。

【０２０８】

［電流調整用トランジスタの製造方法］

図２９ないし図３１は、図２５ないし図２８に示す電流調整用トランジスタＰＴおよびＮＴの製造工程を概略的に示す図である。図２９および図３０においては、トランジスタＰＴおよびＮＴの一方のトランジスタのみを示す。以下、図２９ないし図３１を参照して、導通時パンチスルー現象を生じさせるトランジスタの製造方法について説明する。

【０２０９】
まず、半導体基板領域（ウェル領域）２００表面上にゲート電極層２０２ａおよび２０２ｂが間隔をおいて形成される。このゲート電極層２０２ａおよび２０２ｂをスペーサ層２０３ａおよび２０３ｂで覆う。スペーサ層２０３ａおよび２０３ｂは後の工程で形成される不純物領域が不必要にゲート電極層下にまで拡散するのを防止するために設けられる。次いでこのスペーサ層２０３ａおよび２０３ｂをマスクとしてイオン２０４の注入を行ない、高濃度不純物領域２０１ａ、２０１ｂ、および２０１ｃを形成する。これにより、まずゲート回路を構成するトランジスタ（ＰＱまたはＮＱ）が形成される（図２９参照）。
【０２１０】
次に、ゲート回路の構成要素であるトランジスタ（不純物領域２０１ｂの一部分および不純物領域２０１ｃおよびスペーサ層２０３ｂ）を覆うようにレジスト層２０５を形成する（図３０参照）。この状態でイオン２０７を斜め方向から注入する。この斜め方向から注入されるイオン２０７はスペーサ層２０３ａおよびゲート電極層２０２ａの下部にまで拡散し、不純物領域２０１ａおよび２０１ｂを覆うように高濃度不純物領域２０６ａおよび２０６ｂが形成される。この不純物領域２０６ａおよび２０６ｂの間の距離は不純物領域２０１ａおよび２０１ｂの間の距離よりも十分小さくされる。すなわち、ゲート０極層２０２ａの下部にまで不純物領域２０６ａおよび２０６ｂが形成された短チャンネルトランジスタが形成される。
【０２１１】
図３０に示すイオン２０７の斜め注入時においては、図３１に示す方法が利用される。すなわち、図３１に示すように、載置台２１０上に半導体集積回路装置が形成されたウェハ２１２が載置される。この載置台２１０は水平方向に対して角度θの傾きを有している。この載置台２１０を回転させつつ垂直方向からイオン２０８を照射することにより、図３０に示す斜めイオン注入が行なわれ、図３０に示す不純物領域２０６ａおよび２０６ｂが形成される。
【０２１２】
この図２９ないし図３１に示す構成に従えば、ゲート回路の構成要素であるＭＯＳトランジスタと同じ工程で電流調整用のトランジスタを形成した後、ゲート回路のトランジスタ部分をレジスト膜で覆った後にイオンの斜め注入を行なうだけであり、容易にパンチスルーを生じさせる短チャンネルＭＯＳトランジスタを形成することができる。
【０２１３】
なお、このとき、不純物領域２０１ａ、２０１ｂ、および２０１ｃを形成する不純物と不純物領域２０６ａ、２０６ｂを形成するための不純物はたとえばリン（Ｐ）とヒ素（Ａｓ）のように互いに拡散係数の異なる不純物が用いられてもよい。拡散係数の大きい不純物を用いて斜め方向イオン注入が行なわれ、不純物領域２０６ａおよび２０６ｂが形成されてもよい。
【０２１４】
以上のように、この発明の第１３の実施例に従えば、サブ電源線／サブ接地線上の電圧をできるだけメイン電源線／メイン接地線上の電圧レベルに近い値に設定するとともにサブスレショルド電流を効果的に抑制することができる。また電流調整素子として、短チャンネルのＭＯＳトランジスタを用い、かつゲート回路に含まれるＭＯＳトランジスタと同じ導電型の短チャンネルトランジスタを隣接して配置することにより、容易に電流調整用のトランジスタ素子を形成することができる。
以下の説明においては、半導体集積回路装置の一具体例として半導体記憶装置における構成について説明する。半導体記憶装置としては、ダイナミック型半導体記憶装置が示されるが、後に説明するワード線昇圧およびビット線イコライズの構成はスタティック型半導体記憶装置（ＳＲＡＭ）に対しても適用可能である。
【０２１５】
［半導体記憶装置の全体構成］
図３２は、この発明の一実施例である半導体記憶装置の全体の構成を概略的に示す図であ

る。図３２において、半導体記憶装置は、メモリセルＭＣが行および列のマトリックス状に配列されるメモリセルアレイ３００と、メモリセルアレイ３００におけるメモリセルを指定するアドレス信号を入力して内部アドレス信号を生成するアドレスバッファ３０２を含む。メモリセルアレイ３００においては、それぞれに１行のメモリセルＭＣが接続されるワード線ＷＬと、それぞれに１列のメモリセルＭＣが接続される複数のビット線対ＢＬ，／ＢＬが配置される。図３２においては、１本のワード線ＷＬおよび１対のビット線ＢＬおよび／ＢＬを代表的に示す。メモリセルＭＣはワード線と１対のビット線との交差部に対応して配置されるが、図３２においてはビット線ＢＬとワード線ＷＬの交差部に配置されるメモリセルＭＣが代表的に示される。メモリセルＭＣは、情報を電荷の形態で記憶するメモリキャパシタＭＱと、ワード線ＷＬ上の電位に応答して導通してメモリキャパシタＭＱをビット線ＢＬに接続するアクセストランジスタＴを含む。

【０２１６】

アドレスバッファ３０２は、このメモリセルアレイ３００における行（ワード線）を指定するロウアドレス信号とメモリセルアレイ３００における列（ビット線対）を指定するコラムアドレス信号とを受けて内部ロウアドレス信号および内部コラムアドレス信号を生成する。一般に、ダイナミック型半導体記憶装置においては、アドレスバッファ３０２へは、ロウアドレス信号とコラムアドレス信号とは時分割的に与えられる。

【０２１７】

半導体記憶装置は、さらに、アドレスバッファ３０２からの内部ロウアドレス信号をデコードし、メモリセルアレイ３００における対応の行を指定する信号を発生するロウデコード回路３０４と、ロウデコード回路３０４の出力するワード線指定信号に従って、指定されたワード線へ高電圧Ｖｐｐを与えてその指定されたワード線を選択状態へ駆動するワード線ドライブ回路３０６と、アドレスバッファ３０２からの内部コラムアドレス信号をデコードして、メモリセルアレイ３００における対応の列（ビット線対）を指定する列選択信号を発生するコラムデコーダ３１０と、メモリセルアレイ３００の各列（ビット線対）の電位を増幅しラッチするセンスアンプおよびコラムデコーダ３１０の出力信号に応答して選択された列を入出力回路３１２へ接続するＩＯゲートを含む。図３２においては、センスアンプとＩＯゲートはセンス・ＩＯブロック３０８として示す。センスアンプはビット線対それぞれに対応して設けられており、またＩＯゲートもビット線対それぞれに対応して配置される。これらの構成については後に詳細に説明する。

【０２１８】

半導体記憶装置は、さらに、電源電圧Ｖｃｃおよび接地電圧ＧＮＤを受けて内部高電圧Ｖｐｐを発生するＶｐｐ発生回路３１４と、電源電圧Ｖｃｃおよび接地電圧ＧＮＤを受けて負電圧Ｖｂｂを発生するＶｂｂ発生回路３１６を含む。この電源電圧Ｖｃｃおよび接地電圧ＧＮＤはメイン電源線／メイン接地線上の電圧であってもよく、またサブ電源線／サブ接地線上の電圧であってもよいため、それぞれ符号ＶｃｃおよびＧＮＤで示す。

【０２１９】

Ｖｐｐ発生回路３１４およびＶｂｂ発生回路３１６は、後にその詳細構成については説明するが、自身が発生する高電圧Ｖｐｐおよび負電圧Ｖｂｂを動作電源電圧として受けて動作し、これにより効率的に内部高電圧Ｖｐｐおよび負電圧Ｖｂｂを生成する。図３２においては、Ｖｐｐ発生回路３１４の出力する内部高電圧Ｖｐｐはワード線ドライブ回路３０６へ与えられ、Ｖｂｂ発生回路３１６の出力する負電圧Ｖｂｂはメモリセルアレイ３００に与えられるように示される。ワード線ドライブ回路３０６は、この高電圧Ｖｐｐをワード線ＷＬ上へ伝達することにより、メモリセルＭＣのアクセストランジスタＴにおけるしきい値電圧損失を補償し、電源電圧レベルの情報をメモリキャパシタＭＱへ書込むのを可能にする。

【０２２０】

半導体記憶装置は、さらに、外部制御信号／ＲＡＳ、／ＣＡＳおよび／ＷＥに応答して各種内部制御信号ＢＬＩ，ＥＱ，φＳを発生する制御回路３１８と、装置外部とデータＤＱの入出力を行なう入出力回路３１２を含む。信号／ＲＡＳは、ロウアドレスストローブ信

号であり、この半導体記憶装置のメモリサイクルを規定する。信号／ＣＡＳは、コラムアドレスストローブ信号であり、列選択動作開始およびデータ読出タイミングを決定する。信号／ＷＥはライトイネーブル信号であり、この半導体記憶装置がデータ書込モードであるかデータ読出モードであるかを指定する。信号ＢＬＩは、メモリセルアレイ３００に含まれるセンスアンプがシェアードセンスアンプ配置（この構成については後に説明する）の場合にセンスアンプとビット線対とを接続するための制御信号である。信号ＥＱは、ビット線対の電位をスタンバイサイクル時に所定の電位（Ｖｃｃ／２）にイコライズ／プリチャージするためのイコライズ信号である。信号φＳはセンスアンプを活性化するための信号である。

【０２２１】

通常、半導体記憶装置においては、高電圧Ｖｐｐは選択ワード線へ伝達されるのみならず、制御信号ＢＬＩ、ＥＱおよびφＳ２を発生するためにも利用される。まず以下の説明においては、ワード線ドライブ回路に対する電源配置の構成について説明する。また、先に説明した実施例１ないし１３の電源配置が適用可能であるが、主としてこの実施例１ないし１３に含まれない構成について説明する。

【０２２２】

［実施例１４］

図３３は、この発明の第１４の実施例の構成を概略的に示す図である。図３３においては、図３２に示すワード線ドライブ回路３０６の電源構成が示される。ワード線ドライブ回路３０６は、メモリセルアレイ３００に含まれるワード線ＷＬそれぞれに対応して設けられるワードドライバを含む。ワードドライバは複数のグループに分割される。図３３においては、２つのワード線ドライバグループを代表的に示す。１つのワードドライバグループはワード線ＷＬａ０、ＷＬａ１、ＷＬａ２…に対応して設けられるワードドライバＷＤａ０、ＷＤａ１、ＷＤａ２…を含む。他のグループが、ワード線ＷＬｂ０、ＷＬｂ１、ＷＬｂ２…に対応して設けられるワードドライバＷＤｂ０、ＷＤｂ１、ＷＤｂ２…を含む。ワードドライバＷＤａ０～ＷＤｂ２には、図３２に示すロウデコード回路３０４に含まれるワード線それぞれに対応して設けられるロウデコーダの出力信号が与えられる。このロウデコーダおよびワードドライバの関係については後に詳細に説明する。ここでは、単に選択ワード線に対応して設けられたワードドライバへはローレベルの信号が与えられることのみを示す。

【０２２３】

ワードドライバＷＤａ０～ＷＤａ２に対してサブＶｐｐ線３３０ａが配置され、ワードドライバＷＤｂ０～ＷＤｂ２にはサブＶｐｐ線３３０ｂが設けられる。サブＶｐｐ線３３０ａ、３３０ｂ、…に対して共通にメインＶｐｐ線３２０が設けられる。メインＶｐｐ線３２０上には、図３２に示すＶｐｐ発生回路３１４からの高電圧Ｖｐｐが与えられる。サブＶｐｐ線３３０ａとメインＶｐｐ線３２０の間には、高抵抗の抵抗素子Ｒａと、ワード線グループ選択信号／Ｂａに応答して導通するスイッチングトランジスタＰＷａが設けられる。サブＶｐｐ線３２０ｂとメインＶｐｐ線３２０の間に、高抵抗の抵抗素子Ｒｂと、ワード線グループ選択信号／Ｂｂに応答して導通するスイッチングトランジスタＰＷｂが設けられる。ワードドライバＷＤａ０～ＷＤｂ２は、ｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとからなるＣＭＯＳインバータの構成を備える。ワードドライバＷＤａ０～ＷＤｂ２に含まれるｐチャネルＭＯＳトランジスタＰＱの基板領域（ウェル領域または半導体層）はメインＶｐｐ線３２０に接続される。スイッチングトランジスタＰＷａおよびＰＷｂの基板領域もメイン電源線３２０に接続される。ｐチャネルＭＯＳトランジスタＰＱの基板領域をメインＶｐｐ線３２０に接続することにより以下の利点が得られる。

【０２２４】

メインＶｐｐ線３２０上の電圧はサブＶｐｐ線３３０ａ、３３０ｂ…上の電圧以上である。すなわち、ワードドライバＷＤａ０～ＷＤｂ２に含まれるｐチャネルＭＯＳトランジスタＰＱはその基板領域に与えられるバイアス電圧がソース電位よりも高くなる（スイッチ

ングトランジスタＰＷａおよびＰＷＢがオフ状態のとき）。この状態においては、ｐチャネルＭＯＳトランジスタＰＱの基板効果により、これらのしきい値電圧の絶対値が大きくなり、ワードドライバＷＤａ０～ＷＤｂ２にハイレベルの信号が与えられたとき、実効的にそのｐチャネルＭＯＳトランジスタＰＱやゲートへ与えられる電圧レベルがこの基板効果により高くなり、サブスレショルド電流領域で動作するｐチャネルＭＯＳトランジスタＰＱにおけるサブスレショルド電流が低減される。次に動作について簡単に説明する。

【０２２５】

この図３３に示す回路の動作は、本質的に図５ないし図６に示した構成のそれと同じである。半導体記憶装置においては、動作サイクルはスタンバイサイクルとアクティブサイクルを含む。この動作サイクルは信号／ＲＡＳにより決定される。スタンバイサイクル時においては、グループ選択信号／Ｂａおよび／Ｂｂはともに高電圧Ｖｐｐレベルのハイレベルにあり、スイッチングトランジスタＰＷａおよびＰＷｂはオフ状態にある。この状態においては、サブＶｐｐ線３３０ａおよび３３０ｂへは、それぞれ、抵抗素子ＲａおよびＲｂを介して電流が供給される。スタンバイサイクル時において、ロウデコーダの出力信号はハイレベルであり、ワードドライバＷＤａ０～ＷＤｂ２へはハイレベルの信号が与えられる。ワードドライバＷＤａ０～ＷＤｂ２のｎチャネルＭＯＳトランジスタＮＱは対応のワード線ＷＬａ０～ＷＬｂ２を接地電位レベルへ放電した後にオフ状態とされる。一方、ｐチャネルＭＯＳトランジスタＰＱはサブスレショルド電流領域で動作し、サブＶｐｐ線３３０ａおよび３３０ｂからその出力ノードへサブスレショルド電流を供給する。ｐチャネルＭＯＳトランジスタＰＱを介して流れるサブスレショルド電流が増加すると、対応の抵抗素子ＲａおよびＲｂにおける電圧降下が大きくなり、ワードドライバＷＤａ０～ＷＤｂ２に含まれるｐチャネルＭＯＳトランジスタＰＱのゲート－ソース間が逆バイアス状態とされ、そのサブスレショルド電流が低減される。すなわち、サブＶｐｐ線３３０ａおよび３３０ｂの電圧が、抵抗素子ＲａおよびＲｂを介して流れる電流と、対応のグループのワードドライバを介して流れるサブスレショルド電流がバランスする電圧レベルに到達する。これにより、ワードドライバにおけるサブスレショルド電流を低減するとともに、サブＶｐｐ線３３０ａおよび３３０ｂにおける電圧降下を小さくすることができる。

【０２２６】

アクティブサイクルが始まると、制御信号／Ｂａおよび／または／Ｂｂが活性状態のローレベルとされ、スイッチングトランジスタＰＷａおよび／またはＰＷｂがオン状態とされ、サブＶｐｐ線３３０ａおよび／または３３０ｂがメイン電源線３２０と接続され、サブＶｐｐ線３３０ａおよび／または３３０ｂの電圧がメインＶｐｐ線３２０上の電圧レベルに等しくなる。これにより、選択ワード線上へ高電圧Ｖｐｐが伝達される。

【０２２７】

ここで、スイッチング制御信号／Ｂａおよび／Ｂｂはワード線選択動作時にすべて同時に活性状態とされてもよく、また選択ワード線を含むグループに対応して設けられたスイッチングトランジスタのみがオン状態とされる構成が利用されてもよい。このスイッチングトランジスタＰＷａおよび／またはＰＷｂのオン状態移行時においては、サブＶｐｐ線３３０ａおよび／または３３０ｂ上の電圧とメインＶｐｐ線３２０の電圧の差は小さく、高速でサブＶｐｐ線３３０ａおよび３３０ｂ上の電圧はメインＶｐｐ線３２０上の電圧レベルに復帰する。特に、サブＶｐｐ線３３０ａおよび３３０ｂに接続されるワードドライバの数は少なくされるため、これらのサブＶｐｐ線３３０ａおよび３３０ｂの負荷容量が小さくなり、高速なこれらのサブＶｐｐ線３３０ａおよび３３０ｂの電位復帰が実現される。これにより、スイッチングトランジスタＰＷａおよび／またはＰＷｂがオン状態となった後に早いタイミングで、選択されたワード線に対応して設けられたワードドライバの出力信号をハイレベルへ立上げることができ、高速動作する半導体記憶装置を得ることができる。

【０２２８】

ワードドライバグループそれぞれに対応してサブＶｐｐ線を配置するように構成したため、サブＶｐｐ線の負荷容量が低減され、このサブＶｐｐ線のアクティブサイクル時におけ

る電圧回復を高速で行なうことができ、高速アクセスを実現することができる。また、メインＶｐｐ線とサブＶｐｐ線とを高抵抗の抵抗素子で接続するように構成したため、スイッチングトランジスタのオフ状態時において、サブＶｐｐ線の電圧降下を対応のワードドライバグループのサブスレショルド電流と抵抗素子を流れるリーク電流がバランスする電圧レベルに設定することができ、メインＶｐｐ線とサブＶｐｐ線の電圧差を十分小さくすることができ、スタンバイサイクルからアクセスサイクル移行時におけるサブＶｐｐ線の電圧回復を高速に行なうことができる。

【０２２９】

［実施例１５］

図３４は、この発明の第１５の実施例の構成を示す図である。図３４においては、ワードドライバが複数のグループに分割されるが、３つのグループそれぞれに含まれるワードドライバＷＤａ０、ＷＤｂ０およびＷＤｃ０を代表的に示す。ワードドライバのグループそれぞれに対応してサブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃが配置される。メインＶｐｐ線３２０とサブＶｐｐ線３３０ａの間には、グループ選択信号／Ｂａに応答して導通するスイッチングトランジスタＰＷａと、その一方導通端子がメインＶｐｐ線に接続され、そのゲートおよび他方導通端子がサブＶｐｐ線３３０ａに接続されるｐチャネルＭＯＳトランジスタＣＣａが設けられる。サブＶｐｐ線３３０ｂに対しては、グループ選択信号／Ｂｂに応答して導通するスイッチングトランジスタＰＷｂと、その一方導通端子がメインＶｐｐ線３２０に接続され、そのゲートおよび他方導通端子がサブＶｐｐ線３３０ｂに接続されるｐチャネルＭＯＳトランジスタＣＣｂが設けられる。メインＶｐｐ線３２０とサブＶｐｐ線３３０ｃの間には、グループ選択信号／Ｂｃに応答して導通するスイッチングトランジスタＰＷｃと、その一方導通端子がメインＶｐｐ線３２０に接続され、そのゲートおよび他方導通端子がサブＶｐｐ線３３０ｃに接続されるｐチャネルＭＯＳトランジスタＣＣｃが設けられる。トランジスタＣＣａ、ＣＣｂ、およびＣＣｃは、デプレション型の十分大きな抵抗値を有するトランジスタであってもよく、また対応のサブＶｐｐ線の電圧が低下したときパンチスルー現象を生じさせる短チャンネルのＭＯＳトランジスタであってもよい。いずれの場合においても、サブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃは、対応のスイッチングトランジスタＰＷａ～ＰＷｃのオフ状態のときに対応のワードドライバにおけるサブスレショルド電流を抑制しつつメインＶｐｐ線３２０とサブＶｐｐ線の間の電位差を十分小さい値に維持することができる。グループ選択信号／Ｂａ～／Ｂｃは、同じタイミングで活性／非活性が制御されてもよく、また選択ワード線に対応して儲られたワードドライバを含むグループに対する選択信号のみか活性状態とされる構成が利用されてもよい。スタンバイサイクル時においては、グループ選択信号／Ｂａ～／Ｂｃは非活性状態のハイレベルに設定される。

【０２３０】

この図３４に示す第１５の実施例の構成によっても、サブＶｐｐ線が分割されており、そのそれぞれのサブＶｐｐ線の負荷容量は十分小さくされており、スタンバイサイクルからアクティブサイクル移行時におけるサブＶｐｐ線の電圧回復を高速に行なうことができる。また、トランジスタＣＣａ～ＣＣｃにより、メインＶｐｐ線３２０とサブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃの間の電位差を十分に小さい値に設定することができ（スイッチングトランジスタＰＷａ～ＰＷｃのオフ状態のとき）、同様、スイッチングトランジスタのオン状態時においてサブＶｐｐ線３３０ａ～３３０ｃの電位回復を高速に行なうことができる。

【０２３１】

［実施例１６］

図３５は、この発明の第１６の実施例に従う構成を示す図である。図３５においては、複数のワードドライバグループのうちの１つのワードドライバのグループを代表的に示す。図３５において、ワードドライバＷＤ０～ＷＤ２、…はサブＶｐｐ線３３０上の電圧を一方動作電源電圧として動作する。メインＶｐｐ線３２０とサブＶｐｐ線３３０の間には高抵抗抵抗素子Ｒが接続され、またこの高抵抗の抵抗素子Ｒと並列にスイッチングトランジ

スタＰＷが設けられる。このスイッチングトランジスタＰＷのオン／オフを制御するためにワードドライバグループ選択信号／ＢＳと、電源投入時に所定期間活性状態のローレベルとなるリセット信号／ＰＲを受けるＯＲゲート３４０と、ＯＲゲート３４０の出力信号のハイレベルを高電圧Ｖｐｐレベルに変換するレベル変換回路３４が設けられる。レベル変換回路３４２の出力信号がスイッチングトランジスタＰＷのゲートへ与えられる。ＯＲゲート３４０は、電源電圧Ｖｃｃを一方動作電源電圧とし、接地電圧ＶＳＳを他方動作電源電圧として動作する。次に動作についてその動作波形図である図３６を参照して説明する。

【０２３２】

電源投入時において、電源電圧Ｖｃｃが徐々に上昇する。このとき、スイッチングトランジスタＰＷはオフ状態にあり（ゲートーソース間電圧差は小さいため）、サブＶｐｐ線３３０は、高抵抗の抵抗素子Ｒを介してメイン電源線３２０から充電される。メインＶｐｐ線３２０上の電圧は、最初電源電圧Ｖｃｃとほぼ同じ速度で上昇し、一定電圧レベル以上となるとＶｐｐ発生回路が動作し、高電圧Ｖｐｐの電圧レベルが高速で上昇する。このとき、電源電圧Ｖｃｃが所定の電圧レベルに到達すると、電源投入検出信号ＰＯＲがハイレベルへ立上がり（電源電圧Ｖｃｃレベル）、各回路の動作を可能にする。この電源投入検出信号ＰＯＲは、通常、半導体集積回路装置において、電源電圧が所定の電源レベルに到達する前に回路が誤って動作するのを防止するために利用されている。この電源投入検出信号ＰＯＲがハイレベルに立上がると、応じてリセット信号／ＰＲが所定期間ローレベルとされる。この間グループ選択信号／ＢＳはローレベルにある（グループ選択信号／ＢＳは電源投入検出信号ＰＯＲがハイレベルに立上がって所定時間経過後にスタンバイサイクル時のハイレベルとされる（図３６において破線で示す））。したがって、このゲート回路３４０の出力信号が電源投入検出信号ＰＯＲの立上がり時に所定期間ローレベルとされ、レベル変換回路３４２の出力信号も同様のローレベルとなり、スイッチングトランジスタＰＷがオン状態となる。これにより、メインＶｐｐ線３２０とサブＶｐｐ線３３０とが接続され、サブＶｐｐ線３３０は、メインＶｐｐ線３２０からスイッチングトランジスタＰＷを介して電流を供給され、その電位が高速で立上がる。所定期間が経過すると、リセット信号／ＰＲがハイレベルとなり、レベル変換回路３４２の出力信号が高電圧Ｖｐｐレベルとなり、スイッチングトランジスタＰＷがオフ状態となる。十分高い電圧レベルとなった後にサブＶｐｐ線３３０はメインＶｐｐ線３２０から抵抗素子Ｒを介して電流を供給されるため、図３６に示す従来のようなリセット信号／ＰＲを用いない構成に比べて高速でサブＶｐｐ線の電圧レベルを高電圧Ｖｐｐレベルに上昇させることができる。応じて、電源投入後早いタイミングでワードドライバグループ選択信号／ＢＳを活性状態のローレベルとすることができ、すなわち早いタイミングでワード線選択動作を行なうことができ、電源投入直後のメモリ動作における動作マージンが、抵抗素子Ｒを設けることにより損われるということが防止される。

【０２３３】

図３７は、図３５に示すレベル変換回路の構成の一例を示す図である。図３７において、レベル変換回路３４２は、ゲート３４０の出力信号を反転するインバータ３４２ａと、ゲート３４０の出力信号に応答して内部ノード３４２ｇを接地電位Ｖｓｓレベルに放電するｎチャネルＭＯＳトランジスタ３４２ｂと、インバータ３４２ａの出力信号に応答して出力ノード３４２ｄを接地電位Ｖｓｓレベルに放電するｎチャネルＭＯＳトランジスタ３４２ｃと、高電圧Ｖｐｐ供給ノードと出力ノード３４２ｄの間に接続され、そのゲートに内部ノード３４２ｇ上の電圧を受けるｐチャネルＭＯＳトランジスタ３４２ｅと、高電圧Ｖｐｐ供給ノードと内部ノード３４２ｇの間に接続され、そのゲートに出力ノード３４２ｄの電圧を受けるｐチャネルＭＯＳトランジスタ３４２ｆを含む。インバータ３４２ａは、電源電圧Ｖｃｃを一方動作電源電圧とし、接地電位Ｖｓｓを他方電源電圧として動作する。次に動作について簡単に説明する。

【０２３４】

ゲート３４０の出力信号がローレベルのとき、インバータ３４２の出力信号がハイレベル

となり、トランジスタ３４２ｃがオン状態となり、出力ノード３４２ｄを接地電位レベルへ放電する。出力ノード３４２ｄの電位低下に伴ってトランジスタ３４２ｆのオン抵抗が低下し、内部ノード３４２ｇは高電圧Ｖｐｐ供給ノードから電流を供給され、その電位が上昇する。この内部ノード３４２ｄの電位上昇に伴ってトランジスタ３４２ｅのオン抵抗が上昇し、高電圧Ｖｐｐ供給ノードから出力ノード３４２ｄへの電流供給量が小さくされる。最終的に、出力ノード３４２ｄがトランジスタ３４２ｃにより接地電位レベルにまで放電される。この状態においては、トランジスタ３４２ｆがオン状態となり、高電圧Ｖｐｐを内部ノード３４２ｇへ伝達し、トランジスタ３４２ｅがオフ状態とされる。したがって、ゲート３４０の出力信号がローレベルの場合には出力ノード３４０ｄには、ローレベルの信号が出力される。

【０２３５】

一方、ゲート３４０の出力信号がハイレベルの場合には、インバータ３４２ａの出力信号がローレベルとなり、トランジスタ３４２ｂがオン状態、トランジスタ３４２ｃがオフ状態とされる。内部ノード３４２ｇの電位がトランジスタ３４２ｂにより放電されて低下し、応じてトランジスタ３４２ｅのオン抵抗が低下し、出力ノード３４２ｄの電圧レベルが上昇する。この出力ノード３４２ｄの電圧上昇に伴ってトランジスタ３４２ｆのオン抵抗が上昇し、高電圧Ｖｐｐ供給ノードから内部ノード３４２ｇへの供給電流が低下する。最終的に、内部ノード３４２ｇは、トランジスタ３４２ｂにより接地電圧Ｖｓｓレベルにまで放電される。この状態においては、トランジスタ３２４ｅがオン状態となり、トランジスタ３４２ｃがオフ状態であるため、出力ノード３４２ｄは、トランジスタ３４２ｅを介して高電圧Ｖｐｐを供給される。すなわち、ゲート３４０の出力信号が電源電圧Ｖｃｃレベルのハイレベルのとき、出力ノード３２４ｄからは高電圧Ｖｐｐレベルのハイレベルの信号が出力される。

【０２３６】

図３８は、電源投入検出信号ＰＯＲを発生する回路構成を示す図である。図３８において、電源投入検出回路は、電源ノードＮＶｃと内部ノードＮＤａの間に接続される抵抗素子Ｒｐと、内部ノードＮＤａと接地ノードＶｓｓの間に接続されるキャパシタＣｐと、電源電圧Ｖｃｃおよび接地電圧Ｖｓｓを両動作電源電圧として動作し、内部ノードＮＤａ上の電圧の論理を反転して出力するインバータＩＶａと、電源ノードＮＶｃ上の電圧Ｖｃｃおよび接地電圧Ｖｓｓを両動作電源電圧として動作し、インバータＩＶａの出力信号を反転するインバータＩＶｂを含む。次に動作について簡単に図３６の動作波形図を併せて参照して説明する。

【０２３７】

電源投入時において、電源ノードＮＶｃの電圧レベルが徐々に上昇する。この電源ノードＮＶｃ上の電圧上昇に伴って、内部ノードＮＤａの電圧レベルが抵抗素子Ｒｐの抵抗値とキャパシタＣｐの静電容量に決定される時定数で緩やかに上昇する。内部ノードＮＤａ上の電圧レベルが所定電圧レベルに到達するまで、インバータＩＶａは、その入力信号をローレベルと判断し、ハイレベルの信号を出力する。応じてインバータＩＶｂの出力信号ＰＯＲはローレベルにある。内部ノードＮＤａの電圧レベルが所定電圧レベル以上となると、インバータＩＶａがその入力信号をハイレベルと判断し、ローレベルの信号を出力する。応じて、インバータＩＶｂから出力される信号ＰＯＲがハイレベルに立上がる。すなわち、電源ノードＮＶｃへ電源電圧Ｖｃｃを印加した後所定期間が経過してから電源投入検出信号ＰＯＲがハイレベルに立上がる。

【０２３８】

図３９は、リセット信号発生回路の構成を示す図である。図３９において、リセット信号発生回路は、電源投入検出信号ＰＯＲを所定時間遅延する遅延回路３４４と、電源投入検出信号と遅延回路３４４の出力信号とを受ける２入力ＥＸＮＯＲゲート３４６を含む。ＥＸＮＯＲゲート３４６は、その両入力に与えられる信号の論理が不一致のときにローレベルの信号を出力し、両者が一致している場合にハイレベルの信号を出力する。したがって、図３６に示す信号波形図から明らかなように、電源投入検出信号ＰＯＲがハイレベルに

立上がってから遅延回路３４４の出力信号がハイレベルに立上がるまでの間このＥＸＮＯＲゲート３４６から出力されるリセット／ＰＲはローレベルとなる。遅延回路３４４の出力信号がハイレベルへ立上がると、ＥＸＮＯＲゲート３４６はその両入力にハイレベルの信号を受けるため、リセット信号／ＰＲはハイレベルとなる。

【０２３９】

以上のように、この発明の第１６の実施例に従えば、電源投入後の所定期間強制的にメインＶｐｐ線とサブＶｐｐ線とを接続するように構成したため、電源投入後高速でサブＶｐｐ線の電圧を上昇させることができ、電源電圧投入後の動作マージンの低下が防止される。

【０２４０】

［実施例１７］

図４０は、この発明の第１７の実施例の構成を示す図である。図４０においては、メインＶｐｐ線３２０に対し複数の（図４０においては3つ）サブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃが設けられる。サブＶｐｐ線３３０ａ～３３０ｃそれぞれには、ワードドライバがグループ化されて接続される。図４０においてサブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃそれぞれから一方動作電源電圧を受けるワードドライバＷＤａ、ＷＤｂおよびＷＤｃを代表的に示す。

【０２４１】

サブＶｐｐ線３３０ａ～３３０ｃとメインＶｐｐ線３２０の間には、図３３に示す第１４の実施例の構成と同様、抵抗素子Ｒａ、Ｒｂ、およびＲｃとスイッチングトランジスタＰＷａ、ＰＷｂ、ＰＷｃが設けられる。このスイッチングトランジスタＰＷａ、ＰＷｂ、およびＰＷｃは、ワードドライバグループ選択信号／Ｂａ、／Ｂｂ、および／Ｂｃに応答して導通する。

【０２４２】

この図４０に示す構成においては、さらに、サブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃそれぞれとメインＶｐｐ線３２０の間に、リセット信号／ＰＲに応答して導通するｐチャネルＭＯＳトランジスタ３５２ａ、３５２ｂ、および３５２ｃが設けられる。リセット信号／ＰＲは、レベル変換回路３５０によりそのハイレベルの電圧レベルが高電圧Ｖｐｐレベルに変換されて各トランジスタ３５２ａ～３５２ｃへ与えられる。

【０２４３】

リセット信号／ＰＲは、図３９に示す構成と同様のリセット信号発生回路から出力され、電源投入時、電源投入検出信号ＰＯＲがハイレベルに立上がってから所定期間活性状態のローレベルとされる。この電源投入後、電源電圧Ｖｃｃが所定電圧レベル以上となり安定状態となったとき、レベル変換回路３５０の出力信号がローレベルとなり、トランジスタ３５２ａ～３５２ｃがオン状態となり、サブＶｐｐ線３３０ａ～３３０ｃがメインＶｐｐ線３２０に接続され、これらサブＶｐｐ線３３０ａ～３３０ｃの電圧がメインＶｐｐ線３２０上の電圧と同じ速度で上昇する。これにより、電源投入後のサブＶｐｐ線３３０ａ～３３０ｃの電位が安定するまでに要する時間が短縮され、電源投入後の動作マージンの低下が防止される。

【０２４４】

この図４０に示す構成の場合、リセット信号／ＰＲをレベル変換回路３５０でレベル変換してトランジスタ３５２ａ～３５２ｃのゲートへ与えているだけである。したがって、各サブＶｐｐ線に対してワードドライバグループ選択信号とリセット信号を受けるゲート回路を設ける必要がなく、また各ワードドライバグループそれぞれに対してレベル変換回路を設ける必要がなく、装置規模が低減され。

【０２４５】

以上のように、この第１７の実施例に従えば、サブＶｐｐ線それぞれに対し電源投入後所定期間メインＶｐｐ線とサブＶｐｐ線を接続するトランジスタを設けたため、サブＶｐｐ線とメインＶｐｐ線とが高抵抗抵抗素子で接続されている場合においても、電源投入後高速でサブＶｐｐ線の電圧を所定電圧レベルにまで到達させることができる。また、レベル

変換回路３５０の出力信号をサブＶｐｐ線それぞれに設けられたスイッチングトランジスタのゲートへ共通に与えるように構成しているため、制御系の規模が低減される。

【０２４６】

［実施例１８］

図４１は、この発明の第１８の実施例の構成を示す図である。図４２においては、メインＶｐｐ線３２０に対して複数のサブＶｐｐ線３３０ａ、３３０ｂ、３３０ｃが設けられる。サブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃそれぞれとメインＶｐｐ線３２０の間には、グループ選択信号／Ｂａ、／Ｂｂ、およびＢｃに応答して導通するスイッチングトランジスタＰＷａ、ＰＷｂ、およびＰＷｃが設けられる。さらに、メインＶｐｐ線３２０とサブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃそれぞれとの間には、電流調整素子３６５ａ、３６５ｂ、および３６５ｃが設けられる。電流調整素子３６５ａ～３６５ｃの各々は、その一方導通端子およびゲートがメインＶｐｐ線に接続され、その他方導通端子および基板領域が対応のサブＶｐｐ線３３０（３３０ａ～３３０ｃ）に接続されるｎチャネルＭＯＳトランジスタＮＴＣを含む。この電流調整素子３６５ａ～３６５ｃは、デプレション型ＭＯＳトランジスタであってもよく、また図２５に示す短チャンネルのＭＯＳトランジスタであってもよく、また単に抵抗接続されたエンハンスメント型ＭＯＳトランジスタであってもよい。

【０２４７】

この図４１に示す構成においては、さらにサブＶｐｐ線３３０ａおよび３３０ｂの間にｐチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタ３６０ａが設けられる。また、サブＶｐｐ線３３０ｂとサブＶｐｐ線３３０ｃの間にｐチャネルＭＯＳトランジスタ３６０ｐが設けられる。トランジスタ３６０ａおよび３６０ｂのゲートへは、リセット信号／ＰＲのハイレベルの電圧レベルを高電圧Ｖｐｐレベルに変換するレベル変換回路３５０の出力信号が与えられる。このレベル変換回路３５０の構成は、図３７に示す構成と同様であり、またリセット信号／ＰＲは図３９に示すリセット信号発生回路から発生される。

【０２４８】

この図４１に示す構成の場合、電源投入後所定期間レベル変換回路３５０の出力信号がローレベルとなり、トランジスタ３６０ａおよび３６０ｂがオン状態となり、サブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃが相互接続される。したがって、電源投入後これらのサブＶｐｐ線３３０ａ～３３０ｃの電圧レベルの上昇速度は同一とされ、サブＶｐｐ線３３０ａ～３３０ｃの負荷容量が異なる場合においても、電源投入後ほぼ同一速度でサブＶｐｐ線３３０ａ～３３０ｃの電圧を上昇させることができる。これにより、サブＶｐｐ線３３０ａ～３３０ｃが所定の電圧レベルに到達する時刻をほぼ同じとすることができ、サブＶｐｐ線における電圧確定時刻に対するマージンを考慮する必要がなくなり、電源投入後早いタイミングでワード線選択動作を行なうことが可能となる。

【０２４９】

以上のように、この第１８の実施例に従えば、メインＶｐｐ線とサブＶｐｐ線それぞれの間に電流調整用のトランジスタ素子を設け、かつ電源投入後の所定期間サブＶｐｐ線を相互接続するように構成したため、サブＶｐｐ線の電圧を電源投入後同一速度でかつ高速で上昇させることができ、電源投入後の動作マージンの劣化が防止される。

【０２５０】

なお、図４１に示す構成においては、電流調整用のトランジスタ素子としてｎチャネルＭＯＳトランジスタが用いられているが、ｐチャネルＭＯＳトランジスタが用いられても同様の効果を得ることができる。また、サブＶｐｐ線を相互接続するためのトランジスタとして、ｎチャネルＭＯＳトランジスタが用いられてもよい。

【０２５１】

［実施例１９］

図４２は、この発明の第１９の実施例の構成を示す図である。図４２においても、複数（図４２においては３個）のサブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃが設けられ

る。サブＶｐｐ線３３０ａ～３３０ｃそれぞれに対応してグループに分割されたワードドライバが配置される。図４２においては先の実施例と同様、各グループにおいて１つのワードドライバすなわちワードドライバＷＤａ０、ＷＤｂ０、およびＷＤｃ０が代表的に示される。サブＶｐｐ線３３０ａとメインＶｐｐ線３２０の間には、高抵抗の抵抗素子Ｒａおよびワードドライバグループ選択信号／Ｂａに応答して導通するスイッチングトランジスタＰＷａが設けられる。サブＶｐｐ線３３０ｂとメインＶｐｐ線３２０の間には、高抵抗の抵抗素子Ｒｂと、グループ選択信号／Ｂｂに応答して導通するスイッチングトランジスタＰＷｐが設けられる。サブＶｐｐ線３３０ｃとメインＶｐｐ線３２０の間には、高抵抗の抵抗素子Ｒｃと、グループ選択信号／Ｂｃに応答して導通するスイッチングトランジスタＰＷｃが設けられる。これらの構成は、先に図３３を参照して説明した第１４の実施例の構成と同様である。

【０２５２】

この第１９の実施例の構成においては、さらに、サブＶｐｐ線３３０ａおよび３３０ｂの間に、ｐチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタ３６０ａが接続され、サブＶｐｐ線３３０ｂおよび３３０ｃの間にｐチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタ３６０ｂが接続され、さらに、サブＶｐｐ線３３０ｃとメインＶｐｐ線３２０の間には、ｐチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタ３６０ｃが設けられる。スイッチングトランジスタ３６０ａ～３６０ｃのゲートへはリセット信号／ＰＲのハイレベルの電圧レベルを高電圧Ｖｐｐレベルに変換するレベル変換回路３５０の出力信号が与えられる。

【０２５３】

この第１９の実施例の構成において、電源投入後スイッチングトランジスタＰＷａ～ＰＷｃがオフ状態である。この状態において、レベル変換回路３５０の出力信号が所定期間リセット信号／ＰＲに応答してローレベルとなり、トランジスタ３６０ａ～３６０ｃがオン状態とされる。これにより、サブＶｐｐ線３３０ａ～３３０ｃが相互接続されるとともに、メインＶｐｐ線３２０からこれらのサブＶｐｐ線３３０ａ～３３０ｃへ電流が供給される。したがって、高抵抗の抵抗素子Ｒａ、Ｒｂ、およびＲｃが設けられていても、これらのサブＶｐｐ線３３０ａ～３３０ｃは、同一速度で高速でその電位が上昇する。これにより、サブＶｐｐ線３３０ａ～３３０ｃとメインＶｐｐ線３２０との間に高抵抗の抵抗素子Ｒａ～Ｒｃが設けられている構成においても、電源投入後高速でサブＶｐｐ線３３０ａ～３３０ｃの電圧レベルを所定電圧レベルへ上昇させることができ、電源投入後の動作マージンの劣化を防止することができる。

【０２５４】

なお、図４２に示す構成においては、サブＶｐｐ線とメインＶｐｐ線とを電源投入後に接続するトランジスタ３６０ｃは図４２の右端部分に設けられている。しかしながら、このトランジスタ３６０ｃは、中央部のサブＶｐｐ線３３０ｂに対して設けられる構成が利用されてもよい。中央部に電源投入後にメインＶｐｐ線とサブＶｐｐ線とを接続するトランジスタを設けることにより、電源投入後メインＶｐｐ線からサブＶｐｐ線へ流れる電流の伝搬遅延時間を小さくすることができ、より高速でサブＶｐｐ線の電位を上昇させることができる。

【０２５５】

なお、レベル変換回路３５０およびリセット信号／ＰＲは先の第１６の実施例において用いられたものと同様である。

【０２５６】

以上のように、この発明の第１９の実施例の構成に従えば、メインＶｐｐ線と複数のサブＶｐｐ線それぞれとが高抵抗の抵抗素子を介して接続される構成において、電源投入後所定期間サブＶｐｐ線を相互接続するとともに、サブＶｐｐ線をメインＶｐｐ線にこの電源投入後の所定期間接続するように構成したため、サブＶｐｐ線の電位上昇を同一速度とすることができるとともに、高速でこれらのサブＶｐｐ線の電圧を上昇させることができ、電源投入後早いタイミングでワード線選択動作を行なうことができる。

【０２５７】
［実施例２０］
図４３は、この発明の第２０の実施例の構成を示す図である。図４３に示す構成においては、サブＶｐｐ線３３０ａ、３３０ｂ、３３０ｃそれぞれに対して、リセット信号／ＰＲのハイレベルを高電圧Ｖｐｐレベルに変換するレベル変換回路３５０の出力に応答して導通するｐチャネルＭＯＳトランジスタ３６１ａ、３６１ｂ、および３６１ｃがそれぞれ設けられる。ｐチャネルＭＯＳトランジスタ３６１ａ、３６１ｂ、および３６１ｃは、導通時、予め定められた電圧ＶＲを対応のサブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃへ伝達する。この電圧ＶＲは、電源投入時にメイン電源線３２０上の電圧Ｖｐｐと同一方向に変化する電圧であればよく、たとえば電源電圧Ｖｃｃが用いられる。これに代えて、半導体記憶装置において通常用いられる中間電圧（Ｖｃｃ／２）が利用されてもよい。
【０２５８】
サブＶｐｐ線３３０ａ、３３０ｂ、３３０ｃそれぞれに対して設けられる構成は、図４２に示す構成と同様であり、高抵抗の抵抗素子Ｒ（Ｒａ～Ｒｃ）およびグループ選択信号／Ｂ（／Ｂａ～／Ｂｃ）に応答して導通するスイッチングトランジスタＰＷ（ＰＷａ～ＰＷｃ）が設けられる。同様に、サブＶｐｐ線３３０（３３０ａ～３３０ｃ）には、対応のグループのワードドライバが接続される。
電源投入時においては、スイッチングトランジスタＰＷａ～ＰＷｃはオフ状態にある。電源投入後、電源電圧Ｖｃｃが所定電圧レベルに到達すると、リセット信号／ＰＲが所定期間ローレベルとなり、応じてレベル変換回路３５０の出力信号がローレベルとなり、トランジスタ３６１ａ～３６１ｃがオン状態とされる。このようにサブＶｐｐ線３３０ａ～３３０ｃには、所定の電圧ＶＲが伝達され、サブＶｐｐ線３３０ａ～３３０ｃそれぞれにおける電位上昇が加速される。これにより、電源投入時サブＶｐｐ線３３０ａ～３３０ｃそれぞれがメインＶｐｐ線３２２へ高抵抗の抵抗素子Ｒａ～Ｒｃを介して接続される構成においても、トランジスタ３６１ａ～３６１ｃにより所定の電圧ＶＲが供給されるため、サブＶｐｐ線の電位上昇を早くすることができ、応じて電源投入時におけるサブＶｐｐ線が所定電圧レベルに到達するのをタイミングを早くすることができ、電源投入時における動作マージンの劣化を防止することができる。
【０２５９】
以上のように、この第２０の実施例に従えば、電源投入後所定期間抵抗素子を介してメインＶｐｐ線に接続されるサブＶｐｐ線に対し、所定の電圧を供給するように構成したため、サブＶｐｐ線の電源投入時における電位上昇を早くすることができ、サブＶｐｐ線の電位確定タイミングを早くすることができる。
【０２６０】
なお、スイッチングトランジスタ３６１ａ～３６１ｃは、対応のサブＶｐｐ線３３０ａ～３３０ｃの一方端部に設けられているが、これは対応のサブＶｐｐ線３３０ａ～３３０ｃの中央部に配置されてもよい。
【０２６１】
［実施例２１］
図４４は、この発明の第２１の実施例の構成を示す図である。図４４に示す構成においては、複数のサブＶｐｐ線３３０ａ～３３０ｂ、および３３０ｃそれぞれに対して、グループ選択信号／Ｂａ、／Ｂｂ、および／Ｂｃに活性化時に導通するスイッチングトランジスタＰＷａ、ＰＷｂ、およびＰＷｃが設けられる。メインＶｐｐ線３２０とサブＶｐｐ線３３０ａ～３３０ｃのそれぞれとの間には抵抗素子または電流調整素子が設けられていない。
【０２６２】
サブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃに対しては、グループ選択信号／Ｂａ、／Ｂｂ、および／Ｂｃの非活性化時（ハイレベル）のときに導通し、所定の電圧ＶＲを対応のサブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃへ伝達するｎチャネルＭＯＳトランジスタで構成されるスイッチングトランジスタ３６３ａ、３６３ｂ、および３６３ｃ

が設けられる。

【０２６３】

サブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃそれぞれに対しては、複数のワードドライバが接続される。図４４において、サブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃに対しては、ワードドライバＷＤａ、ＷＤｂ、およびＷＤｃをそれぞれ代表的に示す。ワードドライバＷＤａ、ＷＤｂおよびＷＤｃは、メモリセルアレイに含まれる対応のワード線ＷＬａ、ＷＬｂおよびＷＬｃを選択時に高電圧Ｖｐｐレベルに駆動する。ここでは、スイッチングトランジスタＰＷａ、ＰＷｂ、およびＰＷｃが対応のサブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃの中央部に配置されているため、ワードドライバの符号を変えている。次に動作について簡単に説明する。

【０２６４】

スタンバイサイクル時においては、グループ選択信号／Ｂａ、／Ｂｂ、および／Ｂｃは非活性状態のハイレベルにある。この状態においては、トランジスタ３６３ａ、３６３ｂ、および３６３ｃがオン状態となり、サブＶｐｐ線３３０ａ、３３０ｂ、および３３０ｃへは所定の電圧ＶＲが伝達される。一方、スイッチングトランジスタＰＷａ、ＰＷｂ、およびＰＷｃはオフ状態である。したがって、この状態においては、サブＶｐｐ線３３０ａ、３３０ｂおよび３３０ｃはリーク電流が生じても電圧ＶＲレベルに維持される。この電圧ＶＲとしては、電源電圧Ｖｃｃレベルの電圧が用いられてもよく、またこれよりも少し高い電圧が用いられてもよい。グループ選択信号／Ｂａ／Ｂｂおよび／Ｂｃは、非活性化時においては、高電圧Ｖｐｐレベルであり、したがってトランジスタ３６３ａ～３６３ｃはＶｐｐ－Ｖｔｈレベルの電圧を対応のサブＶｐｐ線へ伝達することができる。ここでＶｔｈはトランジスタ３６３ａ、３６３ｂおよび３６３ｃのしきい値電圧を示す。

【０２６５】

アクティブサイクルにおいては、グループ選択信号／Ｂａ～Ｂｃのうち選択ワード線を含むグループに対応するグループ選択信号が活性状態のローレベルとされ、対応のスイッチングトランジスタＰＷ（ＰＷａ～ＰＷｃのいずれか）がオン状態とされる。今、グループ選択信号／Ｂａが活性状態のローレベルにされたと仮定する。この状態において、スイッチングトランジスタＰＷａがオン状態となり、サブＶｐｐ線３３０ａへはメインＶｐｐ線３２０から電流が供給され、サブＶｐｐ線３３０ａの電圧レベルは高電圧Ｖｐｐレベルに上昇する。このとき、所定の電圧ＶＲが十分高い電圧レベルにあれば、このサブＶｐｐ線３３０ａ上の電圧は高速で高電圧Ｖｐｐレベルに到達する。非選択グループにおいては、スイッチングトランジスタＰＷｂおよびＰＷｃはオフ状態であり、サブＶｐｐ線３３０ｂおよび３３０ｃは所定の電圧ＶＲレベルに維持される。

【０２６６】

なおこの図４４に示す構成において、サブＶｐｐ線３３０ａ～３３０ｃそれぞれとメインＶｐｐ線との間に高抵抗の抵抗素子が接続されてもよい。

【０２６７】

以上のように、この第２１の実施例に従えば、各サブＶｐｐ線に対して対応のグループ選択信号の非活性化時に所定の電圧を対応のサブＶｐｐ線へ伝達するトランジスタを設けたため、サブＶｐｐ線の非選択時における電圧低下を抑制することができ、アクティブサイクル移行時におけるサブＶｐｐ線の高電圧Ｖｐｐレベルへの復帰を高速に行なうことができる。

【０２６８】

［実施例２２］

図４５は、この発明の第２２の実施例の構成を示す図である。図４５に示す構成においては、図３５に示す第１６の実施例の構成に加えて、さらにサブＶｐｐ線３３０に対し、導通時に電源線３７０とサブＶｐｐ線３３０を接続するｐチャネルＭＯＳトランジスタ３７５が設けられる。このＭＯＳトランジスタ３７５のゲートへは、電源投入検出信号ＰＯＲのハイレベルを高電圧Ｖｐｐレベルに変換するレベル変換回路３８０の出力信号が与えられる。他の構成は図３５に示す構成と同じである。レベル変換回路３８０の構成としては

、先に図３７を参照して説明したレベル変換回路を利用することができる。次に動作についてその動作波形図である図４６を参照して説明する。

【０２６９】

電源電圧Ｖｃｃが投入されると、電源線３７０上の電圧レベルが上昇する。この電源線３７０上の電源電圧Ｖｃｃが所定の電圧レベルに到達するまで、電源投入検出信号ＰＯＲはローレベルである。したがって、レベル変換回路３８０から出力される信号はローレベルであり、トランジスタ３７５がオン状態となり、電源線３７０がサブＶｐｐ線３３０に接続される。これにより、サブＶｐｐ線３３０の電位がこの電源線３７０上の電位上昇に従って上昇する。電源電圧Ｖｃｃのレベル上昇に伴って、またリセット信号／ＰＲがハイレベルとなり、この間レベル変換回路３４２の出力信号は高電圧Ｖｐｐレベル（Ｖｐｐ（ｍ）レベル）であり、スイッチングトランジスタＰＷはオフ状態にある。

【０２７０】

電源電圧Ｖｃｃが所定電圧レベルに到達すると、電源投入検出信号ＰＯＲがハイレベルへ立上がり、レベル変換回路３８０の出力信号も高電圧Ｖｐｐ（ｍ）レベルに上昇し、トランジスタ３７５がオフ状態とされる。このとき、リセット信号／ＰＲが所定期間ローレベルとなり、レベル変換回路３４２の出力信号がローレベルとなり、スイッチングトランジスタＰＷがオン状態となり、メインＶｐｐ線３２０からサブＶｐｐ線３３０へ電流が供給される。これにより、サブＶｐｐ線３３０上の電圧Ｖｐｐ（ｓ）は、メインＶｐｐ線３２０上の電圧Ｖｐｐ（ｍ）にしたがって上昇する。所定期間が経過すると、スイッチングトランジスタＰＷがオフ状態となり、サブＶｐｐ線３３０は抵抗素子Ｒを介してメインＶｐｐ線３２０から電流が供給され、その電位が上昇する。このときには、サブＶｐｐ線３３０上の電圧は十分高くされており、高速でサブＶｐｐ線３３０上の電圧Ｖｐｐ（ｓ）をメインＶｐｐ線３２０上の電圧Ｖｐｐ（ｍ）の最終到達電位Ｖｐｐレベルにまで到達させることができる。

【０２７１】

すなわち、電源電圧Ｖｃｃが所定電圧レベルに到達するまでの高電圧Ｖｐｐ発生回路の動作が不安定な状態にあり、高電圧Ｖｐｐ（ｍ）は電源電圧Ｖｃｃに従って変化する場合には、トランジスタ３７５を介して電源線３７０からサブＶｐｐ線３３０へ電流を供給し、電源電圧Ｖｃｃが所定の電圧レベル以上となり、Ｖｐｐ発生回路が安定に動作し、電源電圧Ｖｃｃよりも高い高電圧Ｖｐｐ（ｍ）を発生する状態になると、スイッチングトランジスタＰＷをオン状態としてメインＶｐｐ線３２０からサブＶｐｐ線３３０へ電流を供給する構成により、サブＶｐｐ線３３０上の電圧を高速で所定の高電圧Ｖｐｐレベルにまで上昇させることができ、サブＶｐｐ線とメインＶｐｐ線との間に設けられる高抵抗の抵抗素子による電源投入時における動作マージン（動作開始タイミングに対するマージン）の劣化を確実に防止することができる。

【０２７２】

［実施例２３］

図４７は、この発明の第２３の実施例の構成を概略的に示す図である。図４７においては、２本のワード線ＷＬＡおよびＷＬＢに対して設けられる行デコード回路およびワード線ドライバ回路の構成を示す。図４７において、ワード線ＷＬＡおよびＷＬＢに対し共通にロウデコーダＲＤが設けられる。ロウデコーダＲＤは、ＮＡＮＤゲートの構成を備え、与えられたデコード信号（ロウプリデコード信号）がすべてハイレベルのときに選択状態を示すローレベルの信号を出力する。１つのロウデコーダＲＤにより２本のワード線が同時に指定される。

【０２７３】

ロウデコーダＲＤにより指定された２本のワード線のうち１本のワード線を選択するために、ワード線それぞれに対応してウェイデコーダが設けられる。ワード線ＷＬＡに対してウェイデコーダＷＡａが設けられ、ワード線ＷＬＢに対してウェイデコーダＷＡｂが設けられる。ウェイデコーダＷＡａは、ウェイアドレス信号Ａｇに応答してロウデコーダＲＤの出力信号を内部ノード４０５へ通過させるｎチャネルＭＯＳトランジスタ４０２と、プ

リチャージ信号／ＰＣの活性化時（ローレベル）のときメインＶｐｐ線上の高電圧Ｖｐｐ（ｍ）を内部ノード４０５へ伝達するｐチャネルＭＯＳトランジスタ４０４と、対応のワード線ＷＬＡ上の信号電位がローレベルのときに導通し、高電圧Ｖｐｐ（ｍ）を内部ノード４０５へ伝達するｐチャネルＭＯＳトランジスタ４０３を含む。プリチャージ信号／ＰＣは、この半導体記憶装置がスタンバイ状態にあるときローレベルにされる。このプリチャージ信号／ＰＣはロウアドレスストローブ信号／ＲＡＳに従って活性／非活性状態とされる。

【０２７４】

ワードドライバＷＤＡは、先の実施例において説明したものと同様、サブＶｐｐ線上の電圧Ｖｐｐ（ｓ）を一方動作電源電圧とし、接地電位Ｖｓｓを他方動作電源電圧とし、内部ノード４０５上の電圧に従って対応のワード線ＷＬＡへ接地電圧Ｖｓｓまたは高電圧Ｖｐｐ（ｓ）を伝達する。ワードドライバＷＤＡは、ｐチャネルＭＯＳトランジスタＰＱとｎチャネルＭＯＳトランジスタＮＱを備える。

【０２７５】

ウェイデコーダＷＡｂは、ウェイデコーダＷＡａと同じ構成を備える。異なっている点は、トランジスタ４０２へ与えられるウェイアドレス信号として、ウェイデコーダＷＡａへ与えられるウェイアドレス信号Ａｇの補の信号／Ａｇが与えられる点である。ワードドライバＷＤＢは、ワードドライバＷＤＡと同じ構成を備える。したがって、ウェイデコーダＷＡａおよびＷＡｂのうち一方のみが選択状態とされ、トランジスタ４０２がオン状態とされる。

【０２７６】

メモリセルアレイにおいては、ビット線ＢＬとワード線ＷＬＡの交差部に対応して配置されるメモリセルＭＣを代表的に示す。また、後にその構成を詳細に説明するが、ビット線ＢＬおよび／ＢＬには、センスアンプ活性化信号ＳＮに応答して活性化され、ビット線ＢＬおよび／ＢＬの低電位のビット線を接地電位レベルへ放電するＮセンスアンプ４１０と、センスアンプ活性化信号ＳＰに応答して活性化され、ビット線ＢＬおよび／ＢＬのうち高電位のビット線を電源電圧Ｖｃｃレベルに駆動するＰセンスアンプ４１２と、イコライズ信号ＥＱに応答してビット線ＢＬおよび／ＢＬをプリチャージ電圧ＶＢＬ（たとえばＶｃｃ／２の中間電位）へプリチャージしかつイコライズするイコライズ回路４１４が設けられる。次にこの行選択系回路の動作について簡単に説明する。

【０２７７】

スタンバイサイクルにおいては、プリチャージ信号／ＰＣは活性状態のローレベルにあり、トランジスタ４０４がオン状態であり、内部ノード４０５は高電圧Ｖｐｐ（ｍ）の電圧レベルにプリチャージされている。この状態においては、ワードドライバＷＤＡおよびＷＤＢにおいて、ｐチャネルＭＯＳトランジスタＰＱがオフ状態、ｎチャネルＭＯＳトランジスタＮＱがオン状態であり、ワード線ＷＬａおよびＷＬｂは接地電位レベルに放電される。このとき、ｐチャネルＭＯＳトランジスタＰＱがサブスレショルド電流領域で動作するが、高電圧Ｖｐｐ（ｓ）は先に説明したサブＶｐｐ線から印加されているため、このトランジスタＰＱにおけるサブスレショルド電流は十分に抑制される。

【０２７８】

また、ワード線ＷＬＡの電位は接地電位レベルであり、トランジスタ４０３がオン状態となり、同様高電圧Ｖｐｐ（ｍ）を内部ノード４０５へ伝達している。またスタンバイサイクルにおいては、ウェイアドレス信号Ａｇおよび／Ａｇはともにローレベルにあり、またＮＡＮＤゲート４０１の出力信号はハイレベルにある。トランジスタ４０２がオフ状態であるため、ウェイデコーダＷＡａおよびＷＡｂにおいて、内部ノード４０５は単にメインＶｐｐ線から電流を供給されて高電圧Ｖｐｐ（ｍ）レベルに充電されるだけである。したがって、内部ノード４０５においては、接地電位レベルへと電流が流れる経路は存在せず、メインＶｐｐ線から直接内部ノード４０５を充電する構成が用いられても、この部分における消費電流はなく（トランジスタ４０４および４０３はソースおよびドレイン電圧がともに同じ電圧レベルとなりオフ状態とされるため）したがって、メインＶｐｐ線上の電

圧低下は生じない。

【０２７９】

アクティブサイクルが始まると、まずプリチャージ／ＰＣが非活性状態のハイレベルとされ、トランジスタ４０４がオフ状態とされる。次いで、与えられたアドレス信号に従ってロウデコーダＲＤが選択されると、ＮＡＮＤゲート４０１の出力信号がローレベルとなる。ウェイアドレス信号Ａｇおよびおよび／Ａｇにより、ウェイデコーダＷＡａおよびＷＡｂの一方が選択状態とされる。今、ウェイアドレス信号Ａｇがハイレベルであるとする（電源電圧Ｖｃｃレベル）。この状態において、ウェイデコーダＷＡａにおいてトランジスタ４０２がオン状態となり、内部ノード４０５は接地電位レベルへと放電される。これによりワードドライバＷＤＡにおいて、ｐチャネルＭＯＳトランジスタＰＱがオン状態となり、ワード線ＷＬＡへ高電圧Ｖｐｐがサブ Ｖｐｐ線から供給され、ワード線ＷＬＡの電位が高電圧Ｖｐｐレベルにまで上昇する。このワード線ＷＬＡの電位上昇に伴って、トランジスタ４０３がオフ状態とされ、内部ノード４０５は、ＮＡＮＤゲート４０１により接地電位レベルへと放電される。ここで、トランジスタ４０２のゲートへ与えられるウェイアドレス信号Ａｇは、電源電圧Ｖｃｃレベルであり、高電圧ＶｐｐはＮＡＮＤゲート４０１の出力部へは伝達されない。この後、センスアンプ４１０および４１２はセンスアンプ活性化信号ＳＮおよびＳＰに従って活性化され、ビット線ＢＬおよび／ＢＬ上に生じた電位差（メモリセルＭＣの記憶するデータに従って生じる）が増幅されてラッチされる。この後、図示しない経路によりデータの下記／読出が行なわれる。

【０２８０】

アクティブサイクルが完了すると、まずプリチャージ信号／ＰＣが活性状態のローレベルとされ、内部ノード４０５が高電圧Ｖｐｐレベルに充電され、ワード線ＷＬＡの電位が低下する。この後、センスアンプ活性化信号ＳＮおよびＳＡＰが非活性状態とされ、次いでイコライズ信号ＥＱが活性状態とされ、ビット線ＢＬおよび／ＢＬが中間電位ＶＢＬにイコライズ／プリチャージされる。

【０２８１】

上述のように、２本のワード線に対し１つのロウデコーダを設け、このロウデコーダの出力信号をウェイアドレス信号Ａｇおよび／Ａｇによりデコードする構成とすることにより、プリデコードされるべきアドレス信号のビット数を低減することができ、ロウデコーダ（またはロウプリデコーダ）の数を低減することができ、これらの占有面積を低減することができる。また２本のワード線に対して１つのロウデコーダＲＤを配置するだけであり、高密度高集積化に対しても、十分余裕をもってロウデコーダＲＤを配置することができる。

【０２８２】

図４８は、ワードドライバおよびロウデコーダおよびウェイデコーダのレイアウトの一例を示す図である。図４８においては、１４個のロウデコーダすなわち２８本のワード線に対応して設けられた部分のレイアウトを代表的に示す。

【０２８３】

図４８において、２本のワード線の組に対応してロウデコーダＲＤ０～ＲＤ１３が設けられる。これらはそれぞれ図４８の左端のロウデコーダ形成領域４５０内に配置される。ロウデコーダ形成領域４５０に隣接して、対応の２本のワード線の組のうち１本のワード線を選択状態とするための第１のトランジスタ形成領域４５２およびこの第１のトランジスタ形成領域４５２に隣接して第２のトランジスタ形成領域４５４が配置される。第１のトランジスタ形成領域４５２においては、ワード線ＷＬＡ（図４８においては代表的にＷＬＡ０のみを示す）を選択時高電圧Ｖｐｐレベルへ充電するための充電用トランジスタと、内部ノードを高電圧Ｖｐｐレベルに充電するためのトランジスタが形成される。すなわち、第１のトランジスタ形成領域４５２においては、ｐチャネルＭＯＳトランジスタのみが形成される。第２のトランジスタ形成領域４５４においては、ロウデコーダの出力信号を内部ノードへ伝達するためのデコード用トランジスタと、対応のワード線ＷＬＡを接地電位レベルへ放電するためのトランジスタが形成される。すなわち第２のトランジスタ形成

領域４５４においては、ｎチャネルＭＯＳトランジスタのみが形成される。
【０２８４】
さらに、この２本のワード線ＷＬＡ０およびＷＬＢ０のうち他方のワード線ＷＬＢ０を選択状態とするための第３のトランジスタ形成領域４５６および第４のトランジスタ形成領域４５８が形成される。第３のトランジスタ形成領域４５６においては、対応のワード線ＷＬＢを選択状態とするための（高電圧Ｖｐｐを伝達するための）ｐチャネルＭＯＳトランジスタを形成する領域４６４と、内部ノードをプリチャージしかつイコライズするトランジスタが形成される領域４６３を含む。すなわちこの第３のトランジスタ形成領域においては、ｐチャネルＭＯＳトランジスタが配置される。第４のトランジスタ形成領域４５８は、ワード線ＷＬＢ０を接地電位レベルへ放電するためのトランジスタと、ウェイアドレス信号をデコードするためのすなわちロウデコーダの出力信号を内部ノードへ伝達するためのトランジスタとが形成される。すなわちこの第４のトランジスタ形成領域においては、ｎチャネルＭＯＳトランジスタが形成される。ロウデコーダ、および第１ないし第４のトランジスタ形成領域は行方向（ワード線延在方向）に沿って１列に配置される。
【０２８５】
第１のトランジスタ形成領域を横切るように、サブＶｐｐ線４７０と、メインＶｐｐ線４７１と、プリチャージ信号／ＰＣを伝達するための信号線４７２が配置される。サブＶｐｐ線４７０は第１のトランジスタ形成領域４５２におけるトランジスタ形成領域４６２上に配置される。メインＶｐｐ線４７１およびプリチャージ信号伝達信号線４７２は、トランジスタ形成領域４６１を横断するように配置される。列方向に延在して、第２のトランジスタ形成領域を横切るように接地電圧Ｖｓｓを伝達する接地線４７３と、ウェイアドレス信号Ａｇを伝達するアドレス信号線４７４が配置される。
【０２８６】
第４のトランジスタ形成領域４５８に対しては、列方向に延びるように接地線４７６およびウェイアドレス信号線４７５が配置される。
【０２８７】
第３のトランジスタ形成領域４５６に対しては、列方向に延びるようにプリチャージ信号伝達線４７９、メインＶｐｐ線４７８、およびサブＶｐｐ線４７７が配置される。サブＶｐｐ線４７７は、トランジスタ領域４６４上を横切るように配置され、メインＶｐｐ線４７８およびプリチャージ信号線４７９はトランジスタ領域４６３を横切るように配置される。
【０２８８】
これらの配線４７０、４７１、４７２、４７３、４７４、４７５、４７６、４７７、４７８、および４７９はすべて平行に配置される。
【０２８９】
またこれらの配線４７０～４７９は、第２および第４のトランジスタ形成領域４５４および４５８の間の領域を中心線として対称となるように配置される。この対称配置によりレイアウトが容易とされる。またトランジスタ形成領域における各トランジスタ領域もこの第２および第４のトランジスタ形成領域の間の領域を中心として対称となるように配置される。このような対称配置とすることによりレイアウトパターンが規則的となり、トランジスタを効率的に配置することができる。また、ｎチャネルＭＯＳトランジスタを形成する領域４５４および４５８が中心部に配置されるため、これらの間の領域ｐチャネルＭＯＳトランジスタ形成とｎチャネルＭＯＳトランジスタ形成領域を分離するための領域を設ける必要がなく、行選択系回路部分の占有面積を低減することができる。
【０２９０】
メインＶｐｐ線４７１とサブＶｐｐ線４７０とは所定の間隔をおいてスイッチトランジスタにより接続される構成が利用されてもよく、また同様、メインＶｐｐ線４７８とサブＶｐｐ線４７７が所定の間隔をおいてスイッチングトランジスタにより相互接続される構成が利用されてもよい。後に説明するように、別に設けられたグローバルＶｐｐ線（Ｖｐｐ発生回路の出力ノード）にメインＶｐｐ線が直接接続され、サブＶｐｐ線がこのグローバ

ルＶｐｐ線に接続されてもよい。
【０２９１】
図４９は、２本のワード線に対応する部分のレイアウトをより詳細に示す図である。図４９において、トランジスタ形成領域４５０において、ＮＡＮＤゲート４０１が形成される。このトランジスタ形成領域４５０に隣接するトランジスタ領域４６２においては、内部ノード４０５ａ上の信号電位に応答して導通するｐチャネルＭＯＳトランジスタＰＱａが形成される。このトランジスタＰＱａは、導通時サブＶｐｐ線４７０上の電圧Ｖｐｐ（ｓ）をワード線ＷＬＡ上へ伝達する。
【０２９２】
トランジスタ領域４６１においては、信号線４７２上のプリチャージ信号／ＰＣに応答して導通し、メインＶｐｐ線４７１上の電圧Ｖｐｐ（ｍ）を内部ノード４０５ａへ伝達するｐチャネルＭＯＳトランジスタ４０４ａと、ワード線ＷＬＡ上の信号電位に応答して導通し、メインＶｐｐ線４７１上の電圧Ｖｐｐ（ｍ）を内部ノード４０５ａへ伝達するｐチャネルＭＯＳトランジスタ４０３ａが形成される。トランジスタ領域４６１および４６２が、第１のトランジスタ形成領域４５２を構成する。
【０２９３】
第２のトランジスタ形成領域４５４においては、ロウデコーダ（ＮＡＮＤゲート４０１）の出力信号を信号線４７４上に与えられるウェイアドレス信号Ａｇに従って内部ノード４０５ａへ伝達するｎチャネルＭＯＳトランジスタ４０２ａと、内部ノード４０５ａ上の信号電位に応答してワード線ＷＬＡへ接地線４７３上の接地電圧Ｖｓｓを伝達するｎチャネルＭＯＳトランジスタＮＱａが形成される。
【０２９４】
トランジスタ領域４６３においては、信号線４７９上のプリチャージ／ＰＣに導通してメインＶｐｐ線４７８上の高電圧Ｖｐｐ（ｍ）を内部ノード４０５ｂへ伝達するｐチャネルＭＯＳトランジスタ４０４ｂと、ワード線ＷＬＢ上の信号電位に応答して導通してメインＶｐｐ線４７８上の電圧Ｖｐｐ（ｍ）を内部ノード４０５ｂへ伝達するｐチャネルＭＯＳトランジスタ４０３ｂが形成される。
【０２９５】
トランジスタ領域４６４には、内部ノード４０５ｂ上の電位に応答してサブＶｐｐ線４７７上の高電圧Ｖｐｐ（ｓ）をワード線ＷＬＢへ伝達するｐチャネルＭＯＳトランジスタＰＱｂが形成される。トランジスタ領域４６３および４６４は第３のトランジスタ形成領域４５６を構成する。
【０２９６】
第４のトランジスタ形成領域４５８においては、ロウデコーダ（ＮＡＮＤゲート４０１）の出力信号を、信号線４７９上に与えられるウェイアドレス信号／Ａｇに応答して内部ノード４０５ｂへ伝達するｎチャネルＭＯＳトランジスタ４０２ｂと、内部ノード４０５ｂ上の信号電位に応答して接地線４７３上の接地電圧Ｖｓｓをワード線ＷＬＢへ伝達する接地線４７３上の接地電圧を伝達するｎチャネルＭＯＳトランジスタＮＱｂが形成される。
【０２９７】
この図４９に明らかに見られるように、第２および第４のトランジスタ形成領域４５４および４５８の間の領域を中心として、対称的にトランジスタが配置される。これにより、トランジスタのレイアウトパターンが規則的になり、トランジスタのレイアウトが容易となるとともに効率的にトランジスタを配置することができる。
【０２９８】
メインＶｐｐ線４７１および４７８は、Ｖｐｐ発生回路３１４の出力ノードに接続されるグローバルＶｐｐ線４８０に接続される。サブＶｐｐ線４７はスイッチングトランジスタＰＷＡおよび抵抗素子ＲＲａを介してメインＶｐｐ線４７１（またはグローバルＶｐｐ線４８０）に接続される。サブＶｐｐ線４７７はスイッチングトランジスタＰＷｂおよび抵抗素子ＲＲｂを介してメインＶｐｐ線４７８またはグローバルＶｐｐ線４８０に接続される。スイッチングトランジスタＰＷＡおよびＰＷＢはグループ選択信号／Ｂに応答して導

通する。
【０２９９】
図４９に示す配置においては、サブＶｐｐ線４７０および４７７はグローバルＶｐｐ線４８０またはメインＶｐｐ線４７１および４７８に接続されるように示される。しかしながら、このスイッチング素子ＰＷＡおよびＰＷＡならびに抵抗素子ＲＲａおよびＲＲｂは、所定の間隔をおいてメインＶｐｐ線４７１とサブＶｐｐ線４７０の間およびメインＶｐｐ線４７８とサブＶｐｐ線４７７の間に配置されてもよい。サブＶｐｐ線の負荷容量がさらに低減され、サブＶｐｐ線の電圧の安定化（高速回復）を実現することができる。
【０３００】
なお、図４９に示す構成において、抵抗素子ＲＲａおよびＲＲｂに代えて先の実施例において説明した電流調整素子が利用されてもよい。
【０３０１】
［変更例］
図５０は、この発明の第２３の実施例の変更例の構成を示す図である。図５０に示す構成においては、サブＶｐｐ線４７０とグローバルＶｐｐ線４８０の間に設けられるスイッチングトランジスタＰＷＡはグループ選択信号／Ｂ１をそのゲートに受け、一方、サブＶｐｐ線４７７とグローバルＶｐｐ線４８０を接続するためのスイッチングトランジスタＰＷＢは、そのゲートにグループ選択信号／Ｂ２を受ける。グループ選択信号／Ｂ１および／Ｂ２は、グループ選択信号／Ｂとウェイアドレス信号Ａｇおよび／Ａｇを用いて発生される。ウェイアドレス信号Ａｇおよび／Ａｇにより指定されるワード線グループに対応して設けられたサブＶｐｐ線のみがスイッチングトランジスタを介してグローバルＶｐｐ線４８０に接続される。これにより、非選択状態とされるワード線に対して設けられたワードドライバのサブＶｐｐ線はフローティング状態とされ、消費電流が低減される（非選択グループのサブＶｐｐ線に対しグローバルＶｐｐ線４８０から電流を供給する必要がないためである）。
【０３０２】
なお、図５０に示すレイアウトにおいて、他の構成は図４８に示すものと同様であり、対応する部分には同一の参照番号を付しその詳細説明は省略する。
【０３０３】
以上のように、この第２３の実施例に従えば、高密度でワード線を配置し、高集積化された大記憶容量の半導体記憶装置を実現することができるとともに、サブＶｐｐ線およびグローバルＶｐｐ線ならびにメインＶｐｐ線を効率的に配置することにより、低消費電流で動作する半導体記憶装置を得ることができる。
【０３０４】
なお、グローバルＶｐｐ線４８０は、Ｖｐｐ発生回路の出力ノード付近にのみ配置されるのではなく、後に説明するようなブロック分割方式の半導体記憶装置において、各ブロックごとにこのグローバルＶｐｐ線が設けられる構成が用いられてもよい。
【０３０５】
［実施例２４］
図５１は、この発明の第２４の実施例に従う半導体記憶装置の全体の構成を概略的に示す図である。図５１において、半導体記憶装置ＭＤは、４つのメモリマットＭＡ０～ＭＡ３を含む。これらの４つのメモリマットＭＡ０～ＭＡ３は、それぞれ複数のアレイに分割される。メモリマットＭＡｉ（ｉ＝０～３）は、６個のメモリアレイＭＢｉ０～ＭＢｉ５を含む。隣接するメモリアレイ間にはセンスアンプ帯ＳＡｉ１～ＳＡｉ５が設けられる。さらに、メモリアレイＭＢｉ０およびメモリアレイＭＢｉ５の外側に隣接してセンスアンプ帯ＳＡｉ０およびＳＡｉ６がそれぞれ設けられる。２つのアレイ間に配置されるセンスアンプ帯はその両側のメモリアレイにより共有される。すなわち、図５１に示す半導体記憶装置は、いわゆる「シェアードセンスアンプ配置」の構成を備える。
【０３０６】
メモリアレイＭＢｉ０～ＭＢｉ５それぞれに対応して行ワード線ドライブ回路ＷＤｉ０～

ＷＤｉ５が配置される。ワード線ドライブ回路ＷＤｉ０～ＷＤｉ５それぞれは、対応のメモリブロックアレイに含まれるワード線ＷＬそれぞれに対応して設けられるワードドライブを含む。

【０３０７】

図５１には示さないが、行デコード回路は、図５１において水平方向に隣接するメモリマットの間の領域に配置される。

【０３０８】

ワード線選択動作において、１つのメモリマットにおいて、１つのメモリアレイのみが選択状態とされる構成が利用されてもよく、また１つのメモリマットにおいて複数のメモリアレイが選択状態とされる構成が利用されてもよい。ただし、１つのメモリマットにおいてセンスアンプ帯を共有するメモリアレイは一方のメモリアレイのみが選択状態とされる。また、１つのメモリマットのみが選択状態とされてもよく、複数のメモリマットが同時に選択されてもよい。いずれの構成が利用されてもよい。

【０３０９】

半導体記憶装置ＭＤの中央部に周辺回路部分ＰＨが配置される。この周辺回路部分ＰＨはアドレス入力バッファ、制御信号発生回路およびコラムデコーダなどを含むが、図５１においては、高電圧Ｖｐｐを発生するＶｐｐ発生回路３１４ａおよび３１４ｂのみを代表的に示す。このＶｐｐ発生回路３１４ａからの高電圧Ｖｐｐは、メモリマットＭＡ０およびＭＡ２に対して設けられたワード線ドライブ回路ＷＤ００～ＷＤ０５およびＷＤ２０～ＷＤ２６へ与えられる。Ｖｐｐ発生回路３１４ｂからの高電圧Ｖｐｐは、メモリマットＭＡ１およびＭＡ３に対して設けられたワード線ドライブ回路ＷＤ１０～ＷＤ１５およびＷＤ３０～ＷＤ３５へ与えられる。

【０３１０】

サブＶｐｐ線は、各メモリアレイそれぞれに対応して設けられてもよいが、この第２４の実施例においては、メモリアレイそれぞれにおいてさらに複数のグループに分割される。このメモリアレイ内におけるグループの選択はワード線を指定するロウアドレス信号の所定数の上位ビットを用いることにより識別することができる。

【０３１１】

図５２は、２つのメモリアレイに対するワード線ドライブ回路およびロウデコード回路の構成を概略的に示す図である。図５２においては、２つのメモリアレイＭＢｉｊおよびＭＢｉｋに対応して設けられるワード線ドライブ回路の部分の構成を示す。メモリアレイＭＢｉｊおよびＭＢｉｋの間にはセンスアンプ帯ＳＡｉｊが配置される。このセンスアンプ帯を共有する場合の動作については後に詳細に説明する。

【０３１２】

メモリアレイＭＢｉｊに対応して設けられるワード線ドライブ回路ＷＤｉｊは、ｎ個のグループ＃Ａ１～＃Ａｎに分割される。図５２においては、各グループをデコーダ・ドライブとして示す。ウェイデコーダとワードドライバの部分を含むためである（図４７参照）。メモリアレイＭＢｉｋに対応して設けられるワード線ドライブ回路ＷＤｉｋも、ｎ個のデコーダ・ドライブグループ＃Ｂ１～＃Ｂｎに分割される。デコーダ・ドライブグループ＃Ａ１～＃Ａｎに対応してそれぞれスイッチングトランジスタＰＷ＃１Ａ～ＰＷ＃ｎＡが設けられる。スイッチングトランジスタＰＷ＃１Ａ～ＰＷ＃ｎＡは、グループ選択信号＃Ａ１～＃Ａｎの活性化時に導通し、メインＶｐｐ線（またはグローバルＶｐｐ線５００上の高電圧Ｖｐｐ（ｍ）を対応のデコーダ・ドライブグループ＃Ａ１～＃Ａｎへ伝達する。ここで、図５２においては、サブＶｐｐ線は明確には示していないが、スイッチングトランジスタＰＷ＃１Ａ～ＰＷ＃ｎＡの一方導通端子により表現される。

【０３１３】

メモリアレイＭＢｉｋに対応して設けられるワード線ドライブ回路ＷＤｉｋもｎ個のデコーダ・ドライブグループ＃Ｂ１～＃Ｂｎに分割される。デコーダ・ドライブグループ＃Ｂ１～＃Ｂｎに対応して、それぞれ導通時にメインＶｐｐ線（またはグローバルＶｐｐ線）５００上の電圧Ｖｐｐ（ｍ）を伝達するスイッチングトランジスタＰＷ＃１Ｂ～ＰＷ＃ｎ

Ｂが配置される。スイッチングトランジスタＰＷ＃１Ｂ～ＰＷ＃ｎＢのゲートへグループ選択信号／Ｂ１～／Ｂｎがそれぞれ与えられる。

【０３１４】

この図５２に示すように、メモリアレイに対応して設けられるワード線ドライブ回路をさらにグループに分割し、各グループごとにサブＶｐｐ線を配置することにより、サブＶｐｐ線の負荷をより低減することができ、アクティブサイクル時におけるサブＶｐｐ線の電圧回復を高速で行なうことができる。

【０３１５】

なお、このサブＶｐｐ線とメインＶｐｐ線（またはグローバルＶｐｐ線）５００との間の電流調整素子としては、抵抗素子およびＭＯＳトランジスタのいずれが用いられてもよい（先の実施例はすべて適用可能である）。

【０３１６】

また、デコーダ・ドライブグループ＃Ａ１～＃Ａｎおよび＃Ｂ１～＃Ｂｎに対しては、さらにメインＶｐｐ線が配設されるが、図５２においては、図面を簡略化するためにこのデコーダ・ドライブグループ＃Ａ１～＃Ａｎおよび＃Ｂ１～＃Ｂｎに対して配置されるメインＶｐｐ線は示していない。このメインＶｐｐ線のメモリアレイＭＢｉｊおよびＭＢｉｋそれぞれに対応して配置され、グローバルＶｐｐ線からこれらのメインＶｐｐ線へ電圧が供給される配置が用いられてもよい。この場合には、センスアンプ帯ＳＡｉｊの領域にグローバルＶｐｐ線５００から電圧取出線が延在し、この延在したグローバルＶｐｐ線からメインＶｐｐ線がそれぞれワード線ドライブ回路ＷＤｉｊおよびＷＤｉｋそれぞれに対して配置される。

【０３１７】

図５３は、グループ選択信号／Ａｍおよび／Ｂｍを発生させる構成を示す図である。グループ選択信号／Ａｍおよび／Ｂｍ（ｍ＝１～ｎのいずれか）を発生する部分は同じ回路構成を用いて発生されるため、両者を合せて１つの回路ブロックで示す。図５３において、グループ選択信号発生系は、アドレスバッファ５０２からのメモリアレイを指定するアレイアドレスをデコードし、メモリアレイを指定する信号を発生するブロックデコーダ５０４と、アドレスバッファ５０２からのメモリアレイ内におけるグループを特定するグループアドレス信号をデコードし、デコーダ・ドライブグループを特定する信号を発生するグループデコーダ５０６と、ブロックデコーダ５０４の出力信号とグループデコーダ５０６の出力信号の否定論理積をとるＮＡＮＤゲート５０８を含む。ブロックデコーダ５０４は１つのメモリアレイ（１つのメモリアレイが１つのメモリマットにおいて選択状態とされる場合）を指定する信号を発生し、グループデコーダ５０６は、メモリアレイにおいて１つのグループを特定する信号を発生する。ブロックデコーダが指定するメモリアレイにおいてグループデコーダ５０６が指定するデコーダ・ドライブグループに対してのみグループ選択信号／Ａｍおよび／Ｂｍが選択状態とされる。これにより、サブＶｐｐ線の負荷を軽減するとともに非選択デコーダ・ドライブグループおよび非選択メモリアレイのサブＶｐｐ線とメインＶｐｐ線（またはグローバルＶｐｐ線）５００との間の対応のスイッチングトランジスタがオフ状態とされ、サブＶｐｐ線上の高電圧は消費されないため消費電流を大幅に低減することができる。

【０３１８】

［実施例２５］

図５４は、この発明の第２５の実施例の半導体記憶装置の要部の構成を示す図である。図５４においては、図５１に示す半導体記憶装置の１つのメモリアレイに関連する部分の構成を概略的に示す。メモリアレイＭＢｉｊは、それぞれが複数行を含む複数のメモリグループに分割される。図５４においては、４つのメモリグループＭＧＢ０～ＭＧＢ３に分割される状態が一例として示される。メモリグループＭＧＢ０～ＭＧＢ３の各々がさらに複数の列ブロックに分割される。図５４においては、同様、４つのブロックに分割される状態が一例として示される。メモリグループＭＧＢｋ（ｋ＝０～３）は、４つのメモリセルブロックＭＢＫｋ０～ＭＢＫｋ３を含む。メモリセルブロックそれぞれに対応して、ワー

ドドライバ群が配置される。すなわち、メモリセルブロックＭＢＫｋｈ（ｋ，ｈ＝０～３）に対応して、ワードドライバ＃Ａｋｈが配置される。ワードドライバ群へは、その構成は後に説明するが、ＸデコーダＸＤの出力信号が与えられる。このＸデコーダＸＤは、ロウデコーダおよびウェイデコーダ両者を含む。

【０３１９】

メモリグループＭＧＢ０～ＭＧＢ３それぞれに対応してサブＶｐｐ線５０２ａ、５０２ｂ、５０２ｃ、および５０２ｄが配置される。サブＶｐｐ線５０２（５０２ａ～５０２ｄ）は、対応のメモリグループＭＧＢ（ＭＧＢ０～ＭＧＢ３）に含まれるワードドライバ＃Ａすべてに対し共通に高電圧Ｖｐｐを供給する。たとえば、サブＶｐｐ線５０２ａは、メモリグループＭＧＢ０に含まれるワードドライバ＃Ａ００～＃Ａ０３に対し高電圧Ｖｐｐを供給する。

【０３２０】

サブＶｐｐ線５０２ａ～５０２ｄとメインＶｐｐ線（またはグローバルＶｐｐ線）５００の間には、グループ選択信号／Ｂａ、／Ｂｂ、／Ｂｃ、およびＢｄに応答して導通するスイッチングトランジスタＰＷ＃０、ＰＷ＃１、ＰＷ＃２、およびＰＷ＃３が配置される。メインＶｐｐ線（またはグローバルＶｐｐ線）５００へはＶｐｐ発生回路３１５からの高電圧Ｖｐｐが供給される。このサブＶｐｐ線５０２ａ～５０２ｄとメインＶｐｐ線（またはグローバルＶｐｐ線）５００の間には、スイッチングトランジスタと並列に先の実施例において説明した種々の電流調整素子または抵抗素子が接続されてもよい。１つのワードドライバに接続するワード線の長さが短くなり、応じてワードドライバの出力負荷が低減され、高速で選択ワード線電位を高電圧Ｖｐｐレベルにまで立上げることができる。

【０３２１】

図５５は、サブＶｐｐ線の配置の一例を示す図である。図５５において、１つのメモリグループＭＧＢにおける３行に対応して配置されるサブＶｐｐ線の配置を示す。

【０３２２】

メモリブロックＭＢＫｋｈ（ｈ＝０～３）それぞれにおいて、各ブロックにおける１行のメモリセルが接続されるワード線ＤＷＬ０ｈおよびＤＷＬ１ｈが配置される。ワード線ＤＷＬ００～ＤＷＬ０３に対して、ワードドライバＷＤ＃００～ＷＤ＃０３が配置されてワード線ＤＷＬ１０～ＤＷＬ１３に対して、ワードドライバＷＤ＃１０～＃ＷＤ＃１３が配置される。ワードドライバＷＤ＃００およびＷＤ＃１０は、ワードドライバ群＃Ａｋ０に含まれ、ワードドライバＷＤ＃０１およびＷＤ＃１１は、ワードドライバ群＃Ａｋ１に含まれ。ワードドライバＷＤ＃０２およびＷＤ＃１２は、ワードドライバ群＃Ａｋ２に含まれ、ワードドライバＷＤ＃０３およびＷＤ＃１３はワードドライバ群Ａｋ３に含まれる。

【０３２３】

グループ選択信号／Ｂに応答して導通するスイッチングトランジスタＰＷ＃（ＰＷ＃０～ＰＷ＃３）は、導通時メインＶｐｐ線（またはグローバルＶｐｐ線）５００上の高電圧をサブＶｐｐ線５０２上へ伝達する。サブＶｐｐ線５０２は、列方向（ワード線と交差する方向）に沿ってメモリアレイグループ内に延在する。各行に対応して、ローカルＶｐｐ線５１２－０～５１２－２が配置される。ローカルＶｐｐ線５１２－０～５１２－２はサブＶｐｐ線５０２に接続されてこのサブＶｐｐ線から高電圧Ｖｐｐを受ける。ローカルＶｐｐ線５１２－０は、ワードドライバＷＤ＃００～ＷＤ＃０３へ高電圧Ｖｐｐを与え、ローカルＶｐｐ線５１２－１は、ワードドライバＷＤ＃１０～ＷＤ＃１３へ高電圧Ｖｐｐを印加する。ローカルＶｐｐ線５１２－２は、図示しないワード線に対応して配置されるワードドライバへ高電圧を供給する。

【０３２４】

各行に平行にローカルＶｐｐ線５１２を配設し、これらのローカルＶｐｐ線をサブＶｐｐ線５０２に接続する構成により、１つのローカルＶｐｐ線における電圧ノイズはサブＶｐｐ線５０２で吸収され、他のローカルＶｐｐ線へその発生した電圧ノイズの影響は与えられず、電圧ノイズに強い高電圧供給配置を実現することができる。

【０３２５】

図５６は、図５５に示すワードドライバＷＤ＃００～ＷＤ＃１７の具体的構成を示す図である。図５６（Ａ）においては、ワードドライバＷＤ＃００～ＷＤ＃１３は、２入力ＡＮＤゲートで構成される。ワードドライバＷＤ＃００～ＷＤ＃０３に対してはＸデコーダからの出力信号ＸＷ０が共通に与えられ、ワードドライバＷＤ＃１０～ＷＤ＃１３に対してはＸデコーダからのデコード信号ＸＷ１が共通に与えられる。

【０３２６】

同じワードドライバ群に含まれるワードドライバに対しては、共通にブロック選択信号が与えられる。すなわち、ワードドライバ群＃Ａｋ０に含まれるワードドライバＷＤ＃００およびＷＤ＃１０に対してはブロック選択信号ＹＢ０が与えられる。ワードドライバ群＃Ａｋ１に含まれるワードドライバＷＤ＃０１およびＷＤ＃１１に対してはブロック選択信号ＹＢ１が与えられる。ワードドライバ群＃Ａｋ２に含まれるワードドライバＷＤ＃０２およびＷＤ＃１２に対してはプロセス選択信号ＹＢ２が与えられる。ワードドライバ群＃Ａｋ３に含まれるワードドライバＷＤ＃０３およびＷＤ＃１３に対してはブロック選択信号ＹＢ３が与えらる。ワードドライバＷＤ＃００～ＷＤ＃１３は、その両入力に与えられる信号がともに活性状態のハイレベルのときに対応のワード線ＤＷＬ００～ＤＷＬ１３を選択状態へと駆動する。すなわち、この図５６（Ａ）に示す構成においては、メモリグループＭＧＢにおいて１つのメモリセルブロックが選択状態とされ、その選択状態とされたメモリセルブロックにおいて１つのワード線が選択状態とされる。このブロック分割方式により、消費電流が大幅に低減される。

【０３２７】

なお、ブロック選択信号ＹＢ０～ＹＢ３は、列アドレス信号の所定数のたとえば最上位ビットをデコードすることにより発生される。

【０３２８】

図５６（Ｂ）の構成においては、ワードドライバＷＤ＃００～ＷＤ＃１３は、インバータ（ＣＭＯＳインバータ）で構成される。同一行に配置されるワードドライバＷＤ＃００～ＷＤ＃０３にはＸデコーダからの出力信号ＸＷ０が与えられ、またワードドライバＷＤ＃１０～ＷＤ＃１３に対してはＸデコーダからの出力信号ＸＷ１が共通に与えらる。

【０３２９】

この図５６（Ｂ）に示す構成においては、メモリグループＭＧＢにおいて、Ｘデコーダが指定する行に対応して配置されるワード線が各メモリセルブロックにおいて選択状態とされる。この図５６（Ｂ）に示す構成においては、メモリブロックＭＢＫｋ０～ＭＢＫｋ３がすべて選択状態とされかつワードドライバ群＃Ａｋ０～＃Ａｋ３それぞれにおいて１つのワードドライバが駆動される。しかしながらワードドライバは１つのインバータで構成されるため、素子の占有面積が低減される。

【０３３０】

［変更例１］

図５７は、第２５の実施例の第１の変更例の構成を示す図である。図５７に示す配置においては、ローカルＶｐｐ線が隣接する２行のワードドライバに共有されるように配置される。すなわち、サブＶｐｐ線５０２に接続されるローカルＶｐｐ線５１２－１は、ワードドライバＷＤ＃００～ＷＤ＃０３およびＷＤ＃１０～ＷＤ＃１３に対し高電圧Ｖｐｐを供給する。ローカルＶｐｐ線５１２－２は、サブＶｐｐ線から与えられる高電圧をワードドライバＷＤ＃２０～ＷＤ＃２３およびＷＤ＃３０～ＷＤ＃３３（図示せず）へ供給する。

【０３３１】

この図５７に示すように２行のワードドライバに共有されるようにローカルＶｐｐ線を配置することにより、ローカルＶｐｐ線のピッチ条件が緩和され、高電圧供給線のレイアウトが容易となる。

【０３３２】

なお図５７に示す配置において、サブＶｐｐ線５０２は、ローカルＶｐｐ線の中央部に配置されるように構成されてもよい。

【０３３３】

［変更例２］
図５８は、この発明の第２５の実施例の第２の変更例の構成を示す図である。図５８においては、１つのメモリセルグループにおける３行の構成を代表的に示す。
【０３３４】
図５８において、メインＶｐｐ線（またはグローバルＶｐｐ線）５００にスイッチングトランジスタＰＷ＃を介して接続されるサブＶｐｐ線５０２が、行方向に複数のメモリセルブロックに共通に配置される。メモリセルブロックそれぞれに対応してローカルＶｐｐ線５２２－０～５２２－３が配置される。すなわち、ローカルＶｐｐ線５２２－０は、第１のメモリブロックに対して設けられるワードドライバＷＤ＃００、ＷＤ＃１０、およびＷＤ＃２０に高電圧を供給する。ローカルＶｐｐ線５２２－１は第２のメモリブロックに対して設けられたワードドライバＷＤ＃０１およびＷＤ＃１１、およびＷＤ＃２１に対し高電圧を供給する。ローカルＶｐｐ線は第３のメモリブロックに設けられたワードドライバＷＤ＃０２、ＷＤ＃１２、およびＷＤ＃２２に対し高電圧を供給する。ローカルＶｐｐ線５２２－３は、第４のメモリブロックに対して設けられたワードドライバＷＤ＃０３、ＷＤ＃１３、およびＷＤ＃２３に高電圧Ｖｐｐを供給する。
【０３３５】
この図５８に示す構成の場合、１つのローカルＶｐｐ線における電圧変動はサブＶｐｐ線５０２において吸収され、他のローカルＶｐｐ線へこの電圧変動は伝達されず、他のローカルＶｐｐ線の電圧を安定に維持することができる。この図５８に示す配置の場合、また各ブロックごとにローカルＶｐｐ線が配置されるため、ブロックの境界部にローカルＶｐｐ線を配置することができ、ワード線ピッチおよびビット線ピッチに何ら悪影響を及ぼすことなく高電圧を供給するための配線をレイアウトすることができる。
【０３３６】
以上のように、この第２５の実施例に従えば、１つのメモリグループにおいて、行をさらに複数のブロックに分割し、各ブロックそれぞれに対応してワードドライバを設け、それぞれにサブ／ローカルＶｐｐ線を介して高電圧を供給するように構成しているため、１つのワードドライバの出力負荷が低減され、高速でワード線を立上げることができる。
【０３３７】
［実施例２６］
図５９は、この発明の第２６の実施例の半導体記憶装置の全体の構成を概略的に示す図である。図５９においては、２つのメモリマットＭＭＬおよびＭＭＲの部分の構成を示す。メモリマットＭＭＬは、メモリアレイＭＢ０Ｌ～ＭＢｎＬを含み、メモリマットＭＭＲは、メモリアレイＭＢ０Ｒ～ＭＢｎＲを含む。メモリアレイＭＢ０Ｌ～ＭＢｎＬの間にセンスアンプ帯ＳＡ＃１Ｌ～ＳＡ＃ｎＬが配置され、メモリアレイＭＢ０Ｒ～ＭＢｎＲの間には、センスアンプ帯ＳＡ＃１Ｒ～ＳＡ＃ｎＲが配置される。メモリアレイＭＢ０ＬおよびＭＢ０Ｒそれぞれの外周部に隣接して、センスアンプ帯ＳＡ＃０ＬおよびＳＡ＃０Ｒが配置され、メモリアレイＭＢｎＬおよびＭＢｎＲの外周部に隣接してセンスアンプ帯ＳＡ＃ｍＬおよびＳＡ＃ｍＲがそれぞれ配置される。この図５９に示す配置においては、いわゆる「交互配置型シェアードセンスアンプ」構成を備える。すなわち、メモリアレイの間に配置されるセンスアンプはその両側の２つのメモリアレイにより共有されるとともに、１つのメモリアレイに対して両側に設けられたセンスアンプが動作する。センスアンプは各メモリアレイにおいて、列の両側に交互に配置される。
【０３３８】
センスアンプ帯ＳＡ＃０Ｌ～ＳＡ＃ｍＬに対応して制御回路６１２Ｌ０～６１２Ｌｍが配置される。同様に、センスアンプ帯ＳＡ＃０Ｒ～ＳＡ＃ｍＲそれぞれに対応して制御回路６１２Ｒ０～６１２Ｒｍが配置される。制御回路６１２Ｌ０～６１２Ｌｍおよび６１２Ｒ０～６１２Ｒｍは、対応のセンスアンプ帯のセンスアンプ（ＮセンスアンプおよびＰセンスアンプ（アクティブリストア回路））の活性／非活性を制御するとともに、センスアンプとビット線対との接続を制御する。この制御回路の具体的構成については後に詳細に説明する。

【０３３９】
制御回路６１２Ｌ０～６１２Ｌｍは複数のグループに分割され、各グループに対応してサブＶｐｐ線が配置される。図５９においては、制御回路６１２Ｌ０および６１２Ｌ１に共通のサブＶｐｐ線６０２Ｌ０が配設され、制御回路６１２Ｌｎおよび６１２Ｌｍに対し共通のサブＶｐｐ線６０２Ｌｒが配設される状態が一例として示される。サブＶｐｐ線６０２Ｌ０および６０２ＬｒはそれぞれスイッチングトランジスタＰＷ＃０ＬおよびＰＷ＃ｒＬを介してメインＶｐｐ線６００に接続される。スイッチングトランジスタＰＷ＃０ＬおよびＰＷ＃ｒＬへはグループ選択信号／Ｂ０Ｌおよび／ＢｒＬがそれぞれ与えられる。
【０３４０】
制御回路６１２Ｒ０～６１２Ｒｍもそれぞれ複数のグループに分割され、各グループに対応してサブＶｐｐ線が配置される。図５９においては、制御回路６１２Ｒ０および６１２Ｒ１に対し共通にサブＶｐｐ線６０２Ｒ０が配設され、制御回路６１２Ｒｎおよび６１２Ｒｍに対し共通にサブＶｐｐ線６０２Ｒｌが配設される。サブＶｐｐ線６０２Ｒ０および６０２ＲｒはスイッチングトランジスタＰＷ＃０ＲおよびＰＷ＃ｒＲを介してメインＶｐｐ線６００に接続される。スイッチングトランジスタＰＷ＃０ＲおよびＰＷ＃ｒＲへはグループ選択信号／Ｂ０Ｒおよび／ＢｒＲが与えられる。グループ選択信号／Ｂ０Ｌ、／ＢｒＬ、／Ｂ０Ｒ、および／ＢｒＲは、それぞれアレイアドレス信号に基づいて生成される。メインＶｐｐ線６００上へは、Ｖｐｐ発生回路５９０から高電圧Ｖｐｐが与えられる。次に、制御回路６１２Ｌ０～６１２Ｌｍおよび６１２Ｒ０～６１２Ｒｍの具体的構成について説明する。
【０３４１】
［センスアンプ活性回路］
図６０は、図５９に示す制御回路に含まれるｎセンスアンプ活性回路の配置を示す図である。ビット線ＢＬおよび／ＢＬには、ｎチャネルＭＯＳトランジスタＮＳＴ１およびＮＳＴ２を含むセンスアンプＮＳＡが配置される。交互配置型センスアンプ構成においては、１つのセンスアンプ帯において１列おきに（１対のビット線ごとに）センスアンプＮＳＡが配置され、ビット線対の両側に交互にセンスアンプＮＳＡが配置される。図６０においては１対のビット線に対して設けられたセンスアンプのみを代表的に示す。ＭＯＳトランジスタＮＳＴ１は、そのゲートがビット線／ＢＬに接続され、そのドレインがビット線ＢＬに接続される。ＭＯＳトランジスタＮＳＴ２は、そのゲートがビット線ＢＬに接続され、そのドレインがビット線／ＢＬに接続される。ＭＯＳトランジスタＮＳＴ１およびＮＳＴ２のソースは共通に接続されてセンスアンプ活性化用のｎチャネルＭＯＳトランジスタＮＳＴ３を介して接地線に接続される。
【０３４２】
センスアンプ活性化用のトランジスタＮＳＴ３のゲートへはセンスアンプ活性回路６１２ａからのセンスアンプ活性化信号ＳＯ（またはＳＮ）が与えられる。センスアンプ活性回路６１２ａは、サブＶｐｐ線６０２から高電圧Ｖｐｐを供給される。サブＶｐｐ線６０２は、スイッチングトランジスタＰＷ＃ａを介してメインＶｐｐ線６００に接続される。スイッチングトランジスタＰＷ＃ａのゲートへは、グループ選択信号／Ｂが与えられる。次に動作について簡単に説明する。
【０３４３】
スタンバイサイクル時においては、グループ選択信号／Ｂはハイレベルにあり、スイッチングトランジスタＰＷ＃ａはオフ状態にある。このスタンバイサイクルにおいては、センスアンプ活性回路６１２ａからのセンスアンプ活性化信号ＳＯはローレベルであり、活性化トランジスタＮＳＴ３はオフ状態にある。アクティブサイクルが始まり、メモリセルの選択が行なわれ、ビット線ＢＬおよび／ＢＬの電位差がこの選択されたメモリセルの記憶データに応じて変化すると、センスアンプ活性回路６１２ａが活性化される。このセンスアンプ活性回路６１２ａの活性化前に、グループ選択信号／Ｂが活性状態のローレベルとなり、スイッチングトランジスタＰＷ＃ａがオン状態とされ、サブＶｐｐ線６０２へメインＶｐｐ線６００から電流が供給され、サブＶｐｐ線６０２上の電圧が高電圧Ｖｐｐレベ

ルに設定される。活性化されたセンスアンプ活性回路６１２ａの出力するセンスアンプ活性化信号ＳＯが高電圧Ｖｐｐレベルのハイレベルとなり、センスアンプ活性化トランジスタＮＳＴ３がオン状態とされる。トランジスタＮＳＴ３のゲートへは高電圧Ｖｐｐが与えられ、トランジスタＮＳＴ３のオン抵抗が十分小さくされ、トランジスタＮＳＴ１およびＮＳＴ２のソースを高速で接地電位レベルへと放電する。これにより、センスアンプＮＳＡが活性化され、ビット線ＢＬおよび／ＢＬのうち低電位のビット線が接地電位レベルへと放電される。この後、データの書込／読出が行なわれ、１つのメモリサイクルが完了すると、センスアンプ活性化信号ＳＯが非活性状態のローレベルとされ、活性化トランジスタＮＳＴ３がオフ状態とされる。この後、グループ選択信号／Ｂがハイレベルとされ、スイッチングトランジスタＰＷ＃ａがオフ状態とされる。

【０３４４】

この図６０に示す構成のように、センスアンプ活性化信号ＳＯを高電圧Ｖｐｐレベルとすることにより、センス活性化トランジスタのオン抵抗を小さくして、センス動作を高速に行なうことができる。このようなセンスアンプ活性化回路に対しメインＶｐｐ線／サブＶｐｐ線の階層電源構成を用いることにより、スタンバイサイクル時（センス動作開始前までの期間）におけるセンスアンプ活性回路におけサブスレショルド電流を低減できる。

【０３４５】

［アクティブリストア回路（Ｐセンスアンプ）活性回路］

図６１は、図５９に示す制御回路に含まれる、リストア回路（Ｐセンスアンプ）を制御する部分の構成を示す図である。図６１に示すように、ビット線ＢＬおよび／ＢＬには、高電位のビット線を電源電圧Ｖｃｃレベルに設定するためのアクティブリストア回路（Ｐセンスアンプ）ＰＳＡが配置される。アクティブリストア回路ＰＳＡは、そのゲートがビット線／ＢＬに接続され、その一方導通端子がビット線ＢＬに接続されるｐチャネルＭＯＳトランジスタＰＳＴ１と、そのゲートがビット線ＢＬに接続され、その一方導通端子がビット線／ＢＬに接続されるｐチャネルＭＯＳトランジスタＰＳＴ２を含む。トランジスタＰＳＴ１およびＰＳＴ２の他方導通端子はともに、活性化用のｐチャネルＭＯＳトランジスタＰＳＴ３を介して電源線に接続される。

【０３４６】

活性化トランジスタＰＳＴ３のゲートへは、Ｐセンスアンプ活性回路６１２ｂからのセンス活性化信号／ＳＯが与えられる。センス活性化信号／ＳＯは非活性化時には高電圧Ｖｐｐレベルとされる。センスアンプ活性回路６１２ｂは、メインＶｐｐ線６００にスイッチングトランジスタＰＷ＃ｂを介して接続されるサブＶｐｐ線６０２から高電圧Ｖｐｐを供給される。スイッチングトランジスタＰＷ＃ｂのゲートへは、グループ選択信号Ｂが与えられる。このグループ選択信号Ｂは、スタンバイ時においては、ローレベルとされ、Ｐセンスアンプの活性化時にはローレベルとされる。アクティブリストア回路ＰＳＡは図５９のセンスアンプ帯に含まれる。次に動作について簡単に説明する。

【０３４７】

スタンバイ時においては、グループ選択信号Ｂはローレベルにあり、スイッチングトランジスタＰＷ＃ｂがオン状態であり、サブＶｐｐ線６０２は、メインＶｐｐ線６００上の高電圧Ｖｐｐレベルにある。この状態においては、センスアンプ活性回路６１２ｂから出力されるセンス活性化信号／ＳＯは高電圧Ｖｐｐレベルにあり、活性化トランジスタＰＳＴ３は深いオフ状態にある。これにより、電源線Ｖｃｃからトランジスタ ＰＳＴ１およびＰＳＴ２へ流れるサブスレショルド電流を低減する。スタンバイサイクル時においては、ビット線ＢＬおよび／ＢＬは中間電圧ＶＢＬ（これについては後に説明するが、Ｖｃｃ／２の電圧レベル）にプリチャージされており、またトランジスタＰＳＴ１およびＰＳＴ２の接続ノードの中間電位ＶＢＬにプリチャージされている。

【０３４８】

アクティブサイクルが始まると、まずメモリセルが選択され、ビット線ＢＬおよび／ＢＬ上にこの選択されたメモリセルが記憶するデータに対応する電位差が生じる。次いでグループ選択信号Ｂがハイレベルとなり、スイッチングトランジスタＰＷ＃ｂがオフ状態とさ

れる。この状態において、センスアンプ活性回路６１２ｂが活性化されてセンス活性化信号／ＳＯを接地電圧レベルのローレベルに立下げ、活性化トランジスタＰＳＴ３をオン状態とする。このとき、センスアンプ活性回路６２１ｂに含まれる充電用のトランジスタがオフ状態とされ、サブスレショルド電流領域で動作する。スイッチングトランジスタＰＷ＃ｂをオフ状態とすることにより、サブＶｐｐ線６０２の電圧レベルを低下させ、センスアンプ活性回路６１２ｂに含まれる充電用トランジスタをより深いオフ状態とし、サブスレショルド電流を低減する。

センス活性化信号／ＳＯがローレベルとなると、アクティブリストア回路（Ｐセンスアンプ）ＰＳＡが活性化され、ビット線ＢＬおよび／ＢＬのうち高電位のビット線を電源電圧Ｖｃｃレベルに充電する。この後、データの書込／読出が行なわれ、１つのメモリセルサイクルが完了すると、グループ選択信号Ｂがローレベルとされ、スイッチングトランジスタＰＷ＃ｂがオン状態とされ、サブＶｐｐ線６０２上にメインＶｐｐ線６００上の高電圧Ｖｐｐが伝達される。次いで、センスアンプ活性回路６１２ｂが非活性状態とされ、センス活性化信号／ＳＯが非活性状態のハイレベル（高電圧Ｖｐｐレベル）に駆動される。

【０３４９】

上述のように、アクティブリストア回路を活性化するためのトランジスタのゲートへ高電圧Ｖｐｐを与えることにより、Ｐセンスアンプ活性化回路のみならず、このアクティブリストア回路におけるスタンバイ時におけるリーク電流をも低減することができる。

【０３５０】

［アクティブリストア回路（Ｐセンスアンプ）活性化回路２］

図６２は、アクティブリストア回路の活性／非活性を制御するための他の構成を示す図である。図６２に示す構成においては、アクティブリストア回路（Ｐセンスアンプ）を活性化するためのセンス活性化信号／ＳＯを発生するセンスアンプ活性回路６１２ｃは、負電圧Ｖｂｂを伝達するメインＶｂｂ線６５０から、スイッチングトランジスタＮＷ＃を介してサブＶｂｂ線６５２へ与えられる電圧を他方動作電源電圧として動作する。一方動作電源電圧としては、センスアンプ活性回路６１２ｃは、サブＶｐｐ線６０２上にスイッチングトランジスタＰＷ＃ｃを介してメインＶｐｐ線６００から与えられる高電圧Ｖｐｐを受ける。

【０３５１】

スタンバイ時（スタンバイサイクルおよびセンスアンプ活性化前までの期間）においては、グループ選択信号Ｂはローレベルにある。この状態においては、センスアンプ活性回路６１２ｃは、サブＶｐｐ線６０２上にオン状態のスイッチングトランジスタＰＷ＃ｃを介して与えられる高電圧Ｖｐｐを受け、この高電圧Ｖｐｐレベルの非活性状態のセンス活性化信号／ＳＯを出力する。この状態においては、センスアンプ活性化トランジスタＰＳＴ３は十分深いオフ状態にある。

【０３５２】

センスタイミング信号φＳＡが活性状態とされる前にグループ選択信号Ｂがハイレベルとされ、スイッチングトランジスタＰＷ＃ｃがオフ状態となり、一方、スイッチングトランジスタＮＷ＃がオン状態となる。これにより、サブＶｂｂ線６５２上にメインＶｂｂ線６５０上に与えられた負電圧Ｖｂｂが与えられる。センスタイミング信号φＳＡの活性化に応答して、センスアンプ活性回路６１２ｃから出力されるセンス活性化信号／ＳＯが負電圧Ｖｂｂレベルのローレベルとなり、活性化トランジスタＰＳＴ３が深いオン状態となり、高速で電源線上の電源電圧Ｖｃｃをアクティブリストア回路（Ｐセンスアンプ）ＰＳＡへ与えてこのアクティブリストア回路（Ｐセンスアンプ）を活性化する。

【０３５３】

１つのメモリサイクルが完了すると、センス活性化信号φＳＡが非活性状態とされ、かつグループ選択信号Ｂがローレベルとされる。これにより、再びスイッチングトランジスタＰＷ＃ｃがオン状態となり、一方、スイッチングトランジスタＮＷ＃がオフ状態となり、センス活性化信号／ＳＯが再び高電圧Ｖｐｐレベルに復帰する。

【０３５４】

図６２に示す構成のように、スタンバイ時に高電圧Ｖｐｐレベル、アクティブ時に負電圧Ｖｂｂレベルのセンス活性化信号／ＳＯを発生することにより、高速でアクティブリストア回路を駆動することができるとともに、センスアンプ活性回路６１２ｃにおける消費電流およびセンス活性化トランジスタＰＳＴ３におけるリーク電流を低減することができ、低消費電流のセンスアンプ回路を実現することができる。

【０３５５】

図６３は、図６２に示すスイッチングトランジスタＮＷ＃へ与えられるグループ選択信号Ｂのレベルを変換するための構成を示す図である。図６３において、レベル変換回路は、ハイレベルが電源電圧Ｖｃｃレベルのグループ選択信号Ｂａを受けるｐチャネルＭＯＳトランジスタ６６１ａと、グループ選択信号Ｂａを反転するインバータ６６２と、インバータ６６２の出力信号をゲートに受けるｐチャネルＭＯＳトランジスタ６６１ｂを含む。トランジスタ６６１ａは、導通時内部ノード６６５ｂを電源電圧Ｖｃｃレベルに充電する。トランジスタ６６１ｂは、導通時、ノード６６５ａを電源電圧Ｖｃｃレベルに充電する。

【０３５６】

レベル変換回路は、さらに、ノード６６５ａ上の信号電位をゲートに受け、導通時ノード６６５ｂの電位を負電圧Ｖｂｂレベルに放電するｎチャネルＭＯＳトランジスタ６６３ａと、ノード６６５ｂ上の信号電圧をゲートに受け、導通時、ノード６６５ａ上の電圧を負電圧Ｖｂｂレベルに放電するｎチャネルＭＯＳトランジスタ６６３ｂを含む。ノード６６５ａからスイッチングトランジスタＮＷ＃へ与えられるグループ選択信号Ｂが出力される。次に動作について簡単に説明する。

【０３５７】

インバータ６６２ａは、電源電圧Ｖｃｃおよび接地電圧Ｖｓｓを両動作電源電圧として動作している。グループ選択信号Ｂａがローレベルのとき、トランジスタ６６１ａがオン状態、トランジスタ６６１ｂがオフ状態となる。この状態においては、ノード６６５ｂがトランジスタ６６１ａを介して充電されて、その電位が上昇する。トランジスタ６６３ｂが、そのノード６６５ｂの電位の上昇に従ってノード６６５ａを負電圧Ｖｂｂレベルへ放電する。ノード６６５ａの電位低下に伴ってトランジスタ６６３ａがオフ状態へ移行する。最終的に、ノード６６５ａが負電圧Ｖｂｂレベルとなり、ノード６６５ｂが電源電圧Ｖｃｃレベルとなる。トランジスタ６６３ａはそのゲートに負電圧Ｖｂｂを受けるため、完全にオフ状態とされる。この状態においては、グループ選択信号Ｂは負電圧Ｖｂｂレベルとなり、スイッチングトランジスタＮＷ＃はオフ状態とされる。

【０３５８】

グループ選択信号Ｂａがハイレベルのときには、トランジスタ６６１ａがオフ状態、トランジスタ６６１ｂがオン状態となる。この状態においては、ノード６６５ａがトランジスタ６６１ｂにより充電され、その電位が上昇し、応じてトランジスタ６６３ａがノード６６５ｂを負電圧Ｖｂｂレベルへ放電する。したがって、この場合には、ノード６６５ａが電源電圧Ｖｃｃレベル、ノード６６５ｂが負電圧Ｖｂｂレベルとなる。電源電圧Ｖｃｃレベルのグループ選択信号Ｂをスイッチングトランジスタ ＮＷ＃がゲートに受けてオン状態となる。

【０３５９】

この図６３に示すレベル変換回路は、スイッチングトランジスタＮＷ＃を制御するためにのみ利用され、図６２に示すスイッチングトランジスタＰＷ＃へ与えられるグループ選択信号Ｂは、高電圧Ｖｐｐレベルと接地電圧Ｖｓｓレベルの振幅を有していてもよい。このスイッチングトランジスタＰＷ＃およびＮＷ＃両者に共通に与えられるような高電圧Ｖｐｐと負電圧Ｖｂｂレベルの振幅を有する信号の作成については後に説明する。

【０３６０】

グループ選択信号Ｂａは、アレイアドレス信号に従って活性状態とされる。

振幅Ｖｃｃの制御信号を振幅Ｖｐｐの信号に変換するレベル変換回路は、図３７に示すレベル変換回路を利用することができる。

【０３６１】

図６４は、図６２に示すセンスタイミング信号φＳＡのレベル変換を行なうための回路構成を示す図である。図６４においては、振幅Ｖｃｃレベルのセンスタイミング信号φＳａが振幅Ｖｐｐ－Ｖｂｂのセンスタイミング信号φＳＡに変換される。

【０３６２】

図６４において、レベル変換回路は、センスタイミング信号φＳａをゲートに受けるｎチャネルＭＯＳトランジスタ６７１ａと、センスタイミング信号φＳａを反転するインバータ６７２と、インバータ６７２の出力信号をゲートに受けるｎチャネルＭＯＳトランジスタ６７１ｂを含む。トランジスタ６７１ａは、導通時、ノード６７５ａを接地電圧Ｖｓｓレベルに放電する。トランジスタ６７１ｂは、導通時、ノード６７５ｂを接地電圧Ｖｓｓレベルに放電する。

【０３６３】

このレベル変換回路は、さらに、ノード６７５ａ上の信号電位をゲートに受け、導通時ノード６７５ｂに高電圧Ｖｐｐを伝達するｐチャネルＭＯＳトランジスタ６７３ｂと、ノード６７５ｂ上の信号電圧をゲートに受け、導通時、ノード６７５ａに高電圧Ｖｐｐを伝達するｐチャネルＭＯＳトランジスタ６７３ａを含む。このトランジスタ６７１ａ～６７３ｂおよびインバータ６７２で構成されるレベル変換部は、図３７に示すレベル変換回路と同じであり、その動作説明は繰り返さない。タイミング信号φＳａが電源電圧Ｖｃｃレベルのとき、高電圧Ｖｐｐレベルの信号がノード６７５ｂに生成される。タイミング信号φＳａが接地電圧Ｖｓｓレベルのときには、ノード６７５ｂは、接地電圧Ｖｓｓレベルとなる。

【０３６４】

レベル変換回路は、さらに、ノード６７５ｂの信号電位をゲートに受けるｐチャネルＭＯＳトランジスタ６８１ａと、ノード６７５ｂ上の信号電位の論理を反転するインバータ６８２と、インバータ６８２の出力信号をゲートに受けるｐチャネルＭＯＳトランジスタ６８１ｂを含む。インバータ６８２は、高電圧Ｖｐｐをその一方動作電源電圧として動作し、振幅Ｖｐｐの信号を出力する。トランジスタ６８１ａは、導通時、高電圧Ｖｐｐをノード６８５ａに伝達する。トランジスタ６８１ｂは、導通時、高電圧Ｖｐｐをノード６８５ｂに伝達する。

【０３６５】

このレベル変換部はさらに、ノード６８５ａの信号電位をゲートに受け、導通時、ノード６８５ｂを負電圧Ｖｂｂレベルに放電するｎチャネルＭＯＳトランジスタ６８５ｂと、ノード６８５ｂ上の信号電位をゲートに受け、導通時、ノード６８５ａを負電圧Ｖｂｂレベルに放電するｎチャネルＭＯＳトランジスタ６８３ａを含む。

【０３６６】

ノード６７５ｂ上の電位が高電圧Ｖｐｐレベルのとき、トランジスタ６８１ａがオフ状態、トランジスタ６８１ｂがオン状態となり、ノード６８５ｂは、高電圧Ｖｐｐレベルに充電される。このときには、トランジスタ６８３ａがオン状態となり、ノード６８５ａが負電圧Ｖｂｂレベルに放電され、トランジスタ６８３ｂはオフ状態とされる。ノード６７５ｂの電位が接地電圧Ｖｓｓレベルのとき、トランジスタ６８１ａがオン状態、トランジスタ６８１ｂがオフ状態となり、ノード６８５ａが高電圧Ｖｐｐレベルとなる。この状態においては、トランジスタ６８３ｂがオン状態となり、ノード６８５ｂが負電圧Ｖｂｂレベルに放電され、トランジスタ６８３ａはオフ状態とされる。この２段のレベル変換により、振幅Ｖｐｐ－Ｖｂｂを有するセンスタイミング信号φＳＡが生成される。

【０３６７】

この図６４に示すレベル変換回路を用いて図６２に示すグループ選択信号Ｂを発生する構成が用いられてもよい。

【０３６８】

［センス接続制御回路］

図６５は、センスアンプ帯の各センスアンプと対応のビット線対との接続を制御するための構成を示す図である。図６５においては、隣接する２つのメモリアレイにおける１対の

ビット線を示す。

【０３６９】

図６５において、一方のメモリアレイに含まれるビット線ＢＬａおよび／ＢＬａは、接続ゲートＴＧａａおよびＴＧａｂを介してノード６９５ａおよび６９５ｂに接続される。他方のメモリアレイに含まれるビット線ＢＬｂおよび／ＢＬｂは、接続ゲートＴＧｂａおよびＴＧｂｂを介してノード６９５ａおよび６９５ｂに接続される。ノード６９５ａおよび６９５ｂの間には、Ｎセンスアンプおよびアクティブリストア回路を含むセンス・リストア回路６９０と、後にその構成を詳細に説明するイコライズ回路６９２が接続される。

【０３７０】

接続ゲートＴＧａａおよびＴＧａｂへは、センス接続制御回路６１２ｄから接続制御信号ＢＩＬが与えられ、接続ゲートＴＧｂａおよびＴＧｂｂには同様、センス接続制御回路６１２ｄから接続制御信号ＢＩＲが与えられる。センス接続制御回路６１２ｄは、接続制御信号φＣに従ってこの接続制御信号ＢＩＬおよびＢＩＲの活性／非活性を設定する。センス接続制御回路６１２ｄは、サブＶｐｐ線６０２ａ上の電圧を一方動作電源電圧として動作する。このサブＶｐｐ線６０２は、スイッチングトランジスタＰＷ＃ｄを介してメインＶｐｐ線６００に接続される。スイッチングトランジスタＰＷ＃ｄへ与えられる信号／Ｂはスタンバイ状態においてはローレベルの状態に設定され、センス接続制御回路６１２ｄからは高電圧ＶｐｐレベルのＢＩＬおよびＢＩＲが与えられる。

【０３７１】

動作時において、選択ワード線を含む一方のメモリアレイのみに対し接続制御信号が高電圧ＶｐｐレベルにＶｐｐ維持され、他方のメモリアレイの接続制御信号は接地電圧Ｖｓｓレベルに設定される。この接続制御信号は、アレイアドレスおよび動作タイミング信号に従って発生される接続制御信号φＣにより生成される。両方のメモリアレイに選択ワード線が含まれない場合には、接続制御信号ＢＩＬおよびＢＩＲはともにスタンバイ状態のハイレベルの状態に維持される。この接続制御信号ＢＩＬおよびＢＩＲを高電圧ＶｐｐレベルＶｐｐに維持することにより、センス・リストア回路６９０の動作時において電源電圧ＶｃｃレベルＶｃｃの電圧をメモリセルへ書込むことができるとともに、高速で選択ビット線対上の電圧をセンス・リストア回路６９０へ伝達する。

【０３７２】

なお、サブＶｐｐ線６０２が常時、電源電圧ＶｃｃレベルＶｃｃの電圧が印加されており、スタンバイサイクル時においては、電源電圧ＶｃｃレベルＶｃｃの接続制御信号ＢＩＬおよびＢＩＲが出力され、アクティブサイクルにおいて、選択アレイに対する接続制御信号のみが高電圧ＶｐｐレベルＶｐｐに設定され、他方のメモリアレイが接地電圧レベルに放電される構成が利用されてもよい。このときには、スタンバイサイクル時においてスイッチングトランジスタＰＷ＃ｄがオフ状態とされ、アクティブサイクル時においてスイッチングトランジスタＰＷ＃ｄがオン状態とされる。

【０３７３】

いずれの場合においても、センス接続制御回路６１２ｄにおけるサブスレショルド電流を低減することができる。

【０３７４】

［イコライズ制御回路］

図６６はビット線のイコライズ／プリチャージを制御する部分の構成を示す図である。図６６において、ビット線ＢＬおよび／ＢＬそれぞれに対応して、イコライズ回路６９２が配置される（図６５参照）。このイコライズ回路は、図６５に示すシェアードセンスアンプ配置に限らず、各ビット線対それぞれに対応してセンスアンプが設けられる構成に対しても利用可能であり、したがって図６６においては、一般的にビット線対ＢＬおよび／ＢＬに対して設けられるようにイコライズ回路６９２を示す。イコライズ回路６９２は、イコライズ信号ＥＱに応答して導通し、所定のプリチャージ電圧ＶＢＬ（＝Ｖｃｃ／２）をビット線ＢＬおよび／ＢＬへ伝達するｎチャネルＭＯＳトランジスタＮＥＱ１およびＮＥＱ２と、イコライズ信号ＥＱに応答して導通し、ビット線ＢＬおよび／ＢＬを電気的に短

絡するｎチャネルＭＯＳトランジスタＮＥＱ３を含む。イコライズ制御回路６１２ｅは、サブＶｐｐ線６０２上の電圧を一方動作電源電圧として動作する。このサブＶｐｐ線６０２へは、スイッチングトランジスタＰＷ＃ｅを介してメインＶｐｐ線６００上の電圧が伝達される。スイッチングトランジスタＰＷ＃ｅへ与えられるグループ選択信号／Ｂは、スタンバイサイクル時においては活性状態のローレベルとされ、アクティブサイクルにおいては非活性状態のハイレベルとされる。次に動作について簡単に説明する。

【０３７５】

スタンバイサイクルにおいては、グループ選択信号／Ｂがローレベルにあり、サブＶｐｐ線６０２はメインＶｐｐ線６００から高電圧Ｖｐｐを供給され、イコライズ制御回路６１２ｅは高電圧Ｖｐｐレベルのイコライズ信号ＥＱを出力する。この高電圧Ｖｐｐレベルのイコライズ信号ＥＱにより、トランジスタＮＥＱ１～ＮＥＱ３がすべてオン状態とされ、ビット線ＢＬおよび／ＢＬが所定のプリチャージ電圧ＶＢＬレベルに充電される。高電圧Ｖｐｐレベルのイコライズ信号ＥＱを出力することにより、以下の利点が得られる。電源電圧Ｖｃｃが、たとえば１．５Ｖと小さくされ、電源電圧Ｖｃｃとプリチャージ電圧ＶＢＬの差が小さくなった場合においても、プリチャージ／イコライズ用のトランジスタＮＥＱ１～ＮＥＱ３のしきい値電圧損失の影響を受けることなくビット線ＢＬおよび／ＢＬへ確実に中間電圧ＶＢＬを伝達し、ビット線ＢＬおよび／ＢＬを中間電圧ＶＢＬレベルにプリチャージすることができる。

【０３７６】

アクティブサイクルが始まるとグループ選択信号／Ｂがハイレベルとされ、スイッチングトランジスタＰＷ＃ｅがオフ状態とされる。次いで、イコライズ制御回路６１２ｅからのイコライズ信号ＥＱがローレベルとされ、トランジスタＮＥＱ１～ＮＥＱ３がオフ状態とされる。この状態ではイコライズ制御回路６１２ｅの出力充電用トランジスタはサブスレショルド領域で動作するが、スイッチングトランジスタＰＷ＃ｅがオフ状態であり、そのサブスレショルド電流は十分抑制される。この後、メモリセルの選択動作が行なわれ、次いで選択されたメモリセルへのデータの書込／読出が行なわれる。メモリサイクルが完了すると、まずグループ選択信号／Ｂがローレベルとされ、スイッチングトランジスタＰＷ＃ｅがオン状態とされる。次いでイコライズ制御回路６１２ｅがサブＶｐｐ線６０２上に与えられた高電圧Ｖｐｐを一方動作電源電圧として動作し、高電圧Ｖｐｐレベルのイコライズ信号ＥＱを出力する。これにより、トランジスタＮＥＱ１～ＮＥＱ３が高速でオン状態とされ、このイコライズ信号ＥＱの高電圧Ｖｐｐレベルの効果と合せて、ビット線ＢＬおよび／ＢＬが高速で所定の電圧ＶＢＬにプリチャージ／イコライズされる（トランジスタＮＥＱ１～ＮＥＱ３のオン抵抗が電源電圧Ｖｃｃレベルのイコライズ信号ＥＱの場合に比べて小さくなるため）。

【０３７７】

以上のように、イコライズ制御回路６１２ｅに対しても、サブＶｐｐ線およびメインＶｐｐ線を配置することにより、低消費電流でかつ高速でビット線ＢＬおよび／ＢＬをプリチャージするイコライズ制御回路を実現することができる。

【０３７８】

［実施例２７］

図６７は、この発明の第２７の実施例の構成を示す図である。図６７において、２つのメモリアレイＭＢＡおよびＭＢＢを示す。メモリアレイＭＢＡは複数個（図６７においては４個）の列ブロックＭＢＡａ～ＭＢＡｄに分割される。メモリ列ブロックＭＢＡａ～ＭＢＡｄそれぞれは、複数のビット線対ＢＬＰを含む。メモリアレイＭＢＢも同様に、複数個（図６７においては４個）のメモリ列ブロックＭＢＢａ～ＭＢＢｄに分割される。

【０３７９】

このメモリブロック分割により、センスアンプおよびイコライズ回路も同様に列ブロックに分割される。

【０３８０】

メモリ列ブロックＭＢＡａ～ＭＢＡｄそれぞれに対応してセンス／イコライズ制御回路６

１２Ａａ～６１２Ａｄが配置される。これらのセンス／イコライズ制御回路６１２Ａａ～６１２Ａｄはサブ Ｖｐｐ線６０２Ａから高電圧Ｖｐｐを供給される。センス／イコライズ制御回路６１２Ａａ～６１２Ａｄの各々は、対応のメモリ列ブロックＭＢＡａ～ＭＢＡｄにおけるセンスアンプおよび／またはイコライズ回路の動作を制御する。図６７において、センス／イコライズ制御回路６１２Ａａ～６１２Ａｄの制御信号伝達線を信号線７０１ａａ～７０１ａｄで示す。サブＶｐｐ線６０２Ａはスイッチングトランジスタ ＰＷ＃Ａを介してメインＶｐｐ線６００に接続される。このスイッチングトランジスタＰＷ＃Ａは、その動作モードに応じてグループ選択信号／ＢＡ（またはＢＡ）を受け、動作モードに合せてスタンバイ時またはアクティブ時に導通状態とされる（図６０－６５の実施例参照）。

【０３８１】

メモリブロックＭＢＢａ～ＭＢＢｄそれぞれに対しても、センス／イコライズ制御回路６１２Ｂａ～６１２Ｂｄが配置される。これらのセンス／イコライズ制御回路６１２Ｂａ～６１２Ｂｄへはサブ Ｖｐｐ線６０２Ｂを介して高電圧Ｖｐｐが与えられる。センス／イコライズ制御回路６１２Ｂａ～６１２Ｂｄそれぞれは、対応のメモリ列ブロックＭＢＢａ～ＭＢＢｄにおけるセンスアンプおよび／またはイコライズ回路の動作制御を行なう。

図６７においては、またセンス／イコライズ制御回路６１２Ｂａ～６１２Ｂｄの制御信号伝達線を信号線７０１ｂａ～７０１ｂｄで代表的に示す。サブＶｐｐ線６０２Ｂは、スイッチングトランジスタＰＷ＃Ｂを介してメインＶｐｐ線６００に接続される。このスイッチングトランジスタＰＷ＃Ｂへは、グループ選択信号／ＢＢ（またはＢＢ）が与えられ、その動作態様に応じて、アクティブ時、またはスタンバイ時に導通状態とされる。

【０３８２】

この図６７に示す構成の場合、センス／イコライズ制御回路６１２Ａａ～６１２Ａｄおよび６１２Ｂａ～６１２Ｂｄの各々は、対応のメモリ列ブロックのセンスアンプおよび／またはイコライズ回路の動作を制御するだけでよく、それぞれの制御信号を伝達する信号線の負荷容量が低減される。これにより、センス／イコライズ制御回路６１２Ａａ～６１２Ａｄおよび６１２Ｂａ～６１２Ｂｄの出力負荷が軽減され、高速で対応の信号線７０１ａａ～７０１ａｄおよび７０１ｂａ～７０１ｂｄを所定の状態に駆動することができる。また、センス／イコライズ制御回路６１２Ａａ～６１２Ａｄおよび６１２Ｂａ～６１２Ｂｄそれぞれの出力負荷が小さくされるため、これらの駆動力は比較的小さくてすみ、このセンス／イコライズ制御回路６１２Ａａ～６１２Ａｄおよび６１２Ｂａ～６１２Ｂｄのサイズを小さくすることができ、アレイ占有面積の増加を抑制することができる。

【０３８３】

［実施例２８］

図６８は、この発明の第２８の実施例であるＶｐｐ発生回路の構成および動作を示す図である。図６８（Ａ）において、Ｖｐｐ発生回路３１４は、電源電圧Ｖｃｃと接地電圧Ｖｓｓを動作電源電圧として動作し、クロック信号ＣＫＡを反転するインバータ７１０と、インバータ７１０の出力信号に応答してチャージポンプ動作を行なうキャパシタ７１２と、キャパシタ７１２により供給された電荷を出力ノード７３０ｅへ伝達するｎチャネルＭＯＳトランジスタ７１４と、出力ノード７３０ｅ上の電圧を一方動作電源電圧として動作し、クロック信号ＣＫＢを反転するインバータ７１６と、インバータ７１６の出力信号に従ってチャージポンプ動作を行なってノード７３０ｃへ電荷を供給するキャパシタ７１８と、ノード７３０ｃを電源電圧Ｖｃｃレベルにプリチャージするプリチャージ素子７２０と、ノード７３０ｄを電源電圧Ｖｃｃレベルにプリチャージするプリチャージ素子７２２を含む。次にこの図６８（Ｂ）に示す動作波形図を参照してこの図６８（Ａ）に示すＶｐｐ発生回路の動作について説明する。

【０３８４】

クロック信号ＣＫＡおよびＣＫＢは互いに同相のただし位相のずれたクロック信号である。まずクロック信号ＣＫＡがハイレベルからローレベルへ立下がると、このインバータ７１０の出力ノード７３０ａの電位レベルが接地電圧Ｖｓｓレベルのローレベルから電源電

圧Ｖｃｃレベルのハイレベルへ立上がる。ノード７３０ｄは、プリチャージ素子７２２により電源電圧Ｖｃｃレベルにプリチャージされており、したがってこのノード７３０ａの電位上昇に従って内部ノード７３０ｄの電圧レベルは約２・Ｖｃｃレベルに上昇する。次いで、クロック信号ＣＫＢが電源電圧Ｖｃｃレベルのハイレベルからローレベルへ低下し、ノード７３０ｂの電圧レベルが出力ノード７３０ｅの電圧レベルのハイレベルへ立上がる。ノード７３０ｃはプリチャージ素子７２０により電源電圧Ｖｃｃレベルにプリチャージされており、したがって、このインバータ７３０ｂの出力信号がハイレベルとなると、キャパシタ７１８のチャージポンプ動作により、ノード７３０ｃの電圧レベルはＶｃｃ＋Ｖｐｐレベルとなる。Ｖｃｃ＋Ｖｐｐ＞２・Ｖｃｃであり、したがってこの内部ノード７３０ｄ上に供給された２・Ｖｃｃレベルの電荷がトランジスタ７１４を介して出力ノード７３０ｅへ伝達される。これにより、出力ノード７３０ｅの電圧レベルが上昇する。出力ノード７３０ｄと出力ノード７３０ｅの電圧レベルが等しくなると、トランジスタ７１４の電荷供給動作が停止する。次いで、クロック信号ＣＫＡがローレベルからハイレベルへ立上がり、ノード７３０ａの電圧レベルが接地電圧Ｖｓｓレベルに低下する。このノード７３０ａの電圧レベルの立下がりに従って、ノード７３０ｄは、その電圧レベルが低下するが、プリチャージ素子７２２により再び電源電圧Ｖｃｃレベルにまで充電される。

【０３８５】

次いで、クロック信号ＣＫＢがローレベルからハイレベルへ立上がり、インバータ７１６の出力信号がローレベルとなり、同様、ノード７３０ｃの電圧レベルが低下する。このインバータ７１６の出力信号の振幅は出力ノード７３０ｅの電圧Ｖｐｐレベルであり、したがって、ノード７３０ｃの電圧レベルは電源電圧Ｖｃｃレベル以下に低下する。なぜならば、インバータ７１６の出力信号がローレベルのときの出力ノード７３０ｅの電圧Ｖｐｐと、次いでインバータ７１６の出力信号がハイレベルへ立上がるときの出力ノード７３０ｅにおける電圧Ｖｐｐの電圧レベルは異なっており、後者の方が高い電圧レベルにあるためである。この場合、ノード７３０ｃは、再びプリチャージ素子７２０により電源電圧Ｖｃｃレベルにまでプリチャージされる。トランジスタ７１４は、この状態においては、ノード７３０ｅの電圧レベルがノード７３０ｃおよび７３０ｄの電圧レベルより高いため、オフ状態を維持する。以降この動作を繰り返すことにより、高速で出力ノード７３０ｅの電圧Ｖｐｐが所定の電圧レベルにまで到達する。

【０３８６】

以上のように、この図６８（Ａ）に示すように、出力ノードへ電荷を供給するトランジスタのゲートへ、出力ノードへ現われる電圧を一方動作電源電圧として動作するインバータの出力信号をキャパシタを介して伝達することにより、この電荷転送用のトランジスタのゲート電位を効率的に上昇させることができ、応じて内部ノード７３０ｄから出力ノード７３０ｅへ効率的に電荷を供給することができる。

【０３８７】

図６９は、図６８に示すプリチャージ素子７２０および７２２の構成の一例を示す図である。図６９（Ａ）において、プリチャージ素子７２０または７２２は、ダイオード接続されたｎチャネルＭＯＳトランジスタ７２１ａを含む。この図６９（Ａ）に示すプリチャージ素子の構成の場合、ノード７３０ｃおよび／または７３０ｄへはＶｃｃ－Ｖｔｈレベルの電圧が与えられる。ただしＶｔｈはトランジスタ７２１ａのしきい値電圧である。

【０３８８】

図６９（Ｂ）に示すプリチャージ素子７２０および／または７２２は、クロック信号ＣＫＣに従ってチャージポンプ動作を行なってノード７２１ｅへ電荷を供給するキャパシタ７２１ｂと、ノード７２１ｅの電圧レベルを電源電圧レベルにクランプする、ダイオード接続されたｎチャネルＭＯＳトランジスタ７２１ｃと、ノード７２１ｅ上の信号電位に応答して電源電圧Ｖｃｃを伝達するｎチャネルＭＯＳトランジスタ７２１ｄを含む。この図６９（Ｂ）に示す構成の場合、ノード７２１ｅの電圧レベルはトランジスタ７２１ｃによりＶｃｃ－Ｖｔｈレベルにまでプリチャージされるため、クロック信号ＣＫＣの立上がり時に電源電圧Ｖｃｃよりも高い電圧レベルに駆動される。したがって、トランジスタ７２１

ｄを介して電源電圧Ｖｃｃを伝達することができ、より効率的に図６８（Ａ）に示すトランジスタ７１４のゲート電位を上昇させてノード７３０ｄから７３０ｅへ電荷を伝達させることができる。

【０３８９】

［Ｖｂｂ発生回路］

図７０は、図３２に示すＶｂｂ発生回路３１６の構成の一例を示す図である。図７０において、Ｖｂｂ発生回路３１６は、電源電圧Ｖｃｃと接地電圧Ｖｓｓを動作電源電圧として動作し、クロック信号ＣＫＡを反転するインバータ７５０と、インバータ７５０の出力信号に応答してチャージポンプ動作を行なって、ノード７５１ｂへ電荷を供給するキャパシタ７５２と、ノード７５１ｂ上に蓄積された電荷を出力ノード７５９へ伝達するｐチャネルＭＯＳトランジスタ７５４と、この出力ノード７５９上の電圧と電源電圧Ｖｃｃとを動作電源電圧として動作し、クロック信号ＣＫＢを反転するインバータ７５６と、インバータ７５６の出力信号に従ってチャージポンプ動作を行ない、トランジスタ７５４のゲート電極ノード７５１ｃへ電荷を供給するキャパシタ７５８と、ノード７５１ｂを接地電圧Ｖｓｓレベルにプリチャージするプリチャージ素子７６２と、ゲート電極ノード７５１ｃを接地電圧Ｖｓｓレベルにプリチャージするプリチャージ素子７６０を含む。この図７０に示すＶｂｂ発生回路は、実質的に図６８（Ａ）に示すＶｐｐ発生回路と同じ動作を行なう。単にその発生する電圧の極性が異なるだけである。ノード７５１ｂの振幅は－Ｖｃｃ～Ｖｓｓである。インバータ７５６の出力信号の振幅はＶｃｃ－Ｖｂｂであり、したがってゲート電極ノード７５１ｃの振幅は－Ｖｃｃ＋Ｖｂｂ～Ｖｓｓとなる。－Ｖｃｃ＜Ｖｃｃ＋Ｖｂｂであり、出力ノード７５９に与えられる負電圧Ｖｂｂは、－Ｖｃｃの電圧レベルにまで到達することができる。図６８（Ａ）に示すＶｐｐ発生回路は、２・Ｖｃｃの電圧レベルの高電圧Ｖｐｐを発生することができる。いずれの場合においても１つのクロック信号サイクルにおいて十分な量の電荷を出力ノードへ供給することができ、高速で所定電圧レベルの高電圧Ｖｐｐおよび負電圧Ｖｂｂを発生することができる。

【０３９０】

以上のように、この第２９の実施例に従えば、電荷を出力ノードへ供給するトランジスタのゲートへ、その出力ノード上に現われる電圧を一方動作電源電圧として動作するインバータ出力によりチャージポンプ動作を行なって電荷を供給するように構成したため、効率的に電荷を出力ノードへ供給することができ、高速かつ安定に所定の電圧レベルの高電圧Ｖｐｐおよび負電圧Ｖｂｂを発生することができる。

【０３９１】

【発明の効果】

請求項１の発明に従えば、メイン電圧伝達線とサブ電圧伝達線との間にスイッチングトランジスタを接続し、かつ第１および第２のサブ電圧伝達線にキャパシタを接続するように構成したため、このスイッチングトランジスタによりメイン電圧伝達線とサブ電圧伝達線との間の電圧差を十分小さくすることができ、かつ第１および第２のサブ電圧伝達線に接続されたキャパシタにより第１および第２のサブ電圧伝達線上の電圧を動作電源電圧として動作するゲート回路の動作時において安定に電流を供給することができ、ゲート回路のサブスレショルド電流を効果的に抑制することができるとともに、このサブ電圧伝達線上の電圧を安定に維持することができる。

【０３９２】

請求項２に係る発明に従えば、複数のサブ電圧伝達線とメイン電圧伝達線との間に抵抗素子を接続するように構成し、このサブ電圧伝達線上の電圧を動作電源電圧として動作するゲート回路をサブ電圧伝達線に対応してグループ化したため、複数のサブ電圧伝達線各々における電圧降下はゲート回路を流れるサブスレショルド電流を効果的に抑制しつつ十分小さい値に設定することができ、またゲート回路をグループ化し各グループにサブ電圧伝達線を設けているためサブ電圧伝達線それぞれに負荷容量が低減され、１つのグループにおけるサブ電圧伝達線上の電圧ノイズが他のサブ電圧伝達線へ及ぼす影響を抑制することができるとともに、サブ電圧伝達線の電圧をメイン電圧伝達線上の電圧レベルにまで復帰

させる場合にはその小さな負荷容量により高速で所定電圧レベルにまで復帰させることができる。また、電源投入検出信号に従ってサブ電圧伝達線を相互接続しており、電源投入時において各サブ電圧伝達線の負荷に係らずこれらのサブ電圧伝達線の電圧を同じとすることができ、電源投入後早いタイミングでゲート回路を動作させることができる。

【０３９３】

請求項３に係る発明に従えば、複数のサブ電圧伝達線それぞれに対して絶縁ゲート型電界効果トランジスタで構成されるキャパシタを接続するように構成したため、ゲート回路動作時におけるサブ電圧伝達線上に電圧変動を抑制し、サブ電圧伝達線上の電圧を安定に維持することができる。

【０３９６】

請求項４に係る発明に従えば、第１の論理レベルの電圧を供給するメイン電圧伝達線とサブ電圧伝達線との間のこのサブ電圧伝達線上の電圧を動作電源電圧として動作するゲート回路の出力信号の論理レベルが第１の論理レベルのとき、そのコンダクタンスが増大する可変コンダクタンス素子を設けたため、ゲート回路がサブ電圧伝達線上の電圧を使用する場合は低抵抗状態の可変コンダクタンス素子を介して大きな電流を供給して高速でゲート回路の出力信号を第１の論理レベルとし、ゲート回路がこのサブ電圧伝達線上の電圧を使用しない場合には可変コンダクタンス素子のコンダクタンスを小さくすることによりゲート回路のサブスレショルド電流を低減することができ、低消費電流の装置を実現することができる。

【０３９７】

請求項５に係る発明に従えば、この請求項４の可変コンダクタンス素子を、論理ゲートの出力信号をゲートに受けるデプレション型ＭＯＳトランジスタで構成したため、簡易な回路構成で余分の複雑な製造工程を増加させることなく容易に可変抵抗特性を備えるトランジスタ素子を実現することができる。

【０３９８】

請求項６に係る発明に従えば、メイン電圧伝達線とサブ電圧伝達線との間にさらに、そのゲートにしきい値電圧とメイン電圧伝達線上の電圧の和とメイン電圧伝達線上の電圧との間の電圧を受ける絶縁ゲート型電界効果トランジスタを設けたため、この絶縁ゲート型電界効果トランジスタによりメイン電圧伝達線とサブ電圧伝達線との間の電圧差をこの絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値以下に設定することができ、メイン電圧伝達線とサブ電圧伝達線との間の電圧差を十分小さい値に設定することができる。

【０３９９】

請求項７に係る発明に従えば、請求項４の装置においてさらに、第２の論理レベルの電圧を伝達する第２のメイン電圧伝達線と、ゲート回路の他方動作電圧を伝達する電圧供給ノードとの間に論理ゲートの出力信号が第２の論理レベルのときそのコンダクタンスが大きくなる第２の可変コンダクタンス素子を設けたため、このゲート回路の入力信号の論理レベルが第１および第２のいずれであっても効果的にこのゲート回路のサブスレショルド電流を低減するとともに高速でその出力信号を所定の電圧レベルに駆動することができる。

【０４００】

請求項８に係る発明に従えば、そのゲートにしきい値電圧と第２のメイン電圧伝達線上の電圧との和と第２のメイン電圧伝達線の電圧との間のレベルの電圧を受ける絶縁ゲート型電界効果トランジスタをさらに設けたため、この第２のメイン電圧伝達線と電圧供給線との間の電圧差を十分小さい値に設定することができる。

【０４０１】

請求項９に係る発明に従えば、メイン電圧伝達線とサブ電圧伝達線との間に、導通時にパンチスルー現象を生じさせるトランジスタ素子を設けたため、サブ電圧伝達線とメイン電圧伝達線との差が所定値以上のときにこのパンチスルーを生じたトランジスタ素子を介して電流を供給して高速でサブ電圧伝達線を所定の電圧レベルに回復させることができ、安定にゲート回路のサブスレショルド電流を抑制しつつサブ電圧伝達線上の電圧を所定の電圧レベルに維持することができる。

【０４０２】
請求項１０に係る発明に従えば、第２のメイン電圧伝達線と電圧供給線との間にこれらの第２のメイン電圧伝達線と電圧供給線との間の電圧差が所定値以上となるとパンチスルー現象を生じる第２の絶縁ゲート型電界効果トランジスタをさらに設けたため、この電圧供給線上の電圧を所定電圧レベルに安定に維持することができ、ゲート回路の入力信号の論理レベルがいずれであっても消費電流を効果的に抑制しつつサブ電圧伝達線および電圧供給線上の電圧を所定の電圧レベルに維持することができる。
【０４０８】
請求項１１に係る発明に従えば、メイン電圧伝達線上の電圧は動作電源電圧よりも高い高電圧であり、高電圧を利用する回路部分において低消費電流で安定に動作する装置を実現することができる。
【０４０９】
請求項１２に係る発明に従えば、電源投入検出信号の非活性化時複数のサブ電圧伝達線と電源電圧伝達線とを接続する手段を設けたため、電源投入時において電源線から電流を供給されてサブ電圧伝達線上の電圧が上昇し、これによりサブ電圧伝達線上の電圧上昇を高速に行なうことができ、サブ電圧伝達線上の電圧を早いタイミングで安定状態にすることができる。
【０４１０】
請求項１３に係る発明に従えば、複数のサブ電圧伝達線各々に対して電源投入検出信号に応答して所定期間メイン電圧伝達線上の電圧と同じ方向へ変化する電圧を伝達するスイッチングトランジスタをさらに設けたため、電源投入後サブ電圧伝達線を高速で変化させることができ、サブ電圧伝達線の安定化タイミングを早くすることができる。
【０４１１】
請求項１４に係る発明に従えば、複数のサブ電圧伝達線各々とメイン電圧伝達線との間にグループ特定信号の活性化時特定されたグループ対応のサブ電圧伝達線をメイン電圧伝達線へ接続する複数の第１のスイッチングトランジスタと、複数のサブ電圧伝達線各々に対して設けられ、グループ特定信号の非活性化時には対応のサブ電圧伝達線へメイン電圧伝達線上の電圧よりも第２の論理レベルに近い電圧を伝達する複数の第２のスイッチングトランジスタを設けたため、複数のサブ電圧伝達線の非選択時においてもこれら非選択のサブ電圧伝達線は少なくとも第２のスイッチングトランジスタを介して与えられる電圧レベルに維持され、メイン電圧伝達線とサブ電圧伝達線との差を小さな値に維持することができ、サブ電圧伝達線の選択時高速でその電圧をメイン電圧伝達線上の電圧レベルに回復させることができる。
【０４１２】
請求項１５に係る発明に従えば、それぞれに１行のメモリセルが接続される複数のワード線をロウデコーダの出力信号に従って選択状態へ駆動するワードドライバの一方電源をメイン電源電圧線とサブ電源電圧線の階層構造としたため、数多く設けられるワードドライバにおけるサブスレショルド電流を低減することができ、応じて低消費電流の半導体記憶装置を実現することができる。また、メイン電圧伝達線とサブ電圧伝達線との電圧差を小さくしているため、ワードドライバ動作時におけるサブ電圧伝達線の電圧回復を高速に行うことができ、応じてワードドライバの動作タイミングを早いタイミングに設定することができ、高速動作する半導体記憶装置を実現することができる。
【０４１３】
請求項１６に係る発明に従えば、ワード線の各々をさらに複数のブロックに分割し、ワードドライバを各ブロックに対応して配置するように構成しているため、ワードドライバの出力負荷が軽減され、高速でワード線を選択状態へ駆動することができる。
【０４１４】
請求項１７に係る発明に従えば、各々に１列のメモリセルが接続されるビット線対それぞれに対応して設けられるセンスアンプとビット線対とを接続する接続ゲートの導通／非導通を制御するための信号を発生する接続制御信号発生回路に対する電源をメイン電圧伝達

伝達線とサブ電圧伝達線との階層構造としたため、高速でかつ低消費電流でビット線とセンスアンプとの接続の制御を行なうことのできる半導体集積回路装置を実現することができる。

【０４１５】

請求項１８に係る発明に従えば、複数の列はさらに複数の列ブロックに分割され、接続制御信号をこれら複数の列ブロックそれぞれに対応して設けるよう構成したため、接続制御信号発生回路の出力負荷が軽減することができ、高速動作する接続制御信号発生回路を実現することができ、応じて高速動作する半導体記憶装置を実現することができる。

【０４１６】

請求項１９に係る発明に従えば、各々に１列のメモリセルが接続される複数のビット線対の電位をスタンバイ時に所定電位にイコライズしかつプリチャージするためのイコライズ回路に対するイコライズ信号を発生するイコライズ信号発生回路の電源をメイン電圧伝達線とサブ電圧伝達線との階層構造としたため、低消費電流でイコライズ／プリチャージ回路を動作させることができ、応じて低消費電流で高速動作する半導体記憶装置を実現することができる。

【０４１７】

請求項２０に係る発明に従えば、複数の列をさらに複数の列ブロックに分割し、イコライズ信号発生回路を各ブロックに対応して配置したため、イコライズ信号発生回路の出力負荷を軽減することができ、応じてイコライズ信号を高速で駆動することができ、高速動作する半導体記憶装置を実現することができる。

【０４２２】

請求項２１に係る発明に従えば、各々に１列のメモリセルが接続される複数のビット線対とこの複数のビット線対各々に対して、活性化時対応のビット線対の高電位のビット線を高電位へ設定する複数のセンスアンプと、センスアンプそれぞれに対応して設けられ導通時に対応のセンスアンプへ高電圧レベルの電圧を供給するセンス活性化トランジスタとを設け、このセンス活性化トランジスタの導通／非導通を制御するゲート回路の電源構造をメイン電源電圧伝達線とサブ電圧伝達線との階層構造とし、このサブ電圧伝達線上の電圧を活性化時にセンス活性化トランジスタへ与えてセンスアンプ活性状態とするように構成したため、スタンバイ状態時におけるセンス制御回路の消費電流を低減するとともにセンス活性化トランジスタにおけるリーク電流を低減することができ、かつさらにセンス制御回路の活性化時にサブ電圧伝達線をメイン電圧伝達線上の電圧電圧レベルへ高速で復帰させることができるため、応じて高速でセンスアンプを活性状態へ移行させることができ、高速でセンス動作を行なうことができ、応じて高速動作する半導体記憶装置を実現することができる。

【０４２３】

請求項２２に係る発明に従えば、センス活性化トランジスタへは、負電圧レベルの信号が与えられて導通状態とされるため、高速でセンス活性化トランジスタを導通状態とすることができ、高速動作するセンスアンプを実現することができる。

【０４２４】

請求項２３に係る発明に従えば、複数のビット線対がさらに複数の列ブロックに分割され、センス制御回路が各列ブロックに対応して配置されているため、センス制御回路の出力負荷を軽減することができ、応じて高速でセンス制御回路を動作させることができ、高速動作する半導体記憶装置を実現することができる。

【０４２５】

請求項２４に係る発明に従えば、２本のワード線の組に対応して１つのロウデコーダを設けるとともに、２本のワード線のうち１本のワード線を選択するための第１および第２のワードドライバを行方向に沿って整列して配置させるとともに、この第１および第２のワードドライバの一方電源をメインおよびサブ高電圧の階層構造としているため、ワード線ピッチ条件が緩和されても小占有面積でピッチ条件の制約を受けることなくワードドライバを配置することができるとともに、ワードドライバの電源をメイン高電圧伝達線および

サブ電圧伝達線の階層構造としているため、ワードドライバにおける消費電流を低減することができ、応じて低消費電流の行ドライブ回路を備える半導体記憶装置を実現することができる。特にメイン高電圧伝達線およびサブ高電圧伝達線を行方向と交差する方向に配列しているためこれらの高電圧伝達線をワード線のピッチ条件の影響を何ら受けることなく余裕をもって配設することができる。

【０４２６】

請求項２５に係る発明に従えば、２本のワード線の組に対応して配置される複数のデコーダと、このデコーダそれぞれに対応して設けられる第１、第２、第３および第４のトランジスタ形成領域を配置し、第１および第２のトランジスタ形成領域を対応の２本のワード線のうち１本を選択状態へ駆動する第１のワードドライバを構成する部分とし、第３および第４のトランジスタ形成領域を対応の２本のワード線の組のうち他方のワード線を選択状態とする第２のワードドライバ形成領域とし、第１および第３のトランジスタ形成領域にはワード線を選択状態へ駆動するトランジスタと内部ノードを高電圧レベルに維持するためのトランジスタとを形成し、かつ第３および第４のトランジスタ形成領域にはウェイデコーダ用のトランジスタとワード線放電用のトランジスタとを形成するように構成しかつ第１第２第４および第３のトランジスタ形成領域の順でロウデコーダからメモリアレイの間に配置するように構成したため、規則的なレイアウトで効率的にワードドライバを配置することができるとともに、これらの充電用トランジスタへはサブ高電圧伝達線を介して電圧を供給するように構成したため、消費電流の大きい部分に対してはスタンバイ時確実にサブスレショルド電流を抑制することにより、低消費電流で小占有面積の行選択回路を実現することができる。またメイン高電圧伝達線およびサブ高電圧伝達線を行方向と交差する列方向に沿って配列しているため、ワード線ピッチの影響を受けることなくこれらの高電圧伝達線を配設することができ、レイアウトが容易となる。

【０４２７】

請求項２６に係る発明に従えば、第２のトランジスタ形成領域に接地電位レベルへ対応のワード線を駆動するトランジスタを形成し第４のトランジスタ形成領域に対応のワード線を接地電位レベルへ放電する別のトランジスタを構成したため、同一導電型のトランジスタを効率的に１つのトランジスタ形成領域に配置することができ、ワードドライバ部の占有面積を低減することができる。

【０４２８】

請求項２７に係る発明に従えば、トランジスタ形成領域が第１、第２、第３、および第４のトランジスタ形成領域の順に配置されており、同一導電型のトランジスタ形成領域が隣接して配置されるため、応じてＰＮ分離のための別のウェル領域を余分に形成する必要がなく、ワードドライバの占有面積を低減することができる。

【０４２９】

請求項２８に係る発明に従えば、第１および第２のトランジスタ形成領域におけるトランジスタの配置と第４および第３のトランジスタ形成領域におけるトランジスタの配置が第３および第４のトランジスタ形成領域を中心として対称的に配置されているため、レイアウトが容易となるとともに効率的にトランジスタを配置することができ、ワードドライバの占有面積を低減することができる。

【０４３０】

請求項２９に係る発明に従えば、第１のワードドライバへ高電圧を伝達するサブ高電圧伝達線とグローバル高電圧伝達線との間のスイッチングトランジスタと第２のワードドライバへ高電圧を伝達するサブ高電圧伝達線とグローバル伝達線との間のスイッチングトランジスタをそれぞれ別々に活性状態とするように構成したため、選択ワード線を含むグループに対してのみ高電圧を印加することができ、応じて消費電流を低減することができる。

【０４３２】

請求項３０の発明に従えば、ワードドライバの電源をサブ／メインの階層構造としたので、ワードドライバ部の消費電流を低減できかつ早いタイミングでワードドライバを駆動できる。

【０４３３】
請求項３１に係る発明に従えば、各々に１列のメモリセルが接続されるビット線対の低電位のビット線を活性化時低電位レベルへ駆動するセンスアンプを活性化するための信号を発生するセンス活性化回路の電源をメイン高電圧伝達線とサブ高電圧伝達線の階層構造としたため、センス活性回路の消費電流を低減することができるとともに、センスアンプを高速動作させることができる。
【０４３４】
請求項３２に係る発明に従えば、各々に１列のメモリセルが接続される複数のビット線対にそれぞれ対応して設けられ、活性化時対応のビット線の高電位のビット線をハイレベルへ設定するセンスアンプを活性化するためのセンス活性化回路をメイン高電圧伝達線およびサブ高電圧伝達線の階層構造としたため、低消費電流で高速でセンスアンプ活性化することのできるセンス活性化回路を実現することができる。
【０４３５】
請求項３３に係る発明に従えば、各々に１列のメモリセルが接続される複数のビット線対各々に対応して設けられ、活性化時対応のビット線対の高電位のビット線をハイレベルに維持するセンスアンプをスタンバイ状態に維持するセンス活性制御回路の電源構成をメイン高電圧伝達線およびサブ高電圧伝達線の階層構造としたため、スタンバイ時においてセンス活性制御回路の消費電流を低減するとともにスタンバイ状態のセンスアンプのリーク電流を大幅に低減することができる。
【０４３６】
請求項３４に係る発明に従えば、センスアンプとビット線対との間に設けられる接続ゲートを導通状態とする接続制御信号を発生する回路の一方電源をメイン高電圧伝達線およびサブ電源電圧伝達線の階層構造としたため、接続制御信号発生回路の消費電流を低減するとともに高速でセンスアンプとビット線対とを接続することのできる高速動作するシェアードセンスアンプ配置の半導体記憶装置を実現することができる。
請求項３５に係る発明に従えば、パンチスルーを生じさせるトランジスタを、論理ゲートのトランジスタよりゲート長の短いＭＯＳトランジスタで構成したため、容易にメイン／サブ電圧伝達ノードの電圧差が所定値以上となるとパンチスルーを生じさせることができる。
【図面の簡単な説明】
【図１】この発明の第１の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図２】図１に示す半導体集積回路装置の動作を概略的に示す図である。
【図３】図１に示す抵抗素子の構成の一例を示す図である。
【図４】図１に示す抵抗素子の他の構成を示す図である。
【図５】この発明の第２の実施例である半導体集積回路装置の構成を概略的に示す図である。
【図６】図５に示す半導体集積回路装置の動作を示す信号波形図である。
【図７】この発明の第３の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図８】図７に示す半導体集積回路装置の効果を説明するための図である。
【図９】図７に示すキャパシタの構成の一例を示す図である。
【図１０】この発明の第４の実施例である半導体集積回路装置の構成を概略的に示す図である。
【図１１】図１０に示す半導体集積回路装置の動作を概略的に示す図である。
【図１２】この発明の第５の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図１３】この発明の第６の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図１４】図１３に示す半導体集積回路装置の動作を説明するための図である。

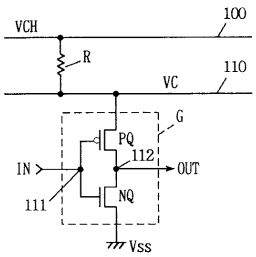
【図１５】この発明の第７の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図１６】この発明の第８の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図１７】この発明の第９の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図１８】この発明の第１０の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図１９】図１８に示す半導体集積回路装置の出力ノードの放電時の動作を示す図である。
【図２０】図１８に示す半導体集積回路装置の出力ノードの充電時の動作を示す図である。
【図２１】図１８に示す半導体集積回路装置の動作を示す信号波形図である。
【図２２】この発明の第１１の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図２３】図２２に示す電流調整素子の動作特性を概略的に示す図である。
【図２４】この発明の第１２の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図２５】この発明の第１３の実施例である半導体集積回路装置の要部の構成を概略的に示す図である。
【図２６】図２５に示す半導体集積回路装置の１つのゲート回路およびそれに関連する電圧調整素子の断面構造を概略的に示す図である。
【図２７】図２５に示す電圧調整素子の導通時の状態を概略的に示す図である。
【図２８】この発明の第１３の実施例の変更例の構成を概略的に示す図である。
【図２９】図２５に示す電圧調整素子の製造工程を示す図である。
【図３０】図２５に示す電圧調整素子の製造工程を示す図である。
【図３１】図２５に示す電圧調整素子の製造工程を示す図である。
【図３２】この発明が適用される半導体記憶装置の全体の構成を概略的に示す図である。
【図３３】この発明の第１４の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図３４】この発明の第１５の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図３５】この発明の第１６の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図３６】図３５に示す半導体記憶装置の動作を示す信号波形図である。
【図３７】図３５に示すレベル変換回路の構成の一例を示す図である。
【図３８】図３５に示す構成において利用される電源投入検出信号を発生するための回路構成の一例を示す図である。
【図３９】図３５に示すリセット信号を発生するための回路構成を示す図である。
【図４０】この発明の第１７の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図４１】この発明の第１８の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図４２】この発明の第１９の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図４３】この発明の第２０の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図４４】この発明の第２１の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図４５】この発明の第２２の実施例である半導体記憶装置の要部の構成を概略的に示す

図である。
【図４６】図４５に示す構成の動作を示す信号波形図である。
【図４７】この発明の第２３の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図４８】図４７に示すロウデコーダ、ウェイデコーダおよびワードドライバの平面レイアウトを示す図である。
【図４９】図４８に示すレイアウトにおける図２０に関連するロウデコーダおよびウェイデコーダおよびワードドライバのトランジスタの配置およびメインＶｐｐ線およびサブＶｐｐ線の配置を示す図である。
【図５０】この発明の第２３の実施例の変更例のレイアウトを示す図である。
【図５１】この発明の第２４の実施例である半導体記憶装置の全体の構成を概略的に示す図である。
【図５２】図５１に示す半導体記憶装置におけるサブＶｐｐ線の分散配置を示す図である。
【図５３】図５２に示すグループ選択信号を発生するための構成の一例を示す図である。
【図５４】この発明の第２５の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図５５】図５４に示す１つのメモリグループにおけるサブＶｐｐ線の配置を例示的に示す図である。
【図５６】図５５に示すワードドライバの配置におけるＸデコーダの出力信号の分配配置を示す図である。
【図５７】図５４に示す半導体記憶装置におけるメモリセルグループにおけるサブＶｐｐ線の他の配置を示す図である。
【図５８】図５４に示すメモリセルグループにおけるサブＶｐｐ線のさらに他の配置を示す図である。
【図５９】この発明の第２６の実施例である半導体記憶装置の要部の構成を概略的に示す図である。
【図６０】図５９に示す制御回路の具体的構成を示す図である。
【図６１】図５９に示す制御回路の第２の具体的構成を示す図である。
【図６２】図５９に示す制御回路の第３の具体的構成を示す図である。
【図６３】図６２に示す負電圧伝達線に対して設けられるスイッチングトランジスタに対して与えられるグループ選択信号のレベル変換を行なうための回路構成の一例を示す図である。
【図６４】図６２に示すセンスアンプ活性回路へ与えられるセンスタイミング信号のレベル変換を行なうための回路構成の一例を示す図である。
【図６５】図５９に示す制御回路のさらに他の構成を示す図である。
【図６６】図５９に示す制御回路のさらに他の構成を示す図である。
【図６７】この発明の第２７の実施例の半導体記憶装置における１つのメモリブロックおけるサブＶｐｐ線と制御回路の分散配置を示す図である。
【図６８】この発明において利用される高電圧発生回路の構成および動作を示す信号波形図である。
【図６９】図６８（Ａ）に示すプリチャージ素子の構成の例を示す図である。
【図７０】この発明の半導体記憶装置において利用される負電圧発生回路の構成の一例を示す図である。
【図７１】従来の論理ゲートの構成の一例を示す図である。
【図７２】従来の論理ゲート回路の問題点を説明するためのドレイン電流－ゲート／ソース電圧特性を示す図である。
【図７３】従来の階層電源構成を示す図である。
【図７４】図７３に示す階層電源構成の動作を説明するための波形図である。
【符号の説明】

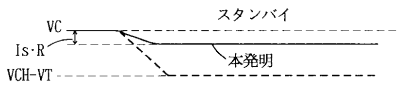
１００　メイン電源線、１１０　サブ電源線、Ｇ　ゲート回路、Ｃ　キャパシタ、ＰＷａ～ＰＷｃ　スイッチングトランジスタ、Ｇａ～Ｇｃ　ゲート回路、１３０ａ～１３０ｃ　電圧調整回路、Ｒｌ　抵抗素子、１３０　電源線、１４０　メイン接地線、１４５，１５０　サブ接地線、１４５ａ～１４５ｃ　調整回路、１５０ａ～１５０ｃ　サブ接地線、ＰＷ，ＮＷ　スイッチング素子、１６０，１６１　電圧クランプ素子、１６２，１６２ａ，１６２ｂ，１６３，１６３ａ，１６３ｂ　電流調整素子、１６７ａ，１６７ｂ，１６８ａ，１６８ｂ，１６７，１６８　可変抵抗特性を備えるトランジスタ素子、ＰＴ１，ＰＴ２，ＮＴ１，ＮＴ２　パンチスルー現象を生じさせるトランジスタ、３００　メモリセルアレイ、３０２　アドレスバッファ、３０４　ロウデコード回路、３０６　ワード線ドライブ回路、３１４　Ｖｐｐ発生回路、３１６　Ｖｂｂ発生回路、３２０　メインｐｐ線、３３０ａ，３３０ｂ，３３０ｃ　サブＶｐｐ線、ＷＤａ０～ＷＤａ２，ＷＤｂ０～ＷＤｂ２　ワードドライバ、ＰＷａ，ＰＷｂ　スイッチングトランジスタ、Ｒａ，Ｒｂ　抵抗素子、ＣＣａ～ＣＣｃ　電流調整用トランジスタ、３５２ａ，３５２ｂ，３５２ｃ　スイッチングトランジスタ、３６５ａ，３６５ｂ，３６５ｃ　電流調整素子、３６０ａ，３６０ｂ，３６０ｃ　接続制御用トランジスタ、３６１ａ，３６１ｂ，３６１ｃ　所定電圧伝達用トランジスタ、３６３ａ，３６３ｂ，３６３ｃ　所定電圧伝達用トランジスタ、３７０　電源線、３７５接続制御用トランジスタ、３４０　ＯＲ回路、ＷＤＡ，ＷＤＢ　ワードドライバ、ＷＡａ，ＷＡｂ　ウェイデコーダ、ＲＤ　ロウデコーダ、ＷＬＡ，ＷＡＢ　ワード線、ＢＬ，／ＢＬ　ビット線、４１０Ｎ　センスアンプ、４１２Ｐ　センスアンプ、４１４　イコライズ回路、４５０　ロウデコーダ形成領域、４５２　第１のトランジスタ形成領域、４５４　第２のトランジスタ形成領域、４５６　第３のトランジスタ形成領域、４５８　第４のトランジスタ形成領域、４７０，４７７　サブＶｐｐ線、４７１，４７８　メインＶｐｐ線、４７４，４７５　ウェイアドレスバッファ信号伝達線、４７２，４７９　プリチャージ信号伝達信号線、４８０　グローバルＶｐｐ線、ＲＲａ，ＲＲｂ　抵抗素子、ＰＷＡ，ＰＷＢスイッチングトランジスタ、ＭＢ００～ＭＢ３５　メモリアレイ、ＳＡ００～ＳＡ３６　センスアンプ体、ＷＤ００～ＷＤ３５　ワードドライバ群、＃Ａ１～＃Ａｎ，＃Ｂ１，＃Ｂｎ　デコーダ・ドライバ群、ＰＷ＃１Ａ～ＰＷ＃ｎＡ，ＰＷ＃１Ｂ～ＰＷ＃ｎＢ　スイッチングトランジスタ、ＮＢＫ００～ＮＢＫ３３　メモリセルブロック、ＰＷ＃０～ＰＷ＃３　スイッチングトランジスタ、ＭＧＢ０～ＭＧＢ３　メモリセルグループ、＃Ａ００～＃Ａ３３　ワードドライバ群、５００　メインＶｐｐ線、５０２　サブＶｐｐ線、５１２－０～５１２－２　ローカルＶｐｐ線、ＷＤ＃００～ＷＤ＃１３　ワードドライバ、５２２－０～５２２－３　ローカルＶｐｐ線、ＭＢ０Ｒ～ＭＢｎＲ，ＭＢ０Ｌ～ＭＢｎＬ　メモリセルアレイ、ＳＡ＃０Ｒ～ＳＡ＃ｍＲ，ＳＡ＃０Ｌ～ＳＡ＃ｍＬ　センスアンプ帯、６１２Ｌ０～６１２Ｌｍ，６１２Ｒ０～６１２Ｒｍ　制御回路、ＰＷ＃０Ｒ～ＰＷ＃ｒＲ，ＰＷ＃０Ｌ～ＰＷ＃ｒＬ　スイッチングトランジスタ、５９０　Ｖｐｐ発生回路、６００　メインＶｐｐ線、６０２Ｒ０，６０２Ｒｒ，６０２Ｌ０，６０２Ｌｒ　サブＶｐｐ線、６１２ａ　センスアンプ活性回路、ＰＷ＃ａ　スイッチングトランジスタ、ＮＳＡ　センスアンプ、６１２ｂ　センスアンプ活性回路、ＰＷ＃ｂ　スイッチングトランジスタ、ＰＳＡ　アクティブ・リストア回路（Ｐセンスアンプ）、ＰＳＴ３　センスアンプ活性化トランジスタ、６１２ｃ　センスアンプ活性回路、ＰＷ＃ｃ　スイッチングトランジスタ、ＮＷ＃　スイッチングトランジスタ、６５０　メインＶｂｂ線、６５２　サブＶｂｂ線、６９０　センス・リストア回路、６９２　イコライズ回路、６１２ｄ　センス接続制御回路、ＰＷ＃ｄ　スイッチングトランジスタ、６１２ｅ　イコライズ制御回路、ＰＷ＃ｅ　スイッチングトランジスタ、ＮＥＱ１～ＮＥＱ３　イコライズ／プリチャージ用トランジスタ、６１２Ａａ～６１２Ａｄ，６１２Ｂａ～６１２Ｂｄ　制御回路、６０２Ａ，６０２Ｂ　サブＶｐｐ線、ＭＢＡａ～ＭＢＡｄ，ＭＢＢａ～ＭＢＢｄ　メモリセルブロック、７１０　インバータ、７１２　キャパシタ、７１４　絶縁ゲート型電界効果トランジスタ、７１６　インバータ、７１８キャパシタ、７２０，７２２　プリチャージ素子，７５０　インバータ、７５２　キャパシタ、７５４　絶縁ゲート型電界効果トランジスタ、７５６　インバータ、７５８　キャパシタ、７６０，７６２　プリチ

ャージ素子。

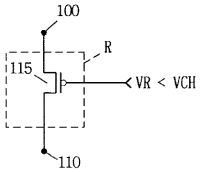
【図１】



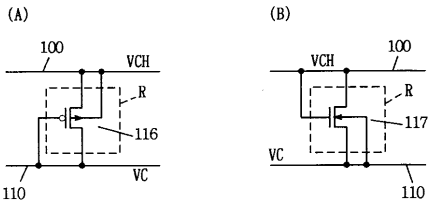
【図２】



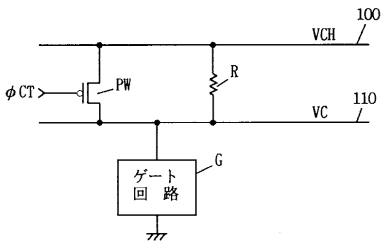
【図３】



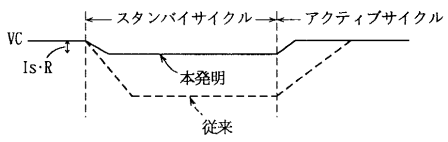
【図４】



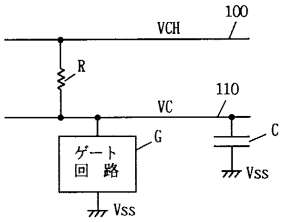
【図５】



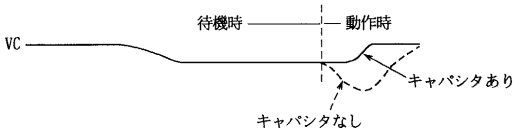
【図６】



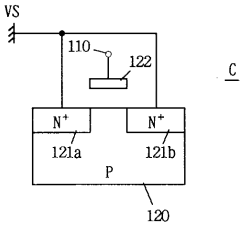
【図７】



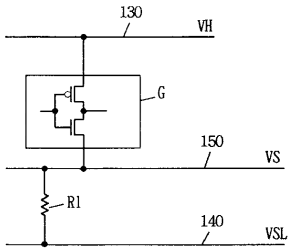
【図８】



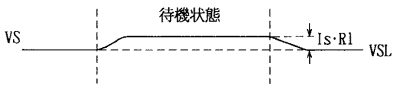
【図９】



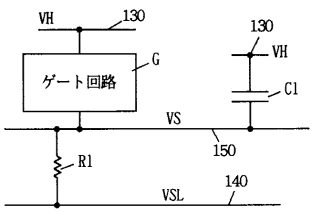
【図１３】



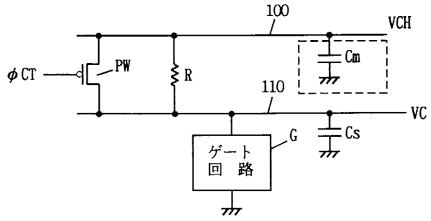
【図１４】



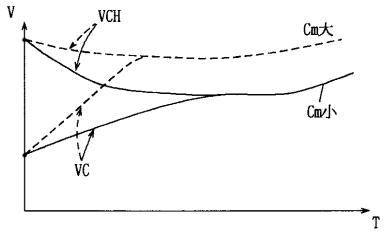
【図１５】



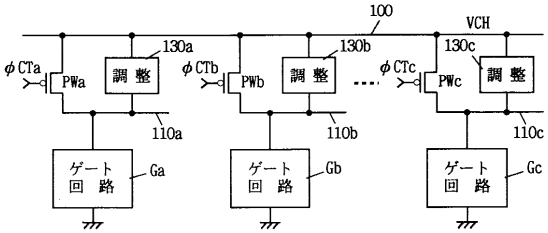
【図１０】



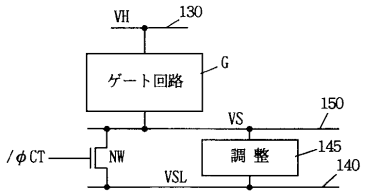
【図１１】



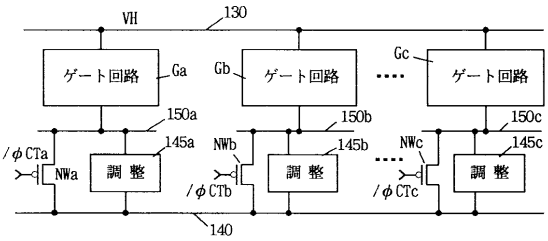
【図１２】



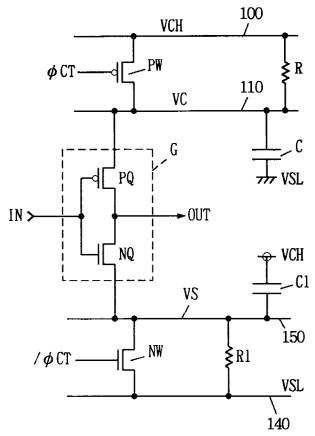
【図１６】



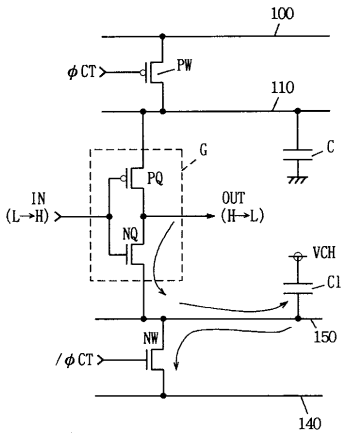
【図１７】



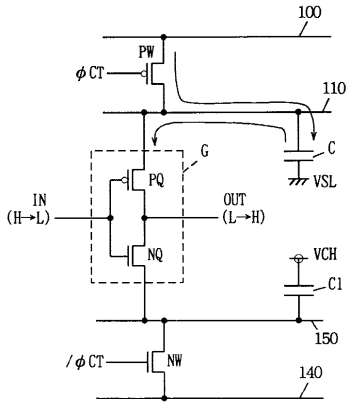
【図１８】



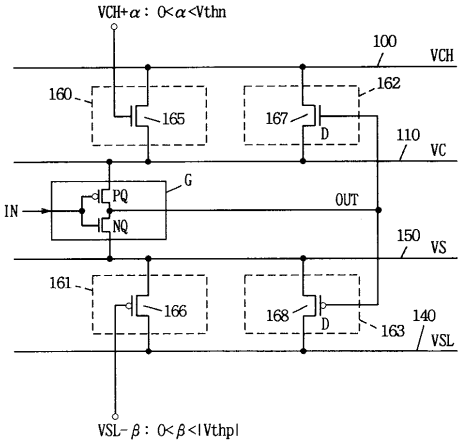
【図１９】



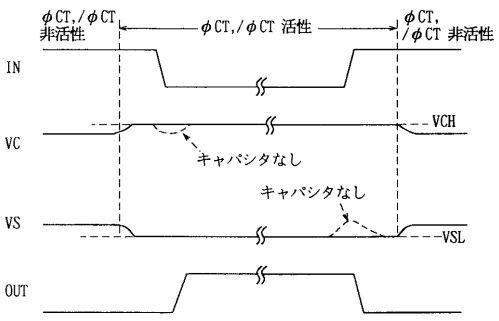
【図２０】



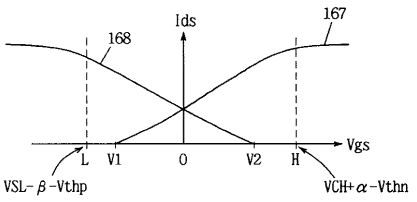
【図２２】



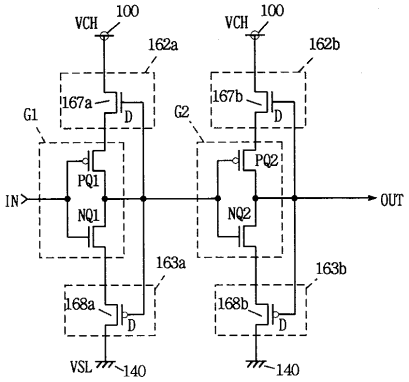
【図２１】



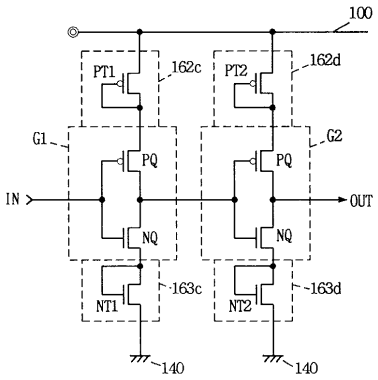
【図２３】



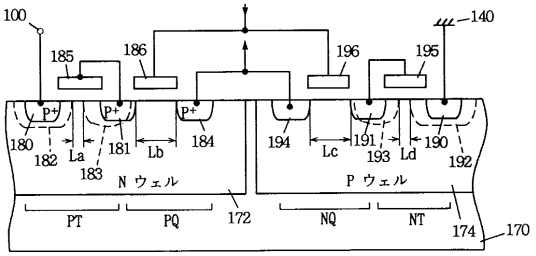
【図２４】



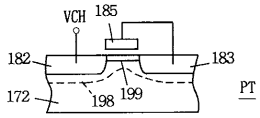
【図２５】



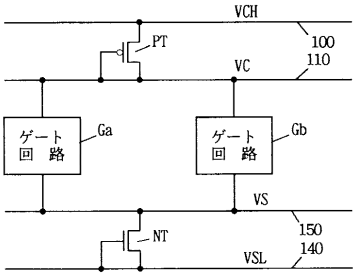
【図２６】



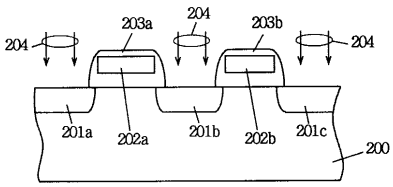
【図２７】



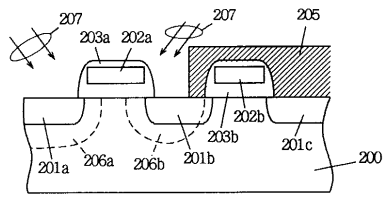
【図２８】



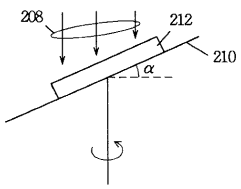
【図２９】



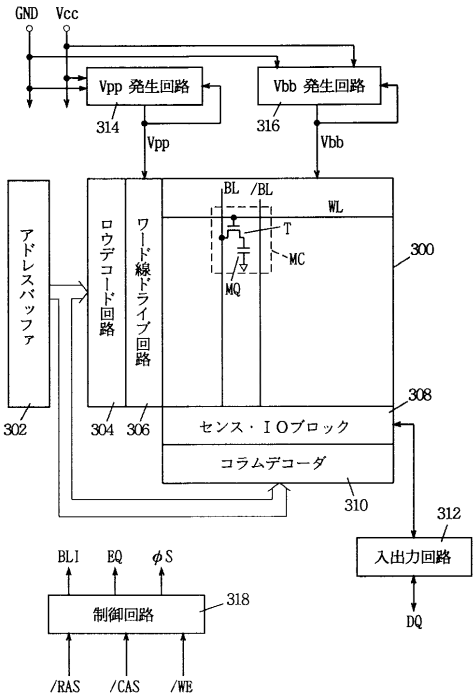
【図３０】



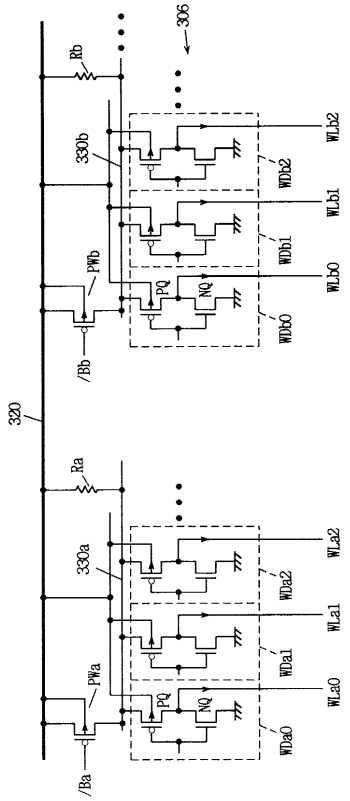
【図３１】



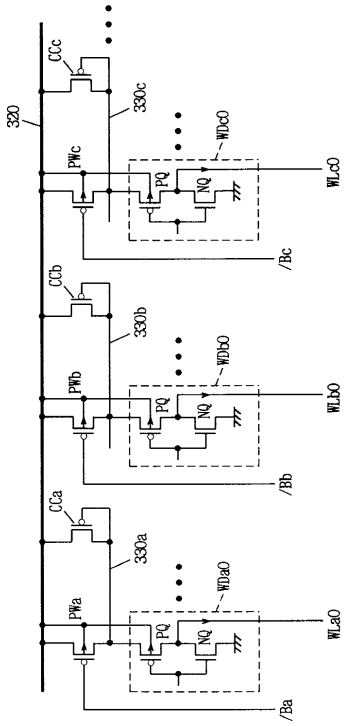
【図３２】



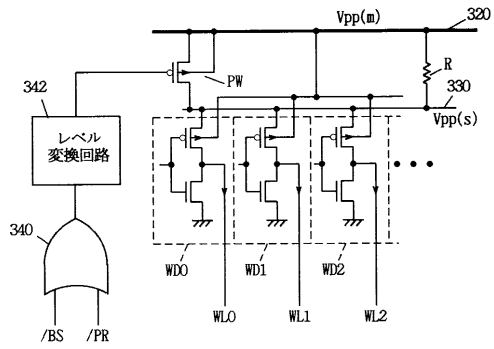
【図３３】



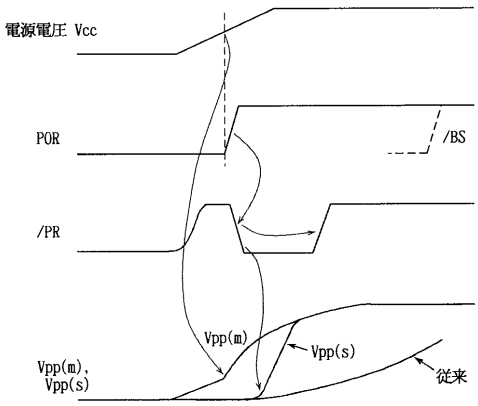
【図３４】



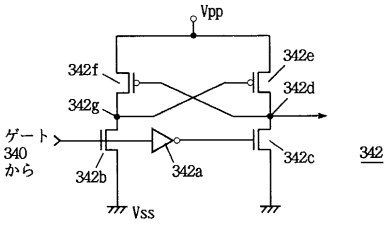
【図３５】



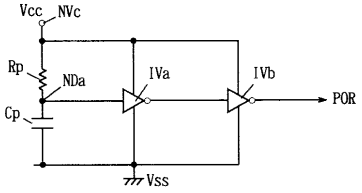
【図３６】



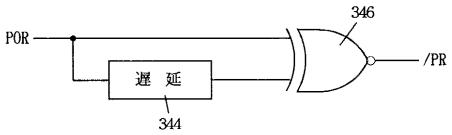
【図３７】



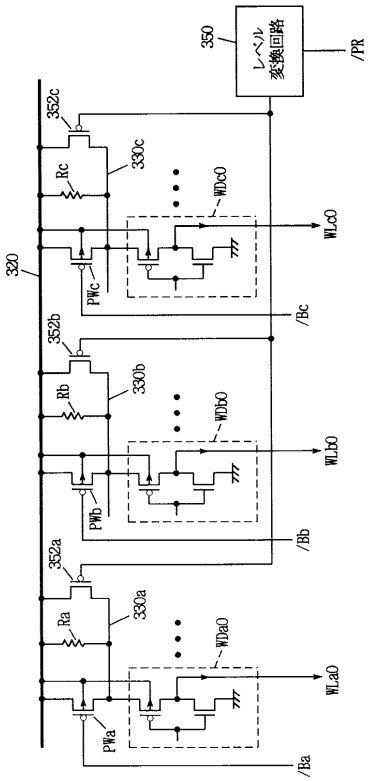
【図３８】



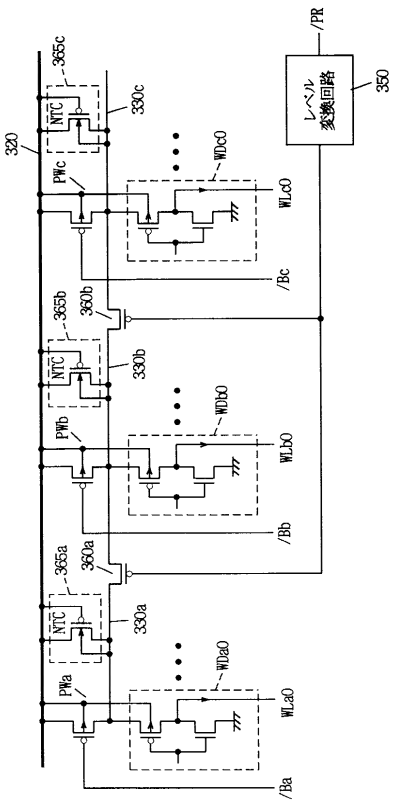
【図３９】



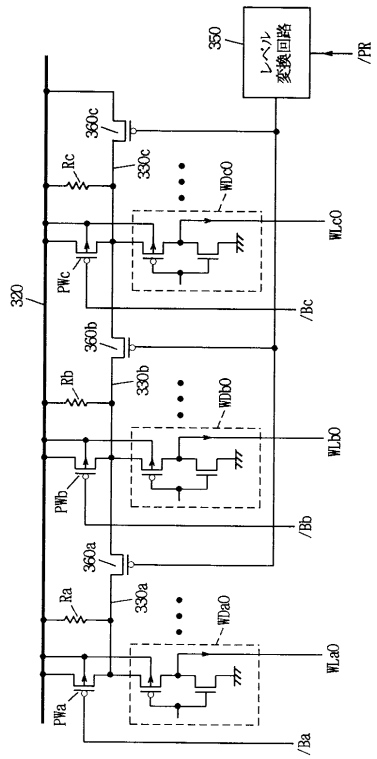
【図４０】



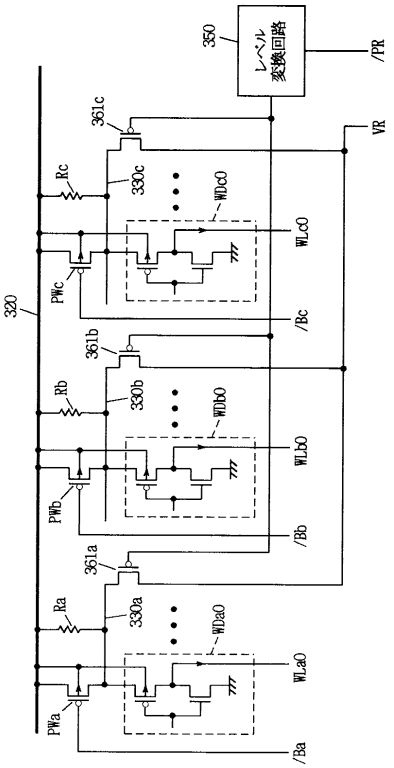
【図４１】



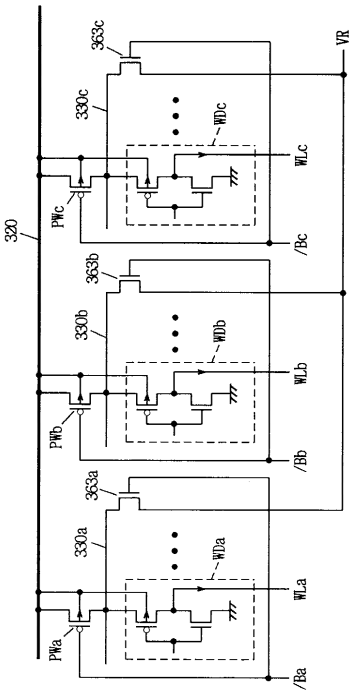
【図４２】



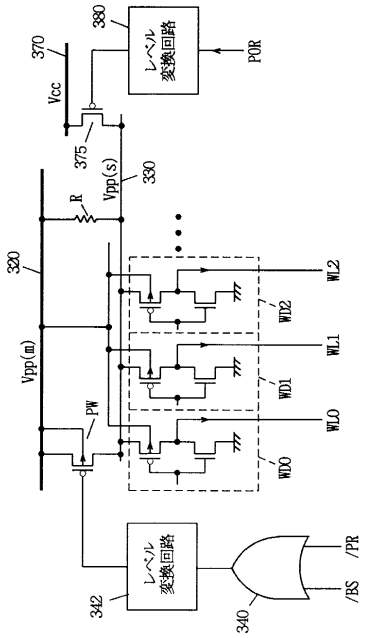
【図４３】



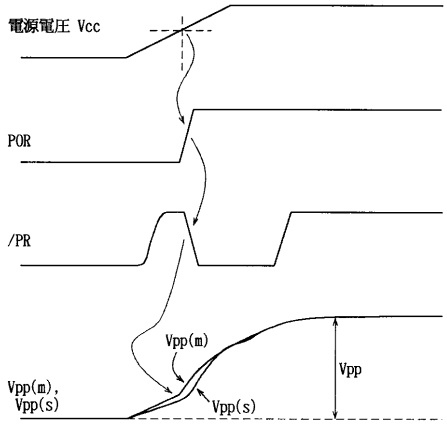
【図４４】



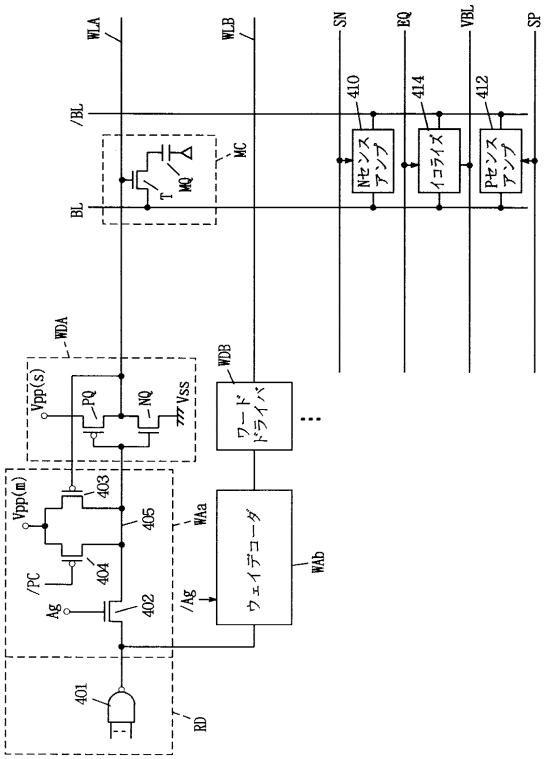
【図４５】



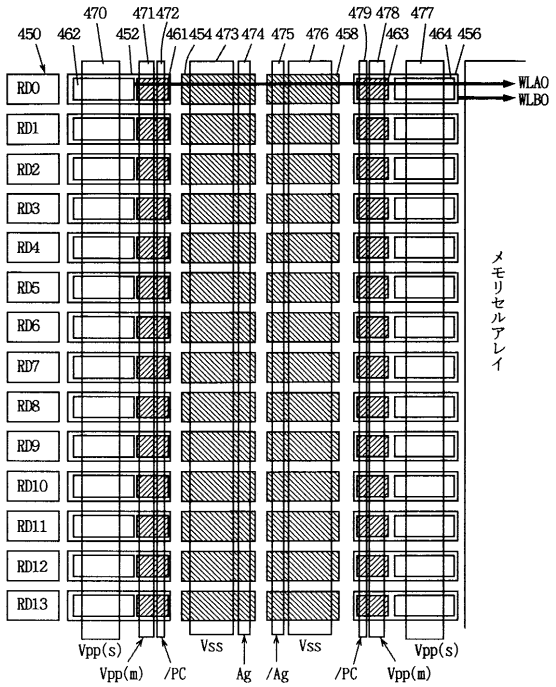
【図４６】



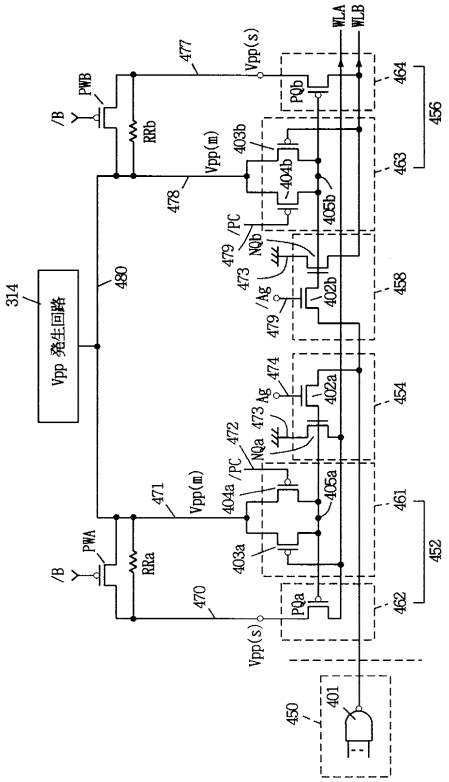
【図４７】



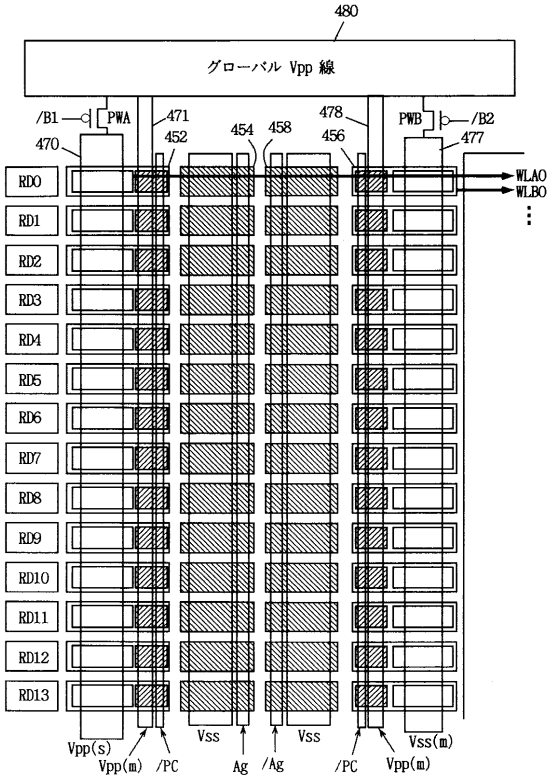
【図４８】



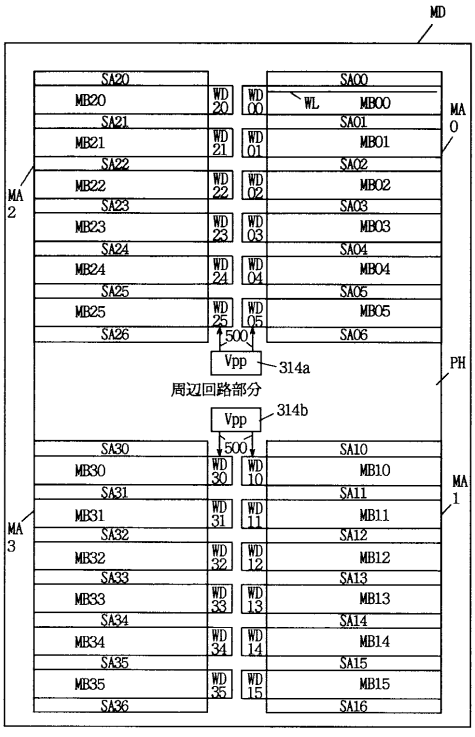
【図４９】



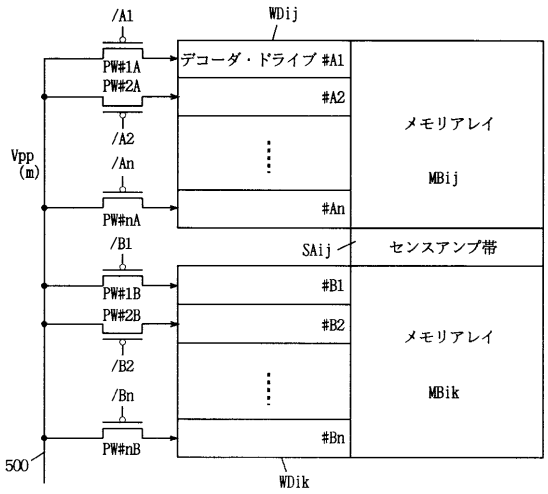
【図５０】



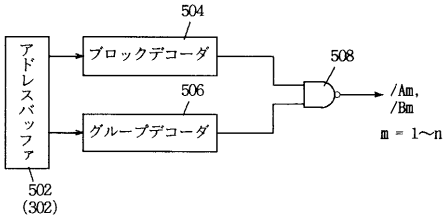
【図５１】



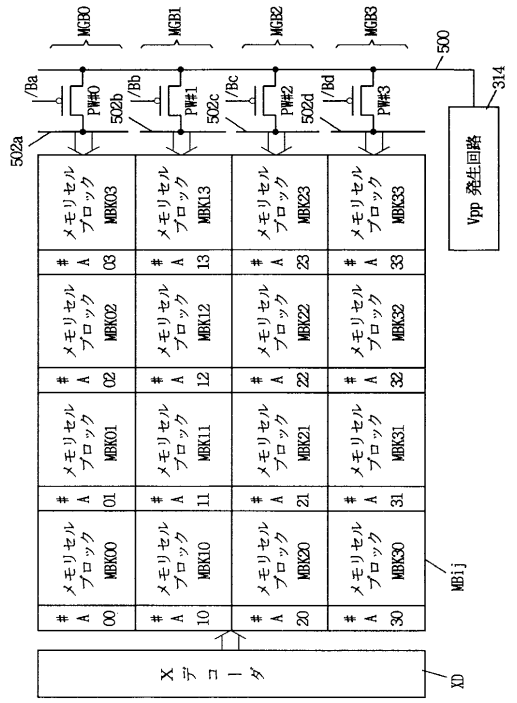
【図５２】



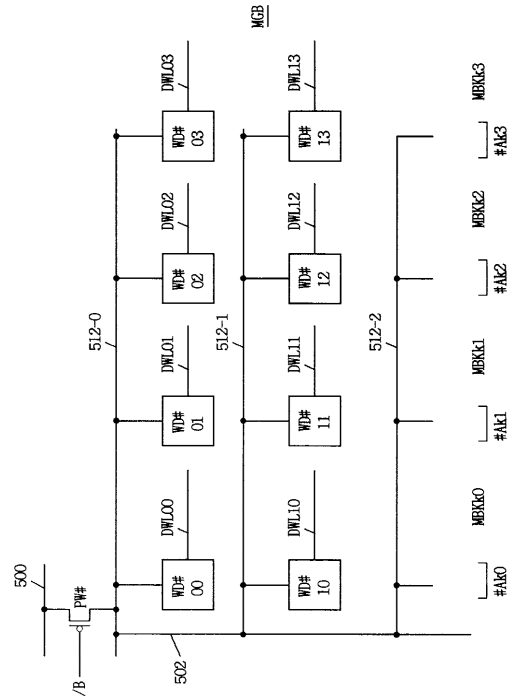
【図５３】



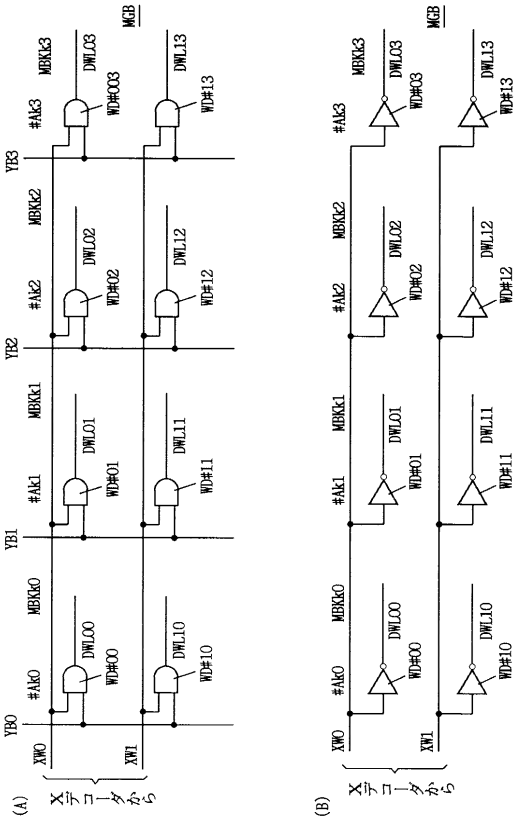
【図５４】



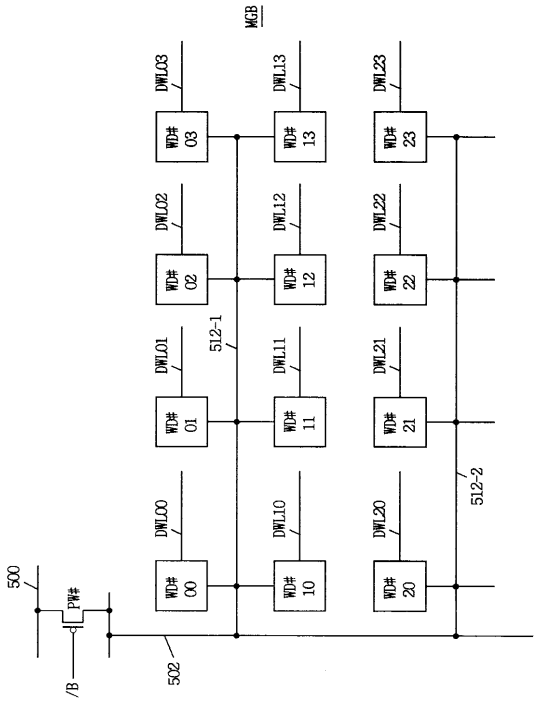
【図５５】



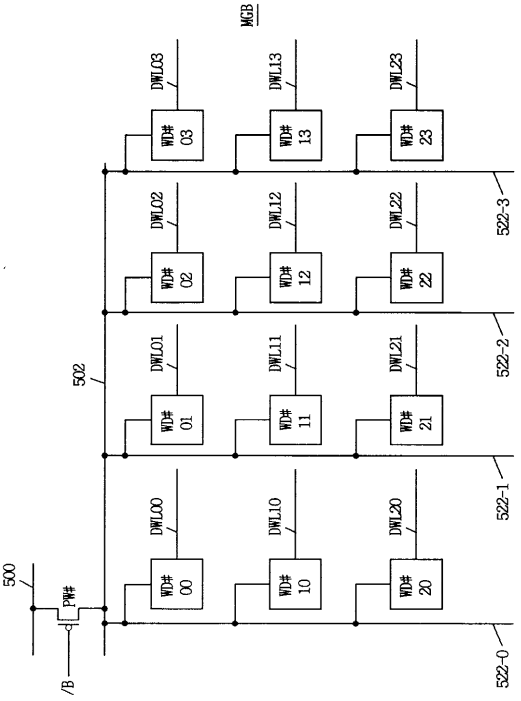
【図５６】



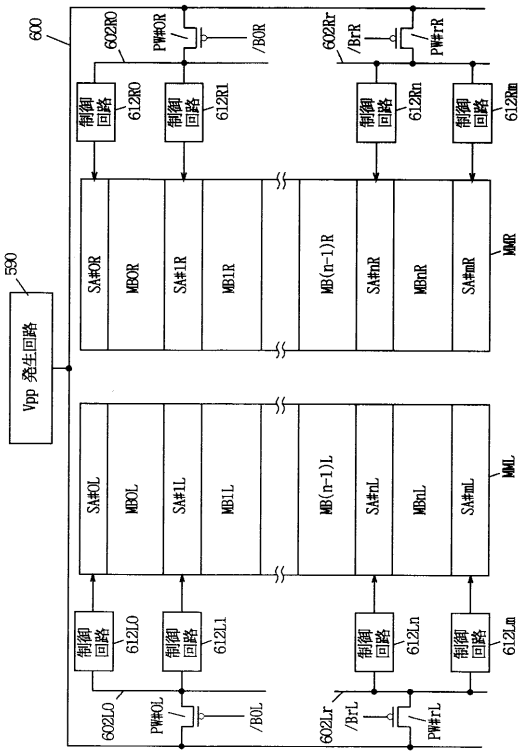
【図５７】



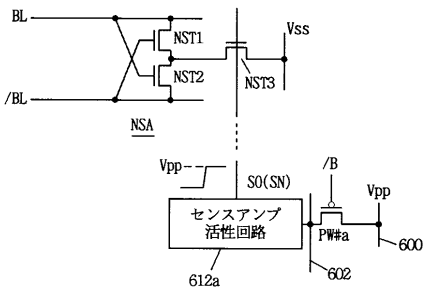
【図５８】



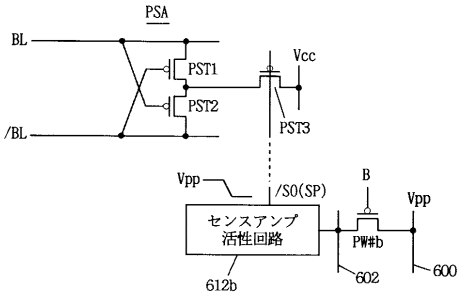
【図５９】



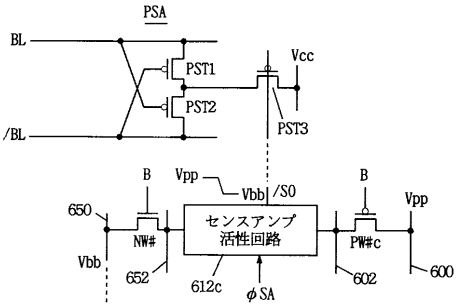
【図６０】



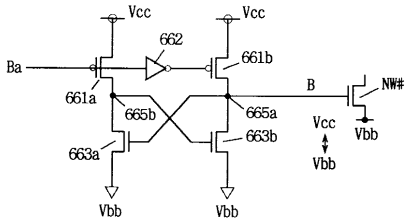
【図６１】



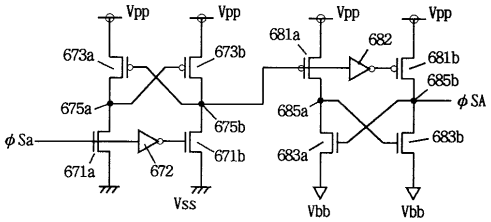
【図６２】



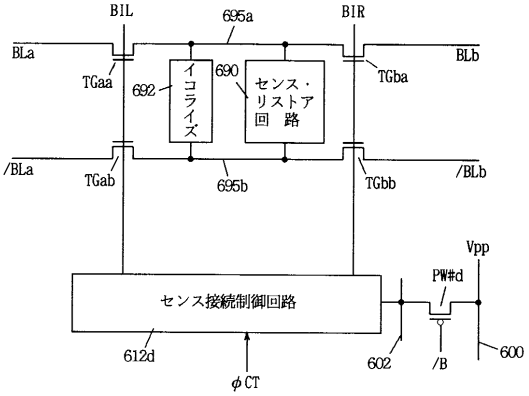
【図６３】



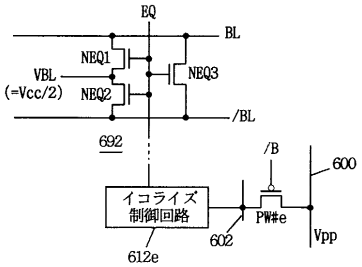
【図６４】



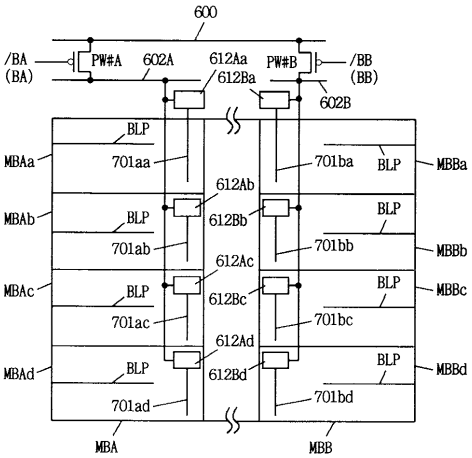
【図６５】



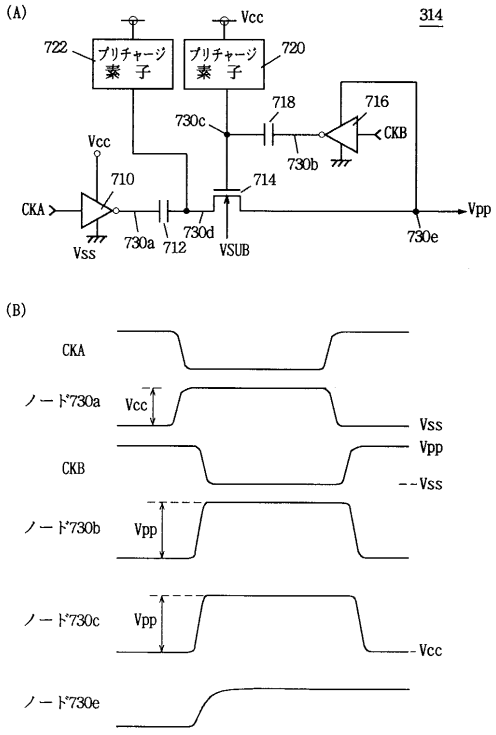
【図６６】



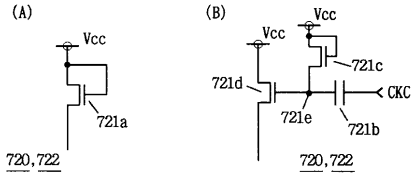
【図６７】



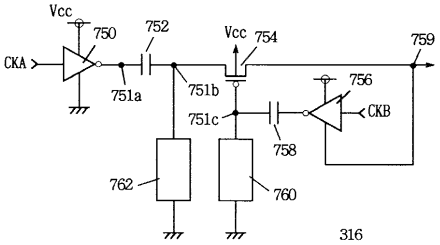
【図６８】



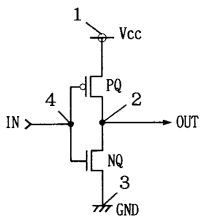
【図６９】



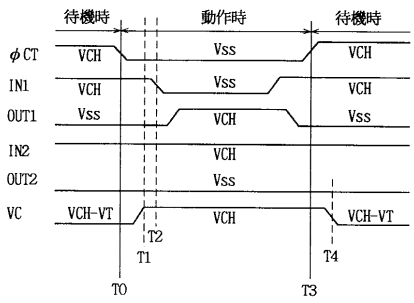
【図７０】



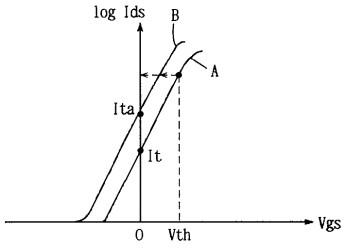
【図７１】



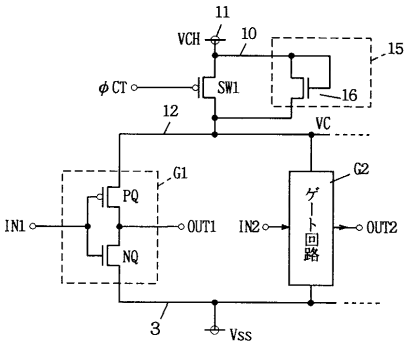
【図７４】



【図７２】



【図７３】



フロントページの続き

(51)Int.Cl.[7]　　ＦＩ
　ＨＯ１Ｌ　27/04
　ＨＯ１Ｌ　27/092
　ＨＯ１Ｌ　27/108

(72)発明者　大石　司
　　兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社　ユー・エル・エス・アイ開発研究所内

　審査官　長島　孝志

(56)参考文献　特開平０５－３４７５５０（ＪＰ，Ａ）
　　特開平０４－１２３４６６（ＪＰ，Ａ）
　　特開平０６－２０３５５８（ＪＰ，Ａ）
　　特開平０５－２１０９７６（ＪＰ，Ａ）
　　特開平０６－０２９８３４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
　　G11C 11/401-11/419
　　H01L 27/04
　　H01L 27/088-27/092
　　H01L 27/108-27/11