

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6850246号
(P6850246)

(45) 発行日 令和3年3月31日(2021.3.31)

(24) 登録日 令和3年3月9日(2021.3.9)

(51) Int. Cl. F I
G O 2 F 3/00 (2006.01) G O 2 F 3/00
G O 2 F 1/015 (2006.01) G O 2 F 1/015 5 0 5

請求項の数 13 (全 44 頁)

(21) 出願番号	特願2017-243153 (P2017-243153)	(73) 特許権者	000004226
(22) 出願日	平成29年12月19日 (2017.12.19)		日本電信電話株式会社
(65) 公開番号	特開2018-205686 (P2018-205686A)		東京都千代田区大手町一丁目5番1号
(43) 公開日	平成30年12月27日 (2018.12.27)	(74) 代理人	110001243
審査請求日	令和2年2月10日 (2020.2.10)		特許業務法人 谷・阿部特許事務所
(31) 優先権主張番号	特願2017-113209 (P2017-113209)	(72) 発明者	佐藤 俊哉
(32) 優先日	平成29年6月8日 (2017.6.8)		東京都千代田区大手町一丁目5番1号 日
(33) 優先権主張国・地域又は機関	日本国 (JP)	(72) 発明者	岡 宗一
			東京都千代田区大手町一丁目5番1号 日
			日本電信電話株式会社内
			日本電信電話株式会社内
		審査官	堀部 修平

最終頁に続く

(54) 【発明の名称】 光信号バッファメモリ回路並びに光信号バッファ方法

(57) 【特許請求の範囲】

【請求項1】

データパターンを回路内に保持する光信号バッファメモリ回路において、
 クロック信号光源から出力された光クロックパルス列 CLK - 0 を入力するための外部光入力ポート P - OCLK - In - 0 と、当該回路内に保持している前記データパターンを消去する消去制御用となる光信号パルス列 ERS - 1 を入力するための外部光入力ポート P - ERS - In - 0 と、2 次的光クロックパルス列 CLK - 1 として、前記光クロックパルス列 CLK - 0 を出力する又は前記光クロックパルス列 CLK - 0 の出力をカットして出力する光出力ポート P - OSW - 01 - Out とを有する光制御型光強度スイッチ OSW - 01 と、

前記光出力ポート P - OSW - 01 - Out から出力された前記 2 次的光クロックパルス列 CLK - 1 を導く光導波路 53 と、

前記光導波路 53 と接続されて前記光出力ポート P - OSW - 01 - Out からの前記 2 次的光クロックパルス列 CLK - 1 を入力するための光入力ポート P - OCLK - In と、前記光入力ポート P - OCLK - In に対して bar 側に位置する光出力ポート P - MZ - 1 - bar 並びに cross 側に位置する光出力ポート P - MZ - 1 - cross とを有する 2 つの第 1 の光干渉アームと、一方の前記第 1 の光干渉アームの光導波路上に位置し、当該第 1 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段 L1 - 1 と、他方の前記第 1 の光干渉アームの光導波路上に位置し、当該第 1 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変

調手段 R 1 - 1 とを有し、マッハ・ツェンダ型の干渉器として機能するマッハ・ツェンダ干渉型光強度変調手段 M Z - 1 と、

前記データパターンの情報を有する光信号パルス列 D a t a - 1 を入力するための外部光入力ポート P - D a t a - I n と接続されて前記光信号パルス列 D a t a - 1 を導く光導波路 1 8 と、

前記光導波路 1 8 と接続されて前記外部光入力ポート P - D a t a - I n からの前記光信号パルス列 D a t a - 1 が入力される光入力ポート P - C 1 - 1、前記光出力ポート P - M Z - 1 - b a r 又は前記光出力ポート P - M Z - 1 - c r o s s のいずれか一方からの光信号パルス列が入力される光入力ポート P - C 1 - 2 並びに光出力ポート P - C 1 - 3、P - C 1 - 4 とを有し、前記光入力ポート P - C 1 - 2、P - C 1 - 1 から入力した光信号パルス列を前記光出力ポート P - C 1 - 3、P - C 1 - 4 へと分岐出力させるための光分岐部 C - 1 と、

10

前記光出力ポート P - M Z - 1 - b a r 又は前記光出力ポート P - M Z - 1 - c r o s s のいずれか一方からの光信号パルス列を前記光入力ポート P - C 1 - 2 へと導く光導波路 1 4 と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 L 1 - 1 に入力するための光入力ポート P - L 1 - 1 に接続されて前記光出力ポート P - C 1 - 3 からの光信号パルス列を導く光導波路 1 5 L と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 R 1 - 1 に入力するための光入力ポート P - R 1 - 1 に接続されて前記光出力ポート P - C 1 - 4 から

20

の光信号パルス列を導く光導波路 1 5 R と、
前記光導波路 1 5 L 又は前記光導波路 1 5 R 上に設けられ、前記光出力ポート P - C 1 - 3 並びに P - C 1 - 4 から同時に出力される光信号パルス列が前記光入力ポート P - L 1 - 1 並びに P - R 1 - 1 へと到達するタイミングを、前記光クロックパルス列 C L K - 0 のパルス幅以上かつパルス繰り返し周期未満となるように調整するための光遅延を生み出す光導波路部 D - D - 1 と、

を備え、

前記光クロックパルス列 C L K - 0 として、R Z (Return to Zero) 型の光信号パルス列が前記外部光入力ポート P - O C L K - I n - 0 から入力され続けており、

前記光信号パルス列 E R S - 1 を、前記光クロックパルス列 C L K - 0 のクロックと同期し、前記データパターンの周期にも同期すると共に、前記データパターンのデータ長と同一の長さを有する R Z 型の光信号パルス列とし、

30

前記データパターンを当該回路内に保持した後、前記外部光入力ポート P - E R S - I n - 0 から前記光信号パルス列 E R S - 1 が入力されると、前記光信号パルス列 E R S - 1 のデータ長の間だけ、前記光クロックパルス列 C L K - 0 の出力をカットして、前記 2 次的光クロックパルス列 C L K - 1 として、前記光出力ポート P - O S W - 0 1 - O u t から前記光入力ポート P - O C L K - I n へ出力し、

前記マッハ・ツェンダ干渉型光強度変調手段 M Z - 1 において、前記光入力ポート P - O C L K - I n から入力され、出力がカットされた前記 2 次的光クロックパルス列 C L K - 1 により、前記光出力ポート P - M Z - 1 - b a r 並びに P - M Z - 1 - c r o s s から光信号パルス列が出力されない状態を作りだし、前記データパターンの保持状態を解消して、初期状態へ戻す

40

ことを特徴とする光信号バッファメモリ回路。

【請求項 2】

請求項 1 に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチ O S W - 0 1 は、

前記外部光入力ポート P - O C L K - I n - 0 と、前記外部光入力ポート P - O C L K - I n - 0 に対して b a r 側に位置する光出力ポート P - M Z - 0 - b a r 並びに c r o s s 側に位置する光出力ポート P - M Z - 0 - c r o s s とを有する 2 つの第 2 の光干渉アームと、一方の前記第 2 の光干渉アームの光導波路上に位置し、当該第 2 の光干渉アーム

50

ム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段L0と、他方の前記第2の光干渉アームの光導波路上に位置し、当該第2の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段R0とを有し、マッハ・ツェンダ型の干渉器として機能するマッハ・ツェンダ干渉型光強度変調手段MZ-0と、

前記外部光入力ポートP-ERS-In-0から入力された前記光信号パルス列ERS-1を導く光導波路55と、

前記光導波路55と接続されて前記外部光入力ポートP-ERS-In-0からの前記光信号パルス列ERS-1が入力される光入力ポートP-C0-1並びに光出力ポートP-C0-3、P-C0-4とを有し、前記光入力ポートP-C0-1から入力した前記光信号パルス列ERS-1を前記光出力ポートP-C0-3、P-C0-4へと分岐出力させるための光分岐部C-0と、

10

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段L0に入力するための光入力ポートP-L0-1に接続されて前記光出力ポートP-C0-3からの光信号パルス列を導く光導波路54Lと、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段R0に入力するための光入力ポートP-R0-1に接続されて前記光出力ポートP-C0-4からの光信号パルス列を導く光導波路54Rと、

前記光導波路54L又は前記光導波路54R上に設けられ、前記光出力ポートP-C0-3並びにP-C0-4から同時に出力される光信号パルス列が前記光入力ポートP-L0-1並びにP-R0-1へと到達するタイミングを、前記光クロックパルス列CLK-0のパルス幅以上かつパルス繰り返し周期未満となるように調整するための光遅延を生み出す光導波路部D-D-0と、

20

を備え、

前記光出力ポートP-MZ-0-bar又は前記光出力ポートP-MZ-0-crossの何れかを前記光出力ポートP-OSW-01-Outとし、前記光信号パルス列ERS-1が入力されていないとき、前記光クロックパルス列CLK-0を前記2次的光クロックパルス列CLK-1として出力し、前記光信号パルス列ERS-1が入力されたとき、前記光信号パルス列ERS-1のデータ長の間だけ、前記光クロックパルス列CLK-0の出力をカットして、前記2次的光クロックパルス列CLK-1として出力することを特徴とする光信号バッファメモリ回路。

30

【請求項3】

請求項2に記載の光信号バッファメモリ回路において、

前記外部光入力ポートP-ERS-In-0から前記光信号パルス列ERS-1が入力されると、入力された前記光信号パルス列ERS-1を用いて、前記光位相変調手段R0、L0を駆動させて、前記マッハ・ツェンダ干渉型光強度変調手段MZ-0の2つの前記第2の光干渉アーム中を伝搬している前記光クロックパルス列CLK-0の位相を変調させ、前記光信号パルス列ERS-1のデータ長の間だけ、前記光クロックパルス列CLK-0の出力をカットして、前記2次的光クロックパルス列CLK-1として、前記光出力ポートP-OSW-01-Outから前記光入力ポートP-OCLOCK-Inへ出力することを特徴とする光信号バッファメモリ回路。

40

【請求項4】

請求項1に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチOSW-01は、

前記光クロックパルス列CLK-0と前記光信号パルス列ERS-1とを干渉させる平面基板回路型のマルチモード光導波路からなり、入力される前記光信号パルス列ERS-1のデータ長の間だけ、前記光クロックパルス列CLK-0から光クロックパルス列を除去して、前記2次的光クロックパルス列CLK-1として出力するマルチモード光導波路WG-Mと、

前記外部光入力ポートP-OCLOCK-In-0から入力された前記光クロックパルス列CLK-0を前記マルチモード光導波路WG-Mへ導波するための平面基板回路型のシン

50

グルモード光導波路WG - S - I n - 0 1と、

前記外部光入力ポートP - E R S - I n - 0から入力された前記光信号パルス列E R S - 1を前記マルチモード光導波路WG - Mへ導波するための平面基板回路型のシングルモード光導波路WG - S - I n - 0 2と、

前記2次的光クロックパルス列C L K - 1を前記マルチモード光導波路WG - Mから前記光出力ポートP - O S W - 0 1 - O u tへ導波するための平面基板回路型のシングルモード光導波路WG - S - O u t - 0 1と、

を備える

ことを特徴とする光信号バッファメモリ回路。

【請求項5】

請求項4に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチO S W - 0 1は、

前記光クロックパルス列C L K - 0と前記光信号パルス列E R S - 1の相対光位相関係を調整するための光導波路型位相変調部WG - P h - 0 1と、

前記外部光入力ポートP - E R S - I n - 0から入力された前記光信号パルス列E R S - 1を前記光導波路型位相変調部WG - P h - 0 1へ導波するための平面基板回路型のシングルモード光導波路WG - S - I n - 0 3と、

を備え、

前記シングルモード光導波路WG - S - I n - 0 2は、前記光導波路型位相変調部WG - P h - 0 1において位相を調整された前記光信号パルス列E R S - 1を前記マルチモード光導波路WG - Mへ導波する

ことを特徴とする光信号バッファメモリ回路。

【請求項6】

請求項4に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチO S W - 0 1は、

前記光クロックパルス列C L K - 0と前記光信号パルス列E R S - 1の相対光位相関係を調整するための光導波路型位相変調部WG - P h - 0 2と、

前記外部光入力ポートP - O C L K - I n - 0から入力された前記光クロックパルス列C L K - 0を前記光導波路型位相変調部WG - P h - 0 2へ導波するための平面基板回路型のシングルモード光導波路WG - S - I n - 0 4と、

を備え、

前記シングルモード光導波路WG - S - I n - 0 1は、前記光導波路型位相変調部WG - P h - 0 2において位相を調整された前記光クロックパルス列C L K - 0を前記マルチモード光導波路WG - Mへ導波する

ことを特徴とする光信号バッファメモリ回路。

【請求項7】

請求項4に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチO S W - 0 1は、

前記光クロックパルス列C L K - 0と前記光信号パルス列E R S - 1の相対光位相関係を調整するための光導波路型位相変調部WG - P h - 0 1と、

前記光クロックパルス列C L K - 0と前記光信号パルス列E R S - 1の相対光強度関係を、前記光信号パルス列E R S - 1を減衰させて調整するための光導波路型強度減衰部WG - A t t - 0 1と、

前記外部光入力ポートP - E R S - I n - 0から入力された前記光信号パルス列E R S - 1を前記光導波路型強度減衰部WG - A t t - 0 1へ導波するための平面基板回路型のシングルモード光導波路WG - S - I n - 0 3と、

前記光導波路型強度減衰部WG - A t t - 0 1と前記光導波路型位相変調部WG - P h - 0 1との間を導波するための平面基板回路型のシングルモード光導波路WG - S - I n - 0 5と、

を備え、

10

20

30

40

50

前記シングルモード光導波路WG - S - In - 02は、前記光導波路型位相変調部WG - Ph - 01において位相を調整された前記光信号パルス列ERS - 1を前記マルチモード光導波路WG - Mへ導波することを特徴とする光信号バッファメモリ回路。

【請求項8】

請求項4に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチOSW - 01は、

前記光クロックパルス列CLK - 0と前記光信号パルス列ERS - 1の相対光強度関係を、前記光クロックパルス列CLK - 0を減衰させて調整するための光導波路型強度減衰部WG - Att - 02と、

10

前記外部光入力ポートP - OCLK - In - 0から入力された前記光クロックパルス列CLK - 0を前記光導波路型強度減衰部WG - Att - 02へ導波するための平面基板回路型のシングルモード光導波路WG - S - In - 04と、

前記光クロックパルス列CLK - 0と前記光信号パルス列ERS - 1の相対光位相関係を調整するための光導波路型位相変調部WG - Ph - 01と、

前記外部光入力ポートP - ERS - In - 0から入力された前記光信号パルス列ERS - 1を前記光導波路型位相変調部WG - Ph - 01へ導波するための平面基板回路型のシングルモード光導波路WG - S - In - 03と、

を備え、

前記シングルモード光導波路WG - S - In - 01は、前記光導波路型強度減衰部WG - Att - 02において光強度を減衰調整された前記光クロックパルス列CLK - 0を前記マルチモード光導波路WG - Mへ導波し、

20

前記シングルモード光導波路WG - S - In - 02は、前記光導波路型位相変調部WG - Ph - 01において位相を調整された前記光信号パルス列ERS - 1を前記マルチモード光導波路WG - Mへ導波することを特徴とする光信号バッファメモリ回路。

【請求項9】

請求項4に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチOSW - 01は、

前記光クロックパルス列CLK - 0と前記光信号パルス列ERS - 1の相対光位相関係を調整するための光導波路型位相変調部WG - Ph - 02と、

30

前記外部光入力ポートP - OCLK - In - 0から入力された前記光クロックパルス列CLK - 0を前記光導波路型位相変調部WG - Ph - 02へ導波するための平面基板回路型のシングルモード光導波路WG - S - In - 04と、

前記光クロックパルス列CLK - 0と前記光信号パルス列ERS - 1の相対光強度関係を、前記光信号パルス列ERS - 1を減衰させて調整するための光導波路型強度減衰部WG - Att - 01と、

前記外部光入力ポートP - ERS - In - 0から入力された前記光信号パルス列ERS - 1を前記光導波路型強度減衰部WG - Att - 01へ導波するための平面基板回路型のシングルモード光導波路WG - S - In - 03と、

40

を備え、

前記シングルモード光導波路WG - S - In - 01は、前記光導波路型位相変調部WG - Ph - 02において位相を調整された前記光クロックパルス列CLK - 0を前記マルチモード光導波路WG - Mへ導波し、

前記シングルモード光導波路WG - S - In - 02は、前記光導波路型強度減衰部WG - Att - 01において光強度を減衰調整された前記光信号パルス列ERS - 1を前記マルチモード光導波路WG - Mへ導波することを特徴とする光信号バッファメモリ回路。

【請求項10】

請求項4に記載の光信号バッファメモリ回路において、

50

前記光制御型光強度スイッチ O S W - 0 1 は、
前記光クロックパルス列 C L K - 0 と前記光信号パルス列 E R S - 1 の相対光位相関係
を調整するための光導波路型位相変調部 W G - P h - 0 2 と、

前記光クロックパルス列 C L K - 0 と前記光信号パルス列 E R S - 1 の相対光強度関係を、
前記光クロックパルス列 C L K - 0 を減衰させて調整するための光導波路型強度減衰
部 W G - A t t - 0 2 と、

前記外部光入力ポート P - O C L K - I n - 0 から入力された前記光クロックパルス列
C L K - 0 を前記光導波路型強度減衰部 W G - A t t - 0 2 へ導波するための平面基板回
路型のシングルモード光導波路 W G - S - I n - 0 4 と、

前記光導波路型強度減衰部 W G - A t t - 0 2 と前記光導波路型位相変調部 W G - P h
- 0 2 との間を導波するための平面基板回路型のシングルモード光導波路 W G - S - I n
- 0 6 と、
を備え、

前記シングルモード光導波路 W G - S - I n - 0 1 は、前記光導波路型位相変調部 W G
- P h - 0 2 において位相を調整された前記光クロックパルス列 C L K - 0 を前記マルチ
モード光導波路 W G - M へ導波する
ことを特徴とする光信号バッファメモリ回路。

【請求項 1 1】

データパターンを回路内に保持する光信号バッファメモリ回路として、

クロック信号光源から出力された光クロックパルス列 C L K - 0 を入力するための外部
光入力ポート P - O C L K - I n - 0 と、当該回路内に保持している前記データパターン
を消去する消去制御用となる光信号パルス列 E R S - 1 を入力するための外部光入力ポ
ート P - E R S - I n - 0 と、2 次的光クロックパルス列 C L K - 1 として、前記光クロッ
クパルス列 C L K - 0 を出力する又は前記光クロックパルス列 C L K - 0 の出力をカット
して出力する光出力ポート P - O S W - 0 1 - O u t とを有する光制御型光強度スイッチ
O S W - 0 1 と、

前記光出力ポート P - O S W - 0 1 - O u t から出力された前記 2 次的光クロックパル
ス列 C L K - 1 を導く光導波路 5 3 と、

前記光導波路 5 3 と接続されて前記光出力ポート P - O S W - 0 1 - O u t からの前記
2 次的光クロックパルス列 C L K - 1 を入力するための光入力ポート P - O C L K - I n
と、前記光入力ポート P - O C L K - I n に対して b a r 側に位置する光出力ポート P -
M Z - 1 - b a r 並びに c r o s s 側に位置する光出力ポート P - M Z - 1 - c r o s s
とを有する 2 つの第 1 の光干渉アームと、一方の前記第 1 の光干渉アームの光導波路上に
位置し、当該第 1 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるた
めの光位相変調手段 L 1 - 1 と、他方の前記第 1 の光干渉アームの光導波路上に位置し、
当該第 1 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相
変調手段 R 1 - 1 とを有し、マッハ・ツェンダ型の干渉器として機能するマッハ・ツェンダ
干渉型光強度変調手段 M Z - 1 と、

前記データパターンの情報を有する光信号パルス列 D a t a - 1 を入力するための外部
光入力ポート P - D a t a - I n と接続されて前記光信号パルス列 D a t a - 1 を導く光
導波路 1 8 と、

前記光導波路 1 8 と接続されて前記外部光入力ポート P - D a t a - I n からの前記光
信号パルス列 D a t a - 1 が入力される光入力ポート P - C 1 - 1、前記光出力ポート P
- M Z - 1 - b a r 又は前記光出力ポート P - M Z - 1 - c r o s s のいずれか一方から
の光信号パルス列が入力される光入力ポート P - C 1 - 2 並びに光出力ポート P - C 1 -
3、P - C 1 - 4 とを有し、前記光入力ポート P - C 1 - 2、P - C 1 - 1 から入力した
光信号パルス列を前記光出力ポート P - C 1 - 3、P - C 1 - 4 へと分岐出力させるた
めの光分岐部 C - 1 と、

前記光出力ポート P - M Z - 1 - b a r 又は前記光出力ポート P - M Z - 1 - c r o s s
のいずれか一方からの光信号パルス列を前記光入力ポート P - C 1 - 2 へと導く光導波
路 1 9 と、

路 1 4 と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 L 1 - 1 に入力するための光入力ポート P - L 1 - 1 に接続されて前記光出力ポート P - C 1 - 3 からの光信号パルス列を導く光導波路 1 5 L と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 R 1 - 1 に入力するための光入力ポート P - R 1 - 1 に接続されて前記光出力ポート P - C 1 - 4 からの光信号パルス列を導く光導波路 1 5 R と、

前記光導波路 1 5 L 又は前記光導波路 1 5 R 上に設けられ、前記光出力ポート P - C 1 - 3 並びに P - C 1 - 4 から同時に出力される光信号パルス列が前記光入力ポート P - L 1 - 1 並びに P - R 1 - 1 へと到達するタイミングを、前記光クロックパルス列 CLK - 0 のパルス幅以上かつパルス繰り返し周期未満となるように調整するための光遅延を生み出す光導波路部 D - D - 1 と、

を備え、当該回路を用いた光信号バッファ方法において、

前記光クロックパルス列 CLK - 0 として、RZ (Return to Zero) 型の光信号パルス列を前記外部光入力ポート P - OCLK - In - 0 から入力し続け、

前記光信号パルス列 ERS - 1 を、前記光クロックパルス列 CLK - 0 のクロックと同期し、前記データパターンの周期にも同期すると共に、前記データパターンのデータ長と同一の長さを有する RZ 型の光信号パルス列とし、

前記データパターンを当該回路内に保持した後、前記外部光入力ポート P - ERS - In - 0 から前記光信号パルス列 ERS - 1 を入力し、前記光信号パルス列 ERS - 1 のデータ長の間だけ、前記光クロックパルス列 CLK - 0 の出力をカットして、前記 2 次的光クロックパルス列 CLK - 1 として、前記光出力ポート P - OSW - 0 1 - Out から前記光入力ポート P - OCLK - In へ出力し、

前記マッハ・ツェンダ干渉型光強度変調手段 MZ - 1 において、前記光入力ポート P - OCLK - In から入力され、出力がカットされた前記 2 次的光クロックパルス列 CLK - 1 により、前記光出力ポート P - MZ - 1 - bar 並びに P - MZ - 1 - cross から光信号パルス列が出力されない状態を作りだし、前記データパターンの保持状態を解消して、初期状態へ戻す

ことを特徴とする光信号バッファ方法。

【請求項 1 2】

請求項 1 1 に記載の光信号バッファ方法において、

前記光制御型光強度スイッチ OSW - 0 1 として、

前記外部光入力ポート P - OCLK - In - 0 と、前記外部光入力ポート P - OCLK - In - 0 に対して bar 側に位置する光出力ポート P - MZ - 0 - bar 並びに cross 側に位置する光出力ポート P - MZ - 0 - cross とを有する 2 つの第 2 の光干渉アームと、一方の前記第 2 の光干渉アームの光導波路上に位置し、当該第 2 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段 L 0 と、他方の前記第 2 の光干渉アームの光導波路上に位置し、当該第 2 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段 R 0 とを有し、マッハ・ツェンダ型の干渉器として機能するマッハ・ツェンダ干渉型光強度変調手段 MZ - 0 と、

前記外部光入力ポート P - ERS - In - 0 から入力された前記光信号パルス列 ERS - 1 を導く光導波路 5 5 と、

前記光導波路 5 5 と接続されて前記外部光入力ポート P - ERS - In - 0 からの前記光信号パルス列 ERS - 1 が入力される光入力ポート P - C 0 - 1 並びに光出力ポート P - C 0 - 3、P - C 0 - 4 とを有し、前記光入力ポート P - C 0 - 1 から入力した前記光信号パルス列 ERS - 1 を前記光出力ポート P - C 0 - 3、P - C 0 - 4 へと分岐出力させるための光分岐部 C - 0 と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 L 0 に入力するための光入力ポート P - L 0 - 1 に接続されて前記光出力ポート P - C 0 - 3 からの光信号パルス列を導く光導波路 5 4 L と、

10

20

30

40

50

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 R 0 に入力するための光入力ポート P - R 0 - 1 に接続されて前記光出力ポート P - C 0 - 4 からの光信号パルス列を導く光導波路 5 4 R と、

前記光導波路 5 4 L 又は前記光導波路 5 4 R 上に設けられ、前記光出力ポート P - C 0 - 3 並びに P - C 0 - 4 から同時に出力される光信号パルス列が前記光入力ポート P - L 0 - 1 並びに P - R 0 - 1 へと到達するタイミングを、前記光クロックパルス列 C L K - 0 のパルス幅以上かつパルス繰り返し周期未満となるように調整するための光遅延を生み出す光導波路部 D - D - 0 と、
を備え、

前記光出力ポート P - M Z - 0 - b a r 又は前記光出力ポート P - M Z - 0 - c r o s s の何れかを前記光出力ポート P - O S W - 0 1 - O u t とし、前記光信号パルス列 E R S - 1 を入力しないとき、前記光クロックパルス列 C L K - 0 を前記 2 次的光クロックパルス列 C L K - 1 として出力し、前記光信号パルス列 E R S - 1 を入力したとき、前記光信号パルス列 E R S - 1 のデータ長の間だけ、前記光クロックパルス列 C L K - 0 の出力をカットして、前記 2 次的光クロックパルス列 C L K - 1 として出力することを特徴とする光信号バッファ方法。

【請求項 1 3】

請求項 1 2 に記載の光信号バッファ方法において、

前記外部光入力ポート P - E R S - I n - 0 から前記光信号パルス列 E R S - 1 を入力し、入力された前記光信号パルス列 E R S - 1 を用いて、前記光位相変調手段 R 0、L 0 を駆動させて、前記マッハ・ツェンダ干渉型光強度変調手段 M Z - 0 の 2 つの前記第 2 の光干渉アーム中を伝搬している前記光クロックパルス列 C L K - 0 の位相を変調させ、前記光信号パルス列 E R S - 1 のデータ長の間だけ、前記光クロックパルス列 C L K - 0 の出力をカットして、前記 2 次的光クロックパルス列 C L K - 1 として、前記光出力ポート P - O S W - 0 1 - O u t から前記光入力ポート P - O C L K - I n へ出力することを特徴とする光信号バッファ方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光通信、光プロセッシング並びに光コンピューターにおける光信号バッファメモリ回路並びに光信号バッファ方法に関する。

【背景技術】

【0002】

光信号バッファを実現させる方法としては代表的ものとして以下のような方法が提案されている。

【0003】

[第 1 の従来技術]

1 つ目の方法は、図 1 8 に示したように、長さの異なる複数の光遅延用光導波路 O D L - 1 ~ O D L - N を用意し、これら光遅延用光導波路 O D L - 1 ~ O D L - N の入力端に光スイッチ O S - 1 を出力端に光合波器 O C - 1 を配し、入力ポート P - O P - I n から入力した光信号を、光スイッチ O S - 1 を用いて伝搬経路としての光遅延用光導波路 O D L - 1 ~ O D L - N を切り替えることにより、所望の光遅延を与え、出力ポート P - O P - O u t から出力するといった方法でバッファメモリとしての機能を実現させるものである。

【0004】

この 1 つ目の方法においては、予め用意された光遅延用光導波路 O D L - 1 ~ O D L - N 以外の遅延を付与することができず、光スイッチ O S - 1 で切り替え可能な現実的な伝搬経路の数に限界がある（現在の市販商品としては数十程度で、切り替え可能数を大きくするにつれ挿入光損失が増大していくという別の課題もある）ことから、光データ信号列の格納時間に関して極めて限定的な光バッファメモリしか実現できず、切り替え可能

10

20

30

40

50

な光遅延量のパターンを多くするにつれ、光回路としてより大がかりなものとなっていつてしまう。

【0005】

【第2の従来技術】

2つ目の方法は、図19に示したような光回路を用いて、ファイバーループ或いは光導波路ループO-Loopの中を、入力ポートP-OP-Inから入力した被格納光データ信号列を光増幅器OAで伝搬損失補償等を行いながら周回させて、光スイッチOS-2により所望のタイミングで光データ信号列として取り出し、出力ポートP-OP-Outから出力するといった方法で、所望の光遅延を与えることにより光バッファメモリとしての機能を実現させるものである。

10

【0006】

この方法は、上記1つ目の方法の「切り替え可能な光遅延量のパターンを多くするにつれ、光回路としてより大がかりなものとなっていつてしまう。」という課題を克服できることを期待して考案されたと考えられるものであるが、この2つ目の方法においては、光データ信号列の周回回数が大きくなるにつれ、周回させるための光導波路ループO-Loopの伝搬損失を補償するための光増幅器OAからのASE (Amplified Spontaneous Emission) 等の混入ノイズの影響や、同光導波路ループO-Loopの分散効果の影響等により光データ信号列の光波形が徐々に崩れ、少なくとも100回程程度の周回回数よりも長くデータ信号として維持させることが難しいことが知られている(非特許文献1参照)。

【先行技術文献】

20

【特許文献】

【0007】

【特許文献1】特開2014-174300号公報

【非特許文献】

【0008】

【非特許文献1】R. Langenhorst et al., "Fiber Loop Optical Buffer," JOURNAL OF LIGHT WAVE TECHNOLOGY, IEEE, 1996, VOL. 14, NO.3, pp. 324-335

【非特許文献2】Q. Lai, et al., "Low-Power Compact 2x2 Thermo-optic Silica-on-Silicon Waveguide Switch with Fast Response", IEEE PHOTONICS TECHNOLOGY LETTERS, MAY 1998, VOL. 10, NO.5, pp. 681-683

30

【非特許文献3】S. Diez, et al., "160Gbit/s all-optical demultiplexer using hybrid gain-transparent SOA Mach-Zehnder interferometer", ELECTRONICS LETTERS, 17 AUGUST 2000, Vol. 36, No. 17, pp. 1484-1486

【非特許文献4】T. Ito, et al., "Bit-rate and format conversion from 10-Gbit/s WDM channels to a 40-Gbit/s channel using a monolithic Sagnac interferometer integrated with parallel-amplifier structure," IEE Proc.-Optoelectron., February 2004, Vol. 151, No. 1, pp. 41-45

【非特許文献5】H. Nakamura, et al., "Ultra-fast photonic crystal/quantum dot all-optical switch for future photonic networks," Optics Express, 2004, Vol. 12, No. 26, pp. 6606-6614

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の目的は、光通信、光プロセッシング並びに光コンピューターにおける光信号バッファメモリ回路並びに光信号バッファ方法において、格納する光信号長に対して任意の整数倍の光遅延を付与して出力させることが可能で、且つ、【第1の従来技術】に記載の光バッファメモリのように、「調整可能な光遅延量のパターンを多くするにつれ、光回路としてより大がかりなものになる」ことがなく、且つ、【第2の従来技術】に記載の光バッファメモリのように、「光バッファメモリ回路に使用される損失補償用光増幅器からのASE等の混入ノイズの影響や同光バッファメモリ回路内の光導波に伴う分散効果の影響等

50

による光信号波形劣化に起因した付与可能な光遅延限界が生じてしまう」ことを克服し、原理的に無限の光遅延量を付与することを可能とする光信号バッファメモリ回路並びに光信号バッファ方法を提供することである。

【0010】

つまり、本発明は、簡単な構成で、波形劣化を招くことがなく、無限の光遅延量を付与することができる光信号バッファメモリ回路並びに光信号バッファ方法を提供することを目的とする。

【0011】

また、本発明者等は、以前、図20に示す光信号バッファを実現させる光信号バッファメモリ回路並びに光信号バッファ方法を提案したが（特許文献1参照）、本発明は、特許文献1とは異なる回路並びに方法で、光データバッファメモリにおけるリセット動作を実現させる光信号バッファメモリ回路並びに光信号バッファ方法を提供することを目的とする。なお、図20に示す光信号バッファメモリ回路については、本発明と共通する構成を有しているので、その構成については、本発明において説明する。

【課題を解決するための手段】

【0012】

上記課題を解決する第1の発明に係る光信号バッファメモリ回路は、
 データパターンを回路内に保持する光信号バッファメモリ回路において、
 クロック信号光源から出力された光クロックパルス列CLK-0を入力するための外部光入力ポートP-CLK-In-0と、当該回路内に保持している前記データパターンを消去する消去制御用となる光信号パルス列ERS-1を入力するための外部光入力ポートP-ERS-In-0と、2次的光クロックパルス列CLK-1として、前記光クロックパルス列CLK-0を出力する又は前記光クロックパルス列CLK-0の出力をカットして出力する光出力ポートP-OSW-01-Outとを有する光制御型光強度スイッチOSW-01と、
 前記光出力ポートP-OSW-01-Outから出力された前記2次的光クロックパルス列CLK-1を導く光導波路53と、
 前記光導波路53と接続されて前記光出力ポートP-OSW-01-Outからの前記2次的光クロックパルス列CLK-1を入力するための光入力ポートP-CLK-Inと、前記光入力ポートP-CLK-Inに対してbar側に位置する光出力ポートP-MZ-1-bar並びにcross側に位置する光出力ポートP-MZ-1-crossとを有する2つの第1の光干渉アームと、一方の前記第1の光干渉アームの光導波路上に位置し、当該第1の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段L1-1と、他方の前記第1の光干渉アームの光導波路上に位置し、当該第1の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段R1-1とを有し、マッハ・ツェンダ型の干渉器として機能するマッハ・ツェンダ干渉型光強度変調手段MZ-1と、
 前記データパターンの情報を有する光信号パルス列Data-1を入力するための外部光入力ポートP-Data-Inと接続されて前記光信号パルス列Data-1を導く光導波路18と、
 前記光導波路18と接続されて前記外部光入力ポートP-Data-Inからの前記光信号パルス列Data-1が入力される光入力ポートP-C1-1、前記光出力ポートP-MZ-1-bar又は前記光出力ポートP-MZ-1-crossのいずれか一方からの光信号パルス列が入力される光入力ポートP-C1-2並びに光出力ポートP-C1-3、P-C1-4とを有し、前記光入力ポートP-C1-2、P-C1-1から入力した光信号パルス列を前記光出力ポートP-C1-3、P-C1-4へと分岐出力させるための光分岐部C-1と、
 前記光出力ポートP-MZ-1-bar又は前記光出力ポートP-MZ-1-crossのいずれか一方からの光信号パルス列を前記光入力ポートP-C1-2へと導く光導波路14と、

10

20

30

40

50

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 L 1 - 1 に入力するための光入力ポート P - L 1 - 1 に接続されて前記光出力ポート P - C 1 - 3 からの光信号パルス列を導く光導波路 1 5 L と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 R 1 - 1 に入力するための光入力ポート P - R 1 - 1 に接続されて前記光出力ポート P - C 1 - 4 からの光信号パルス列を導く光導波路 1 5 R と、

前記光導波路 1 5 L 又は前記光導波路 1 5 R 上に設けられ、前記光出力ポート P - C 1 - 3 並びに P - C 1 - 4 から同時に出力される光信号パルス列が前記光入力ポート P - L 1 - 1 並びに P - R 1 - 1 へと到達するタイミングを、前記光クロックパルス列 CLK - 0 のパルス幅以上かつパルス繰り返し周期未満となるように調整するための光遅延を生み出す光導波路部 D - D - 1 と、
を備え、

前記光クロックパルス列 CLK - 0 として、R Z (Return to Zero) 型の光信号パルス列が前記外部光入力ポート P - OCLK - In - 0 から入力され続けており、

前記光信号パルス列 ERS - 1 を、前記光クロックパルス列 CLK - 0 のクロックと同期し、前記データパターンの周期にも同期すると共に、前記データパターンのデータ長と同一の長さを有する R Z 型の光信号パルス列とし、

前記データパターンを当該回路内に保持した後、前記外部光入力ポート P - ERS - In - 0 から前記光信号パルス列 ERS - 1 が入力されると、前記光信号パルス列 ERS - 1 のデータ長の間だけ、前記光クロックパルス列 CLK - 0 の出力をカットして、前記 2 次的光クロックパルス列 CLK - 1 として、前記光出力ポート P - OSW - 0 1 - Out から前記光入力ポート P - OCLK - In へ出力し、

前記マッハ・ツェンダ干渉型光強度変調手段 MZ - 1 において、前記光入力ポート P - OCLK - In から入力され、出力がカットされた前記 2 次的光クロックパルス列 CLK - 1 により、前記光出力ポート P - MZ - 1 - bar 並びに P - MZ - 1 - cross から光信号パルス列が出力されない状態を作りだし、前記データパターンの保持状態を解消して、初期状態へ戻すことを特徴とする。

【 0 0 1 3 】

上記課題を解決する第 2 の発明に係る光信号バッファメモリ回路は、

上記第 1 の発明に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチ OSW - 0 1 は、

前記外部光入力ポート P - OCLK - In - 0 と、前記外部光入力ポート P - OCLK - In - 0 に対して bar 側に位置する光出力ポート P - MZ - 0 - bar 並びに cross 側に位置する光出力ポート P - MZ - 0 - cross とを有する 2 つの第 2 の光干渉アームと、一方の前記第 2 の光干渉アームの光導波路上に位置し、当該第 2 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段 L 0 と、他方の前記第 2 の光干渉アームの光導波路上に位置し、当該第 2 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段 R 0 とを有し、マッハ・ツェンダ型の干渉器として機能するマッハ・ツェンダ干渉型光強度変調手段 MZ - 0 と、

前記外部光入力ポート P - ERS - In - 0 から入力された前記光信号パルス列 ERS - 1 を導く光導波路 5 5 と、

前記光導波路 5 5 と接続されて前記外部光入力ポート P - ERS - In - 0 からの前記光信号パルス列 ERS - 1 が入力される光入力ポート P - C 0 - 1 並びに光出力ポート P - C 0 - 3、P - C 0 - 4 とを有し、前記光入力ポート P - C 0 - 1 から入力した前記光信号パルス列 ERS - 1 を前記光出力ポート P - C 0 - 3、P - C 0 - 4 へと分岐出力させるための光分岐部 C - 0 と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 L 0 に入力するための光入力ポート P - L 0 - 1 に接続されて前記光出力ポート P - C 0 - 3 からの光信号パルス列を導く光導波路 5 4 L と、

10

20

30

40

50

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 R 0 に入力するための光入力ポート P - R 0 - 1 に接続されて前記光出力ポート P - C 0 - 4 からの光信号パルス列を導く光導波路 5 4 R と、

前記光導波路 5 4 L 又は前記光導波路 5 4 R 上に設けられ、前記光出力ポート P - C 0 - 3 並びに P - C 0 - 4 から同時に出力される光信号パルス列が前記光入力ポート P - L 0 - 1 並びに P - R 0 - 1 へと到達するタイミングを、前記光クロックパルス列 C L K - 0 のパルス幅以上かつパルス繰り返し周期未満となるように調整するための光遅延を生み出す光導波路部 D - D - 0 と、
を備え、

前記光出力ポート P - M Z - 0 - b a r 又は前記光出力ポート P - M Z - 0 - c r o s s の何れかを前記光出力ポート P - O S W - 0 1 - O u t とし、前記光信号パルス列 E R S - 1 が入力されていないとき、前記光クロックパルス列 C L K - 0 を前記 2 次的光クロックパルス列 C L K - 1 として出力し、前記光信号パルス列 E R S - 1 が入力されたとき、前記光信号パルス列 E R S - 1 のデータ長の間だけ、前記光クロックパルス列 C L K - 0 の出力をカットして、前記 2 次的光クロックパルス列 C L K - 1 として出力することを特徴とする。

【 0 0 1 4 】

上記課題を解決する第 3 の発明に係る光信号バッファメモリ回路は、

上記第 2 の発明に記載の光信号バッファメモリ回路において、

前記外部光入力ポート P - E R S - I n - 0 から前記光信号パルス列 E R S - 1 が入力されると、入力された前記光信号パルス列 E R S - 1 を用いて、前記光位相変調手段 R 0 、 L 0 を駆動させて、前記マッハ・ツェンダ干渉型光強度変調手段 M Z - 0 の 2 つの前記第 2 の光干渉アーム中を伝搬している前記光クロックパルス列 C L K - 0 の位相を変調させ、前記光信号パルス列 E R S - 1 のデータ長の間だけ、前記光クロックパルス列 C L K - 0 の出力をカットして、前記 2 次的光クロックパルス列 C L K - 1 として、前記光出力ポート P - O S W - 0 1 - O u t から前記光入力ポート P - O C L K - I n へ出力することを特徴とする。

【 0 0 1 5 】

上記課題を解決する第 4 の発明に係る光信号バッファメモリ回路は、

上記第 1 の発明に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチ O S W - 0 1 は、

前記光クロックパルス列 C L K - 0 と前記光信号パルス列 E R S - 1 とを干渉させる平面基板回路型のマルチモード光導波路からなり、入力される前記光信号パルス列 E R S - 1 のデータ長の間だけ、前記光クロックパルス列 C L K - 0 から光クロックパルス列を除去して、前記 2 次的光クロックパルス列 C L K - 1 として出力するマルチモード光導波路 W G - M と、

前記外部光入力ポート P - O C L K - I n - 0 から入力された前記光クロックパルス列 C L K - 0 を前記マルチモード光導波路 W G - M へ導波するための平面基板回路型のシングルモード光導波路 W G - S - I n - 0 1 と、

前記外部光入力ポート P - E R S - I n - 0 から入力された前記光信号パルス列 E R S - 1 を前記マルチモード光導波路 W G - M へ導波するための平面基板回路型のシングルモード光導波路 W G - S - I n - 0 2 と、

前記 2 次的光クロックパルス列 C L K - 1 を前記マルチモード光導波路 W G - M から前記光出力ポート P - O S W - 0 1 - O u t へ導波するための平面基板回路型のシングルモード光導波路 W G - S - O u t - 0 1 と、

を備える

ことを特徴とする。

【 0 0 1 6 】

上記課題を解決する第 5 の発明に係る光信号バッファメモリ回路は、

上記第 4 の発明に記載の光信号バッファメモリ回路において、

10

20

30

40

50

前記光制御型光強度スイッチOSW - 01は、
 前記光クロックパルス列CLK - 0と前記光信号パルス列ERS - 1の相対光位相関係
 を調整するための光導波路型位相変調部WG - Ph - 01と、
 前記外部光入力ポートP - ERS - In - 0から入力された前記光信号パルス列ERS
 - 1を前記光導波路型位相変調部WG - Ph - 01へ導波するための平面基板回路型のシ
 ングルモード光導波路WG - S - In - 03と、
 を備え、
 前記シングルモード光導波路WG - S - In - 02は、前記光導波路型位相変調部WG
 - Ph - 01において位相を調整された前記光信号パルス列ERS - 1を前記マルチモ
 ド光導波路WG - Mへ導波する
 ことを特徴とする。

10

【0017】

上記課題を解決する第6の発明に係る光信号バッファメモリ回路は、
 上記第4の発明に記載の光信号バッファメモリ回路において、
 前記光制御型光強度スイッチOSW - 01は、
 前記光クロックパルス列CLK - 0と前記光信号パルス列ERS - 1の相対光位相関係
 を調整するための光導波路型位相変調部WG - Ph - 02と、
 前記外部光入力ポートP - OCLK - In - 0から入力された前記光クロックパルス列
 CLK - 0を前記光導波路型位相変調部WG - Ph - 02へ導波するための平面基板回路
 型のシングルモード光導波路WG - S - In - 04と、
 を備え、

20

前記シングルモード光導波路WG - S - In - 01は、前記光導波路型位相変調部WG
 - Ph - 02において位相を調整された前記光クロックパルス列CLK - 0を前記マルチ
 モード光導波路WG - Mへ導波する
 ことを特徴とする。

【0018】

上記課題を解決する第7の発明に係る光信号バッファメモリ回路は、
 上記第4の発明に記載の光信号バッファメモリ回路において、
 前記光制御型光強度スイッチOSW - 01は、
 前記光クロックパルス列CLK - 0と前記光信号パルス列ERS - 1の相対光位相関係
 を調整するための光導波路型位相変調部WG - Ph - 01と、
 前記光クロックパルス列CLK - 0と前記光信号パルス列ERS - 1の相対光強度関係
 を、前記光信号パルス列ERS - 1を減衰させて調整するための光導波路型強度減衰部
 WG - Att - 01と、

30

前記外部光入力ポートP - ERS - In - 0から入力された前記光信号パルス列ERS
 - 1を前記光導波路型強度減衰部WG - Att - 01へ導波するための平面基板回路型の
 シングルモード光導波路WG - S - In - 03と、

前記光導波路型強度減衰部WG - Att - 01と前記光導波路型位相変調部WG - Ph
 - 01との間を導波するための平面基板回路型のシングルモード光導波路WG - S - In
 - 05と、
 を備え、

40

前記シングルモード光導波路WG - S - In - 02は、前記光導波路型位相変調部WG
 - Ph - 01において位相を調整された前記光信号パルス列ERS - 1を前記マルチモ
 ド光導波路WG - Mへ導波する
 ことを特徴とする。

【0019】

上記課題を解決する第8の発明に係る光信号バッファメモリ回路は、
 上記第4の発明に記載の光信号バッファメモリ回路において、
 前記光制御型光強度スイッチOSW - 01は、
 前記光クロックパルス列CLK - 0と前記光信号パルス列ERS - 1の相対光強度関係

50

を、前記光クロックパルス列 $CLK - 0$ を減衰させて調整するための光導波路型強度減衰部 $WG - Att - 02$ と、

前記外部光入力ポート $P - OCLK - In - 0$ から入力された前記光クロックパルス列 $CLK - 0$ を前記光導波路型強度減衰部 $WG - Att - 02$ へ導波するための平面基板回路型のシングルモード光導波路 $WG - S - In - 04$ と、

前記光クロックパルス列 $CLK - 0$ と前記光信号パルス列 $ERS - 1$ の相対光位相関係を調整するための光導波路型位相変調部 $WG - Ph - 01$ と、

前記外部光入力ポート $P - ERS - In - 0$ から入力された前記光信号パルス列 $ERS - 1$ を前記光導波路型位相変調部 $WG - Ph - 01$ へ導波するための平面基板回路型のシングルモード光導波路 $WG - S - In - 03$ と、

を備え、

前記シングルモード光導波路 $WG - S - In - 01$ は、前記光導波路型強度減衰部 $WG - Att - 02$ において光強度を減衰調整された前記光クロックパルス列 $CLK - 0$ を前記マルチモード光導波路 $WG - M$ へ導波し、

前記シングルモード光導波路 $WG - S - In - 02$ は、前記光導波路型位相変調部 $WG - Ph - 01$ において位相を調整された前記光信号パルス列 $ERS - 1$ を前記マルチモード光導波路 $WG - M$ へ導波する

ことを特徴とする。

【0020】

上記課題を解決する第9の発明に係る光信号バッファメモリ回路は、

上記第4の発明に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチ $OSW - 01$ は、

前記光クロックパルス列 $CLK - 0$ と前記光信号パルス列 $ERS - 1$ の相対光位相関係を調整するための光導波路型位相変調部 $WG - Ph - 02$ と、

前記外部光入力ポート $P - OCLK - In - 0$ から入力された前記光クロックパルス列 $CLK - 0$ を前記光導波路型位相変調部 $WG - Ph - 02$ へ導波するための平面基板回路型のシングルモード光導波路 $WG - S - In - 04$ と、

前記光クロックパルス列 $CLK - 0$ と前記光信号パルス列 $ERS - 1$ の相対光強度関係を、前記光信号パルス列 $ERS - 1$ を減衰させて調整するための光導波路型強度減衰部 $WG - Att - 01$ と、

前記外部光入力ポート $P - ERS - In - 0$ から入力された前記光信号パルス列 $ERS - 1$ を前記光導波路型強度減衰部 $WG - Att - 01$ へ導波するための平面基板回路型のシングルモード光導波路 $WG - S - In - 03$ と、

を備え、

前記シングルモード光導波路 $WG - S - In - 01$ は、前記光導波路型位相変調部 $WG - Ph - 02$ において位相を調整された前記光クロックパルス列 $CLK - 0$ を前記マルチモード光導波路 $WG - M$ へ導波し、

前記シングルモード光導波路 $WG - S - In - 02$ は、前記光導波路型強度減衰部 $WG - Att - 01$ において光強度を減衰調整された前記光信号パルス列 $ERS - 1$ を前記マルチモード光導波路 $WG - M$ へ導波する

ことを特徴とする。

【0021】

上記課題を解決する第10の発明に係る光信号バッファメモリ回路は、

上記第4の発明に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチ $OSW - 01$ は、

前記光クロックパルス列 $CLK - 0$ と前記光信号パルス列 $ERS - 1$ の相対光位相関係を調整するための光導波路型位相変調部 $WG - Ph - 02$ と、

前記光クロックパルス列 $CLK - 0$ と前記光信号パルス列 $ERS - 1$ の相対光強度関係を、前記光クロックパルス列 $CLK - 0$ を減衰させて調整するための光導波路型強度減衰部 $WG - Att - 02$ と、

10

20

30

40

50

前記外部光入力ポート P - O C L K - I n - 0 から入力された前記光クロックパルス列 C L K - 0 を前記光導波路型強度減衰部 W G - A t t - 0 2 へ導波するための平面基板回路型のシングルモード光導波路 W G - S - I n - 0 4 と、

前記光導波路型強度減衰部 W G - A t t - 0 2 と前記光導波路型位相変調部 W G - P h - 0 2 との間を導波するための平面基板回路型のシングルモード光導波路 W G - S - I n - 0 6 と、

を備え、

前記シングルモード光導波路 W G - S - I n - 0 1 は、前記光導波路型位相変調部 W G - P h - 0 2 において位相を調整された前記光クロックパルス列 C L K - 0 を前記マルチモード光導波路 W G - M へ導波する

ことを特徴とする。

【 0 0 2 2 】

上記課題を解決する第 1 1 の発明に係る光信号バッファ方法は、

データパターンを回路内に保持する光信号バッファメモリ回路として、

クロック信号光源から出力された光クロックパルス列 C L K - 0 を入力するための外部光入力ポート P - O C L K - I n - 0 と、当該回路内に保持している前記データパターンを消去する消去制御用となる光信号パルス列 E R S - 1 を入力するための外部光入力ポート P - E R S - I n - 0 と、2 次的光クロックパルス列 C L K - 1 として、前記光クロックパルス列 C L K - 0 を出力する又は前記光クロックパルス列 C L K - 0 の出力をカットして出力する光出力ポート P - O S W - 0 1 - O u t とを有する光制御型光強度スイッチ O S W - 0 1 と、

前記光出力ポート P - O S W - 0 1 - O u t から出力された前記 2 次的光クロックパルス列 C L K - 1 を導く光導波路 5 3 と、

前記光導波路 5 3 と接続されて前記光出力ポート P - O S W - 0 1 - O u t からの前記 2 次的光クロックパルス列 C L K - 1 を入力するための光入力ポート P - O C L K - I n と、前記光入力ポート P - O C L K - I n に対して b a r 側に位置する光出力ポート P - M Z - 1 - b a r 並びに c r o s s 側に位置する光出力ポート P - M Z - 1 - c r o s s とを有する 2 つの第 1 の光干渉アームと、一方の前記第 1 の光干渉アームの光導波路上に位置し、当該第 1 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段 L 1 - 1 と、他方の前記第 1 の光干渉アームの光導波路上に位置し、当該第 1 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段 R 1 - 1 とを有し、マッハ・ツェンダ型の干渉器として機能するマッハ・ツェンダ干渉型光強度変調手段 M Z - 1 と、

前記データパターンの情報を有する光信号パルス列 D a t a - 1 を入力するための外部光入力ポート P - D a t a - I n と接続されて前記光信号パルス列 D a t a - 1 を導く光導波路 1 8 と、

前記光導波路 1 8 と接続されて前記外部光入力ポート P - D a t a - I n からの前記光信号パルス列 D a t a - 1 が入力される光入力ポート P - C 1 - 1、前記光出力ポート P - M Z - 1 - b a r 又は前記光出力ポート P - M Z - 1 - c r o s s のいずれか一方からの光信号パルス列が入力される光入力ポート P - C 1 - 2 並びに光出力ポート P - C 1 - 3、P - C 1 - 4 とを有し、前記光入力ポート P - C 1 - 2、P - C 1 - 1 から入力した光信号パルス列を前記光出力ポート P - C 1 - 3、P - C 1 - 4 へと分岐出力させるための光分岐部 C - 1 と、

前記光出力ポート P - M Z - 1 - b a r 又は前記光出力ポート P - M Z - 1 - c r o s s のいずれか一方からの光信号パルス列を前記光入力ポート P - C 1 - 2 へと導く光導波路 1 4 と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 L 1 - 1 に入力するための光入力ポート P - L 1 - 1 に接続されて前記光出力ポート P - C 1 - 3 からの光信号パルス列を導く光導波路 1 5 L と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 R 1 - 1 に入

10

20

30

40

50

力するための光入力ポート P - R 1 - 1 に接続されて前記光出力ポート P - C 1 - 4 からの光信号パルス列を導く光導波路 1 5 R と、

前記光導波路 1 5 L 又は前記光導波路 1 5 R 上に設けられ、前記光出力ポート P - C 1 - 3 並びに P - C 1 - 4 から同時に出力される光信号パルス列が前記光入力ポート P - L 1 - 1 並びに P - R 1 - 1 へと到達するタイミングを、前記光クロックパルス列 CLK - 0 のパルス幅以上かつパルス繰り返し周期未満となるように調整するための光遅延を生み出す光導波路部 D - D - 1 と、

を備え、当該回路を用いた光信号バッファ方法において、

前記光クロックパルス列 CLK - 0 として、RZ (Return to Zero) 型の光信号パルス列を前記外部光入力ポート P - OCLK - In - 0 から入力し続け、

前記光信号パルス列 ERS - 1 を、前記光クロックパルス列 CLK - 0 のクロックと同期し、前記データパターンの周期にも同期すると共に、前記データパターンのデータ長と同一の長さを有する RZ 型の光信号パルス列とし、

前記データパターンを当該回路内に保持した後、前記外部光入力ポート P - ERS - In - 0 から前記光信号パルス列 ERS - 1 を入力し、前記光信号パルス列 ERS - 1 のデータ長の間だけ、前記光クロックパルス列 CLK - 0 の出力をカットして、前記 2 次的光クロックパルス列 CLK - 1 として、前記光出力ポート P - OSW - 0 1 - Out から前記光入力ポート P - OCLK - In へ出力し、

前記マッハ・ツェンダ干渉型光強度変調手段 MZ - 1 において、前記光入力ポート P - OCLK - In から入力され、出力がカットされた前記 2 次的光クロックパルス列 CLK - 1 により、前記光出力ポート P - MZ - 1 - bar 並びに P - MZ - 1 - cross から光信号パルス列が出力されない状態を作りだし、前記データパターンの保持状態を解消して、初期状態へ戻すことを特徴とする。

【 0 0 2 3 】

上記課題を解決する第 1 2 の発明に係る光信号バッファ方法は、

上記第 1 1 の発明に記載の光信号バッファメモリ回路において、

前記光制御型光強度スイッチ OSW - 0 1 として、

前記外部光入力ポート P - OCLK - In - 0 と、前記外部光入力ポート P - OCLK - In - 0 に対して bar 側に位置する光出力ポート P - MZ - 0 - bar 並びに cross 側に位置する光出力ポート P - MZ - 0 - cross とを有する 2 つの第 2 の光干渉アームと、一方の前記第 2 の光干渉アームの光導波路上に位置し、当該第 2 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段 L 0 と、他方の前記第 2 の光干渉アームの光導波路上に位置し、当該第 2 の光干渉アーム中を伝搬する光信号パルス列の位相に変調を与えるための光位相変調手段 R 0 とを有し、マッハ・ツェンダ型の干渉器として機能するマッハ・ツェンダ干渉型光強度変調手段 MZ - 0 と、

前記外部光入力ポート P - ERS - In - 0 から入力された前記光信号パルス列 ERS - 1 を導く光導波路 5 5 と、

前記光導波路 5 5 と接続されて前記外部光入力ポート P - ERS - In - 0 からの前記光信号パルス列 ERS - 1 が入力される光入力ポート P - C 0 - 1 並びに光出力ポート P - C 0 - 3、P - C 0 - 4 とを有し、前記光入力ポート P - C 0 - 1 から入力した前記光信号パルス列 ERS - 1 を前記光出力ポート P - C 0 - 3、P - C 0 - 4 へと分岐出力させるための光分岐部 C - 0 と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 L 0 に入力するための光入力ポート P - L 0 - 1 に接続されて前記光出力ポート P - C 0 - 3 からの光信号パルス列を導く光導波路 5 4 L と、

光位相変調作用を誘起させるための光信号パルス列を前記光位相変調手段 R 0 に入力するための光入力ポート P - R 0 - 1 に接続されて前記光出力ポート P - C 0 - 4 からの光信号パルス列を導く光導波路 5 4 R と、

前記光導波路 5 4 L 又は前記光導波路 5 4 R 上に設けられ、前記光出力ポート P - C 0

10

20

30

40

50

- 3並びにP - C 0 - 4から同時に出力される光信号パルス列が前記光入力ポートP - L 0 - 1並びにP - R 0 - 1へと到達するタイミングを、前記光クロックパルス列CLK - 0のパルス幅以上かつパルス繰り返し周期未満となるように調整するための光遅延を生み出す光導波路部D - D - 0と、
を備え、

前記光出力ポートP - M Z - 0 - bar又は前記光出力ポートP - M Z - 0 - crossの何れかを前記光出力ポートP - O S W - 0 1 - O u tとし、前記光信号パルス列E R S - 1を入力しないとき、前記光クロックパルス列CLK - 0を前記2次的光クロックパルス列CLK - 1として出力し、前記光信号パルス列E R S - 1を入力したとき、前記光信号パルス列E R S - 1のデータ長の間だけ、前記光クロックパルス列CLK - 0の出力をカットして、前記2次的光クロックパルス列CLK - 1として出力することを特徴とする。

10

【0024】

上記課題を解決する第13の発明に係る光信号バッファ方法は、

上記第12の発明に記載の光信号バッファメモリ回路において、

前記外部光入力ポートP - E R S - I n - 0から前記光信号パルス列E R S - 1を入力し、入力された前記光信号パルス列E R S - 1を用いて、前記光位相変調手段R 0、L 0を駆動させて、前記マッハ・ツェンダ干渉型光強度変調手段M Z - 0の2つの前記第2の光干渉アーム中を伝搬している前記光クロックパルス列CLK - 0の位相を変調させ、前記光信号パルス列E R S - 1のデータ長の間だけ、前記光クロックパルス列CLK - 0の出力をカットして、前記2次的光クロックパルス列CLK - 1として、前記光出力ポートP - O S W - 0 1 - O u tから前記光入力ポートP - O C L K - I nへ出力することを特徴とする。

20

【発明の効果】

【0025】

本発明によれば、格納する光信号長に対して任意の整数倍の光遅延を付与して出力させることが可能で、且つ、[第1の従来技術]に記載の光バッファメモリにおいて課題であった「調整可能な光遅延量のパターンを多くするにつれ、光回路としてより大がかりなものになってしまう」ことを克服でき、且つ、[第2の従来技術]に記載の光バッファメモリにおいて課題であった「光バッファメモリ回路に使用される損失補償用光増幅器からのA S E等の混入ノイズの影響や同光バッファメモリ回路内の光導波に伴う分散効果の影響等による光信号波形劣化に起因した付与可能な光遅延限界が生じてしまう」ことを克服し、原理的に無限の光遅延量を付与することを可能とすることができる。

30

【0026】

また、本発明によれば、特許文献1とは異なる回路並びに方法で、光データバッファメモリにおけるリセット動作を実現することができる。このリセット動作においては、バッファデータ消去制御時における光位相変調振幅の必要量が2であったものを、まで抑えることを可能とし、結果として、消費電力、焼損危険性を効果的に抑え、ひいては、回路寿命を延ばすことも可能になる。

40

【0027】

更に、光制御型光強度スイッチO S W - 0 1として、マルチモード光導波路W G - Mを有する構成とする場合には、光回路の構成が簡易となり、信頼性を向上させることができる。

【図面の簡単な説明】

【0028】

【図1】本発明による光信号バッファメモリ回路の一例(実施例1)を示す概略図である。

【図2】図1に示した光信号バッファメモリ回路で用いられる光制御型光強度スイッチO S W - 0 1の光回路の概略図である。

【図3】図1に示した光信号バッファメモリ回路における各種の光信号のタイミングチャ

50

ートである。

【図4】(a)～(d)は、光-光位相変調手段の構成例を示す概略図である。

【図5】(a)～(c)は、光-光位相変調手段の構成例を示す概略図である。

【図6】(a)～(c)は、光-光位相変調手段の構成例を示す概略図である。

【図7】(a)、(b)は、光-光位相変調手段の構成例を示す概略図である。

【図8】(a)～(c)は、光分岐部の構成例を示す構成図である。

【図9】(a)～(c)は、光分岐部の構成例を示す構成図である。

【図10】(a)～(c)は、光分岐部の構成例を示す構成図である。

【図11】図1に示した光信号バッファメモリ回路で用いられる光制御型光強度スイッチOSW-01の光回路の他の一例(実施例2)を示す概略図である。

10

【図12】図1に示した光信号バッファメモリ回路で用いられる光制御型光強度スイッチOSW-01の光回路の他の一例(実施例3)を示す概略図である。

【図13】図12に示した光回路の変形例を示す概略図である。

【図14】図1に示した光信号バッファメモリ回路で用いられる光制御型光強度スイッチOSW-01の光回路の他の一例(実施例4)を示す概略図である。

【図15】図14に示した光回路の変形例を示す概略図である。

【図16】図14に示した光回路の他の変形例を示す概略図である。

【図17】図14に示した光回路の他の変形例を示す概略図である。

【図18】従来検討が行われた光遅延導波路アレイと光スイッチ並びに光カプラから構成される光バッファ回路の一例を示す概略図である。

20

【図19】光導波路ループと伝搬補償用光アンプ並びに光スイッチから構成される従来の光周回型バッファ回路の一例を示す概略図である。

【図20】従来の光信号バッファメモリ回路を示す概略図である。

【発明を実施するための形態】

【0029】

以下、図面を参照して、本発明に係る光信号バッファメモリ回路並びに光信号バッファ方法の実施形態を説明する。

【0030】

[実施例1]

図1は、本実施例の光信号バッファメモリ回路を示す概略図であり、図2は、図1に示した光信号バッファメモリ回路で用いられる光制御型光強度スイッチOSW-01の光回路の概略図である。また、図3は、図1に示した光信号バッファメモリ回路における各種の光信号のタイミングチャートである。

30

【0031】

(基本構成)

本実施例の光信号バッファメモリ回路において、符号P-CLK-In-0は、図3の「OC source/CLK-0」に示されるような、光クロックパルス列CLK-0を入力するための外部光入力ポートである。光クロックパルス列CLK-0として、「クロック信号光源から出力され、ピーク光パワーが一定のRZ(Return to Zero)型の光クロックパルス列」が入力し続けられる。

40

【0032】

また、符号P-ERS-In-0は、図3の「ERS cntl./ERS-1」に示されるような、光信号パルス列ERS-1を入力するための外部光入力ポートである。光信号パルス列ERS-1として、「当該光信号バッファメモリ回路へ格納(保持)された情報(バッファデータ)をリセットさせる際に入力される格納情報消去制御用の光信号パルス列」が入力される。

【0033】

また、符号P-Data-Inは、図3の「OD source/Data-1」に示されるような、光信号パルス列Data-1を入力するための外部光入力ポートである。光信号パルス列Data-1として、「当該光信号バッファメモリ回路へ格納する目的で

50

入力されるデータ用の光信号パルス列」が入力される。この光信号パルス列 Data - 1 は、当該光信号バッファメモリ回路内に保持するデータパターンの情報を有している。

【0034】

また、符号 P - FF - In は、図3の「F . F . cntl . / FF - 1」に示されるような、光信号パルス列 FF - 1 を入力するための外部光入力ポートである。光信号パルス列 FF - 1 として、「当該光信号バッファメモリ回路へ格納されたデータパルス列の情報のマーク（1）とスペース（0）をすべて反転させる、所謂、フリップフロップ操作を行う際に入力されるフリップフロップ制御用の光信号パルス列」が入力される。

【0035】

また、符号 C - 1 は、光入力ポート P - C 1 - 1、P - C 1 - 2、光出力ポート P - C 1 - 3、P - C 1 - 4 を有する光分岐部である。この光分岐部 C - 1 では、上記外部光入力ポート P - Data - In からの光信号パルス列 Data - 1 を、光導波路 18 を介して、光入力ポート P - C 1 - 1 から入力させると共に分岐させて、光出力ポート P - C 1 - 3 と P - C 1 - 4 とから出力させ、また、後述するマッハ・ツェンダ干渉型光強度変調手段（以降、光強度変調手段と略す。）MZ - 1 の光出力ポート P - MZ - 1 - bar からの光信号パルス列を、光導波路 14 を介して、光入力ポート P - C 1 - 2 から入力させると共に分岐させて、光出力ポート P - C 1 - 3 と P - C 1 - 4 とから出力させている。

【0036】

また、光強度変調手段 MZ - 1 は、マッハ・ツェンダ干渉型光強度変調手段として用いる光回路部であり、左右2つの第1の光干渉アーム（光導波路 11 R、12 R、13 R 及び光導波路 11 L、12 L、13 L）を有し、光導波路 11 R 及び光導波路 11 L では、一部を互いに近接して配置して、方向性結合器を構成し、光導波路 13 R 及び光導波路 13 L でも、一部を互いに近接して配置して、方向性結合器を構成している。

【0037】

また、符号 R 1 - 1、R 1 - 2、L 1 - 1、L 1 - 2 は、光入力ポート P - OCLK - In から光強度変調手段 MZ - 1 に入力され、光強度変調手段 MZ - 1 の左右2つの第1の光干渉アームを伝搬する光信号パルス列（後述する入力光信号パルス列、変調光信号パルス列）の位相を変調する光 - 光位相変調手段（以降、光位相変調手段と略す。）である。

【0038】

光入力ポート P - OCLK - In は、後述する光制御型光強度スイッチ（以降、光強度スイッチと略す。）OSW - 01 の光出力ポート P - OSW - 01 - Out と、光導波路 53 を介して接続されており、後述の2次的光クロックパルス列 CLK - 1（CLK - ERS - Plus）を、光ゲートスイッチとして機能する光強度変調手段 MZ - 1 へ入力している。

【0039】

光位相変調手段 R 1 - 1、R 1 - 2、L 1 - 1、L 1 - 2 は2つの方向性結合器の間に配置されている。具体的には、光位相変調手段 R 1 - 1 は光導波路 11 R と光導波路 12 R との間に、光位相変調手段 R 1 - 2 は光導波路 12 R と光導波路 13 R との間に、光位相変調手段 L 1 - 1 は光導波路 11 L と光導波路 12 L との間に、光位相変調手段 L 1 - 2 は光導波路 12 L と光導波路 13 L との間に配置されている。つまり、光位相変調手段 R 1 - 2 は光位相変調手段 R 1 - 1 の後段側に、光位相変調手段 L 1 - 2 は光位相変調手段 L 1 - 1 の後段側に位置している。

【0040】

ここで、入力光信号パルス列は、2次的光クロックパルス列 CLK - 1 を方向性結合器で分岐した光信号パルス列であり、変調光信号パルス列は、入力光信号パルス列が位相変調手段 R 1 - 1、L 1 - 1 で光位相変調を受けた後の光信号パルス列である。

【0041】

また、符号 P - MZ - 1 - cross は、光強度変調手段 MZ - 1 の光入力ポート P - OCLK - In に対する cross 側からの光信号パルス列を出力する光出力ポート、つ

まり、当該光強度変調手段 M Z - 1 からの光信号パルス列 O u t p u t を出力する光出力ポートである。

【 0 0 4 2 】

また、符号 P - M Z - 1 - b a r は、光強度変調手段 M Z - 1 の光入力ポート P - O C L K - I n に対する b a r 側からの光信号パルス列を出力する光出力ポート、つまり、当該光強度変調手段 M Z - 1 の被光強度変調光となるバッファ状態の光信号パルス列 C L K - 1 - o u t - D M Z - 1 を出力する光出力ポートである。

【 0 0 4 3 】

また、符号 1 5 L は、光分岐部 C - 1 の光出力ポート P - C 1 - 3 からの光信号パルス列を、光位相変調手段 L 1 - 1 に入力するための光入力ポート P - L 1 - 1 に導く光導波路である。

10

【 0 0 4 4 】

また、符号 1 5 R は、光分岐部 C - 1 の光出力ポート P - C 1 - 4 からの光信号パルス列を、光位相変調手段 R 1 - 1 に入力するための光入力ポート P - R 1 - 1 に導く光導波路である。

【 0 0 4 5 】

また、符号 C - 3 は、光入力ポート P - C 3 - 1、P - C 3 - 2、光出力ポート P - C 3 - 3、P - C 3 - 4 を有する光分岐部である。この光分岐部 C - 3 では、上記外部光入力ポート P - F F - I n からの光信号パルス列 F F - 1 を、光導波路 2 1 を介して、光入力ポート P - C 3 - 2 から入力させると共に分岐させて、光出力ポート P - C 3 - 3 と P

20

【 0 0 4 6 】

また、符号 2 2 L は、光分岐部 C - 3 の光出力ポート P - C 3 - 3 からの光信号パルス列を、光位相変調手段 L 1 - 2 に入力するための光入力ポート P - L 1 - 2 に導く光導波路である。

【 0 0 4 7 】

また、符号 2 2 R は、光分岐部 C - 3 の光出力ポート P - C 3 - 4 からの光信号パルス列を、光位相変調手段 R 1 - 2 に入力するための光入力ポート P - R 1 - 2 に導く光導波路である。

【 0 0 4 8 】

また、符号 D - D - 1 は、光分岐部 C - 1 の光出力ポート P - C 1 - 3 並びに P - C 1 - 4 から同時に出力される 2 つの光信号パルス列の一方に光伝搬遅延差を付与するための光伝搬遅延差付与部である。光伝搬遅延差付与部 D - D - 1 では、光位相変調手段 L 1 - 1 の光入力ポート P - L 1 - 1 へ上記光信号パルス列が到達するタイミングと光位相変調手段 R 1 - 1 の光入力ポート P - R 1 - 1 へ上記光信号パルス列が到達するタイミングとの光伝搬遅延差を、『上記光クロックパルス列 C L K - 0 のパルス幅以上かつパルス繰り返し周期未満』となるように調整している。光伝搬遅延差付与部 D - D - 1 は、光導波路 1 5 L 又は光導波路 1 5 R の一方に配置されるが、ここでは、上記光伝搬遅延差を生じる光路長の光導波路部を光導波路 1 5 L に配置している。

30

【 0 0 4 9 】

また、符号 D - D - 2 は、光分岐部 C - 3 の光出力ポート P - C 3 - 3 並びに P - C 3 - 4 から同時に出力される 2 つの光信号パルス列の一方に光伝搬遅延差を付与するための光伝搬遅延差付与部である。光伝搬遅延差付与部 D - D - 2 では、光位相変調手段 L 1 - 2 の光入力ポート P - L 1 - 2 へ上記光信号パルス列が到達するタイミングと光位相変調手段 R 1 - 2 の光入力ポート P - R 1 - 2 へ上記光信号パルス列が到達するタイミングとの光伝搬遅延差を、『上記光クロックパルス列 C L K - 0 のパルス幅以上かつパルス繰り返し周期未満』となるように調整している。光伝搬遅延差付与部 D - D - 2 は、光導波路 2 2 L 又は光導波路 2 2 R の一方に配置されるが、ここでは、上記光伝搬遅延差を生じる光路長の光導波路部を光導波路 2 2 L に配置している。

40

【 0 0 5 0 】

50

なお、ここでは、光出力ポート P - M Z - 1 - b a r に光導波路 1 4 を接続して、光信号パルス列 C L K - 1 - o u t - D M Z - 1 を光分岐部 C - 1 へ周回させているが、光出力ポート P - M Z - 1 - c r o s s に光導波路 1 4 を接続して、光信号パルス列 C L K - 1 - o u t - D M Z - 1 を光分岐部 C - 1 へ周回させるようにしても良い。その場合には、光伝搬遅延差付与部 D - D - 1 を光導波路 1 5 R 上に設け、光伝搬遅延差付与部 D - D - 2 を光導波路 2 2 R 上に設ける。

【 0 0 5 1 】

また、本実施例の光信号バッファメモリ回路の制御用となる光信号パルス列 F F - 1、E R S - 1 は、例えば、これらの光信号パルス列を発生させる 1 つ又は各々個別の発生器を用い、光クロックパルス列 C L K - 0、2 次的光クロックパルス列 C L K - 1 及び光信号パルス列 D a t a - 1 (又は光信号パルス列 C L K - 1 - o u t - D M Z - 1) と同期するようにして、外部光入力ポート P - F F - I n、P - E R S - I n - 0 から各々入力すれば良い。

10

【 0 0 5 2 】

また、光強度スイッチ O S W - 0 1 は、光クロックパルス列 C L K - 0 の出力又は光クロックパルス列 C L K - 0 の出力をカットした出力を 2 次的光クロックパルス列 C L K - 1 として出力する光制御型光強度スイッチである。光クロックパルス列 C L K - 0 の出力をカットする際には、光クロックパルス列 C L K - 0 から「光信号パルス列 E R S - 1 が入力されている間の光クロックパルス列」の出力をカットして、光パルスが出力されない状態としている。

20

【 0 0 5 3 】

以上のように、本実施例の光信号バッファメモリ回路において、図 2 0 に示す従来の光信号バッファメモリ回路との違いは、光分岐部 C - 2 を有しておらず、光信号パルス列 D a t a - 1 を入力する外部光入力ポート P - D a t a - I n が、光導波路 1 8 を介して、光分岐部 C - 1 へ接続されており、また、光クロックパルス列 C L K - 0 を入力する外部光入力ポート P - O C L K - I n - 0 及び光信号パルス列 E R S - 1 を入力する外部光入力ポート P - E R S - I n - 0 が、光強度スイッチ O S W - 0 1 へ接続され、光強度スイッチ O S W - 0 1 が、光導波路 5 3 を介して、入力ポート P - O C L K - I n へ接続されている点である。また、本実施例の光信号バッファメモリ回路における光クロックパルス列 C L K - 0 は、図 2 0 に示す従来の光信号バッファメモリ回路における光クロックパルス列 C L K - 1 であり、本実施例の光信号バッファメモリ回路における 2 次的光クロックパルス列 C L K - 1 は、上述したように、光クロックパルス列 C L K - 0 の出力又は光クロックパルス列 C L K - 0 の出力をカットした出力である。この光強度スイッチ O S W - 0 1 の詳細な光回路構成について、図 2 を参照して説明する。

30

【 0 0 5 4 】

光強度スイッチ O S W - 0 1 において、外部光入力ポート P - O C L K - I n - 0 には、光ゲートスイッチとして機能する後述の光強度変調手段 M Z - 0 へ入力するため、上述したように、光クロックパルス列 C L K - 0 が入力される。また、外部光入力ポート P - E R S - I n - 0 には、上述したように、光信号パルス列 E R S - 1 が入力される。

【 0 0 5 5 】

40

光強度変調手段 M Z - 0 は、マッハ・ツェンダ干渉型光強度変調手段として用いる光回路部であり、左右 2 つの第 2 の光干渉アーム (光導波路 5 1 R、5 2 R 及び光導波路 5 1 L、5 2 L) を有し、光導波路 5 1 R 及び光導波路 5 1 L では、一部を互いに近接して配置して、方向性結合器を構成し、光導波路 5 2 R 及び光導波路 5 2 L でも、一部を互いに近接して配置して、方向性結合器を構成している。

【 0 0 5 6 】

また、光強度変調手段 M Z - 0 において、符号 P - M Z - 0 - b a r 並びに P - M Z - 0 - c r o s s は、それぞれ、外部光入力ポート P - O C L K - I n - 0 の b a r 側に位置する光出力ポートと c r o s s 側に位置する光出力ポートである。光出力ポート P - M Z - 0 - b a r 又は光出力ポート P - M Z - 0 - c r o s s の何れかを光出力ポート P -

50

OSW - 01 - Outとする。

【0057】

また、符号R0、L0は、外部光入力ポートP - OCLK - In - 0から光強度変調手段MZ - 0に入力され、光強度変調手段MZ - 0の左右2つの第2の光干渉アームを伝搬する光信号パルス列の位相に変調を与えるための光 - 光位相変調手段（以降、光位相変調手段と略す。）である。

【0058】

光位相変調手段R0、L0は、それぞれ、光強度変調手段MZ - 0の2つの光導波路型干渉アーム上に配置されている。具体的には、光位相変調手段R0は光導波路51Rと光導波路52Rとの間に、光位相変調手段L0は光導波路51Lと光導波路52Lとの間に配置されている。つまり、光位相変調手段R0、L0は、光強度変調手段MZ - 0の2つの方向性結合器の間に配置されている。

10

【0059】

また、符号C - 0は、光入力ポートP - C0 - 1、P - C0 - 2、光出力ポートP - C0 - 3、P - C0 - 4を有する光分岐部である。この光分岐部C - 0では、外部光入力ポートP - ERS - In - 0からの光信号パルス列ERS - 1を、光導波路55を介して、光入力ポートP - C0 - 1から入力させると共に分岐させて、光出力ポートP - C0 - 3とP - C0 - 4とから出力させている。

【0060】

また、符号54Lは、光分岐部C - 0の光出力ポートP - C0 - 3からの光信号パルス列を、光位相変調手段L0に入力するための光入力ポートP - L0 - 1に導く光導波路である。

20

【0061】

また、符号54Rは、光分岐部C - 0の光出力ポートP - C0 - 4からの光信号パルス列を、光位相変調手段R0に入力するための光入力ポートP - R0 - 1に導く光導波路である。

【0062】

また、符号D - D - 0は、光分岐部C - 0の光出力ポートP - C0 - 3並びにP - C0 - 4から同時に出力される2つの光信号パルス列の一方に光伝搬遅延差を付与するための光伝搬遅延差付与部である。光伝搬遅延差付与部D - D - 0では、光位相変調手段L0の光入力ポートP - L0 - 1へ上記光信号パルス列が到達するタイミングと光位相変調手段R0の光入力ポートP - R0 - 1へ上記光信号パルス列が到達するタイミングとの光伝搬遅延差を、『前記光クロックパルス列CLK - 0のパルス幅以上かつパルス繰り返し周期未満』となるように調整している。光伝搬遅延差付与部D - D - 0は、光導波路54L又は光導波路54Rの一方に配置されるが、ここでは、上記光伝搬遅延差を生じる光路長の光導波路部を光導波路54Lに配置している。

30

【0063】

（動作）

次に、本実施例の光信号バッファメモリ回路における動作、具体的には、データ保持（バッファリング）、フリップフロップ、格納データ消去について、図1～図3を参照して説明する。

40

【0064】

（動作 - データ保持）

スタンダードなマッハ・ツェンダ干渉型光強度変調手段においては、干渉器を構成する2つの光干渉アームを光が伝搬する際に位相差が生じない状態が、変調駆動が行われていない状態であり、このとき、入力側に対してcross側から光信号が100%出力される。一方、位相差が生じる状態のときbar側から光信号が100%出力される。

【0065】

従って、図2に示された光強度スイッチOSW - 01の光強度変調手段MZ - 0においては、外部光入力ポートP - OCLK - In - 0から光クロックパルス列CLK - 0が入

50

力され、外部光入力ポート P - E R S - I n - 0 からは何も入力されない場合、光クロックパルス列 C L K - 0 は 1 0 0 % 光出力ポート P - M Z - 0 - c r o s s から出力され、光出力ポート P - M Z - 0 - b a r から光出力は得られない状態となっている。そして、光出力ポート P - M Z - 0 - c r o s s を光出力ポート P - O S W - 0 1 - O u t とすると、光出力ポート P - O S W - 0 1 - O u t からは、図 3 に示されるように、光クロックパルス列 C L K - 0 と同じ 2 次的光クロックパルス列 C L K - 1 を出力することになる。

【 0 0 6 6 】

また、図 1 に示された光信号バッファメモリ回路の光強度変調手段 M Z - 1 においては、2 次的光クロックパルス列 C L K - 1 が光入力ポート P - O C L K - I n から入力される場合、2 次的光クロックパルス列 C L K - 1 は 1 0 0 % 光出力ポート P - M Z - 1 - c r o s s から出力され、光出力ポート P - M Z - 1 - b a r から光出力は得られない状態（光バッファメモリが何ら情報を保持していない空の状態：初期状態）となっている。

【 0 0 6 7 】

このとき、光強度変調手段 M Z - 1 の光入力ポート P - O C L K - I n に 2 次的光クロックパルス列 C L K - 1 が入力されると共に、図 3 に示されるように、光クロックパルス列 C L K - 0 及び 2 次的光クロックパルス列 C L K - 1 と同期がとれている光信号パルス列 D a t a - 1 が外部光入力ポート P - D a t a - I n から入力されると、光位相変調手段 R 1 - 1 並びに L 1 - 1 を駆動して、光強度変調手段 M Z - 1 の左右の第 1 の光干渉アーム中を伝搬している入力光信号パルス列（2 次的光クロックパルス列 C L K - 1 ）の位相を変調させて、入力光信号パルス列の各パルスのオン又はオフを行うことになる。

【 0 0 6 8 】

すると、光信号パルス列 D a t a - 1 の M a r k (1) となっている位置のパルスに対応した入力光信号パルス列のパルスのみ位相変調が付与され、光信号パルス列 D a t a - 1 の S p a c e (0) となっている位置のパルスに対応した入力光信号パルス列のパルスは位相変調が付与されないため、光信号パルス列 D a t a - 1 と同じデータパターンで、光強度変調手段 M Z - 1 の光出力ポート P - M Z - 1 - b a r から出力されるようになる。なお、図 3 では、光信号パルス列 D a t a - 1 の一例として、「 1 0 1 0 1 0 1 0 」の 8 ビットのパルス列を入力している。

【 0 0 6 9 】

そして、この光信号パルス列 D a t a - 1 と同じデータパターンである、P - M Z - 1 - b a r から出力された光信号パルス列 C L K - 1 - o u t - D M Z - 1 が、光分岐部 C - 1 を介して、光位相変調手段 R 1 - 1、L 1 - 1 へと入力され光位相変調を誘起させるため、次の周回においても、光強度変調手段 M Z - 1 の左右の第 1 の光干渉アーム中を伝搬している入力光信号パルス列は、大本の光信号パルス列 D a t a - 1 と同じデータパターンの光信号パルス列 C L K - 1 - o u t - D M Z - 1 により、上記と同様の光位相変調を受け、大本の光信号パルス列 D a t a - 1 と同じデータパターンで光強度変調手段 M Z - 1 の光出力ポート P - M Z - 1 - b a r から出力されることが繰り返されることとなり、結果として、図 3 の「 B u f f e r i n g S t a t e / C L K - 1 - o u t - D M Z - 1 」に示されるように（図 3 中の N = 1 ~ 3 の 3 周期分の光信号パルス列を参照）、光信号パルス列 D a t a - 1 と同じデータパターンが当該光信号バッファメモリ回路に、一連の駆動状態として保持されることとなる。なお、当該光信号バッファメモリ回路の光出力ポート P - M Z - 1 - c r o s s からは、図 3 の「 O u t p u t 」に示されるように（図 3 中の N = 1 ~ 3 の 3 周期分の光信号パルス列を参照）、光信号パルス列 D a t a - 1 の反転データパターンが出力される。

【 0 0 7 0 】

このとき、[第 2 の従来技術] に記載の光バッファメモリのように、「大本の光パルス列を、光増幅を繰り返しながら光導波路ループ中を光伝搬させ続けることによって信号データパターンを保持する場合」と異なり、本実施例では、「光位相変調制御信号光」となる光信号パルス列 D a t a - 1 又は光信号パルス列 C L K - 1 - o u t - D M Z - 1 を用いて、「被光位相変調信号光」となる 2 次的光クロックパルス列 C L K - 1 の各パルスの

10

20

30

40

50

オン又はオフを行うことにより、光信号パルス列 Data - 1 と同じデータパターンの新たな光信号パルス列を複製（コピー）しており、そのため、光バッファメモリ回路に使用される損失補償用光増幅器からの ASE 等の混入ノイズの影響や同光バッファメモリ回路内の光導波に伴う分散効果の影響等を排除できることから、光信号波形劣化に起因した付与可能な光遅延限界が生じてしまうことが無くなるという特筆すべき特性が実現されることとなる。

【0071】

（動作 - フリップフロップ）

上記のようにして、光信号パルス列 Data - 1 と同じデータパターンが当該光信号バッファメモリ回路に一連の駆動状態として保持された状態において、更に、図3の「F . cntl . / FF - 1」に示されるように、光強度変調手段 MZ - 1 の光入力ポート P - OCLK - In から入力されている2次的光クロックパルス列 CLK - 1（光クロックパルス列 CLK - 0）と同期がとれ、且つ、既に一連の駆動状態として保持している光信号パルス列 Data - 1 と同じデータパターンとの周期も同期がとれ、このデータパターンのデータ長と同一の長さを有する光信号パルス列 FF - 1 が外部光入力ポート P - FF - In から入力されると、光位相変調手段 R1 - 2 並びに L1 - 2 を駆動して、光強度変調手段 MZ - 1 の左右の第1の光干渉アーム中を伝搬している変調光信号パルス列（位相変調された入力光信号パルス列）の位相を変調させて、変調光信号パルス列の各パルスのオン又はオフを行うことになる。

【0072】

すると、既に保持されていた一連の駆動状態の効果により、光位相変調手段 R1 - 1 並びに L1 - 1 において付与される光位相変調と合わせたトータルでは、光強度変調手段 MZ - 1 の左右の第1の光干渉アーム中を伝搬している入力光信号パルス列の被る位相変調は、光信号パルス列 Data - 1（又は光信号パルス列 CLK - 1 - out - DMZ - 1）の Mark（1）となっている位置のパルスに対応した入力光信号パルス列のパルスには2の位相変調が付与され、一つ前の周回においては位相変調が付与されなかった光信号パルス列 Data - 1（又は光信号パルス列 CLK - 1 - out - DMZ - 1）の Space（0）となっている位置のパルスに対応した入力光信号パルス列のパルスには1の位相変調が付与されることとなる。

【0073】

この結果、これらの光位相変調を受けた光信号パルス列は光信号パルス列 Data - 1 とは反転したデータパターンとなって、光強度変調手段 MZ - 1 の光出力ポート P - MZ - 1 - bar から出力され、且つ同時に、これらの光位相変調を受けた光信号パルス列は光信号パルス列 Data - 1 と同じデータパターンとなって、光強度変調手段 MZ - 1 の光出力ポート P - MZ - 1 - cross から出力され、所謂、フリップフロップ操作が実現されることとなる。結果として、図3の「Buffering State / CLK - 1 - out - DMZ - 1」に示されるように（図3中の N = 4 ~ 5 の2周期分の光信号パルス列を参照）、光信号パルス列 Data - 1 とは反転したデータパターン（「01010101」の8ビットの光信号パルス列）が当該光信号バッファメモリ回路に、一連の駆動状態として保持されることとなる。なお、当該光信号バッファメモリ回路の光出力ポート P - MZ - 1 - cross からは、図3の「Output」に示されるように（図3中の N = 4 ~ 5 の2周期分の光信号パルス列を参照）、光信号パルス列 Data - 1 と同じデータパターンが出力される。

【0074】

（動作 - リセット）

上記のようにして、光信号パルス列 Data - 1 と同じデータパターン又は反転データパターンが当該光信号バッファメモリ回路に一連の駆動状態として保持された状態において、更に、図3の「ERS cntl . / ERS - 1」に示されるように、2次的光クロックパルス列 CLK - 1（光クロックパルス列 CLK - 0）のクロックと同期し、且つ、光信号バッファメモリ回路に既に一連の駆動状態として保持（格納維持）している光信号

10

20

30

40

50

パルス列 Data - 1 と同じデータパターン又は反転データパターンとの周期にも同期すると共に、このデータパターンのデータ長と同一の長さを有する R Z 型の光信号パルス列 ERS - 1 が外部光入力ポート P - ERS - In - 0 から入力されると、入力された光信号パルス列 ERS - 1 を用いて、光位相変調手段 R0、L0 を駆動させて、光強度変調手段 MZ - 0 の 2 つの第 2 の光干渉アーム中を伝搬している光クロックパルス列 CLK - 0 の位相を 変調させることになる。

【 0 0 7 5 】

すると、光信号パルス列 ERS - 1 が入力されている時間の間において（光信号パルス列 ERS - 1 のデータ長の間だけ）、光クロックパルス列 CLK - 0 の出力をカットして、2 次的光クロックパルス列 CLK - 1（CLK - ERS - Plus）として、光出力ポート P - OSW - 01 - Out から出力することになる。これを光入力ポート P - OCLK - In から入力供給することにより、光信号パルス列 ERS - 1 が入力されている時間の間において（光信号パルス列 ERS - 1 のデータ長の間だけ）、光出力ポート P - MZ - 1 - bar 並びに P - MZ - 1 - cross から光パルスが出力されない状態を作りだし、データパターンの保持状態を解消して、光バッファメモリとしての初期状態（光バッファメモリが何ら情報を保持していない空の状態）へ戻す動作を実現させることになる。

【 0 0 7 6 】

（光信号バッファメモリ回路の光位相変調手段の構成）

上述した光信号バッファメモリ回路において、導波路部分を低損失な半導体導波路で構成すると共に、光位相変調手段 R0、R1 - 1、R1 - 2、L0、L1 - 1、L1 - 2 として、半導体光増幅器（SOA）を用いるか、或いは、図 4 ~ 図 7 に示す光位相変調手段からなる光半導体回路を用いるか、或いは、量子ドット型 SOA（QD - SOA）を用いるか、或いは、半導体 EA（Electro-Absorption）変調器を定電圧駆動で用いる構成として全体を光半導体で集積化して製作する。

【 0 0 7 7 】

又は、本実施例の光回路は、光導波路部分を PLC（石英系プレーナ光波回路）で構成すると共に、光位相変調手段 R0、R1 - 1、R1 - 2、L0、L1 - 1、L1 - 2 として、SOA を用いるか、或いは、図 4 ~ 図 7 に示す光位相変調手段からなる PLC - 光半導体のハイブリッド回路を用いるか、或いは、QD - SOA を用いるか、或いは、半導体 EA 変調器を定電圧駆動で用いる構成として全体を PLC と光半導体のハイブリッドで製作する（非特許文献 4 参照）。

【 0 0 7 8 】

又は、光導波路部分にフォトニック結晶導波路を用いると共に、光位相変調手段 R0、R1 - 1、R1 - 2、L0、L1 - 1、L1 - 2 に量子ドット群をコア層に埋め込んだ構成とし、全体を一体集積化して製作する（非特許文献 5 参照）。

【 0 0 7 9 】

そこで、図 4（a）~ 図 7（b）を参照して、光位相変調手段 R0、R1 - 1、R1 - 2、L0、L1 - 1、L1 - 2 として用いる、光位相変調手段からなる光半導体回路を説明する。図 4（a）~ 図 7（b）に示す光半導体回路は、例えば、同一平面基板型の光半導体回路内に集積化して作成される。なお、図 4（a）~ 図 7（b）においては、同じ構成には同じ符号を付している。

【 0 0 8 0 】

また、ここでは、入力する 2 つの光信号パルス列を、便宜的に「被光位相変調信号光」、「光位相変調制御信号光」と呼ぶ。また、図 4（a）~ 図 7（b）においては、図中左側から信号光を入力し、右側から出力する場合を説明するが、左右逆でも良く、また、一方の光干渉アームと他方の光干渉アームへの信号光の入出力が互いに左右逆であっても良い。そのため、符号 a1 ~ a12 を「光入出力ポート」と呼んでいる。

【 0 0 8 1 】

図 4（a）~ 図 7（b）において、マルチモード干渉カプラ b1 は一方側の 2 つの光入出力ポート a9、a10 と他方側の 2 つの光入出力ポート a5、a6 とを有し、マルチモ

10

20

30

40

50

ード干渉カプラ b 2 は一方側の 2 つの光入出力ポート a 7、a 8 と他方側の 2 つの光入出力ポート a 1 1、a 1 2 とを備えている。

【 0 0 8 2 】

また、図 4 (a) ~ 図 7 (b) において、光回路全体の一方側の 2 つの光入出力ポート a 1、a 2 は、光導波路全体の一方側の 2 つの光入出力導波路 e 1、e 2 を介してマルチモード干渉カプラ b 1 の一方側の光入出力ポート a 9、a 1 0 にそれぞれ接続されている。また、マルチモード干渉カプラ b 2 の他方側の光入出力ポート a 1 1、a 1 2 は、光回路全体の他方側の 2 つの光入出力導波路 e 3、e 4 を介して光回路全体の他方側の 2 つの光入出力ポート a 3、a 4 にそれぞれ接続されている。

【 0 0 8 3 】

また、図 4 (a) ~ 図 7 (b) において、マルチモード干渉カプラ b 1 の他方側の光入出力ポート a 5、a 6 は、それぞれ、光導波路 e 5、e 6 と接続されており、また、マルチモード干渉カプラ b 2 の一方側の光入出力ポート a 7、a 8 は、それぞれ、光導波路 e 7、e 8 に接続されており、光導波路 e 5、e 7 と光導波路 e 6、e 8 により、2 つの光干渉アームが構成されている。そして、一方の光干渉アーム (光導波路 e 5、e 7) には、光位相変調部 c 1 又は光位相変調部 c 1 と光位相調整部 d 1 が接続され、他方の光干渉アーム (光導波路 e 6、e 8) には、光位相変調部 c 2 又は光位相変調部 c 2 と光位相調整部 d 2 が接続されている。以下に、具体的な接続構成を説明する。

【 0 0 8 4 】

具体的には、図 4 (a) では、光導波路 e 5 に光位相変調部 c 1 の一方側が接続され、光位相変調部 c 1 の他方側が光導波路 e 7 に接続されており、光導波路 e 6 に光位相変調部 c 2 の一方側が接続され、光位相変調部 c 2 の他方側が光導波路 e 8 に接続されている。また、図 4 (b) 及び図 5 (a) では、光導波路 e 5 に光位相変調部 c 1 の一方側が接続され、光位相変調部 c 1 の他方側が光位相調整部 d 1 の一方側に接続され、光位相調整部 d 1 の他方側が光導波路 e 7 に接続されており、光導波路 e 6 に光位相変調部 c 2 の一方側が接続され、光位相変調部 c 2 の他方側が光導波路 e 8 に接続されている。また、図 4 (c) 及び図 5 (b) では、光導波路 e 5 に光位相変調部 c 1 の一方側が接続され、光位相変調部 c 1 の他方側が光導波路 e 7 に接続されており、光導波路 e 6 に光位相変調部 c 2 の一方側が接続され、光位相変調部 c 2 の他方側が光位相調整部 d 2 の一方側に接続され、光位相調整部 d 2 の他方側が光導波路 e 8 に接続されている。また、図 4 (d) 及び図 5 (c) では、光導波路 e 5 に光位相変調部 c 1 の一方側が接続され、光位相変調部 c 1 の他方側が光位相調整部 d 1 の一方側に接続され、光位相調整部 d 1 の他方側が光導波路 e 7 に接続されており、光導波路 e 6 に光位相変調部 c 2 の一方側が接続され、光位相変調部 c 2 の他方側が光位相調整部 d 2 の一方側に接続され、光位相調整部 d 2 の他方側が光導波路 e 8 に接続されている。

【 0 0 8 5 】

また、図 6 (a) では、光導波路 e 5 に光位相調整部 d 1 の一方側が接続され、光位相調整部 d 1 の他方側が光位相変調部 c 1 の一方側に接続され、光位相変調部 c 1 の他方側が光導波路 e 7 に接続されており、光導波路 e 6 に光位相変調部 c 2 の一方側が接続され、光位相変調部 c 2 の他方側が光導波路 e 8 に接続されている。また、図 6 (b) では、光導波路 e 5 に光位相変調部 c 1 の一方側が接続され、光位相変調部 c 1 の他方側が光導波路 e 7 に接続されており、光導波路 e 6 に光位相調整部 d 2 の一方側が接続され、光位相調整部 d 2 の他方側が光位相変調部 c 2 の一方側に接続され、光位相変調部 c 2 の他方側が光導波路 e 8 に接続されている。また、図 6 (c) では、光導波路 e 5 に光位相調整部 d 1 の一方側が接続され、光位相調整部 d 1 の他方側が光位相変調部 c 1 の一方側に接続され、光位相変調部 c 1 の他方側が光導波路 e 7 に接続されており、光導波路 e 6 に光位相調整部 d 2 の一方側が接続され、光位相調整部 d 2 の他方側が光位相変調部 c 2 の一方側に接続され、光位相変調部 c 2 の他方側が光導波路 e 8 に接続されている。

【 0 0 8 6 】

また、図 7 (a) では、光導波路 e 5 に光位相変調部 c 1 の一方側が接続され、光位相

10

20

30

40

50

変調部 c 1 の他方側が光位相調整部 d 1 の一方側に接続され、光位相調整部 d 1 の他方側が光導波路 e 7 に接続されており、光導波路 e 6 に光位相調整部 d 2 の一方側が接続され、光位相調整部 d 2 の他方側が光位相変調部 c 2 の一方側に接続され、光位相変調部 c 2 の他方側が光導波路 e 8 に接続されている。また、図 7 (b) では、光導波路 e 5 に光位相調整部 d 1 の一方側が接続され、光位相調整部 d 1 の他方側が光位相変調部 c 1 の一方側に接続され、光位相変調部 c 1 の他方側が光導波路 e 7 に接続されており、光導波路 e 6 に光位相変調部 c 2 の一方側が接続され、光位相変調部 c 2 の他方側が光位相調整部 d 2 の一方側に接続され、光位相調整部 d 2 の他方側が光導波路 e 8 に接続されている。

【 0 0 8 7 】

そして、マルチモード干渉カプラ b 1 では、「被光位相変調信号光」と「光位相変調制御信号光」を 2 つの光入出力ポート a 1、a 2 から光入出力ポート a 9、a 10 を介してそれぞれ入力すると、光入出力ポート a 1、a 2 から入力した「被光位相変調信号光」並びに「光位相変調制御信号光」をそれぞれ分岐し、分岐した「被光位相変調信号光」の一方と「光位相変調制御信号光」の一方とを合波して、光入出力ポート a 5 から出力し（これを、便宜的に、第 1 の信号光と呼ぶ。）、分岐した「被光位相変調信号光」の他方と「光位相変調制御信号光」の他方とを合波して、光入出力ポート a 6 から出力する（これを、便宜的に、第 2 の信号光と呼ぶ。）。 10

【 0 0 8 8 】

同様に、マルチモード干渉カプラ b 2 でも、「第 1 の信号光」と「第 2 の信号光」を 2 つの光入出力ポート a 7、a 8 からそれぞれ入力すると、光入出力ポート a 7、a 8 から入力した「第 1 の信号光」並びに「第 2 の信号光」をそれぞれ分岐し、分岐した「第 1 の信号光」の一方と「第 2 の信号光」の一方とを合波して、光入出力ポート a 11 から出力し、分岐した「第 1 の信号光」の他方と「第 2 の信号光」の他方とを合波して、光入出力ポート a 12 から出力する。 20

【 0 0 8 9 】

また、光位相変調部 c 1、c 2 は、「光位相変調制御信号光」の光強度に応じて屈折率が変化する性質を持つ光導波路構造の光位相変調部であり、この光位相変調部は、光導波路構造の光半導体増幅器 (S O A) であるか、或いは、量子ドット層を含む光導波路構造であるか、或いは、定電圧駆動状態の半導体 E A 変調器であるかの何れかである。また、光位相調整部 d 1、d 2 は注入電流量に応じて信号光の位相を調整できるものである。 30

【 0 0 9 0 】

上記のように、光位相変調手段としては、2 つのマルチモード干渉カプラ (M M I) b 1、b 2 が、光位相変調を付加する機能を果たす光位相変調部 c 1、c 2 (例えば、光半導体増幅器 (S O A)) を含む光干渉アームで結ばれたマッハ・ツェンダ干渉回路を用いている。

【 0 0 9 1 】

そして、図 4 (a) に示すように、2 つの光干渉アームの長さを製作時点で厳密に調整するか、或いは、図 4 (b) ~ (d) や図 5 (a) ~ 図 7 (b) に示すように、注入電流量に応じて光信号の位相を調整できる付加的な位相調整部 d 1、d 2 を光干渉アームの一方または両方に設け、この位相調整部 d 1、d 2 を用いて、光干渉アームの光路長を使用時に厳密に調整する。 40

【 0 0 9 2 】

このような構成により、光入出力ポート a 1、a 2、a 3、a 4 のうちの何れか 1 つの光入出力ポートに「光位相変調制御信号光」を入力し、他の何れか 1 つの光入出力ポートに「被光位相変調信号光」を入力すると、残り 2 つの一方の光入出力ポートへ光位相変調を受けた「被光位相変調信号光」を選択的に出力し、残り 2 つの他方の光入出力ポートへ「光位相変調制御信号光」を選択的に出力することが可能になる。このように、「光位相変調制御信号光」、「被光位相変調信号光」を入力する光入出力ポート、そして、光位相変調を受けた「被光位相変調信号光」、「光位相変調制御信号光」を出力する光入出力ポートは、適宜に選択可能であり、所望の光入出力ポートに所望の信号光を選択的に出力可 50

能である（信号光 - 制御信号光分離動作）。

【 0 0 9 3 】

例えば、光入出力ポート a 1 から「被光位相変調信号光」を入力し、光入出力ポート a 2 から「光位相変調制御信号光」を入力する場合には、光干渉アームでの光位相変調により、光入出力ポート a 1 からの「被光位相変調信号光」を光入出力ポート a 3 或いは a 4 の何れかに選択的に出力させ、且つ、光入出力ポート a 2 からの「光位相変調制御信号光」を、先の「被光位相変調信号光」を選択的に出力させる光入出力ポートとは異なる光入出力ポートとなる光入出力ポート a 4 或いは a 3 へ出力させる。これにより、「光位相変調制御信号光」を光位相変調手段に入力させて、「被光位相変調信号光」に光位相変調を加えると同時に、光入出力ポート a 3 或いは a 4 の何れか一方から「被光位相変調信号光」のみを選択的に出力させることが可能となる（非特許文献 2、3 参照）。

10

【 0 0 9 4 】

ここで、図 1 を参照して具体的に説明すると、光位相変調手段 R 1 - 1 では、「光位相変調制御信号光」は、光信号パルス列 D a t a - 1 又は光信号パルス列 C L K - 1 - o u t - D M Z - 1 であり、光入力ポート P - R 1 - 1（光入出力ポート a 1 に該当）から入力されており、「被光位相変調信号光」は、入力光信号パルス列（2 次的光クロックパルス列 C L K - 1）であり、光導波路 1 1 R が接続された光位相変調手段 R 1 - 1 の光入力ポート（光入出力ポート a 2 に該当）から入力されており、光導波路 1 2 R が接続された光位相変調手段 R 1 - 1 の光出力ポート（光入出力ポート a 4 に該当）から光位相変調を加えた入力光信号パルス列（即ち、変調光信号パルス列）のみを選択的に出力することになる。また、図 1 では図示を省略しているが、何も結合されていない光位相変調手段 R 1 - 1 の光出力ポート（光入出力ポート a 3 に該当）からは「光位相変調制御信号光」（光信号パルス列 D a t a - 1 又は光信号パルス列 C L K - 1 - o u t - D M Z - 1）を出力することになる。光位相変調手段 L 1 - 1 も同様に機能する。

20

【 0 0 9 5 】

また、光位相変調手段 R 1 - 2 では、「光位相変調制御信号光」は、光信号パルス列 F F - 1 であり、光入力ポート P - R 1 - 2（光入出力ポート a 1 に該当）から入力されており、「被光位相変調信号光」は、光位相変調手段 R 1 - 1 で位相変調された入力光信号パルス列（即ち、変調光信号パルス列）であり、光導波路 1 2 R が接続された光位相変調手段 R 1 - 2 の光入力ポート（光入出力ポート a 4 に該当する）から入力されており、光導波路 1 3 R が接続された光位相変調手段 R 1 - 2 の光出力ポート（光入出力ポート a 2 に該当）から光位相変調を加えた変調光信号パルス列のみを選択的に出力することになる。また、図 1 では図示を省略しているが、何も結合されていない光位相変調手段 R 1 - 2 の光出力ポート（光入出力ポート a 3 に該当）からは「光位相変調制御信号光」（光信号パルス列 F F - 1）を出力することになる。光位相変調手段 L 1 - 2 も同様に機能する。

30

【 0 0 9 6 】

また、図 2 中の光位相変調手段 R 0 では、「光位相変調制御信号光」は、光信号パルス列 E R S - 1 であり、光入力ポート P - R 0 - 1（光入出力ポート a 1 に該当）から入力されており、「被光位相変調信号光」は、光クロックパルス列 C L K - 0 であり、光導波路 5 1 R が接続された光位相変調手段 R 0 の光入力ポート（光入出力ポート a 2 に該当）から入力されており、光導波路 5 2 R が接続された光位相変調手段 R 0 の光出力ポート（光入出力ポート a 4 に該当）から光位相変調を加えた光クロックパルス列 C L K - 0 のみを選択的に出力することになる。また、図 2 では図示を省略しているが、何も結合されていない光位相変調手段 R 0 の光出力ポート（光入出力ポート a 3 に該当）からは「光位相変調制御信号光」（光信号パルス列 E R S - 1）を出力することになる。光位相変調手段 L 0 も同様に機能する。

40

【 0 0 9 7 】

次に、図 5（a）～図 7（b）に示す受光部 f 1 について説明する。

【 0 0 9 8 】

上記のようなマッハ・ツェンダ干渉型の光導波路回路構成を平面基板型の集積型光回路

50

で実現した光位相変調手段を用いる場合、この光位相変調手段において、所望の「信号光 - 制御信号光分離動作」を行うためには、干渉系を構成する2つの光干渉アーム（光導波路アーム）の信号光に対する実効長のバランスが精密に調整されている必要がある。

【0099】

ところが、この光導波路回路を製造する際には避けがたい様々な製造誤差が生じるため、予め設けておいた光位相調整部 d 1、d 2 を用いて、製造後に、精密に上記実効長を初期調整し、バランスをとることとなる。

【0100】

この光干渉アームの実効長の初期調整において、例えば、光位相調整部 d 1、d 2 により位相調整を行いながら、光入出力ポート a 3、a 4 からの光出力パワーを測定評価する際、上記のような基本回路構成の光位相変調手段では、全体が平面型光回路で有る場合、次のような課題があった。

【0101】

(1) 2つの光出力側ポートである光入出力ポート a 3、a 4 のうちの一方の光入出力ポート a 3 は何も結合されていない空きポートであるため、この光入出力ポート a 3 からの光出力パワーを測定評価することは可能であるが、光入出力ポート a 3、a 4 のうちの他方の光入出力ポート a 4 は閉じた光回路内に存在する場合があります、その場合には、光回路上に損失等の影響を与えずに、その光出力を外部に取り出すことが困難である。

(2) 仮に、光回路上に損失等の影響を与えることを前提に光出力を外部に取り出すための光入出力ポートを光入出力ポート a 4 に付与した場合でも、位相調整時には当該光入出力ポートに対して個別の光結合系と光パワー検出器を用意しなければならない。

【0102】

そこで、図5(a)～図7(b)に示すように、光強度変調を受けた「光位相変調制御信号光」（例えば、光信号パルス列 CLK - 1 - out - DMZ - 1 など）の出力ポートとなる光入出力ポート a 3 に受光部 f 1 を設けている。この受光部 f 1 は、光入出力ポート a 3 から出力された信号光を受光して、この受光強度に応じた電流を検出できる特性を有するものである。

【0103】

この受光部 f 1 は、化合物半導体基板の上に集積型光回路として作成するか、或いは、化合物半導体受光デバイス（シリコン系プレーナ光波回路（PLC））上の当該箇所に配置させるか、或いは、シリコン平面基板の上に集積型光回路として作成する。

【0104】

この受光部 f 1 によって光入出力ポート a 3 からの光出力パワーを測定評価することが可能であるため、上記(2)に記載したような光結合系と光パワー検出器が不要となり、更には、上記(1)に記載したような光回路上への損失等の影響を余分に与えることもなく、光干渉アームの実効長初期調整を行うことが可能となり、光回路の特性向上と、光回路の動作条件の調整の簡易化や経済化を図ることが可能となる。

【0105】

（光信号バッファメモリ回路の光分岐部の構成）

上述した光信号バッファメモリ回路において、光分岐部 C - 0、C - 1、C - 3 として、図8～図10に示す光分岐回路を用いる。

【0106】

そこで、図8(a)～図10(c)を参照して、光分岐部 C - 0、C - 1、C - 3 として用いる光分岐回路を説明する。図8(a)～図10(c)に示す光分岐回路は、全体としてマッハ・ツェンダ干渉計を構成している。なお、図8(a)～図10(c)においても、同じ構成には同じ符号を付している。

【0107】

図8(a)～図10(c)において、マルチモード干渉型導波路部 bs 1 は、光入力ポート as 1、as 2 及び光出力ポート as 5、as 6 を有しており、光入力ポート as 1、as 2 から入力された光を50%ずつの光パワーの割合で分波し、2つの光出力ポート

10

20

30

40

50

as 5、as 6 から出力させる機能を有している。

【0108】

また、図8(a)～図10(c)において、マルチモード干渉型導波路部bs 2は、光入力ポートas 7、as 8及び光出力ポートas 3、as 4を有しており、光入力ポートas 7、as 8から入力された光を50%ずつの光パワーの割合で分波し、2つの光出力ポートas 3、as 4から出力させる機能を有している。

【0109】

また、図8(a)～図10(c)において、光出力ポートas 5と光入力ポートas 7は光導波路wg 1により接続されており、光出力ポートas 6と光入力ポートas 8は光導波路wg 2により接続されている。光導波路wg 1と光導波路wg 2は左右2つの光干渉アームを構成しており、それらの何れか一方又は両方には、伝搬する光の位相を調整することができる光位相調整部ds 1、ds 2が配置されている。

10

【0110】

具体的には、図8(a)、図9(a)、図10(a)では、光導波路wg 1に光位相調整部ds 1が配置され、光導波路wg 2に光位相調整部ds 2が配置されている。また、図8(b)、図9(b)、図10(b)では、光導波路wg 1のみに光位相調整部ds 1が配置され、光導波路wg 2には光位相調整部は配置されていない。また、図8(c)、図9(c)、図10(c)では、光導波路wg 2のみに光位相調整部ds 2が配置され、光導波路wg 1には光位相調整部は配置されていない。なお、光位相調整部ds 1、ds 2としては、例えば、注入電流量に応じて光位相量を調整することができるタイプのものを採用することができる。

20

【0111】

また、図9(a)～図9(c)においては、更に、マルチモード干渉型導波路部bs 1の光入力ポートas 1に光源部es 1が接続されている。光源部es 1は、電流注入により光回路(光信号バッファメモリ回路)の設計駆動波長の光を出力することができる。

【0112】

また、図10(a)～図10(c)においては、更に、光入力用のマルチモード干渉型導波路部bs 0を有し、マルチモード干渉型導波路部bs 0は、光入力ポートas 0、as 11及び光出力ポートas 9、as 10を有しており、光出力ポートas 10は、マルチモード干渉型導波路部bs 1の光入力ポートas 1に接続されている。そして、マルチモード干渉型導波路部bs 0の光入力ポートas 0に光源部es 1が接続されている。

30

【0113】

光分岐部C-0、C-1、C-3として、図8(a)～図10(c)に示す光分岐部100、110、120、200、210、220、300、310、320を採用する場合には、光位相調整部ds 1、ds 2の両方又はその何れか一方に注入する電流量を調整することにより、光出力ポートas 3、as 4へ伝搬する光の光出力パワーの分岐比を調整できる。このため、仮に、マルチモード干渉型導波路部bs 1、bs 2の分波比率が製造誤差等により設計と異なる特性となってしまった場合においても、光信号バッファメモリ回路の光強度変調手段MZ-0、MZ-1において、所望の光強度変調特性を実現させることが可能となる。

40

【0114】

また、光分岐部C-0、C-1、C-3として、図9(a)～図10(c)に示す光分岐部200、210、220、300、310、320を採用する場合には、予め組み込んである光源部es 1に電流を注入して駆動するだけで、光分岐部C-0、C-1、C-3に初期調整用の光を入力することが可能となるため、初期調整用のレーザ光源が不要になり、更に、光分岐部の光入力ポートと初期調整用のレーザ光源とを結合するための光結合系が不要になり、両者(初期調整用のレーザ光源と光分岐部の光入力ポート)の光結合調整が不要になる。

【0115】

また、光位相変調手段R0、R1-1、R1-2、L0、L1-1、L1-2の光回路

50

内に受光部（図示省略）を設けておくことにより、光出力ポート a s 3、a s 4 から出力された光は、この受光部において受光され、光パワーを評価することにより、光分岐部 C - 0、C - 1、C - 3 の初期光分岐調整を行うことができる。

【 0 1 1 6 】

（光信号バッファメモリ回路の変形例の構成）

図 1 に示す光信号バッファメモリ回路においては、光出力ポート P - M Z - 1 - b a r と、光導波路 1 4 と、光分岐部 C - 1 と、光導波路 1 5 R と、光位相変調手段 R 1 - 1 と、光導波路 1 2 R と、光位相変調手段 R 1 - 2 と、光導波路 1 3 R とが結ばれてリング状の閉光回路を形成する構成となっている。また、光導波路 1 4 が光出力ポート P - M Z - 1 - c r o s s に接続される場合には、光出力ポート P - M Z - 1 - c r o s s と、光導波路 1 4 と、光分岐部 C - 1 と、光導波路 1 5 L と、光位相変調手段 L 1 - 1 と、光導波路 1 2 L と、光位相変調手段 L 1 - 2 と、光導波路 1 3 L とが結ばれてリング状の閉光回路を形成する構成となっている。

10

【 0 1 1 7 】

マッハ・ツェンダ干渉型の光位相変調手段 R 1 - 1、L 1 - 1 においては、干渉系を構成する 2 つの光干渉アーム（光導波路アーム）の信号光に対する実効長のバランスが精密に調整されている必要がある。しかしながら、光導波路回路を製造する際には避けがたい様々な製造誤差が生じるため、予め設けておいた光位相調整部 d 1、d 2 を用いて、製造後に、精密に実効長を初期調整しバランスをとることとなる。

【 0 1 1 8 】

バランス調整の際、光位相変調手段 R 1 - 1 又は L 1 - 1 の内部の光位相変調手段 c 1、c 2 として、光利得を生じさせる光半導体増幅器（SOA）を使用している場合には、上記のリング状の閉回路部が光共振器となって、発振又は発振に準じた状態になり、このリング型光共振器の干渉特性が光位相変調手段 R 1 - 1 又は L 1 - 1 の光干渉特性に影響を与える。このため、光位相変調手段 R 1 - 1 又は L 1 - 1 の光干渉特性を評価してバランスを調整することが非常に難しくなる。

20

【 0 1 1 9 】

そこで、このようなバランス調整時の問題を解決するため、図 1 に示す光信号バッファメモリ回路においては、光分岐部 C - 1 の入力側（光導波路 1 4）に可変光強度減衰部 V A - 1 を設けるか、又は、光分岐部 C - 1 の出力側（光導波路 1 5 L、1 5 R）に可変光強度減衰部 V A - 2、V A - 3 をそれぞれ設けるようにしても良く、初期のバランス調整時のみ光損失（光強度減衰）を与えるようにしている。

30

【 0 1 2 0 】

このような構成にすると、バランス調整の際に、光位相変調手段 R 1 - 1、L 1 - 1 に入力される光信号に十分な光損失（光減衰）を付与することになり、これにより、リング型光共振器による発振挙動を抑え、この影響を排除した状態で所望のマッハ・ツェンダ干渉型の光位相変調手段 R 1 - 1、L 1 - 1 の光干渉特性を評価し、バランス調整を行うことが可能となる。

【 0 1 2 1 】

このような可変光強度減衰部 V A - 1、V A - 2、V A - 3 としては、定電圧駆動状態の半導体 E A 変調器を採用することができる。また、電界吸収活性層の P L（フォトルミネセンス）特性が設定動作波長に対して 1 0 0 n m 以上短波長側に設定された、定電圧駆動状態の半導体 E A 変調器を採用することもできる。これにより、本来の目的のために光信号バッファメモリ回路を使用する際には過剰な光損失を与えず、且つ、初期調整時においてのみ初期調整を行うのに障害となるリング共振を抑制するのに十分な光損失を与えることが可能となる。

40

【 0 1 2 2 】

従って、光位相変調手段 R 1 - 1、L 1 - 1 のバランス調整が完了し、所望の光干渉条件に調整されている状態では、光強度変調手段 M Z - 1 は、所望の光信号パルス列を選択的に出力させることが可能となる。このため、リング型光共振器における光位相変調手段

50

R 1 - 1、L 1 - 1の部分においては、20 dB以上の大きな光損失が付与される状態となり、可変光強度減衰部VA - 1、VA - 2、VA - 3によって光損失を与えない状態にしても、リング型光共振器による発振挙動を抑え得るようになる。

【0123】

[実施例2]

図1に示した光信号バッファメモリ回路で用いられる光制御型光強度スイッチOSW - 01の光回路としては、図2に示した光回路に限らず、図11に示す光回路も使用可能である。従って、ここでは、図11を参照して、光制御型光強度スイッチOSW - 01の光回路の他の一例を説明する。

【0124】

図11に示す光制御型光強度スイッチOSW - 01 - 1は、光ゲートスイッチとして機能するMMI光干渉型光強度変調回路となる平面基板回路型のマルチモード光導波路WG - Mを有しており、このマルチモード光導波路WG - Mは、2×2の入出力用の平面基板回路型のシングルモード光導波路WG - S - In - 01、WG - S - In - 02、WG - S - Out - 01、WG - S - Out - 02を有している。

【0125】

シングルモード光導波路WG - S - In - 01は、外部光入力ポートP - OCLK - In - 0から入力された光クロックパルス列CLK - 0をマルチモード光導波路WG - Mへ導波するため、外部光入力ポートP - OCLK - In - 0と接続されている。また、シングルモード光導波路WG - S - In - 02は、外部光入力ポートP - ERS - In - 0から入力された光信号パルス列ERS - 1をマルチモード光導波路WG - Mへ導波するため、外部光入力ポートP - ERS - In - 0と接続されている。また、シングルモード光導波路WG - S - Out - 01は、マルチモード光導波路WG - Mから出力される2次の光クロックパルス列CLK - 1を光出力ポートP - OSW - 01 - Outへ導波するため、光出力ポートP - OSW - 01 - Outと接続されている。

【0126】

そして、マルチモード光導波路WG - Mは、光クロックパルス列CLK - 0と光信号パルス列ERS - 1とを干渉させる平面基板回路型のマルチモード光導波路からなる。このマルチモード光導波路WG - Mは、光信号パルス列ERS - 1が入力されていないときは、光クロックパルス列CLK - 0を2次の光クロックパルス列CLK - 1として出力する。一方、光信号パルス列ERS - 1が入力されると、光信号パルス列ERS - 1が入力されている時間の間において（光信号パルス列ERS - 1のデータ長の間だけ）、光クロックパルス列CLK - 0から光クロックパルス列を除去して、2次の光クロックパルス列CLK - 1として出力する。

【0127】

マルチモード光導波路WG - Mとしては、入力側のシングルモード光導波路WG - S - In - 01、WG - S - In - 02からの光入力が出力側の2つのシングルモード光導波路WG - S - Out - 01、WG - S - Out - 02へ50%ずつの光出力結合をするように設計されているものが用いられる。

【0128】

上述した構成により、光制御型光強度スイッチOSW - 01 - 1は、簡易な構成で、光クロックパルス列CLK - 0の出力又は光クロックパルス列CLK - 0の出力をカットした出力を2次の光クロックパルス列CLK - 1として出力することになる。また、構成が簡易であるので、信頼性を向上させることもできる。

【0129】

[実施例3]

図1に示した光信号バッファメモリ回路で用いられる光制御型光強度スイッチOSW - 01の光回路としては、図2、図11に示した光回路に限らず、図12～図13に示す光回路も使用可能である。従って、ここでは、図12～図13を参照して、光制御型光強度スイッチOSW - 01の光回路の他の一例を説明する。

10

20

30

40

50

【 0 1 3 0 】

図 1 2 に示す光制御型光強度スイッチ O S W - 0 1 - 2 は、実施例 2 で示した光制御型光強度スイッチ O S W - 0 1 - 1 (図 1 1 参照) と同様に、マルチモード光導波路 W G - M を有し、マルチモード光導波路 W G - M は、シングルモード光導波路 W G - S - I n - 0 1、W G - S - I n - 0 2、W G - S - O u t - 0 1、W G - S - O u t - 0 2 を有している。

【 0 1 3 1 】

そして、実施例 2 で示した光制御型光強度スイッチ O S W - 0 1 - 1 と同様に、シングルモード光導波路 W G - S - I n - 0 1 は、外部光入力ポート P - O C L K - I n - 0 と接続され、シングルモード光導波路 W G - S - O u t - 0 1 は、光出力ポート P - O S W - 0 1 - O u t と接続されている。

10

【 0 1 3 2 】

一方、シングルモード光導波路 W G - S - I n - 0 2 は、光導波路型位相変調部 W G - P h - 0 1 と接続され、光導波路型位相変調部 W G - P h - 0 1 は、平面基板回路型のシングルモード光導波路 W G - S - I n - 0 3 と接続され、シングルモード光導波路 W G - S - I n - 0 3 は、外部光入力ポート P - E R S - I n - 0 と接続されている。

【 0 1 3 3 】

ここで、光導波路型位相変調部 W G - P h - 0 1 は、光クロックパルス列 C L K - 0 と光信号パルス列 E R S - 1 の相対光位相関係を調整するための光導波路型位相変調部である。

20

【 0 1 3 4 】

従って、シングルモード光導波路 W G - S - I n - 0 3 が、外部光入力ポート P - E R S - I n - 0 から入力された光信号パルス列 E R S - 1 を光導波路型位相変調部 W G - P h - 0 1 へ導波し、光導波路型位相変調部 W G - P h - 0 1 が、光信号パルス列 E R S - 1 の位相を調整し、シングルモード光導波路 W G - S - I n - 0 2 が、位相を調整された光信号パルス列 E R S - 1 をマルチモード光導波路 W G - M へ導波することになる。

【 0 1 3 5 】

また、図 1 3 に示す光制御型光強度スイッチ O S W - 0 1 - 3 は、図 1 2 に示した光制御型光強度スイッチ O S W - 0 1 - 2 の変形例であり、基本的な構成は同じであるが、シングルモード光導波路 W G - S - I n - 0 1、W G - S - I n - 0 2 に対する構成が相違している。

30

【 0 1 3 6 】

具体的には、図 1 3 に示す光制御型光強度スイッチ O S W - 0 1 - 3 では、実施例 2 で示した光制御型光強度スイッチ O S W - 0 1 - 1 と同様に、シングルモード光導波路 W G - S - I n - 0 2 が、外部光入力ポート P - E R S - I n - 0 と直接接続されているが、シングルモード光導波路 W G - S - I n - 0 1 が、光導波路型位相変調部 W G - P h - 0 2 と接続され、光導波路型位相変調部 W G - P h - 0 2 が、平面基板回路型のシングルモード光導波路 W G - S - I n - 0 4 と接続され、シングルモード光導波路 W G - S - I n - 0 4 が、外部光入力ポート P - O C L K - I n - 0 と接続されている。

【 0 1 3 7 】

ここで、光導波路型位相変調部 W G - P h - 0 2 は、光クロックパルス列 C L K - 0 と光信号パルス列 E R S - 1 の相対光位相関係を調整するための光導波路型位相変調部である。

40

【 0 1 3 8 】

従って、シングルモード光導波路 W G - S - I n - 0 4 が、外部光入力ポート P - O C L K - I n - 0 から入力された光クロックパルス列 C L K - 0 を光導波路型位相変調部 W G - P h - 0 2 へ導波し、光導波路型位相変調部 W G - P h - 0 2 が、光クロックパルス列 C L K - 0 の位相を調整し、シングルモード光導波路 W G - S - I n - 0 1 が、位相を調整された光クロックパルス列 C L K - 0 をマルチモード光導波路 W G - M へ導波することになる。

50

【0139】

上述した光導波路型位相変調部WG-Ph-01、WG-Ph-02では、光制御型光強度スイッチOSW-01-2、OSW-01-3への入力段階で、光クロックパルス列CLK-0と光信号パルス列ERS-1がマルチモード光導波路WG-Mにおいて減算的に互いに干渉する位相関係を持つように調整されていない場合に、互いに減算的に干渉する位相関係となるように調整することができる。

【0140】

上述した構成により、光制御型光強度スイッチOSW-01-2、OSW-01-3は、簡易な構成で、光クロックパルス列CLK-0の出力又は光クロックパルス列CLK-0の出力をカットした出力を2次的光クロックパルス列CLK-1として出力することになる。また、構成が簡易であるので、信頼性を向上させることもできる。更に、光クロックパルス列CLK-0と光信号パルス列ERS-1の相対光位相関係を調整するので、入力される光信号パルス列ERS-1のデータ長の間だけ、光クロックパルス列CLK-0から光クロックパルス列を確実に除去することができる。

10

【0141】

[実施例4]

図1に示した光信号バッファメモリ回路で用いられる光制御型光強度スイッチOSW-01の光回路としては、図2、図11～図13に示した光回路に限らず、図14～図17に示す光回路も使用可能である。従って、ここでは、図14～図17を参照して、光制御型光強度スイッチOSW-01の光回路の他の一例を説明する。

20

【0142】

図14に示す光制御型光強度スイッチOSW-01-4は、実施例2で示した光制御型光強度スイッチOSW-01-1(図11参照)や実施例3で示した光制御型光強度スイッチOSW-01-2(図12参照)、OSW-01-3(図13参照)と同様に、マルチモード光導波路WG-Mを有し、マルチモード光導波路WG-Mは、シングルモード光導波路WG-S-In-01、WG-S-In-02、WG-S-Out-01、WG-S-Out-02を有している。

【0143】

そして、実施例2で示した光制御型光強度スイッチOSW-01-1や実施例3で示した光制御型光強度スイッチOSW-01-2と同様に、シングルモード光導波路WG-S-In-01は、外部光入力ポートP-CLK-In-0と接続され、シングルモード光導波路WG-S-Out-01は、光出力ポートP-OSW-01-Outと接続されている。

30

【0144】

また、実施例3で示した光制御型光強度スイッチOSW-01-2と同様に、シングルモード光導波路WG-S-In-02は、光導波路型位相変調部WG-Ph-01と接続され、外部光入力ポートP-ERS-In-0は、シングルモード光導波路WG-S-In-03と接続されているが、本実施例では、シングルモード光導波路WG-S-In-03が、光導波路型強度減衰部WG-Att-01と接続され、そして、光導波路型強度減衰部WG-Att-01と光導波路型位相変調部WG-Ph-01との間を平面基板回路型のシングルモード光導波路WG-S-In-05が接続している。

40

【0145】

ここで、光導波路型位相変調部WG-Ph-01は、実施例3で説明したものと同等のものであるので、ここでは、同じ符号を付し、説明は省略する。また、光導波路型強度減衰部WG-Att-01は、光クロックパルス列CLK-0と光信号パルス列ERS-1の光強度関係を同じ強度へ調整するために設けた光導波路型強度減衰部である。

【0146】

従って、シングルモード光導波路WG-S-In-03が、外部光入力ポートP-ERS-In-0から入力された光信号パルス列ERS-1を光導波路型強度減衰部WG-Att-01へ導波し、光導波路型強度減衰部WG-Att-01が光信号パルス列ERS

50

- 1の光強度を減衰調整し、シングルモード光導波路WG - S - In - 05が、光強度を減衰調整された光信号パルス列ERS - 1を光導波路型位相変調部WG - Ph - 01へ導波し、光導波路型位相変調部WG - Ph - 01が光信号パルス列ERS - 1の位相を調整し、シングルモード光導波路WG - S - In - 02が、位相を調整された光信号パルス列ERS - 1をマルチモード光導波路WG - Mへ導波することになる。

【0147】

また、図15～図17に示す光制御型光強度スイッチOSW - 01 - 5、OSW - 01 - 6、OSW - 01 - 7は、図14に示した光制御型光強度スイッチOSW - 01 - 4の変形例であり、基本的な構成は同じであるが、シングルモード光導波路WG - S - In - 01、WG - S - In - 02に対する構成が相違している。

10

【0148】

具体的には、図15に示す光制御型光強度スイッチOSW - 01 - 5では、シングルモード光導波路WG - S - In - 01が、光導波路型強度減衰部WG - Att - 02と接続され、光導波路型強度減衰部WG - Att - 02が、シングルモード光導波路WG - S - In - 04と接続され、シングルモード光導波路WG - S - In - 04が、外部光入力ポートP - OCLK - In - 0と接続されている。また、シングルモード光導波路WG - S - In - 02が、光導波路型位相変調部WG - Ph - 01と接続され、光導波路型位相変調部WG - Ph - 01が、シングルモード光導波路WG - S - In - 03と接続され、シングルモード光導波路WG - S - In - 03が、外部光入力ポートP - ERS - In - 0と接続されている。

20

【0149】

ここで、光導波路型位相変調部WG - Ph - 01は、実施例3で説明したものと同等のものであるので、ここでは、同じ符号を付し、説明は省略する。また、光導波路型強度減衰部WG - Att - 02は、光クロックパルス列CLK - 0と光信号パルス列ERS - 1の光強度関係と同じ強度へ調整するために設けた光導波路型強度減衰部である。

【0150】

従って、シングルモード光導波路WG - S - In - 04が、外部光入力ポートP - OCLK - In - 0から入力された光クロックパルス列CLK - 0を光導波路型強度減衰部WG - Att - 02へ導波し、光導波路型強度減衰部WG - Att - 02が、光クロックパルス列CLK - 0の光強度を減衰調整し、シングルモード光導波路WG - S - In - 01が、光強度を減衰調整された光クロックパルス列CLK - 0をマルチモード光導波路WG - Mへ導波することになる。また、シングルモード光導波路WG - S - In - 03が、外部光入力ポートP - ERS - In - 0から入力された光信号パルス列ERS - 1を光導波路型位相変調部WG - Ph - 01へ導波し、光導波路型位相変調部WG - Ph - 01が、光信号パルス列ERS - 1の位相を調整し、シングルモード光導波路WG - S - In - 02が、位相を調整された光信号パルス列ERS - 1をマルチモード光導波路WG - Mへ導波することになる。

30

【0151】

また、図16に示す光制御型光強度スイッチOSW - 01 - 6では、シングルモード光導波路WG - S - In - 01が、光導波路型位相変調部WG - Ph - 02と接続され、光導波路型位相変調部WG - Ph - 02が、シングルモード光導波路WG - S - In - 04と接続され、シングルモード光導波路WG - S - In - 04が、外部光入力ポートP - OCLK - In - 0と接続されている。また、シングルモード光導波路WG - S - In - 02が、光導波路型強度減衰部WG - Att - 01と接続され、光導波路型強度減衰部WG - Att - 01が、シングルモード光導波路WG - S - In - 03と接続され、シングルモード光導波路WG - S - In - 03が、外部光入力ポートP - ERS - In - 0と接続されている。

40

【0152】

ここで、光導波路型位相変調部WG - Ph - 02は、実施例3で説明したものと同等のものであり、また、光導波路型強度減衰部WG - Att - 01は、本実施例の図14で説

50

明したものと同等のものであるので、ここでは、同じ符号を付し、説明は省略する。

【 0 1 5 3 】

従って、シングルモード光導波路WG - S - In - 0 4が、外部光入力ポートP - O C L K - In - 0から入力された光クロックパルス列C L K - 0を光導波路型位相変調部WG - Ph - 0 2へ導波し、光導波路型位相変調部WG - Ph - 0 2が、光クロックパルス列C L K - 0の位相を調整し、シングルモード光導波路WG - S - In - 0 1が、位相を調整された光クロックパルス列C L K - 0をマルチモード光導波路WG - Mへ導波することになる。また、シングルモード光導波路WG - S - In - 0 3が、外部光入力ポートP - E R S - In - 0から入力された光信号パルス列E R S - 1を光導波路型強度減衰部WG - A t t - 0 1へ導波し、光導波路型強度減衰部WG - A t t - 0 1が、光信号パルス列E R S - 1の光強度を減衰調整し、シングルモード光導波路WG - S - In - 0 2が、光強度を減衰調整された光信号パルス列E R S - 1をマルチモード光導波路WG - Mへ導波することになる。

10

【 0 1 5 4 】

また、図17に示す光制御型光強度スイッチOSW - 0 1 - 7では、シングルモード光導波路WG - S - In - 0 2が、外部光入力ポートP - E R S - In - 0と直接接続されているが、シングルモード光導波路WG - S - In - 0 1が、光導波路型位相変調部WG - Ph - 0 2と接続され、外部光入力ポートP - O C L K - In - 0が、シングルモード光導波路WG - S - In - 0 4と接続され、シングルモード光導波路WG - S - In - 0 4が、光導波路型強度減衰部WG - A t t - 0 2と接続され、そして、光導波路型強度減衰部WG - A t t - 0 2と光導波路型位相変調部WG - Ph - 0 2との間を平面基板回路型のシングルモード光導波路WG - S - In - 0 6が接続している。

20

【 0 1 5 5 】

ここで、光導波路型位相変調部WG - Ph - 0 2は、実施例3で説明したものと同等のものであり、また、光導波路型強度減衰部WG - A t t - 0 2は、本実施例の図15で説明したものと同等のものであるので、ここでは、同じ符号を付し、説明は省略する。

【 0 1 5 6 】

従って、シングルモード光導波路WG - S - In - 0 4が、外部光入力ポートP - O C L K - In - 0から入力された光クロックパルス列C L K - 0を光導波路型強度減衰部WG - A t t - 0 2へ導波し、光導波路型強度減衰部WG - A t t - 0 2が、光クロックパルス列C L K - 0の光強度を減衰調整し、シングルモード光導波路WG - S - In - 0 6が、光強度を減衰調整された光クロックパルス列C L K - 0を光導波路型位相変調部WG - Ph - 0 2へ導波し、光導波路型位相変調部WG - Ph - 0 2が、光クロックパルス列C L K - 0の位相を調整し、シングルモード光導波路WG - S - In - 0 1が、位相を調整された光クロックパルス列C L K - 0をマルチモード光導波路WG - Mへ導波することになる。

30

【 0 1 5 7 】

上述した光導波路型位相変調部WG - Ph - 0 1、WG - Ph - 0 2では、光制御型光強度スイッチOSW - 0 1 - 4、OSW - 0 1 - 5、OSW - 0 1 - 6、OSW - 0 1 - 7への入力段階で、光クロックパルス列C L K - 0と光信号パルス列E R S - 1がマルチモード光導波路WG - Mにおいて減算的に互いに干渉する位相関係を持つように調整されていない場合に、互いに減算的に干渉する位相関係となるように調整することができる。

40

【 0 1 5 8 】

加えて、上述した光導波路型強度減衰部WG - A t t - 0 1、WG - A t t - 0 2では、光制御型光強度スイッチOSW - 0 1 - 4、OSW - 0 1 - 5、OSW - 0 1 - 6、OSW - 0 1 - 7への入力段階で、光クロックパルス列C L K - 0が光信号パルス列E R S - 1によってマルチモード光導波路WG - MにおいてOFFにされるように、光強度が同じに調整されていない場合に、光強度を同じレベルに調整することができる。

【 0 1 5 9 】

上述した構成により、光制御型光強度スイッチOSW - 0 1 - 4、OSW - 0 1 - 5、

50

OSW - 01 - 6、OSW - 01 - 7は、簡易な構成で、光クロックパルス列CLK - 0の出力又は光クロックパルス列CLK - 0の出力をカットした出力を2次的光クロックパルス列CLK - 1として出力することになる。また、構成が簡易であるので、信頼性を向上させることもできる。更に、光クロックパルス列CLK - 0と光信号パルス列ERS - 1の相対光位相関係を調整すると共に、光クロックパルス列CLK - 0と光信号パルス列ERS - 1の光強度を同じレベルに調整するので、入力される光信号パルス列ERS - 1のデータ長の間だけ、光クロックパルス列CLK - 0から光クロックパルス列を確実に除去することができる。

【産業上の利用可能性】

【0160】

10

本発明は、光通信、光プロセッシング並びに光コンピューターにおける光信号バッファメモリ回路並びに光信号バッファ方法に適用可能なものである。

【符号の説明】

【0161】

MZ - 1 : マッハ・ツェンダ干渉型光強度変調手段

P - OCLK - In : 2次的光クロックパルス列の光入力ポート

P - MZ - 1 - bar : P - OCLK - Inに対してbar側に位置する光出力ポート

P - MZ - 1 - cross : P - OCLK - Inに対してcross側に位置する光出力ポート

20

OSW - 01 : 光制御型光強度スイッチ

P - OCLK - In - 0 : 光クロックパルス列入力用外部光入力ポート

P - ERS - In - 0 : 格納情報消去制御用の光信号パルス列入力用外部光入力ポート

P - OSW - 01 - Out : 光出力ポート

MZ - 0 : マッハ・ツェンダ干渉型光強度変調手段

P - MZ - 0 - bar : P - OCLK - In - 0に対してbar側に位置する光出力ポート

P - MZ - 0 - cross : P - OCLK - In - 0に対してcross側に位置する光出力ポート

30

R0 : 光位相変調手段

P - R0 - 1 : 光位相変調手段R0への光位相変調制御信号光の光入力ポート

L0 : 光位相変調手段

P - L0 - 1 : 光位相変調手段L0への光位相変調制御信号光の光入力ポート

R1 - 1 : 光位相変調手段

P - R1 - 1 : 光位相変調手段R1 - 1への光位相変調制御信号光の光入力ポート

L1 - 1 : 光位相変調手段

P - L1 - 1 : 光位相変調手段L1 - 1への光位相変調制御信号光の光入力ポート

40

R1 - 2 : 光位相変調手段

P - R1 - 2 : 光位相変調手段R1 - 2への光位相変調制御信号光の光入力ポート

L1 - 2 : 光位相変調手段

P - L1 - 2 : 光位相変調手段L1 - 2への光位相変調制御信号光の光入力ポート

C - 0 : 光分岐部 (光分岐手段)

P - C0 - 1 : 光入力ポート

P - C0 - 2 : 光入力ポート

P - C0 - 3 : 光出力ポート

50

P - C 0 - 4 : 光出力ポート

C - 1 : 光分岐部 (光分岐手段)

P - C 1 - 1 : 光入力ポート

P - C 1 - 2 : 光入力ポート

P - C 1 - 3 : 光出力ポート

P - C 1 - 4 : 光出力ポート

C - 3 : 光分岐部 (光分岐手段)

P - C 3 - 1 : 光入力ポート

10

P - C 3 - 2 : 光入力ポート

P - C 3 - 3 : 光出力ポート

P - C 3 - 4 : 光出力ポート

P - D a t a - I n : データ用の光信号パルス列入力用外部光入力ポート

P - F F - I n : フリップフロップ制御用の光信号パルス列入力用外部光入力ポート

D - D - 0 : 光伝搬遅延差付与部 (光伝搬遅延差付与手段)

D - D - 1 : 光伝搬遅延差付与部 (光伝搬遅延差付与手段)

D - D - 2 : 光伝搬遅延差付与部 (光伝搬遅延差付与手段)

20

V A - 1 ~ V - 3 : 可変光強度減衰部

P - O P - I n : 光入力ポート

P - O P - O u t : 光出力ポート

O S - 1 : 1 × N 光スイッチ

O D L - 1 ~ O D L - N : 光遅延線

O - L o o p : 光導波路ループ

O A : 光増幅器

O S - 2 : 2 × 2 光スイッチ

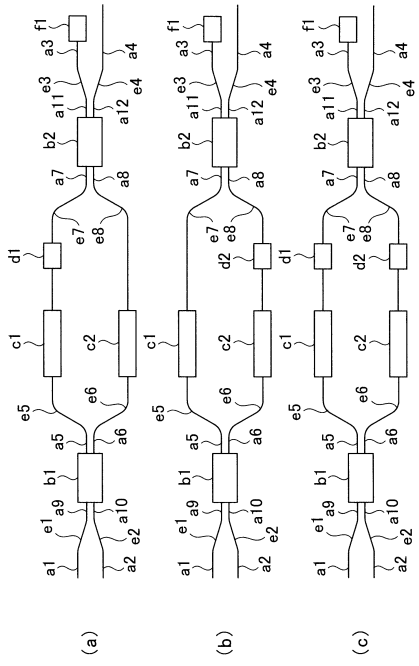
30

W G - M マルチモード光導波路

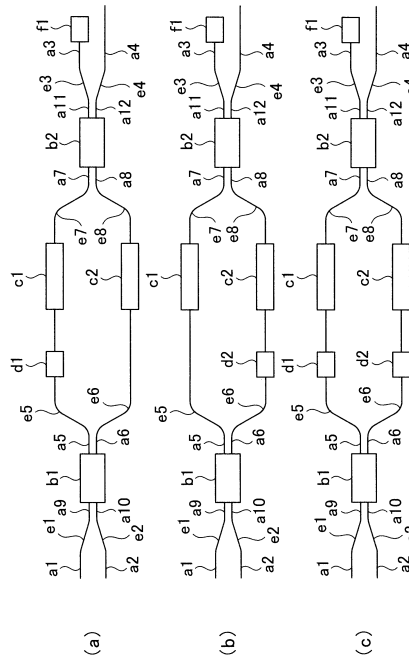
W G - P h - 0 1、W G - P h - 0 2 光導波路型位相変調部

W G - A t t - 0 1、W G - A t t - 0 2 光導波路型強度減衰部

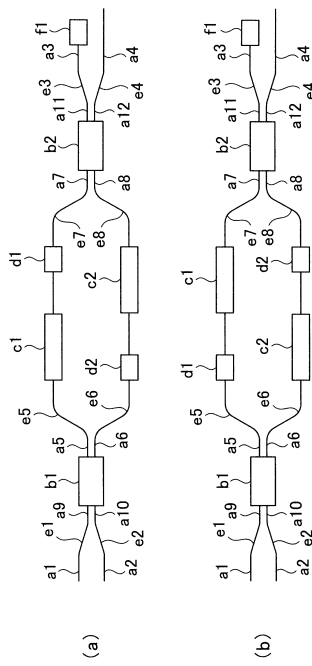
【 図 5 】



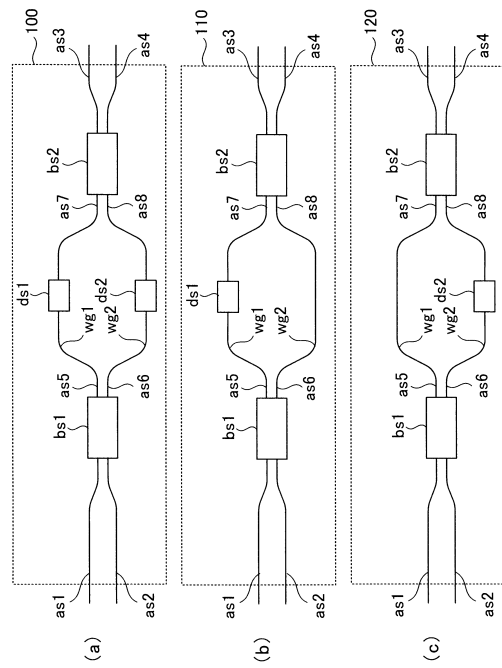
【 図 6 】



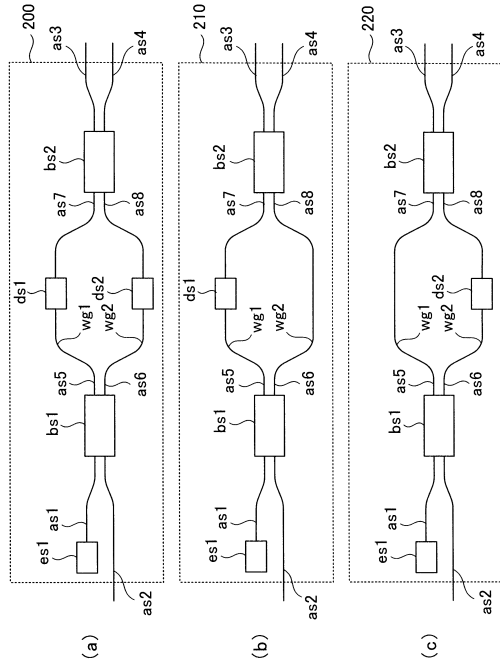
【 図 7 】



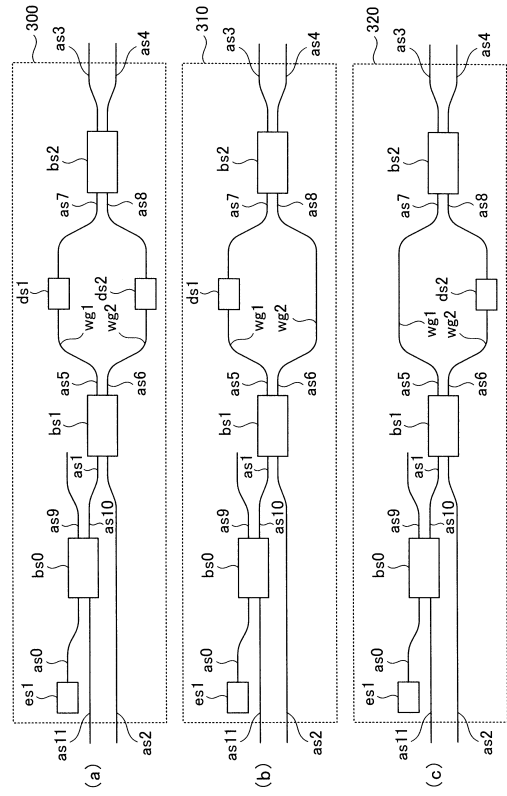
【 図 8 】



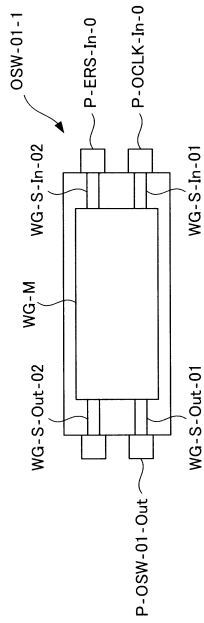
【 図 9 】



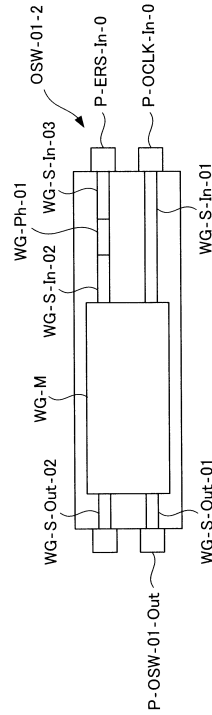
【 図 10 】



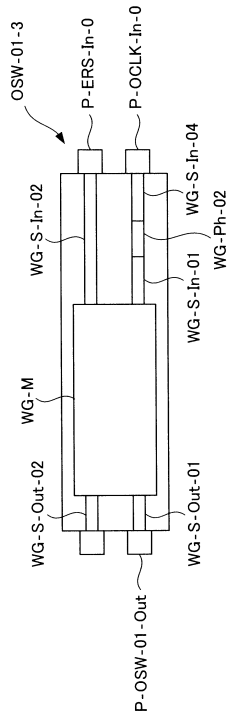
【 図 11 】



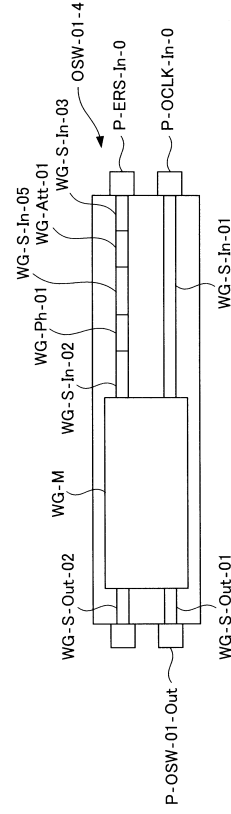
【 図 12 】



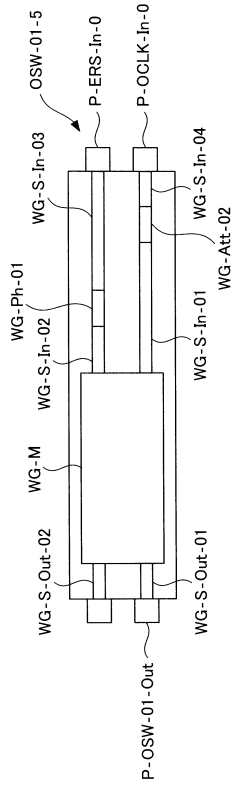
【 図 1 3 】



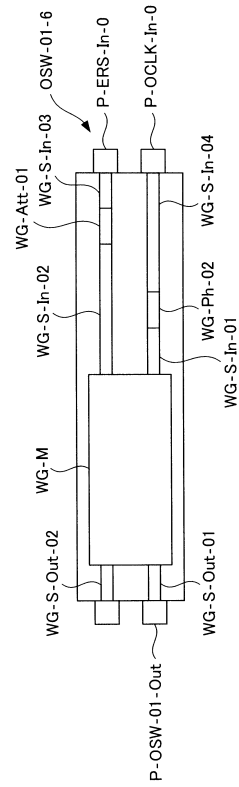
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

- (56)参考文献 特開2014-174304(JP,A)
特開2014-174299(JP,A)
特開平06-075263(JP,A)
米国特許出願公開第2005/0219066(US,A1)
LANGENHORST, R. et al., Fiber Loop Optical Buffer, JOURNAL OF LIGHTWAVE TECHNOLOGY, IEEE, 1996年 3月, VOL. 14, NO. 3, pp.324-335

(58)調査した分野(Int.Cl., DB名)

G02F 1/00 - 1/125
G02F 1/21 - 7/00
IEEE Xplore