



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년11월06일  
(11) 등록번호 10-2175860  
(24) 등록일자 2020년11월02일

(51) 국제특허분류(Int. Cl.)  
H01L 21/3065 (2006.01)  
(21) 출원번호 10-2014-0107884  
(22) 출원일자 2014년08월19일  
심사청구일자 2019년05월17일  
(65) 공개번호 10-2015-0021475  
(43) 공개일자 2015년03월02일  
(30) 우선권주장  
JP-P-2013-170218 2013년08월20일 일본(JP)  
(56) 선행기술조사문헌  
JP06237136 A\*  
JP2009267432 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
도쿄엘렉트론가부시키키가이샤  
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고  
(72) 발명자  
오가사와라 마사히로  
일본 981-3629 미야기켄 구로카와군 다이와쵸 테크노 힐즈 1 도쿄 엘렉트론 미야기 가부시키키가이샤 나이  
우라카와 마사후미  
일본 981-3629 미야기켄 구로카와군 다이와쵸 테크노 힐즈 1 도쿄 엘렉트론 미야기 가부시키키가이샤 나이  
(뒷면에 계속)  
(74) 대리인  
김진희, 김태홍

전체 청구항 수 : 총 3 항

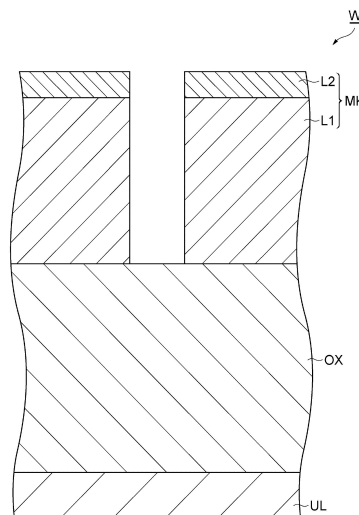
심사관 : 전영상

(54) 발명의 명칭 실리콘 산화막을 에칭하는 방법

(57) 요약

일 측면에 있어서는, 실리콘 산화막을 에칭하는 방법이 제공된다. 이 방법은, 실리콘 산화막 및 상기 실리콘 산화막 상에 형성된 마스크를 갖는 피처리체를 처리 가스의 플라즈마에 노출시켜, 실리콘 산화막을 에칭하는 공정을 포함한다. 마스크는, 실리콘 산화막 상에 형성된 제1 막, 및 상기 제1 막 상에 형성된 제2 막을 포함하며, 플라즈마 중의 활성화종에 대하여, 제2 막은 제1 막의 에칭 레이트보다 낮은 에칭 레이트를 갖는 막으로 이루어진다.

대표도 - 도3



(72) 발명자

**하야카와 요시노부**

일본 981-3629 미야기켄 구로카와군 다이와쵸 테크  
노 힐즈 1 도쿄 엘렉트론 미야기 가부시키키가이샤  
나이

**구보타 가즈히로**

일본 981-3629 미야기켄 구로카와군 다이와쵸 테크  
노 힐즈 1 도쿄 엘렉트론 미야기 가부시키키가이샤  
나이

**와타나베 히카루**

일본 981-3629 미야기켄 구로카와군 다이와쵸 테크  
노 힐즈 1 도쿄 엘렉트론 미야기 가부시키키가이샤  
나이

**명세서**

**청구범위**

**청구항 1**

실리콘 산화막을 에칭하는 방법으로서,

상기 실리콘 산화막 및 상기 실리콘 산화막 상에 형성된 마스크를 갖는 피처리체를 처리 가스의 플라즈마에 노출시켜, 상기 실리콘 산화막을 에칭하는 공정을 포함하고,

상기 마스크는, 상기 실리콘 산화막 상에 형성된 제1 막, 및 상기 제1 막 상에 형성된 제2 막을 포함하며,

상기 제1 막은 폴리실리콘막이고, 상기 제2 막은 텅스텐막인 것인, 실리콘 산화막의 에칭 방법.

**청구항 2**

제1항에 있어서,

상기 실리콘 산화막의 에칭에 필요한 시간을  $t_1$ , 상기 실리콘 산화막을 에칭하는 상기 공정의 종료 시의 상기 마스크의 잔막의 원하는 막 두께를  $T_1$ , 상기 실리콘 산화막을 에칭하는 상기 공정의 실행 전의 상기 제1 막의 막 두께를  $D_1$ , 상기 실리콘 산화막을 에칭하는 상기 공정의 실행 전의 상기 제2 막의 막 두께를  $D_2$ , 상기 제1 막의 에칭 레이트를  $E_1$ , 상기 제2 막의 에칭 레이트를  $E_2$ 로 하면,

$t_1 < D_2/E_2$ 의 경우에,  $D_1 + D_2 - E_2 \times t_1 \geq T_1$  가 충족되고,

$t_1 \geq D_2/E_2$ 의 경우에,  $D_1 + (E_1/E_2) \times D_2 - E_1 \times t_1 \geq T_1$ 가 충족되는, 실리콘 산화막의 에칭 방법.

**청구항 3**

제1항 또는 제2항에 있어서, 상기 제2 막의 두께는 상기 제1 막의 두께보다 작은, 실리콘 산화막의 에칭 방법.

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시형태는, 실리콘 산화막을 에칭하는 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 디바이스의 제조에 있어서는, 콘택트홀과 같은 형상을 실리콘 산화막에 형성하기 위한 에칭이 행해지는 경우가 있다. 또한, 반도체 디바이스의 미세화 및 고집적화에 따라, 이러한 형상의 애스펙트비는, 해마다 높아져 오고 있다. 즉, 보다 미세하고 보다 깊은 형상을 실리콘 산화막에 형성하는 것이 요청되고 있다.

[0003] 하기의 특허문헌 1에는, 실리콘 산화막을 에칭하는 방법의 예가 기재되어 있다. 동 문헌에 기재된 실리콘 산화막의 에칭 방법은, 실리콘 산화막 상에 마스크를 갖는 피처리체를, 플루오로카본 가스와 같은 처리 가스의 플라즈마에 노출시켜, 실리콘 산화막을 에칭하는 것이다. 특허문헌 1의 방법에서는, 마스크로서, 비정질(amorphous) 카본막이 이용되고 있다.

[0004] 이러한 실리콘 산화막의 에칭에서는, 실리콘 산화막에 형성된 홀을 구획하는 측벽면이, 수직이 아니라, 부분적으로 횡방향으로 블록해지는 현상이 발생할 수 있다. 즉, 홀의 폭이 부분적으로 커지는 현상이 발생할 수 있다. 이러한 현상은, 「보잉(bowing)」이라고 불리며, 에칭에 기여하는 이온이나 전자가 홀에 대하여 비스듬한 방향으로 입사해서 홀을 구획하는 측벽에 충돌하는 것이 큰 요인이다. 이 보잉을 억제하기 위한 방법으로서, 하기의 특허문헌 2에는, 폴리실리콘막을 마스크로서 이용하고, 플라즈마에 노출되는 마스크 표면뿐만이 아니라, 피에칭층에 형성된 홀부인 실리콘 산화막의 측벽에도 실리콘을 함유하는 보호막을 형성시켜, 이온 등의 비스듬한 입사로부터 홀 측벽을 보호하면서, 실리콘 산화막을 에칭하는 방법이 기재되어 있다.

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) 특허문헌 1: 일본 특허 공개 제2007-288119호 공보  
 (특허문헌 0002) 특허문헌 2: 미국 특허 제7977390호 명세서

**발명의 내용**

**해결하려는 과제**

[0006] 그러나, 보호막을 마스크 표면이나 홀부에 형성하더라도, 실리콘 산화막의 에칭이 진행됨에 따라, 보호막은 소멸되어, 마스크의 막 두께는 서서히 얇아진다. 또한, 홀 막 두께가 얇아짐에 따라, 보다 많은 비스듬한 입사 성분의 이온 등이 홀의 보다 깊은 영역까지 도달하기 때문에, 실리콘 산화막에 형성된 홀은, 보잉 현상을 갖게 된다.

[0007] 따라서, 본 기술 분야에서는, 실리콘 산화막의 에칭에 의해 얻어지는 형상의 보잉을 저감시키는 것이 필요해지고 있다.

**과제의 해결 수단**

[0008] 일 측면에 있어서는, 실리콘 산화막을 에칭하는 방법이 제공된다. 이 방법은, 실리콘 산화막 및 상기 실리콘 산화막 상에 형성된 마스크를 갖는 피처리체를 처리 가스의 플라즈마에 노출시켜, 실리콘 산화막을 에칭하는 공정을 포함한다. 마스크는, 실리콘 산화막 상에 형성된 제1 막, 및 상기 제1 막 상에 형성된 제2 막을 포함하며, 플라즈마 중의 활성종에 대하여, 제2 막은 제1 막의 에칭 레이트보다 낮은 에칭 레이트를 갖는 막으로 이루어진다.

[0009] 본원 발명자는, 실리콘 산화막의 에칭이 진행되면, 이에 따라, 마스크의 막 두께는 서서히 작아지고, 마스크의 막 두께가 작아지면, 플라즈마 중의 활성종이 마스크의 개구로부터 연직 방향에 대하여 비스듬히 입사해서 마스크 바로 아래의 실리콘 산화막에 충돌하여, 마스크 바로 아래에 있어서 실리콘 산화막이 횡방향으로 깎여져, 보잉이 발생하는 것을 발견하였다.

[0010] 그래서, 전술한 일 측면에 따른 방법에서는, 마스크로서, 제1 막 및 제2 막을 포함하는 마스크를 이용하고 있고, 제2 막으로서, 실리콘 산화막의 에칭에 이용하는 플라즈마의 활성종에 대하여, 제1 막의 에칭 레이트보다 낮은 에칭 레이트를 갖는 막을 이용하고 있다. 일반적으로, 실리콘 산화막의 에칭에 이용하는 플라즈마 중의 활성종에 대하여 낮은 에칭 레이트를 갖는 막은, 에칭이 어려운 재료로 구성되어 있기 때문에, 상기 막의 막 두께를 크게 하면, 상기 막에 패턴을 형성하는 것이 곤란해진다. 따라서, 본 방법에서는, 제1 막 및 제2 막을 포함하는 마스크를 이용함으로써, 플라즈마 중의 활성종에 대한 내성과 큰 막 두께의 양방을 겸비한 마스크를 실현하고 있다. 이에 따라, 본 방법은, 실리콘 산화막의 에칭의 종료까지 마스크의 막 두께를 유지하는 것을 가능하게 하고, 그 결과, 실리콘 산화막의 에칭에 의해 얻어지는 형상의 보잉을 저감시키는 것을 가능하게 하고 있다.

[0011] 일 형태에 있어서는, 제2 막의 막 두께는 제1 막의 막 두께보다 작아도 좋다. 이 형태에 따르면, 에칭이 어려운 재료로 구성될 수 있는 제2 막의 막 두께를 작게 하고, 제1 막의 막 두께를 크게 하여, 큰 막 두께의 마스크를 얻을 수 있다.

[0012] 일 형태에 있어서는, 제1 막은, 폴리실리콘막이어도 좋다. 또한, 일 형태에 있어서는, 플라즈마 중의 활성종에 대하여, 제2 막은 제1 막의 에칭 레이트의 1/3 이하의 에칭 레이트를 갖고 있어도 좋다. 또한, 일 형태에 있어

서는, 제2 막은 금속을 함유하는 막이어도 좋고, 예컨대, 텅스텐막이어도 좋다.

**발명의 효과**

[0013] 이상 설명한 바와 같이, 본 발명의 위치 측면 및 여러 가지 형태에 따르면, 실리콘 산화막의 에칭에 의해 얻어지는 형상의 보잉을 저감시키는 것이 가능해진다.

**도면의 간단한 설명**

[0014] 도 1은 일 실시형태에 따른 에칭 방법의 실시에 이용하는 것이 가능한 플라즈마 처리 장치의 예를 도시하는 도면이다.

도 2는 밸브군, 유량 제어기군, 및 가스 소스군의 일례를 상세히 도시하는 도면이다.

도 3은 일 실시형태에 따른 에칭 방법의 처리 대상인 피처리체의 일례를 도시하는 단면도이다.

도 4는 종래의 실리콘 산화막의 에칭 방법에 있어서 처리되는 피처리체를 예시 하는 단면도이다.

도 5는 일 실시형태에 따른 에칭 방법에 의한 실리콘 산화막의 에칭의 종료시에 있어서의 피처리체의 상태를 도시하는 단면도이다.

도 6은 마스크(MK)의 잔막의 두께와 도 4에 도시하는 폭(W2)의 관계를 도시하는 도면이다.

도 7은 실리콘 산화막의 에칭 시간과 마스크의 잔막의 막 두께의 관계의 일례를 도시하는 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

[0015] 이하, 도면을 참조하여 여러 가지 실시형태에 대해서 상세히 설명한다. 한편, 각 도면에 있어서 동일 또는 상당 부분에 대해서는 동일한 부호를 붙이기로 한다.

[0016] 일 실시형태의 방법은, 실리콘 산화막을 에칭하는 방법이다. 이 에칭 방법은, 실리콘 산화막 및 상기 실리콘 산화막 상에 형성된 마스크를 갖는 피처리체(이하, 「웨이퍼」라고 함)(W)를 처리 가스의 플라즈마에 노출시켜, 실리콘 산화막을 에칭하는 공정을 포함한다. 이에 따라, 일 실시형태의 에칭 방법은, 실리콘 산화막에 홀과 같은 형상을 형성한다. 한편, 이 에칭 방법에 이용되는 마스크의 상세한 것에 대해서는 후술한다.

[0017] 이하, 상기 에칭 방법의 실시에 이용하는 것이 가능한 플라즈마 처리 장치의 예를 대해서 설명한다. 도 1은, 일 실시형태에 따른 에칭 방법의 실시에 이용하는 것이 가능한 플라즈마 처리 장치의 예를 도시하는 도면이다. 도 1에 있어서는, 플라즈마 처리 장치(10)의 종단면이 개략적으로 도시되어 있다.

[0018] 도 1에 도시하는 플라즈마 처리 장치(10)는, 용량 결합형 평행 평판 플라즈마 에칭 장치이며, 대략 원통 형상의 처리 용기(12)를 구비하고 있다. 처리 용기(12)는, 예컨대, 그 표면은 양극 산화 처리된 알루미늄으로 구성되어 있다. 이 처리 용기(12)는 보안 접지되어 있다.

[0019] 처리 용기(12)의 저부(底部) 상에는, 절연 재료로 구성된 원통 형상의 지지부(14)가 배치되어 있다. 이 지지부(14)는, 그 내벽면에 있어서, 하부 전극(16)을 지지하고 있다. 하부 전극(16)은, 예컨대 알루미늄과 같은 금속으로 구성되어 있으며, 대략 원반 형상을 갖고 있다.

[0020] 하부 전극(16)에는, 정합기(MU1)를 통해 제1 고주파 전원(HFS)이 접속되어 있다. 제1 고주파 전원(HFS)은, 플라즈마 생성용의 고주파 전력을 발생하는 전원이며, 27 MHz~100 MHz의 주파수, 일례에 있어서는 40 MHz의 고주파 전력을 발생한다. 정합기(MU1)는, 제1 고주파 전원(HFS)의 출력 임피던스와 부하측[하부 전극(16)측]의 입력 임피던스를 정합시키기 위한 회로를 갖고 있다.

[0021] 또한, 하부 전극(16)에는, 정합기(MU2)를 통해 제2 고주파 전원(LFS)이 접속되어 있다. 제2 고주파 전원(LFS)은, 웨이퍼(W)에 이온을 끌어들이기 위한 고주파 전력(고주파 바이어스 전력)을 발생하고, 상기 고주파 바이어스 전력을 하부 전극(16)에 공급한다. 고주파 바이어스 전력의 주파수는, 400 kHz~13.56 MHz의 범위 내의 주파수이며, 일례에 있어서는 3 MHz이다. 정합기(MU2)는, 제2 고주파 전원(LFS)의 출력 임피던스와 부하측[하부 전극(16)측]의 입력 임피던스를 정합시키기 위한 회로를 갖고 있다.

[0022] 하부 전극(16) 상에는, 정전척(18)이 설치되어 있다. 정전척(18)은, 하부 전극(16)과 함께 웨이퍼(W)를 지지하기 위한 배치대를 구성하고 있다. 정전척(18)은, 도전막인 전극(20)을 한 쌍의 절연층 또는 절연 시트 사이에 배치한 구조를 갖고 있다. 전극(20)에는, 직류 전원(22)이 전기적으로 접속되어 있다. 이 정전척(18)은, 직류

전원(22)으로부터의 직류 전압에 의해 발생한 클롱력 등의 정전력에 의해 웨이퍼(W)를 흡착 유지할 수 있다.

- [0023] 하부 전극(16)의 상면이며, 정전척(18)의 주위에는, 포커스 링(FR)이 배치되어 있다. 포커스 링(FR)은, 에칭의 균일성을 향상시키기 위해서 설치되어 있다. 포커스 링(FR)은, 피에칭층의 재료에 따라 적절하게 선택되는 재료로 구성되어 있으며, 예컨대, 실리콘, 또는 석영으로 구성될 수 있다.
- [0024] 하부 전극(16)의 내부에는, 냉매실(24)이 형성되어 있다. 냉매실(24)에는, 외부에 설치된 칠러 유닛으로부터 배관(26a, 26b)을 통해 소정 온도의 냉매, 예컨대 냉각수가 순환 공급된다. 이와 같이 순환되는 냉매의 온도를 제어함으로써, 정전척(18) 상에 배치된 웨이퍼(W)의 온도가 제어된다.
- [0025] 또한, 플라즈마 처리 장치(10)에는, 가스 공급 라인(28)이 형성되어 있다. 가스 공급 라인(28)은, 전열(傳熱) 가스 공급 기구로부터의 전열 가스, 예컨대 He 가스를, 정전척(18)의 상면과 웨이퍼(W)의 이면 사이에 공급한다.
- [0026] 또한, 플라즈마 처리 장치(10)는, 상부 전극(30)을 구비하고 있다. 이 상부 전극(30)은, 하부 전극(16)의 상부에 있어서, 상기 하부 전극(16)과 대향 배치되어 있고, 하부 전극(16)과 상부 전극(30)은, 서로 대략 평행하게 설치되어 있다. 이들 상부 전극(30)과 하부 전극(16) 사이에는, 웨이퍼(W)에 플라즈마 에칭을 행하기 위한 처리 공간(S)이 구획되어 있다.
- [0027] 상부 전극(30)은, 절연성 차폐 부재(32)를 통해, 처리 용기(12)의 상부에 지지되어 있다. 상부 전극(30)은, 전극판(34) 및 전극 지지체(36)를 포함할 수 있다. 전극판(34)은, 처리 공간(S)에 면하고 있으며, 복수의 가스 토출 구멍(34a)을 구획하고 있다. 이 전극판(34)은, 줄 열(Joule heat)이 적은 저저항의 도전체 또는 반도체로 구성될 수 있다.
- [0028] 전극 지지체(36)는, 전극판(34)을 착탈 가능하게 지지하는 것이며, 예컨대 알루미늄과 같은 도전성 재료로 구성될 수 있다. 이 전극 지지체(36)는, 수랭(水冷) 구조를 가질 수 있다. 전극 지지체(36)의 내부에는, 가스 확산실(36a)이 형성되어 있다. 이 가스 확산실(36a)로부터는, 가스 토출 구멍(34a)에 연통(連通)되는 복수의 가스 통류 구멍(36b)이 하방으로 연장되어 있다. 또한, 전극 지지체(36)에는 가스 확산실(36a)로 처리 가스를 유도하는 가스 도입구(36c)가 형성되어 있고, 이 가스 도입구(36c)에는, 가스 공급관(38)이 접속되어 있다.
- [0029] 가스 공급관(38)에는, 밸브군(42) 및 유량 제어기군(44)을 통해 가스 소스군(40)이 접속되어 있다. 도 2는, 밸브군, 유량 제어기군, 및 가스 소스군의 일례를 상세히 도시하는 도면이다. 도 2에 도시하는 바와 같이, 가스 소스군(40)은, 복수의 가스 소스(401~405)를 포함하고 있다. 가스 소스(401~405)는 각각, C<sub>4</sub>F<sub>6</sub> 가스, O<sub>2</sub> 가스, Ar 가스, Cl<sub>2</sub> 가스, HBr 가스의 소스이다. 유량 제어기군(44)은, 복수의 유량 제어기(441~445)를 포함하고 있다. 유량 제어기(441~445)는 각각, 가스 소스(401~405)에 접속되어 있다. 이들 유량 제어기(441~445)의 각각은, 매스플로우 컨트롤러일 수 있다. 밸브군(42)은, 복수의 밸브(421~425)를 포함하고 있다. 밸브(421~425)는 각각, 유량 제어기(441~445)에 접속되어 있다.
- [0030] 플라즈마 처리 장치(10)에서는, 가스 소스(401~405) 중 선택된 가스 소스로부터의 가스가, 대응의 유량 제어기 및 밸브를 통해, 유량 제어된 상태에서, 가스 공급관(38)에 공급된다. 가스 공급관(38)에 공급된 가스는, 가스 확산실(36a)에 이르며, 가스 통류 구멍(36b) 및 가스 토출 구멍(34a)을 통해 처리 공간(S)으로 토출된다.
- [0031] 또한, 도 1에 도시하는 바와 같이, 플라즈마 처리 장치(10)는, 접지 도체(12a)를 더 구비할 수 있다. 접지 도체(12a)는, 대략 원통 형상의 접지 도체이며, 처리 용기(12)의 측벽으로부터 상부 전극(30)의 높이 위치보다도 상방으로 연장되도록 설치되어 있다.
- [0032] 또한, 플라즈마 처리 장치(10)에서는, 처리 용기(12)의 내벽을 따라 증착 실드(deposition shield; 46)가 착탈 가능하게 설치되어 있다. 또한, 증착 실드(46)는, 지지부(14)의 외주에도 설치되어 있다. 증착 실드(46)는, 처리 용기(12)에 에칭 부생물(증착(deposition))이 부착되는 것을 방지하는 것이며, 알루미늄제에 Y<sub>2</sub>O<sub>3</sub> 등의 세라믹스를 피복함으로써 구성될 수 있다.
- [0033] 처리 용기(12)의 저부측에 있어서는, 지지부(14)와 처리 용기(12)의 내벽 사이에 배기 플레이트(48)가 설치되어 있다. 배기 플레이트(48)는, 예컨대, 알루미늄제에 Y<sub>2</sub>O<sub>3</sub> 등의 세라믹스를 피복함으로써 구성될 수 있다. 이 배기 플레이트(48)의 하방에 있어서 처리 용기(12)에는, 배기구(12e)가 형성되어 있다. 배기구(12e)에는, 배기관(52)을 통해 배기 장치(50)가 접속되어 있다. 배기 장치(50)는, 터보 분자 펌프 등의 진공 펌프를 갖고 있으며, 처리 용기(12) 내를 원하는 진공도까지 감압할 수 있다. 또한, 처리 용기(12)의 측벽에는 웨이퍼(W)의 반입 반

출구(12g)가 형성되어 있고, 이 반입 반출구(12g)는 게이트 밸브(54)에 의해 개폐 가능하게 되어 있다.

- [0034] 또한, 처리 용기(12)의 내벽에는, 도전성 부재(GND 블록)(56)가 설치되어 있다. 도전성 부재(56)는, 높이 방향에 있어서 웨이퍼(W)와 대략 동일한 높이에 위치하도록, 처리 용기(12)의 내벽에 부착되어 있다. 이 도전성 부재(56)는, 그라운드에 DC적으로 접속되어 있으며, 이상 방전 방지 효과를 발휘한다.
- [0035] 또한, 플라즈마 처리 장치(10)는, 제어부(Cnt)를 더 구비할 수 있다. 이 제어부(Cnt)는, 프로세서, 기억부, 입력 장치, 표시 장치 등을 구비하는 컴퓨터이며, 플라즈마 처리 장치(10)의 각부를 제어한다. 이 제어부(Cnt)에서는, 입력 장치를 이용하여, 오퍼레이터가 플라즈마 처리 장치(10)를 관리하기 위해서 커맨드의 입력 조작 등을 행할 수 있고, 또한, 표시 장치에 의해, 플라즈마 처리 장치(10)의 가동 상황을 가시화하여 표시할 수 있다. 또한, 제어부(Cnt)의 기억부에는, 플라즈마 처리 장치(10)에서 실행되는 각종 처리를 프로세서에 의해 제어하기 위한 제어 프로그램이나, 처리 조건에 따라 플라즈마 처리 장치(10)의 각 구성부에 처리를 실행시키기 위한 프로그램, 즉, 처리 레시피가 저장된다.
- [0036] 일 실시형태의 에칭 방법은, 이러한 플라즈마 처리 장치(10)를 이용하여 실시할 수 있으며, 예컨대, C<sub>4</sub>F<sub>6</sub> 가스를 함유하는 처리 가스의 플라즈마에 웨이퍼(W)를 노출시킴으로써 실리콘 산화막을 에칭한다. 한편, 처리 가스는, C<sub>4</sub>F<sub>6</sub> 가스에 한정되지 않고, 임의의 플루오로카본계 가스를 포함할 수 있다. 여기서, 플루오로카본계 가스란, 플루오로카본 가스 또는 플루오로하이드로 카본 가스이다. 또한, 처리 가스는, Ar 가스와 같은 희가스, 및 산소 가스를 포함할 수 있다.
- [0037] 도 3은, 일 실시형태에 따른 에칭 방법의 처리 대상인 피처리체의 일례를 도시하는 단면도이다. 도 3에 도시하는 피처리체(이하, 「웨이퍼」라고 함)(W)는, 하지층(UL), 실리콘 산화막(OX), 및 마스크(MK)를 포함하고 있다. 실리콘 산화막(OX)은, 하지층(UL) 상에 형성되어 있으며, 예컨대, 2 μm와 같은 막 두께를 가질 수 있다.
- [0038] 마스크(MK)는, 실리콘 산화막(OX) 상에 형성되어 있다. 마스크(MK)는, 실리콘 산화막(OX)에 전사해야 할 패턴을 갖고 있다. 예컨대, 실리콘 산화막(OX)을 관통하는 컨택트홀을 형성하는 경우에는, 마스크(MK)는, 원형의 개구를 포함하는 패턴을 갖는다.
- [0039] 도 3에 도시하는 바와 같이, 마스크(MK)는, 제1 막(L1) 및 제2 막(L2)을 포함하고 있다. 제1 막(L1)은, 예컨대, 폴리실리콘막이다. 제2 막(L2)은, 실리콘 산화막의 에칭용의 처리 가스의 플라즈마 중의 활성종에 대하여, 제1 막(L1)의 에칭 레이트보다 낮은 에칭 레이트를 갖는 막이다. 제2 막(L2)은, 예컨대, 텅스텐막, 텅스텐을 함유하는 폴리실리콘막, 탄소를 함유하는 비정질 실리콘막, TiN막, 질화알루미늄막, 산화알루미늄막, 또는, 산화지르코늄막일 수 있다.
- [0040] 마스크(MK)는, 예컨대, 다음의 처리에 의해 작성할 수 있다. 즉, 실리콘 산화막(OX) 상에 제1 막(L1) 및 제2 막(L2)을 순서대로 적층한다. 계속해서, 제2 막(L2) 상에 산화실리콘계의 마스크를 형성한다. 그리고, 플라즈마 처리 장치(10) 내에 있어서 발생시킨 Cl<sub>2</sub> 가스의 플라즈마에 의해 제2 막(L2)을 에칭한다. 제2 막(L2)의 에칭은, 예컨대, 고주파 전원(HFS)의 전력을 800 W로, 고주파 전원(LFS)의 전력을 400 W로, Cl<sub>2</sub> 가스의 유량을 50 sccm으로, 처리 용기(12) 내의 압력을 10 mTorr(1.333 Pa)로, 웨이퍼의 온도를 60℃로 설정함으로써, 행해진다. 그 후, 제1 막(L1)이 폴리실리콘막인 경우에는, 플라즈마 처리 장치(10) 내에 있어서 발생시킨 HBr 가스의 플라즈마에 의해 제1 막(L1)을 에칭한다. 이에 따라, 도 3에 도시하는 마스크(MK)가 얻어진다. 한편, 마스크(MK)의 작성은, 플라즈마 처리 장치(10)와 진공 반송계를 통해 연결된 별도의 플라즈마 처리 장치에 있어서 실시되어도 좋다.
- [0041] 일 실시형태의 에칭 방법은, 이러한 마스크(MK)를 이용하여 실리콘 산화막(OX)을 에칭한다. 예컨대, 플라즈마 처리 장치(10)를 이용하는 경우에는, C<sub>4</sub>F<sub>6</sub> 가스, O<sub>2</sub> 가스, 및 Ar 가스를 함유하는 처리 가스를 처리 용기(12) 내에 공급하고, 상기 처리 용기(12) 내의 압력을 17 mTorr(2.266 Pa)로 설정하며, 웨이퍼(W)의 온도를 60℃로 설정하고, 처리 가스의 플라즈마를 발생시킴으로써, 실리콘 산화막(OX)을 에칭할 수 있다.
- [0042] 이하, 종래의 실리콘 산화막의 에칭 방법과 비교하여, 일 실시형태의 에칭 방법에 대해서, 보다 상세히 설명한다. 도 4는, 종래의 실리콘 산화막의 에칭 방법에 있어서 처리되는 피처리체를 도시하는 단면도이다. 종래의 에칭 방법에서는, 하지층(UL) 상에 형성된 실리콘 산화막(OX)의 에칭을 위해서, 마스크(CM)로서, 예컨대, 단층의 폴리실리콘막이 이용되고 있다. 이러한 마스크(CM)에서는, 상기 마스크(CM)의 표면에 보호막을 형성하면서 실리콘 산화막(OX)을 에칭하더라도, 에칭의 종료까지의 사이에, 도 4에 도시하는 바와 같이, 마스크(CM)의 막 두께가 감소된다. 한편, 도 4에서는, 실리콘 산화막(OX)의 에칭 전의 마스크(CM)의 상태가 이점 쇄선에 의해 나타나

있고, 실리콘 산화막(OX)의 에칭 도중의 마스크(CM)의 상태가 실선에 의해 나타나 있다.

[0043] 도 4에 도시하는 바와 같이, 마스크(CM)의 막 두께가 작아지면, 마스크(CM)의 개구(AP)로부터 연직 방향에 대하여 비스듬히 입사하는 플라즈마 중의 활성종(AS)이 증가한다. 이와 같이 비스듬히 입사한 활성종(AS)은, 마스크(CM)의 바로 아래의 부위, 즉, 홀(HL)을 구획하는 실리콘 산화막(OX)의 상부 측벽에 충돌한다. 그 결과, 종래의 에칭 방법에서는, 보잉이 발생한다. 즉, 홀(HL)의 일부가, 마스크(CM)의 개구(AP)의 폭(W1)보다도 큰 폭(W2)을 갖게 된다.

[0044] 한편, 실시형태의 웨이퍼(W)는, 이하의 특징을 갖고 있다. 즉, 제1 막(L1)은, 제2 막(L2)에 비하여, 실리콘 산화막의 에칭용의 처리 가스의 플라즈마 중의 활성종에 대한 높은 에칭 레이트를 갖지만, 가공이 용이하다. 따라서, 마스크(MK)의 막 두께에 차지하는 제1 막(L1)의 막 두께를 크게 함으로써, 큰 막 두께를 갖는 마스크(MK)를 얻을 수 있다. 한편, 제2 막(L2)은, 제1 막(L1)에 비하여, 결정성 좋게 또한 큰 막 두께로 형성하는 것이 곤란한 막이며, 가공에 시간이 필요한 막이지만, 실리콘 산화막의 에칭용의 처리 가스의 플라즈마 중의 활성종에 대한 낮은 에칭 레이트를 갖는다. 실시형태의 마스크(MK)는, 가공이 비교적 용이하고 막 두께를 크게 하는 것이 가능한 제1 막(L1)과, 내에칭성이 높은 제2 막(L2)의 적층 구조를 가짐으로써, 플라즈마 중의 활성종에 대한 내성과 큰 막 두께의 양방을 겸비한 것으로 되어 있다.

[0045] 이러한 마스크(MK)를 이용함으로써, 일 실시형태의 에칭 방법은, 실리콘 산화막(OX)의 에칭의 종료까지 마스크의 막 두께를 유지하는 것이 가능해진다. 구체적으로는, 도 5에 도시하는 바와 같이, 실리콘 산화막(OX)의 에칭의 종료까지의 사이에, 제2 막(L2)이 에칭에 의해 제거되어도, 충분한 막 두께가 확보된 제1 막(L1)이 남겨진다. 그 결과, 도 5에 도시하는 바와 같이, 활성종(AS)이 연직 방향에 대하여 비스듬히 입사해도 상기 활성종(AS)은 마스크(MK)에 충돌하기 때문에, 실리콘 산화막(OX)의 측벽이 횡방향으로 깎이는 것을 억제할 수 있다. 따라서, 홀을 에칭할 때에, 비스듬히 입사하는 이온 등에 기인하는 보잉의 발생을 저감시키는 것이 가능해진다.

[0046] 도 6은, 마스크(MK)의 잔막의 두께와 도 4에 도시하는 폭(W2)의 관계를 도시하는 도면이다. 도 6에 있어서, 횡축은, 실리콘 산화막(OX)의 에칭 종료시의 마스크의 잔막의 막 두께를 나타내고 있다. 또한, 도 6에 있어서, 종축은, 도 4에 도시하는 폭(W2), 즉, 보잉을 반영하는 양을 나타내고 있다. 도 6에 도시하는 바와 같이, 실리콘 산화막(OX)의 에칭 종료시의 마스크의 잔막이 작으면, W2는 큰 값이 된다. 즉, 실리콘 산화막(OX)의 에칭 종료시의 마스크의 잔막의 막 두께가 작으면, 보잉이 발생한다. 한편, 실리콘 산화막(OX)의 에칭 종료시의 마스크의 잔막의 막 두께가 일정한 막 두께 T1 이상이면, W2는 대략 일정한 양이 된다. 따라서, 실리콘 산화막(OX)의 에칭 종료시에, 마스크의 잔막의 막 두께가 막 두께 T1 이상이 되도록, 제1 막(L1)의 막 두께, 제1 막(L1)의 재료, 제2 막(L2)의 막 두께, 및 제2 막(L2)의 재료를 선택할 수 있다. 예컨대, 마스크(MK)의 개구(AP)의 사이즈 등에 따라 변동하지만, 실리콘 산화막(OX)의 에칭 종료시에, 마스크의 잔막의 막 두께가 250 nm 이상이 되도록, 제1 막(L1)의 막 두께, 제1 막(L1)의 재료, 제2 막(L2)의 막 두께, 및 제2 막(L2)의 재료를 선택할 수 있다.

[0047] 여기서, 제1 막(L1)의 막 두께를 D1, 제2 막(L2)의 막 두께를 D2, 제1 막(L1)의 에칭 레이트를 E1, 제2 막(L2)의 에칭 레이트를 E2, 실리콘 산화막(OX)의 에칭 시간을 t라고 하면, 마스크(MK)의 잔막의 막 두께 Dr은, 이하의 (1)식 또는 (2)식으로 표시된다.

[0048] · 에칭 시간 t의 경과 후에 제2 막(L2)이 남는 경우( $t \leq D2/E2$ 의 경우)

[0049] 
$$Dr = D1 + D2 - E2 \times t \quad \dots(1)$$

[0050] · 에칭 시간 t의 경과 후에 제2 막(L2)이 남지 않는 경우( $t \geq D2/E2$ 의 경우)

[0051] 
$$Dr = D1 + (E1/E2) \times D2 - E1 \times t \quad \dots(2)$$

[0052] 도 7은, 식 (1) 및 식 (2)에 기초하는 실리콘 산화막(OX)의 에칭 시간 t와 마스크(MK)의 잔막의 막 두께 Dr의 관계의 일례를 도시하고 있다. 도 7에 도시하는 일례에 있어서는, E2는 20 nm/분, E1은 50 nm/분, D2는 100 nm, D1은 700 nm이다. 도 7에 도시하는 바와 같이, 실리콘 산화막(OX)의 에칭 시간 t에 따라 마스크(MK)의 잔막의 막 두께 Dr은 경시적으로 변화한다. 구체적으로는, 마스크(MK)의 잔막의 막 두께 Dr은, 제2 막(L2)이 남겨져 있는 동안에는, 에칭 레이트 E2가 작은 것에 기인하여, 경시적으로 완만히 감소한다. 또한, 제2 막(L2)이 깎여진 후에는, 에칭 레이트 E1이 큰 것에 기인하여 경시적으로 급속히 감소한다.

[0053] 이와 같이 식 (1) 및 식 (2)에 의해 규정되는 마스크(MK)의 잔막의 막 두께 Dr의 경시 변화를 고려함으로써, 제



1 막(L1)의 막 두께, 제1 막(L1)의 재료, 제2 막(L2)의 막 두께, 및 제2 막(L2)의 재료를 결정할 수 있다. 즉, 실리콘 산화막(OX)의 에칭에 필요한 시간을  $t_1$ 이라고 하고, 상기 시간  $t_1$ 의 경과 후에 필요한 마스크의 잔막의 막 두께를  $T_1$  이상이라고 하면, 하기의 식 (3) 및 식 (4)를 유도할 수 있다. 그리고, 제1 막(L1)의 막 두께  $D_1$ , 제2 막(L2)의 막 두께  $D_2$ , 제1 막(L1)의 에칭 레이트  $E_1$ , 제2 막(L2)의 에칭 레이트  $E_2$ 가 식 (3) 또는 식 (4)를 만족시키도록, 제1 막(L1)의 막 두께, 제1 막(L1)의 재료, 제2 막(L2)의 막 두께, 및 제2 막(L2)의 재료를 선택할 수 있다.

[0054] · 에칭 시간  $t_1$ 의 경과 후에 제2 막(L2)이 남는 경우( $t_1 < D_2/E_2$ 의 경우)

[0055] 
$$D_1 + D_2 - E_2 \times t_1 \geq T_1 \quad \dots(3)$$

[0056] · 에칭 시간  $t_1$ 의 경과 후에 제2 막(L2)이 남지 않는 경우( $t_1 \geq D_2/E_2$ 의 경우)

[0057] 
$$D_1 + (E_1/E_2) \times D_2 - E_1 \times t_1 \geq T_1 \quad \dots(4)$$

[0058] 일 실시형태에서는, 제2 막(L2)은, 제1 막(L1)의 막 두께보다 작은 막 두께를 가질 수 있다. 즉, 일 실시형태에 있어서는, 제2 막(L2)의 막 두께  $D_2$ 가 제1 막(L1)의 막 두께  $D_1$ 보다도 작은 마스크(MK)를, 식 (3) 또는 식 (4)를 만족시키도록 구성할 수 있다. 이에 따라, 에칭이 어려운 재료로 구성될 수 있는 제2 막(L2)의 막 두께를 작게 하는 것이 가능하고, 또한, 실리콘 산화막(OX)의 에칭 후에, 잔막의 막 두께를 일정한 막 두께 이상으로 유지하는 것이 가능한 마스크(MK)를 얻을 수 있다. 예컨대, 초기 상태, 즉, 실리콘 산화막(OX)의 에칭 전의 상태에서, 제1 막(L1)은, 700 nm와 같은 두께를 갖고 있어도 좋고, 제2 막(L2)은, 100 nm와 같은 막 두께를 갖고 있어도 좋다.

[0059] 또한, 일 실시형태에서는, 제2 막(L2)은, 실리콘 산화막의 에칭용의 처리 가스의 플라즈마 중의 활성종에 대하여, 제1 막(L1)의 에칭 레이트의 1/3 이하의 에칭 레이트를 가질 수 있다. 본원 발명자가 행한 실험에 따르면, 플루오로카본 가스의 플라즈마에 의한 에칭에서는, 도프되어 있지 않은 통상의 폴리실리콘막의 에칭 레이트를 1이라고 하면, 15 at%의 탄소를 포함하는 폴리실리콘막의 에칭 레이트, 20 at%의 탄소를 포함하는 폴리실리콘막의 에칭 레이트, 텅스텐막의 에칭 레이트는 각각, 3/5, 2/3, 1/3이었다. 따라서, 실리콘 산화막의 에칭용의 처리 가스의 플라즈마 중의 활성종에 대하여, 제1 막(L1)의 에칭 레이트의 1/3 이하의 에칭 레이트를 갖는 제2 막(L2)으로서는, 텅스텐막을 이용하는 것이 가능하다.

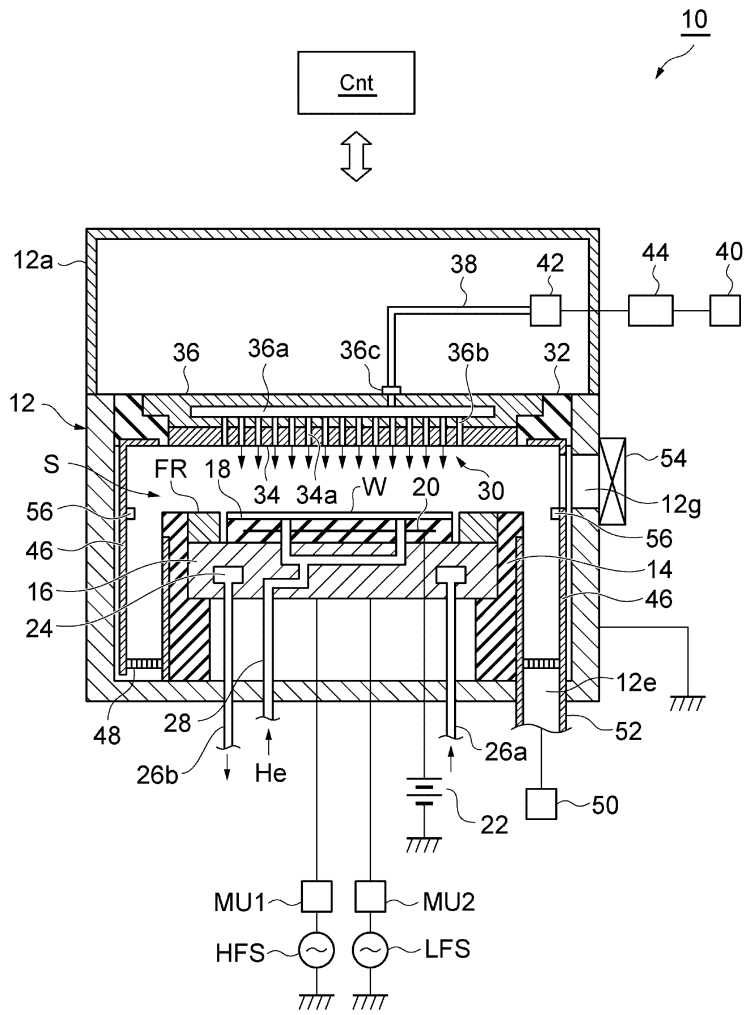
[0060] 이상, 여러 가지 실시형태에 대해서 설명해 왔으나, 전술한 실시형태에 한정되지 않고 여러 가지 변형 형태를 구성 가능하다. 예컨대, 제2 막(L2)은, 제1 막(L1)의 막 두께 이상의 막 두께를 갖고 있어도 좋다. 또한, 제1 막(L1)은, 폴리실리콘막에 한정되는 것은 아니다. 예컨대, 제1 막(L1)에 탄소를 함유하는 비정질 실리콘 또는 비정질 카본을 이용하고, 제2 막(L2)에 텅스텐막을 이용해도 좋다.

**부호의 설명**

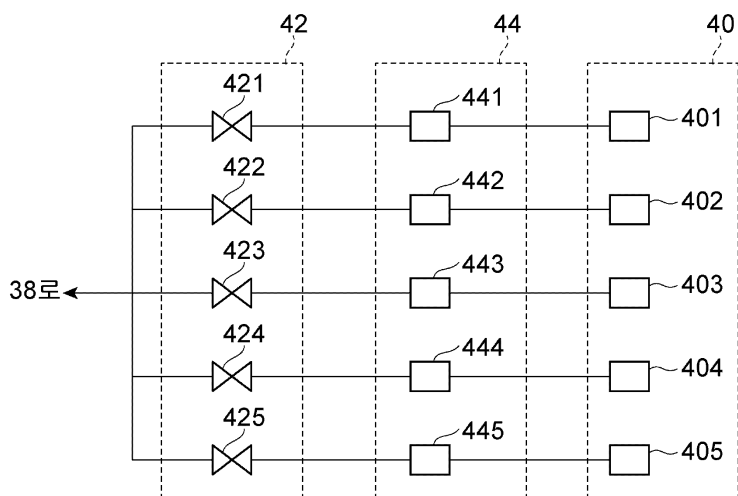
- [0061]
- |                |           |
|----------------|-----------|
| 10: 플라즈마 처리 장치 | 12: 처리 용기 |
| 16: 하부 전극      | 18: 정전척   |
| 30: 상부 전극      | W: 웨이퍼    |
| OX: 실리콘 산화막    | MK: 마스크   |
| L1: 제1 막       | L2: 제2 막  |

도면

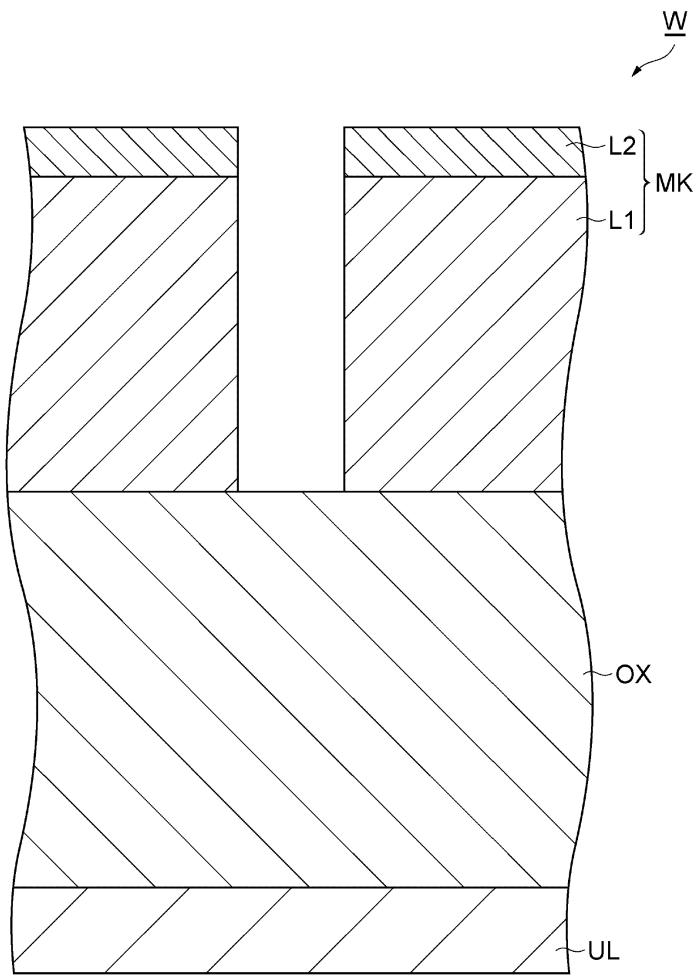
도면1



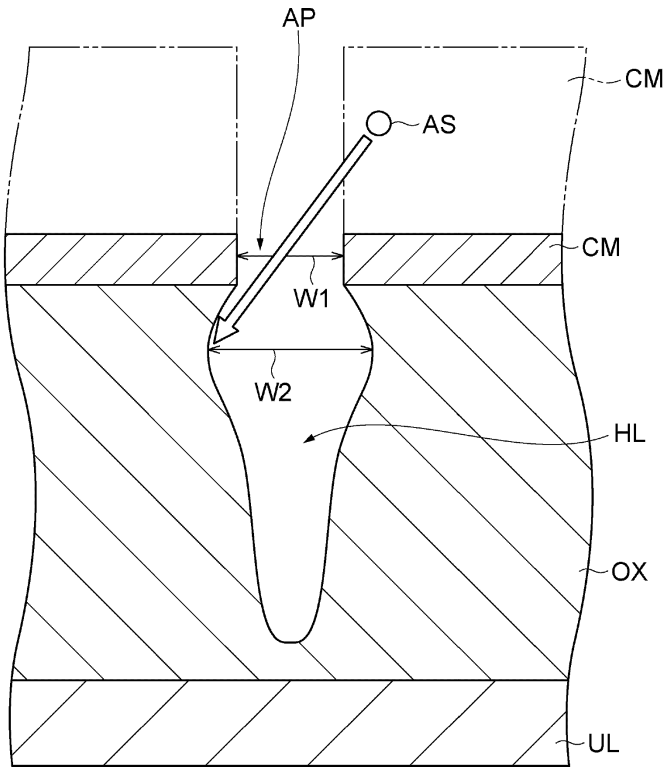
도면2



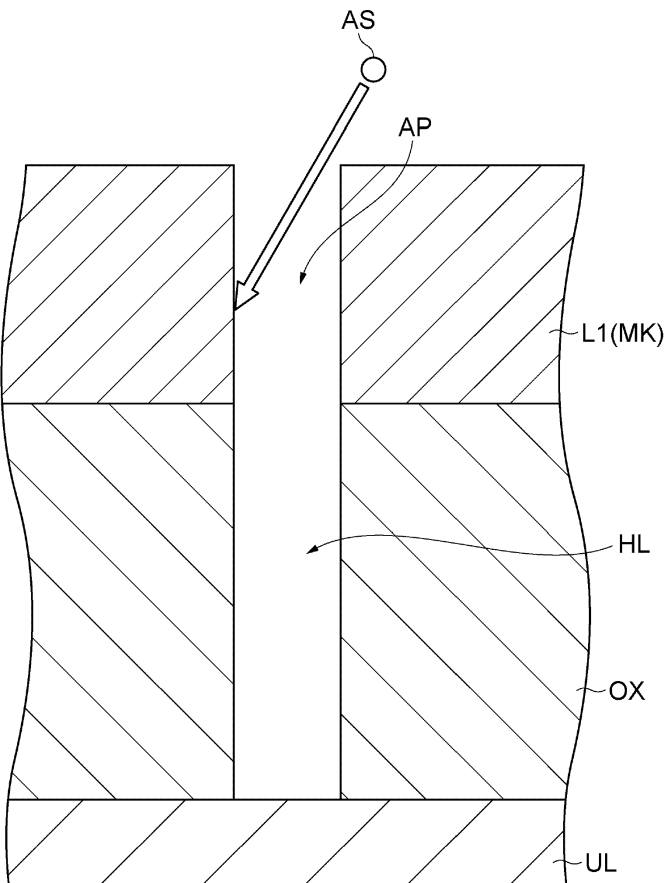
도면3



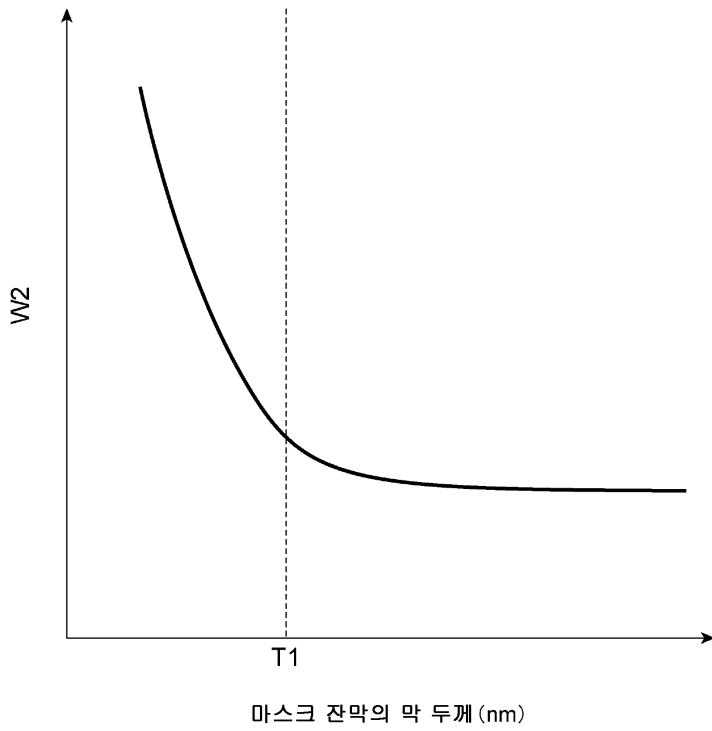
도면4



도면5



도면6



도면7

