(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 30 日(30.12.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/198950 A1

(51) 国際特許分類:
*H01L 29/861* (2006.01)　*H01L 29/06* (2006.01)
*H01L 21/205* (2006.01)　*H01L 29/16* (2006.01)
*H01L 21/28* (2006.01)　*H01L 29/868* (2006.01)
*H01L 21/329* (2006.01)

(21) 国際出願番号: PCT/JP2015/067513

(22) 国際出願日: 2015 年 6 月 17 日(17.06.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-128021 2014 年 6 月 23 日(23.06.2014) JP

(71) 出願人: 株式会社　東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目１番１号 Tokyo (JP).

(72) 発明者: 鈴木　真理子 (SUZUKI, Mariko); 〒1058001 東京都港区芝浦一丁目１番１号　株式会社東芝　知的財産室内 Tokyo (JP). 酒井　忠司 (SAKAI, Tadashi); 〒2128582 神奈川県川崎市幸区小向東芝町１番地　東芝リサーチングコンサルティング株式会社内 Kanagawa (JP).

(74) 代理人: 日向寺　雅彦 (HYUGAJI, Masahiko); 〒2318966 神奈川県横浜市中区桜木町一丁目１番地８　日石横浜ビル Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

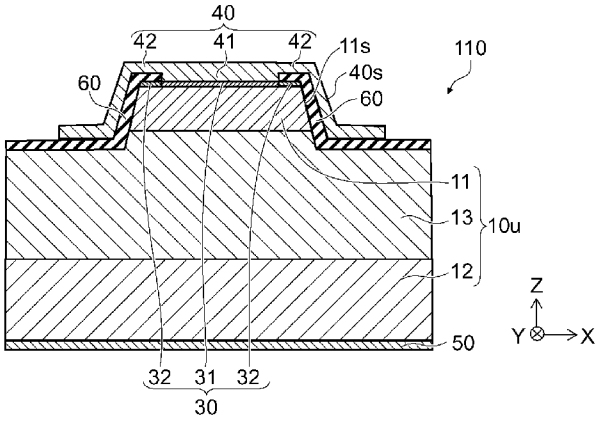
— 国際調査報告（条約第 21 条(3)）

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE, AND METHOD FOR PRODUCING SAME

(54) 発明の名称 : 半導体装置及びその製造方法

[図1]




(57) **Abstract**: According to an embodiment of the present invention, a semiconductor device includes a diamond-containing n-type semiconductor layer, a first section-containing first electrode, an intermediate layer, and a diamond-containing p-type semiconductor layer. The intermediate layer contains at least one of a carbide, graphite, graphene, and amorphous carbon. The carbide contains at least one of Ti, Si, Al, W, Ni, Cr, Ca, Li, Ru, Mo, Zr, Sr, Co, Rb, K, Cu and Na. The intermediate layer includes a first region, which is provided between the first section and the n-type semiconductor layer, and a second region, which is provided at the periphery of the first region when projected onto a flat surface that is perpendicular to the direction from the n-type semiconductor layer towards the first electrode and which is connected to the first region without overlapping the first section.

(57) 要約:

[続葉有]

WO 2015/198950 A1

— 補正された請求の範囲（条約第 19 条(1)）

実施形態によれば、半導体装置は、ダイヤモンドを含むｎ形半導体層と、第１部分を含む第１電極と、中間層と、ダイヤモンドを含むｐ形半導体層と、を含む。前記中間層は、炭化物、グラファイト、グラフェン及びアモルファスカーボンの少なくともいずれかを含む。前記炭化物は、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含む。前記中間層は、前記第１部分と前記ｎ形半導体層との間に設けられた第１領域と、前記ｎ形半導体層から前記第１電極に向かう方向に対して垂直な平面に投影したときに前記第１領域の周りに設けられ前記第１部分と重ならず前記第１領域と連続した第２領域と、を含む。

# 明　細　書

## 発明の名称 ： 半導体装置及びその製造方法

## 技術分野

[0001] 本発明の実施形態は、半導体装置及びその製造方法に関する。

## 背景技術

[0002] ダイヤモンドを用いた半導体装置が提案されている。半導体装置において、耐圧が高いことが望まれる。

## 先行技術文献

## 特許文献

[0003] 特許文献1：特開２００９－２００１１０号公報

## 発明の概要

## 発明が解決しようとする課題

[0004] 本発明の実施形態は、高耐圧の半導体装置及びその製造方法を提供する。

## 課題を解決するための手段

[0005] 本発明の実施形態によれば、半導体装置は、ダイヤモンドを含むｎ形半導体層と、第１部分を含む第１電極と、中間層と、ダイヤモンドを含むｐ形半導体層と、を含む。前記中間層は、炭化物、グラファイト、グラフェン及びアモルファスカーボンの少なくともいずれかを含む。前記炭化物は、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含む。前記中間層は、前記第１部分と前記ｎ形半導体層との間に設けられた第１領域と、前記ｎ形半導体層から前記第１電極に向かう方向に対して垂直な平面に投影したときに前記第１領域の周りに設けられ前記第１部分と重ならず前記第１領域と連続した第２領域と、を含む。

## 図面の簡単な説明

[0006] [図1]第１の実施形態に係る半導体装置を示す模式的断面図である。

[図2]図２（ａ）～図２（ｄ）は、第１の実施形態に係る半導体装置の製造方法を示す工程順模式的断面図である。

[図3]半導体装置の特性を示す模式図である。

[図4]第２の実施形態に係る半導体装置を示す模式的断面図である。

[図5]図５（ａ）～図５（ｅ）は、第２の実施形態に係る半導体装置の製造方法を示す工程順模式的断面図である。

[図6]第３の実施形態に係る半導体装置を示す模式的断面図である。

[図7]第４の実施形態に係る半導体装置の製造方法を示すフローチャート図である。

[図8]第５の実施形態に係る半導体装置の製造方法を示すフローチャート図である。

[図9]第６の実施形態に係る半導体装置の製造方法を示すフローチャート図である。

## 発明を実施するための形態

[0007] 以下に、本発明の各実施の形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0008] （第１の実施形態）

図１は、第１の実施形態に係る半導体装置を例示する模式的断面図である。

図１に表したように、本実施形態に係る半導体装置１１０は、ｎ形半導体層１１と、ｐ形半導体層１２と、第１電極４０と、中間層３０と、を含む。

[0009] ｎ形半導体層１１から第１電極４０に向かう方向を積層方向（Ｚ軸方向）とする。Ｚ軸方向に対して垂直な１つの方向をＸ軸方向とする。Ｚ軸方向と

Ｘ軸方向とに対して垂直な方向をＹ軸方向とする。Ｘ－Ｙ平面は、積層方向（Ｚ軸方向）に対して垂直な平面である。

[0010] ｐ形半導体層１２は、ｎ形半導体層１１と電気的に接続される。本明細書において、電気的に接続される状態は、直接接する状態と、間に別の層が挿入された状態と、を含む。電気的に接続される状態は、少なくとも１つの方向に電流が流れる状態が形成可能な状態を含む。

[0011] ｎ形半導体層１１及びｐ形半導体層１２は、ダイヤモンドを含む。半導体装置１１０は、半導体層としてダイヤモンドを用いた半導体装置である。

[0012] この例では、中間半導体層１３がさらに設けられている。中間半導体層１３は、ｐ形半導体層１３とｎ形半導体層１１との間に設けられ、ダイヤモンドを含む。中間半導体層１３における不純物濃度は、ｐ形半導体層１２における不純物濃度よりも低い。中間半導体層１３における不純物濃度は、ｎ形半導体層１１における不純物濃度よりも低い。

[0013] ｎ形半導体層は、$n^+$層であり、ｐ形半導体層は、$p^+$層である。中間半導体層１３は、$p^-$層である。または、中間半導体層１３は、例えば、真性半導体でも良い。

[0014] これらの半導体層は、ｐｎ接合を有する積層体１０ｕに含まれる。実施形態において、ｐｎ接合は、ｐ形層及びｎ形層の積層体を含む。実施形態において、ｐ形層とｎ形層との間に、不純物濃度が低い層が設けられる場合も、ｐｎ接合の積層体に含まれる。

[0015] この例では、積層体１０ｕにおいて、メサ構造が設けられている。すなわち、ｎ形半導体層１１は、Ｘ－Ｙ平面と交差する側面１１ｓを有している。この例では、側面１１ｓは、Ｚ軸方向に対して傾斜している。

[0016] 第１電極４０とｎ形半導体層１１との間に電流が流れる。第１電極４０は、オーミック電極である。第１電極４０は、第１部分４１を含む。第１電極４０の第１部分４１は、ｎ形半導体層１１に対するコンタクト部分である。

[0017] 中間層３０は、第１領域３１と、第２領域３２と、を含む。第１領域３１は、第１部分４１とｎ形半導体層１１との間に設けられる。第１領域３２は

、Ｘ－Ｙ平面に投影したときに、第１領域３１の周りに設けられ、第１部分４１と重ならない。第２領域３２は、第１領域３１と連続している。実施形態において、第１領域３１及び第２領域３２は、ｎ形半導体層１１と接する。

[0018] 中間層３０は、導電性である。中間層３０のうちの第１領域３１を介して、第１電極４０の第１部分４１と、ｎ形半導体層１１と、の間に、電流が流れる。

[0019] 中間層３０は、炭化物、グラファイト、グラフェン及びアモルファスカーボンの少なくともいずれかを含む。この炭化物は、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含む炭化物である。

[0020] 後述するように、中間層３０の第１領域３１と第２領域３２とにおいて、材料は同じでも良く、異なっても良い。

[0021] この例では、第１電極４０は、第２部分４２をさらに含む。そして、絶縁層６０がさらに設けられている。第２部分４２は、Ｘ－Ｙ平面に投影したときに、第１部分４１の周りに設けられる。第２部分４２は、第１部分４１と連続している。第２部分４２は、例えば、コンタクト部分の周りに設けられるパッド部分を含む。

[0022] 絶縁層６０の少なくとも一部は、第２部分４２とｎ形半導体層１１との間に設けられる。具体的には、絶縁層６０は、第２部分４２と第２領域３２との間に配置される。

[0023] この例では、第１電極４０のうちの第２部分４２は、ｎ形半導体層１１の側面１１ｓを覆うように設けられている。すなわち、第１電極４０は、ｎ形半導体層１１の側面１１ｓに対向する部分４０ｓ（例えば第２部分４２の一部）を含む。絶縁層６０は、ｎ形半導体層１１の側面１１ｓと、第１電極４０の上記の対向する部分４０ｓ（第２部分４２の一部）との間に延在している。すなわち、絶縁層６０が、ｎ形半導体層１１の側面１１ｓを覆うように設けられ、このような絶縁層６０の上に第１電極４０が設けられる。絶縁層

６０でｎ形半導体層１１の側面１１ｓを覆うことで、例えば、信頼性が向上する。絶縁層６０は、保護層として機能する。

後述するように、第２部分４２及び絶縁層６０は、省略しても良い。

[0024] この例では、第１電極４０とｐ形半導体層１２との間にｎ形半導体層１１が配置される。そして、第２電極５０がさらに設けられている。第２電極５０は、ｐ形半導体層１２と電気的に接続される。第１電極４０と第２電極５０との間に、ｎ形半導体層１１が配置される。ｎ形半導体層１１と第２電極５０との間に、ｐ形半導体層１２が配置される。

[0025] 以下、半導体装置１１０の製造方法の例について説明する。

図２（ａ）～図２（ｄ）は、第１の実施形態に係る半導体装置の製造方法を例示する工程順模式的断面図である。

図２（ａ）に示すように、ｐ形半導体層１２（例えばｐ形ダイヤモンド基板）の上に、中間半導体層１３となるアンドープ真性半導体ダイヤモンド層１３ｆを形成し、その上に、ｎ形半導体層１１となるｎ形ダイヤモンド層１１ｆを形成する。これらの層の形成には、例えば、マイクロ波プラズマＣＶＤ（Chemical Vapor Deposition）法が用いられる。

[0026] 図２（ｂ）に示すように、アンドープ真性半導体ダイヤモンド層１３ｆの一部、及び、ｎ形ダイヤモンド層１１ｆの一部を除去して、メサ構造を形成する。これらの除去には、例えば、パターニングとＲＩＥ（Reactive Ion Etching）が用いられる。これにより、中間半導体層１３及びｎ形半導体層１１が形成される。

[0027] 図２（ｃ）に示すように、絶縁層６０を形成する。例えば、絶縁層６０となるシリコン酸化膜を例えばＣＶＤにより形成する。パターニングとエッチングによりシリコン酸化膜の一部を除去する。これにより、絶縁層６０が形成される。

[0028] この後、熱処理を行う。熱処理は、例えば、空気中で行われる。温度は、例えば１０００℃以上１５００℃以下であり、例えば、１３００℃である。時間は、１０分以上６０分以下であり、例えば、３０分である。この熱処理

により、ｎ形半導体層１１のうちの絶縁層６０に接する部分が、変化する。例えば、絶縁層６０に含まれるＳｉと、ｎ形半導体層１１に含まれるＣ（炭素）と、を含む化合物が形成される。例えば、ＳｉＣ層が形成される。このＳｉＣ層が、中間層３０の一部（第２領域３２）となる。

[0029] 図２（ｄ）に示すように、第１電極４０を形成する。例えば、第１電極４０となる導電膜を形成する。導電膜には、例えば、Ｔｉ／Ｐｔ／Ａｕの積層膜が用いられる。積層膜の形成には、例えば、電子ビーム蒸着が用いられる。Ｔｉ膜が、絶縁層６０に覆われていないｎ形半導体層１１に接する。この導電膜をパターニングする。これにより、第１電極４０が形成される。

[0030] この後、アニールを行う。アニールの温度は、例えば５００℃以上７００℃以下であり、例えば６００℃である。アニールの時間は、１０分以上６０分以下であり、例えば３０分である。このアニールにより、上記の導電膜のＴｉと、ｎ形半導体層１１の炭素と、によりＴｉＣ層が形成される。このＴｉＣ層は、中間層３０の一部（第１領域３１）となる。上記の工程により、半導体装置１１０が形成される。

[0031] ｐ形半導体層１２における不純物として、例えば、ホウ素が用いられる。ｐ形半導体層１２におけるホウ素の濃度は、例えば、$1\times10^{20}cm^{-3}$以上$1\times10^{21}cm^{-3}$以下であり、例えば、$5\times10^{20}cm^{-3}$である。ｎ形半導体層１１における不純物として、例えば、リンが用いられる。ｎ形半導体層１１におけるリンの濃度は、例えば、$5\times10^{19}cm^{-3}$以上$5\times10^{20}cm^{-3}$以下であり、例えば、$1\times10^{20}cm^{-3}$である。この例では、中間半導体層１３における不純物の濃度は、２次イオン質量分析（ＳＩＭＳ）における検出下限よりも低く、例えば、$1\times10^{15}cm^{-3}$未満である。

[0032] 半導体装置１１０において、第１領域３１としてＴｉＣ層が設けられ、第２領域３２としてＳｉＣ層が設けられる。第１領域３１及び第２領域３２は、電界緩和層として機能する。

[0033] 半導体装置１１０の電流－電圧特性（Ｉ－Ｖ特性）において、±１０Ｖにおける整流比は、例えば、$1\times10^{10}$以上である。１０Ｖにおける順方向電

流密度は、例えば、１０００Ａ／ｃｍ$^2$以上である。逆方向の電圧が１０ｋＶのときにおいても、ブレークダウンは生じない。

[0034] 実施形態に係る半導体装置１１０によれば、高耐圧の半導体装置が提供できる。

[0035] ダイヤモンドは、強固で、高熱伝導率（２０Ｗ／ｃｍＫ）である。ダイヤモンドにおけるバンドギャップエネルギーは、５．５ｅＶであり、ダイヤモンドは、ワイドギャップ半導体である。ダイヤモンドは、高キャリア移動度を有し、電子移動度は、約４５００ｃｍ$^2$／Ｖｓｅｃであり、ホール移動度は、約３８００ｃｍ$^2$／Ｖｓｅｃである。ダイヤモンドにおける破壊電界強度は高く、１０ＭＶ／ｃｍが期待される。ダイヤモンドは、高温でも動作可能なパワーデバイス、高周波(パワー)デバイス、紫外光デバイス、または、電子放出源等への応用が期待される。パワーデバイスの性能指数（バリガ指数）の比較からわかるように、ダイヤモンドは、ＳｉＣ及びＧａＮに比べて、パワーデバイスの性能を大きく向上させると期待される。

[0036] これまでにダイヤモンドを用いたショットキー接合を有するダイオード、トランジスタの検討が行われている。しかしながら、ショットキー障壁高さによって耐圧の限界が制限される。このため、１０ｋＶ以上の耐圧を得ることは困難である。

[0037] 一方、バイポーラ型の伝導機構を有するｐｉｎダイオードにおいては、逆方向耐圧は、ｐｎ接合界面の空乏層（すなわちｉ層）で決まる。このため、ダイヤモンド本来の高い絶縁破壊電界を活かすことが可能である。順方向電流についても、ダイヤモンドｉ層において非常に高い移動度が得られることから、ｉ層を厚くしても高い伝導度が期待できる。ｎ形層へのコンタクト抵抗は高濃度ドーピングにより低減され、オーミックコンタクトが可能である。

[0038] しかしながら、ｐｉｎダイオードでは、発光素子を目的とした報告がほとんどであり、逆方向耐圧は、ダイヤモンドに本来期待される値に比べて非常に小さい。

[0039] ショットキーダイオードでは、電極端に電界が集中することから、耐圧向上のために、フィールドプレートやガードリングなどの電界集中緩和構造について検討されている。しかしながら、ｐｉｎダイオードは、通常、ｐｎ界面に最大電界が印加され、特に接合端での電界集中が問題となることから、電界緩和構造は電極端ではなくｐｎ接合端のＪＴＥ構造（接合終端構造）について検討されている。

[0040] ダイヤモンドのｐｉｎダイオードにおいて、３ＭＶ／ｃｍを越える大きな電界強度がドリフト層に印加されるような電圧で、ｐｎ接合端での降伏よりも先に電極端が破壊されてしまうことがわかった。これは、ダイヤモンド特有の表面状態に起因すると考えられる。

[0041] 図３は、半導体装置の特性を例示する模式図である。

図３は、ダイヤモンドと金属とにおけるバンド状態を例示している。

図３に示すように、ｎ形ダイヤモンド（例えばｎ形半導体層１１）の表面において、フェルミレベルが強固にピニングしている。電極（金属）直下のｎ形ダイヤモンドにおいて、金属膜を堆積した直後ではショットキー接合が形成されるが、アニールにより、ＴｉＣなどを形成することで、ｎ形ダイヤモンドと金属との界面のピニングが緩和される。これにより、接触抵抗を小さくすることが可能である。

[0042] 一方、ｎ形ダイヤモンドのうちの電極直下以外の領域においては、ダイヤモンド表面でのフェルミレベルが強くピニングされたままである。このため、電圧を印加したときに、電極部と、電極部の周辺のダイヤモンド表面（及びその近傍）と、の間に電界が生じる。そして、高電圧を印加した場合には、この部分の電界強度が非常に高くなる。これにより、破壊が起こると考えられる。この現象は、フェルミレベルが強固にピニングするダイヤモンドにおいて特別に生じる現象であると考えられる。

[0043] 例えば、オーミック電極としてＴｉを用いた場合、電極直下の電極と、ダイヤモンドとの間の界面には、ＴｉＣが形成される。このため、電極直下のｎ形ダイヤモンドの表面のフェルミレベルのピニングは緩和されている。一

方、電極が設けられない部分のｎ形ダイヤモンドの表面においては、フェルミレベルは強固にピニングされたままである。

[0044] ダイヤモンドにおいては、ＧａＮに比べて表面準位密度が高く、誘電率が低い。このため、電界分布が緩和されにくい。このため、ダイヤモンドにおいては、例えば、フィールドプレートなどとは異なる方法が要求される。例えば、ダイヤモンドにおいては、表面の状態を変えることが有効であると考えられる。

[0045] 実施形態においては、ｎ側電極端の周囲のダイヤモンド表面に中間層を設ける。これにより、高耐圧のダイヤモンドの半導体装置を提供できる。実施形態は、高耐圧（例えば１０ｋＶ以上）の特性を持つダイヤモンドの半導体装置を再現良く提供する。

[0046] 実施形態においては、例えば、ダイヤモンドｐｎ接合を有する半導体装置において、ｎ側電極（第１電極４０）の端の近傍のｎ形ダイヤモンドの表面に、中間層（中間層３０の第２領域３２）を設ける。この中間層は、炭化物、グラファイト、グラフェン、及び、アモルファスカーボンの少なくともいずれかの層を含む。このような中間層を、ｎ形ダイヤモンドと絶縁保護膜（絶縁層６０）との間に設けても良い。

[0047] 実施形態によれば、ｎ形ダイヤモンドの表面のフェルミレベルのピニングを抑制できる。これにより、電極と、電極周囲のｎ形ダイヤモンドと、の間の電界を抑制し、電極の端の電界集中が緩和される。

[0048] カーバイドを電極とｎ形ダイヤモンドとの間に設けると、接触抵抗が小さくなる。カーバイドを電極とｎ形ダイヤモンドとの間に設けることで、フェルミレベルのピニングを抑制できる。

[0049] 例えば、電極直下のｎ形ダイヤモンドをＴｉＣ化する。例えば、アニールまたはイオン注入などによって、グラファイト化することができる。

[0050] 例えば、中間層３０の第２領域３２として、カーバイドまたはグラファイトなどの非ＳＰ３構造を有するカーボを含む膜を設ける。これにより、ｎ形ダイヤモンドの表面のフェルミレベルの強固なピニングを緩和できる。電極

と、電極周辺のｎ形ダイヤモンドと、の間に生じる電界を緩和することができる。半導体装置の耐圧を高くすることができる。

[0051] 実施形態において、中間半導体層１３として、低濃度でホウ素を含むｐ⁻層を用いても良い。

[0052] 実施形態において、中間層３０の厚さ（Ｚ軸方向の長さ）は、１ナノメートル（ｎｍ）以上１０ｎｍ以下である。第１領域３１の厚さ及び第２領域３２の厚さのそれぞれは、１ｎｍ以上１０ｎｍ以下である。厚さが、１ｎｍよりも薄いと、例えば、中間層３０の抵抗が過度に高くなる。例えば、ｎ形ダイヤモンドと金属との界面のピニングが緩和され難くなる。厚さが１０ｎｍよりも厚いと、例えば、中間層３０が不均一になり易い。

[0053] 実施形態において、絶縁層６０として、例えば、酸化アルミニウム（例えば、$Al_2O_3$）などを用いても良い。この場合、例えば、中間層３０の第２領域３２は、炭化アルミニウムとなる。

[0054] 半導体装置１１０においては、中間層３０の第１領域３１と第２領域３２とは、互いに異なる材料（元素）を含む。上記の例では、第１領域３１は、第１電極４０に含まれる元素（上記の例ではＴｉ）を含む。第２領域３２は、絶縁層６０に含まれる元素（上記の例ではＳｉまたはＡｌ）を含む。

[0055] 例えば、絶縁層６０は、シリコンの酸化物を含む。このとき、例えば、第１領域３１は、ＴｉＣを含む。第２領域３２は、ＳｉＣを含む。例えば、中間層３０の第１領域３１は、ｎ形半導体層１１に含まれる炭素と、第１電極４０の第１部分４１に含まれる元素と、を含む化合物を含む。

[0056] 実施形態において、絶縁層６０として、シリコン酸化物、シリコン窒化物、アルミニウム酸化物、アルミニウム窒化物、ジルコニウム酸化物、ハフニウム酸化物、及び、チタン酸化物の少なくともいずれかを用いても良い。

[0057] （第２の実施形態）

本実施形態においては、中間層３０の第１領域３１と第２領域３２において、同じ材料が用いられる。

[0058] 図４は、第２の実施形態に係る半導体装置を例示する模式的断面図である

。

図４に示すように、本実施形態に係る半導体装置１１１においても、ｎ形半導体層１１と第１電極４０との間に中間層３０が設けられている。中間層３０は、第１領域３１と第２領域３２とを含む。第１電極４０の第１部分４１と、ｎ形半導体層１２と、の間に位置する部分が、第１領域３１となる。絶縁層６０とｎ形半導体層１１との間に位置する部分が、第２領域３２となる。第１領域３１と第２領域３２とには、同じ材料（ＴｉＣなど）が用いられる。これ以外は、第１の実施形態に関して説明したのと同様とすることができるので、説明を省略する。

[0059] 第１領域３１と第２領域３２との間には、境界が観察されない場合がある。第１電極４０の第１部分４１の外縁（第１部分４１と第２部分４２との境界）の位置は、絶縁層６０の端部の位置に対応する。絶縁層６０の端部により、第１部分４１と第２部分４２との境界が分かり、第１領域３１と第２領域３２との境界が分かる。

[0060] 半導体装置１１１においても、第１電極４０の第１部分４１の周りに、中間層３０の第２領域３２が設けられる。これにより、ｎ形ダイヤモンドの表面のフェルミレベルの強固なピニングを緩和できる。そして、電極と、電極周辺のｎ形ダイヤモンドと、の間に生じる電界を緩和することができる。半導体装置１１１においても、高耐圧が得られる。

[0061] 以下、半導体装置１１１の製造方法の例について説明する。以下において、第１の実施形態に関して説明した部分は、適宜省略する。

図５（ａ）～図５（ｅ）は、第２の実施形態に係る半導体装置の製造方法を例示する工程順模式的断面図である。

図５（ａ）に示すように、ｐ形半導体層１２の上に、アンドープ真性半導体ダイヤモンド層１３ｆを形成し、その上に、ｎ形ダイヤモンド層１１ｆを形成する。

[0062] 図５（ｂ）に示すように、ｎ形ダイヤモンド層１１ｆの上に、金属膜７０を形成する。例えば、金属膜７０として、例えば、Ｔｉ／Ｐｔ／Ａｕの積層

膜を電子ビーム蒸着などにより形成する。

[0063] 図５（ｃ）に示すように、アニールを行う。アニールは例えば、空気中で行われる。アニールの温度は、例えば、５００℃以上７００℃以下であり、例えば、６００℃である。アニールの時間は、１０分以上６０分以下であり、例えば、３０分である。これにより、Ｔｉ膜に含まれるＴｉと、ｎ形ダイヤモンド層１１ｆに含まれるＣ（炭素）と、により、ＴｉＣ層３０ｆが形成される。ＴｉＣ層３０ｆが、中間層３０の第１領域３１及び第２領域３２となる。

[0064] Ｔｉ／Ｐｔ／Ａｕの積層膜を酸処理などにより除去する。上記のＴｉＣ層３０ｆは、残る。

[0065] 図５（ｄ）に示すように、ＴｉＣ層３０ｆの一部、アンドープ真性半導体ダイヤモンド層１３ｆの一部、及び、ｎ形ダイヤモンド層１１ｆの一部を除去して、メサ構造を形成する。例えば、パターニングとＲＩＥが行われる。中間半導体層１３及びｎ形半導体層１１が形成される。

[0066] 図５（ｅ）に示すように、絶縁層６０を形成する。ＴｉＣ層３０ｆのうちの、絶縁層６０とｎ形半導体層１１との間に位置する部分が、中間層３０の第２領域３２となる。それ以外の部分が、第１領域３１となる。必要に応じて、熱処理を行っても良い。

[0067] その後、第１電極４０を形成する。上記の工程により、半導体装置１１０が形成される。

[0068] ｐ形半導体層１２における不純物及び不純物濃度、ｎ形半導体層１１における不純物及び不純物濃度、並びに、中間半導体層１３における不純物濃度は、第１の実施形態に関して説明したのと同様である。

[0069] 半導体装置１１１においては、第１領域３１及び第２領域３２としてＴｉＣ層が設けられる。第１領域３１及び第２領域３２は、電界緩和層として機能する。

[0070] 半導体装置１１１のＩ－Ｖ特性において、±１０Ｖにおける整流比は、例えば、$1\times10^{10}$以上である。１０Ｖにおける順方向電流密度は、例えば、

１０００Ａ／ｃｍ$^2$以上である。逆方向の電圧が１０ｋＶのときにおいても、ブレークダウンは生じない。このように、半導体装置１１１においても、高耐圧が得られる。

[0071] （第３の実施形態）

本実施形態においては、絶縁層６０が省略されている。

図６は、第３の実施形態に係る半導体装置を例示する模式的断面図である。

図６に示すように、本実施形態に係る半導体装置１１２においても、ｎ形半導体層１１と第１電極４０との間に中間層３０が設けられている。中間層３０は、第１領域３１と第２領域３２とを含む。第１電極４０には、第１部分４１が設けられる。第１電極４０の第１部分４１と、ｎ形半導体層１２と、の間に位置する部分が、第１領域３１となる。Ｘ－Ｙ平面に投影したときに、第１部分４１と重ならない領域が第２領域３２となる。

[0072] 半導体装置１１２においても、第１電極４０の第１部分４１の周りに、中間層３０の第２領域３２が設けられる。これにより、ｎ形ダイヤモンドの表面のフェルミレベルの強固なピニングを緩和できる。そして、電極と、電極周辺のｎ形ダイヤモンドと、の間に生じる電界を緩和することができる。半導体装置１１２においても、高耐圧が得られる。

[0073] この例においても、第１領域３１と第２領域３２とに同じ材料を用いても良く、異なる材料を用いても良い。第１部分４１の外縁が、第１領域３１と第２領域３２との境界に対応する。

[0074] 半導体装置１１２の作製には、第１の実施形態または第２の実施形態に関して説明した方法を変形して適用できる。

[0075] （第４の実施形態）

本実施形態は、半導体装置の製造方法に係る。

図７は、第４の実施形態に係る半導体装置の製造方法を例示するフローチャート図である。

図７に示すように、ダイヤモンドを含むｐ形半導体層１２の上に、ダイヤ

モンドを含むｎ形半導体層１１を形成する（ステップＳ１１０）。ｎ形半導体層１１の形成の前に、中間半導体層１３を形成しても良い。

[0076] ｎ形半導体層１１の一部の上に、絶縁層６０を形成する（ステップＳ１２０）。

[0077] 熱処理を行い、第１炭化物層（中間層３０の第２領域３２）を形成する（ステップＳ１３０）。第１炭化物層は、ｎ形半導体層１１に含まれる炭素と、絶縁層６０に含まれる元素と、を含む。

[0078] 絶縁層６０に覆われていないｎ形半導体層１１の上に、膜（第１電極４０となる膜）を形成する（ステップＳ１４０）。この膜は、Ｔｉ、Ｓｉ、Ａｌ、W、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含む。

[0079] 上記の膜を処理して、絶縁層６０に覆われていないｎ形半導体層１１と、膜と、の間に、第２炭化物層（中間層３０の第１領域３１）を形成する（ステップＳ１５０）。第２炭化物層は、Ｔｉ、Ｓｉ、Ａｌ、W、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの上記の少なくともいずれかを含む。

[0080] すなわち、例えば、図２（ａ）～図２（ｄ）に関して説明した処理を行う。これにより、半導体装置１１０が形成される。

[0081] （第５の実施形態）

本実施形態は、半導体装置の製造方法に係る。

図８は、第５の実施形態に係る半導体装置の製造方法を例示するフローチャート図である。

図８に示したように、ダイヤモンドを含むｐ形半導体層１２の上に、ダイヤモンドを含むｎ形半導体層１１を形成する（ステップＳ２１０）。ｎ形半導体層１１の形成の前に、中間半導体層１３を形成しても良い。

[0082] ｎ形半導体層１１の上に、膜（例えば、図５（ｂ）に関して説明した金属膜７０）を形成する（ステップＳ２２０）。この膜は、Ｔｉ、Ｓｉ、Ａｌ、W、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、

Ｃｕ及びＮａの少なくともいずれかを含む。

[0083] この膜を処理して、中間層３０を形成する（ステップＳ２３０）。処理は、例えば加熱処理を含む。この中間層３０は、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの上記の少なくともいずれかを含む炭化物を含む。上記の膜（金属膜７０）を必要に応じて除去する。

[0084] 中間層３０の一部の上に、電極（第１電極４０）を形成する（ステップＳ２４０）。

[0085] 例えば、図５（ａ）～図５（ｅ）に関して説明した処理を行う。これにより、半導体装置１１１が形成できる。

[0086] （第６の実施形態）

本実施形態は、半導体装置の製造方法に係る。

図９は、第６の実施形態に係る半導体装置の製造方法を例示するフローチャート図である。

図９に示したように、ダイヤモンドを含むｐ形半導体層１２の上に、ダイヤモンドを含むｎ形半導体層１１を形成する（ステップＳ３１０）。ｎ形半導体層１１の形成の前に、中間半導体層１３を形成しても良い。

[0087] ｎ形半導体層１１を処理して、中間層３０を形成する（ステップＳ３２０）。この中間層３０は、炭化物、グラファイト、グラフェン、及び、アモルファスカーボンの少なくともいずれかを含む。この炭化物は、ｎ形半導体層１１に含まれる炭素を含む。

[0088] 中間層３０の一部の上に電極（第１電極４０）を形成する（ステップＳ３３０）。これにより、実施形態に係る半導体装置が形成できる。

[0089] 上記のステップＳ３２０の処理は、例えば、ｎ形半導体層１１の加熱、ｎ形半導体層１１へのイオンの導入、及び、ｎ形半導体層１１の表面処理の少なくともいずれかを含む。この処理により、ｎ形半導体層１１の表面に、中間層３０が形成できる。上記のイオンとして、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及び

Ｎａの少なくともいずれかを用いることができる。

[0090] 本明細書において、「上に形成する状態」は、直接接して形成する状態の他に、間に別の要素を形成し、その上に形成する状態を含む。

[0091] 実施形態によれば、高耐圧の半導体装置及びその製造方法が提供できる。

[0092] なお、本願明細書において、「垂直」及び「平行」は、厳密な垂直及び厳密な平行だけではなく、例えば製造工程におけるばらつきなどを含むものであり、実質的に垂直及び実質的に平行であれば良い。

[0093] 以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、半導体装置に含まれるｐ形半導体層、中間半導体層、ｎ形半導体層、第１電極、第２電極、中間層及び絶縁層などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

また、各具体例のいずれか２つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

[0094] その他、本発明の実施の形態として上述した半導体装置及びその製造方法を基にして、当業者が適宜設計変更して実施し得る全ての半導体装置及びその製造方法も、本発明の要旨を包含する限り、本発明の範囲に属する。

[0095] その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

[0096] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

## 符号の説明

[0097] １０ｕ…積層体、 １１…ｎ形半導体層、 １１ｆ…ｎ形ダイヤモンド層、 １１ｓ…側面、 １２…ｐ形半導体層、 １３…中間半導体層、 １３ｆ…アンドープ真性半導体ダイヤモンド層、 ３０…中間層、 ３０ｆ…ＴｉＣ層、 ３１…第１領域、 ３２…第２領域、 ４０…第１電極、 ４０ｓ…部分、 ４１…第１部分、 ４２…第２部分、 ５０…第２電極、 ６０…絶縁層、 ７０…金属膜、 １１０、１１１、１１２…半導体装置

# 請求の範囲

[請求項1] ダイヤモンドを含むｎ形半導体層と、

第１部分を含む第１電極と、

炭化物、グラファイト、グラフェン及びアモルファスカーボンの少なくともいずれかを含む中間層であって、前記炭化物は、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含み、前記中間層は、

前記第１部分と前記ｎ形半導体層との間に設けられた第１領域と、

前記ｎ形半導体層から前記第１電極に向かう方向に対して垂直な平面に投影したときに前記第１領域の周りに設けられ前記第１部分と重ならず前記第１領域と連続した第２領域と、

を含む、中間層と、

ダイヤモンドを含むｐ形半導体層と、

を備えた半導体装置。

[請求項2] 絶縁層をさらに備え、

前記第１電極は、前記平面に投影したときに前記第１部分の周りに設けられ前記第１部分と連続した第２部分をさらに含み、

前記絶縁層の少なくとも一部は、前記第２部分と前記第２領域との間に配置される請求項１記載の半導体装置。

[請求項3] 前記ｎ形半導体層は、前記平面と交差する側面を有し、

前記第１電極は、前記側面に対向する部分を含み、

前記絶縁層は、前記側面と前記対向する部分との間に延在する請求項２記載の半導体装置。

[請求項4] 前記絶縁層は、シリコン酸化物、シリコン窒化物、アルミニウム酸化物、アルミニウム窒化物、ジルコニウム酸化物、ハフニウム酸化物、及び、チタン酸化物の少なくともいずれかを含む請求項２または３

に記載の半導体装置。

[請求項5] 前期絶縁層が、シリコン酸化物を含み、

前記第１領域は、ＴｉＣを含み、

前記第２領域は、ＳｉＣを含む請求項２または３に記載の半導体装置。

[請求項6] 前記第１領域は、前記ｎ形半導体層に含まれる炭素と、前記第１部分に含まれる元素と、を含む化合物を含む請求項１～５のいずれか１つに記載の半導体装置。

[請求項7] 前記中間層の厚さは、１ナノメートル以上１０ナノメートル以下である請求項１～６のいずれか１つに記載の半導体装置。

[請求項8] 前記第１領域及び前記第２領域は、前記ｎ形半導体層と接する請求項１～７のいずれか１つに記載の半導体装置。

[請求項9] 前記第１電極と前記ｐ形半導体層との間に前記ｎ形半導体層が配置される請求項１～８のいずれか１つに記載の半導体装置。

[請求項10] 前記ｐ形半導体層と電気的に接続された第２電極をさらに備えた請求項１～９のいずれか１つに記載の半導体装置。

[請求項11] 前記第１電極と前記第２電極との間に前記ｎ形半導体層が配置され、

前記ｎ形半導体層と前記第２電極との間に前記ｐ形半導体層が配置される請求項１０記載の半導体装置。

[請求項12] 前記ｐ形半導体層と前記ｎ形半導体層との間に設けられダイヤモンドを含む中間半導体層をさらに備え、

前記中間半導体層における不純物濃度は、前記ｐ形半導体層における不純物濃度よりも低い請求項１～１１のいずれか１つに記載の半導体装置。

[請求項13] 前記ｐ形半導体層と前記ｎ形半導体層との間に設けられダイヤモンドを含み真性半導体の中間半導体層をさらに備えた請求項１～１２のいずれか１つに記載の半導体装置。

[請求項14] ダイヤモンドを含むｐ形半導体層の上にダイヤモンドを含むｎ形半導体層を形成し、

前記ｎ形半導体層の一部の上に、絶縁層を形成し、

熱処理を行い、前記ｎ形半導体層に含まれる炭素と、前記絶縁層に含まれる元素と、を含む第１炭化物層を形成し、

前記絶縁層に覆われていない前記ｎ形半導体層の上に、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含む膜を形成し、

前記膜を処理して、前記絶縁層に覆われていない前記ｎ形半導体層と、前記膜と、の間に、前記少なくともいずれかを含む第２炭化物層を形成する半導体装置の製造方法。

[請求項15] 前記処理は、前記膜を加熱することを含む請求項１４記載の半導体装置の製造方法。

[請求項16] ダイヤモンドを含むｐ形半導体層の上にダイヤモンドを含むｎ形半導体層を形成し、

前記ｎ形半導体層の上に、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含む膜を形成し、

前記膜を処理して、前記少なくともいずれかを含む炭化物を含む中間層を形成し、

前記中間層の一部の上に電極を形成する半導体装置の製造方法。

[請求項17] 前記処理は、前記膜を加熱することを含む請求項１６記載の半導体装置の製造方法。

[請求項18] ダイヤモンドを含むｐ形半導体層の上にダイヤモンドを含むｎ形半導体層を形成し、

前記ｎ形半導体層を処理して、前記ｎ形半導体層に含まれる炭素を含む炭化物、グラファイト、グラフェン、並びに、アモルファスカー

ボンの少なくともいずれかを含む中間層を形成し、

前記中間層の一部の上に電極を形成する半導体装置の製造方法。

[請求項19] 前記処理は、前記ｎ形半導体層の加熱、前記ｎ形半導体層へのイオンの導入、及び、前記ｎ形半導体層の表面処理の少なくともいずれかを含む請求項１８記載の半導体装置の製造方法。

[請求項20] 前記イオンは、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含む請求項１９記載の半導体装置の製造方法。

# 補正された請求の範囲
## [2015年10月16日 (16.10.2015) 国際事務局受理]

[請求項１]　ダイヤモンドを含むｎ形半導体層と、

第１部分を含む第１電極と、

炭化物、グラファイト、グラフェン及びアモルファスカーボンの少なくともいずれかを含む中間層であって、前記炭化物は、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含み、前記中間層は、

前記第１部分と前記ｎ形半導体層との間に設けられた第１領域と、

前記ｎ形半導体層から前記第１電極に向かう方向に対して垂直な平面に投影したときに前記第１領域の周りに設けられ前記第１部分と重ならず前記第１領域と連続した第２領域と、

を含む、中間層と、

ダイヤモンドを含むｐ形半導体層と、

を備えた半導体装置。

[請求項２]　絶縁層をさらに備え、

前記第１電極は、前記平面に投影したときに前記第１部分の周りに設けられ前記第１部分と連続した第２部分をさらに含み、

前記絶縁層の少なくとも一部は、前記第２部分と前記第２領域との間に配置される請求項１記載の半導体装置。

[請求項３]　前記ｎ形半導体層は、前記平面と交差する側面を有し、

前記第１電極は、前記側面に対向する部分を含み、

前記絶縁層は、前記側面と前記対向する部分との間に延在する請求項２記載の半導体装置。

[請求項４]　前記絶縁層は、シリコン酸化物、シリコン窒化物、アルミニウム酸化物、アルミニウム窒化物、ジルコニウム酸化物、ハフニウム酸化物、及び、チタン酸化物の少なくともいずれかを含む請求項２または３

に記載の半導体装置。

[請求項５] 前期絶縁層が、シリコン酸化物を含み、

前記第１領域は、ＴｉＣを含み、

前記第２領域は、ＳｉＣを含む請求項２または３に記載の半導体装置。

[請求項６] 前記第１領域は、前記ｎ形半導体層に含まれる炭素と、前記第１部分に含まれる元素と、を含む化合物を含む請求項１～５のいずれか１つに記載の半導体装置。

[請求項７] 前記中間層の厚さは、１ナノメートル以上１０ナノメートル以下である請求項１～６のいずれか１つに記載の半導体装置。

[請求項８] 前記第１領域及び前記第２領域は、前記ｎ形半導体層と接する請求項１～７のいずれか１つに記載の半導体装置。

[請求項９] 前記第１電極と前記ｐ形半導体層との間に前記ｎ形半導体層が配置される請求項１～８のいずれか１つに記載の半導体装置。

[請求項１０] 前記ｐ形半導体層と電気的に接続された第２電極をさらに備えた請求項１～９のいずれか１つに記載の半導体装置。

[請求項１１] 前記第１電極と前記第２電極との間に前記ｎ形半導体層が配置され、

前記ｎ形半導体層と前記第２電極との間に前記ｐ形半導体層が配置される請求項１０記載の半導体装置。

[請求項１２] 前記ｐ形半導体層と前記ｎ形半導体層との間に設けられダイヤモンドを含む中間半導体層をさらに備え、

前記中間半導体層における不純物濃度は、前記ｐ形半導体層における不純物濃度よりも低い請求項１～１１のいずれか１つに記載の半導体装置。

[請求項１３] 前記ｐ形半導体層と前記ｎ形半導体層との間に設けられダイヤモンドを含み真性半導体の中間半導体層をさらに備えた請求項１～１２のいずれか１つに記載の半導体装置。

[請求項１４] ダイヤモンドを含むｐ形半導体層の上にダイヤモンドを含むｎ形半導体層を形成し、

前記ｎ形半導体層の一部の上に、絶縁層を形成し、

熱処理を行い、前記ｎ形半導体層に含まれる炭素と、前記絶縁層に含まれる元素と、を含む第１炭化物層を形成し、

前記絶縁層に覆われていない前記ｎ形半導体層の上に、Ｔｉ、Ｓｉ、Ａｌ、Ｗ、Ｎｉ、Ｃｒ、Ｃａ、Ｌｉ、Ｒｕ、Ｍｏ、Ｚｒ、Ｓｒ、Ｃｏ、Ｒｂ、Ｋ、Ｃｕ及びＮａの少なくともいずれかを含む膜を形成し、

前記膜を処理して、前記絶縁層に覆われていない前記ｎ形半導体層と、前記膜と、の間に、前記少なくともいずれかを含む第２炭化物層を形成する半導体装置の製造方法。

[請求項１５] 前記処理は、前記膜を加熱することを含む請求項１４記載の半導体装置の製造方法。

[請求項１６] (削除)

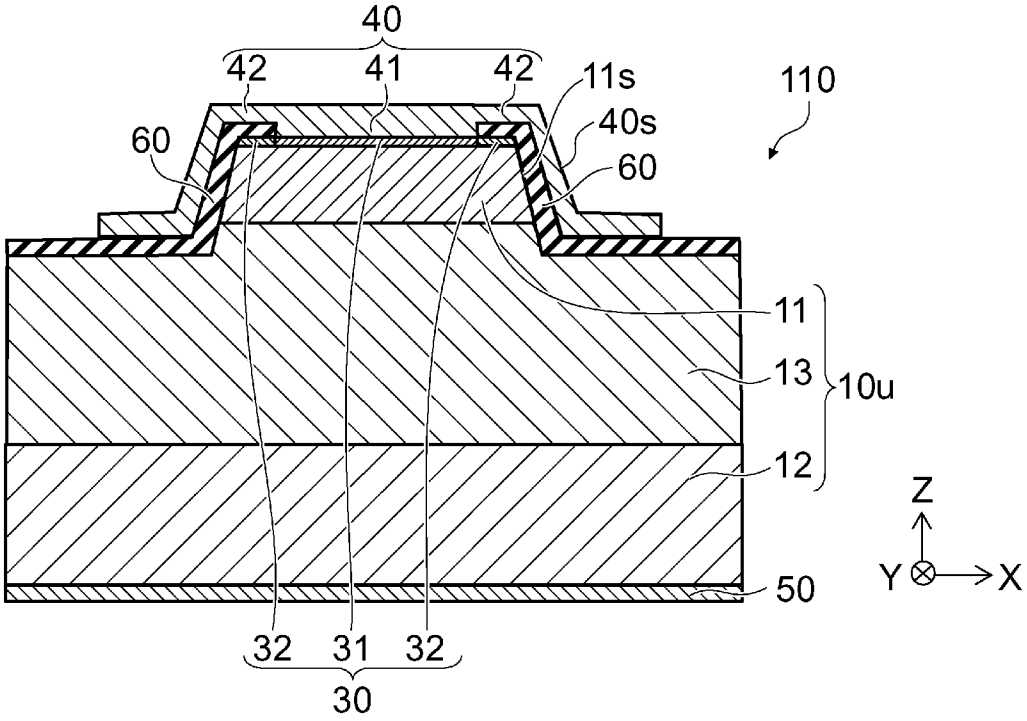
[請求項１７] (削除)

[請求項１８] (削除)

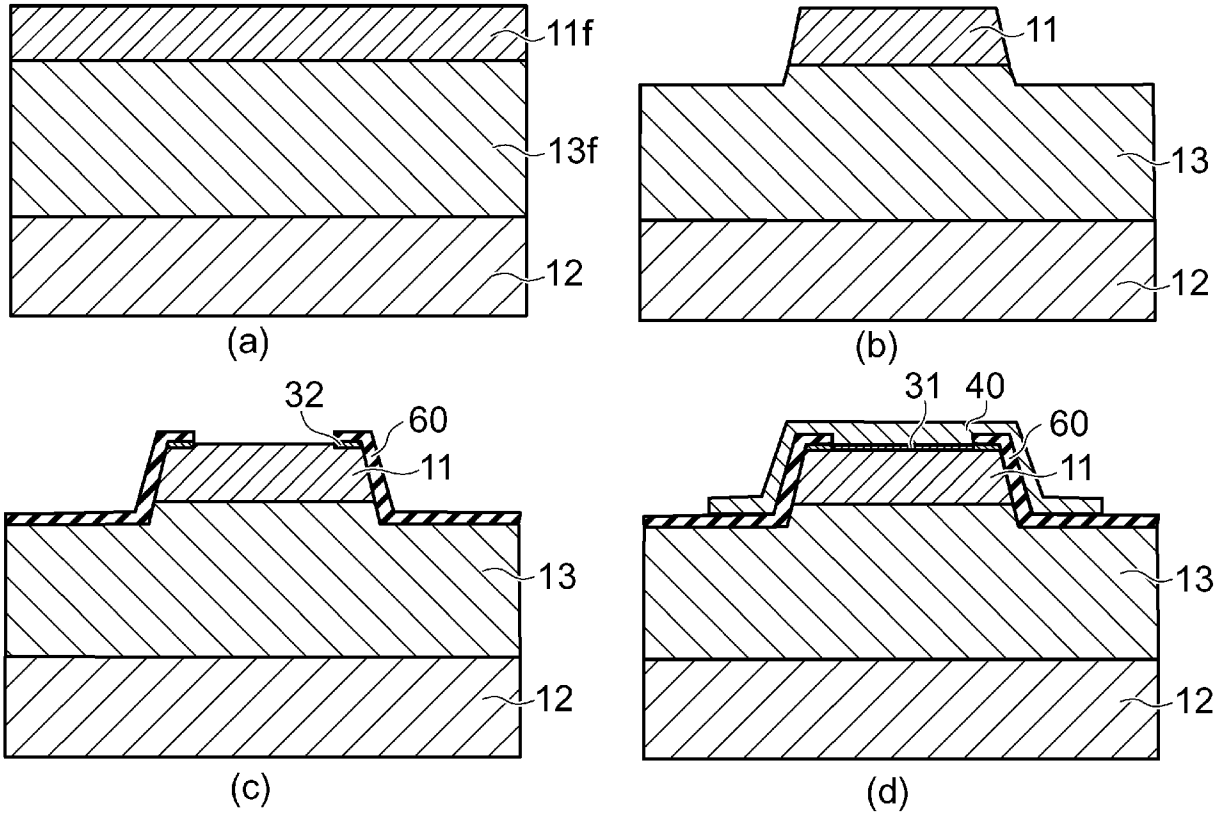
[請求項１９] (削除)

[請求項２０] (削除)

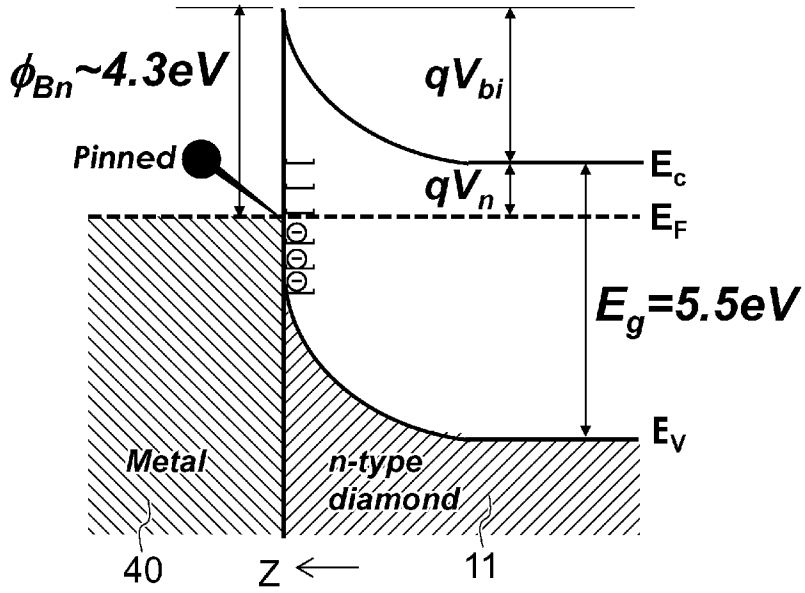
[図1]



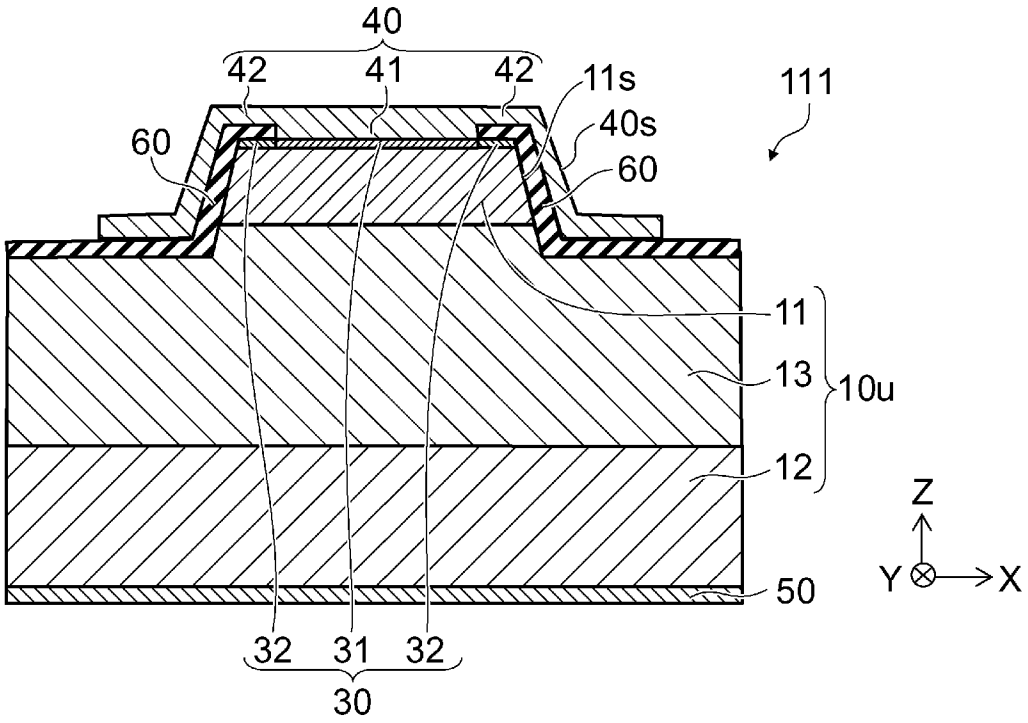
[図2]



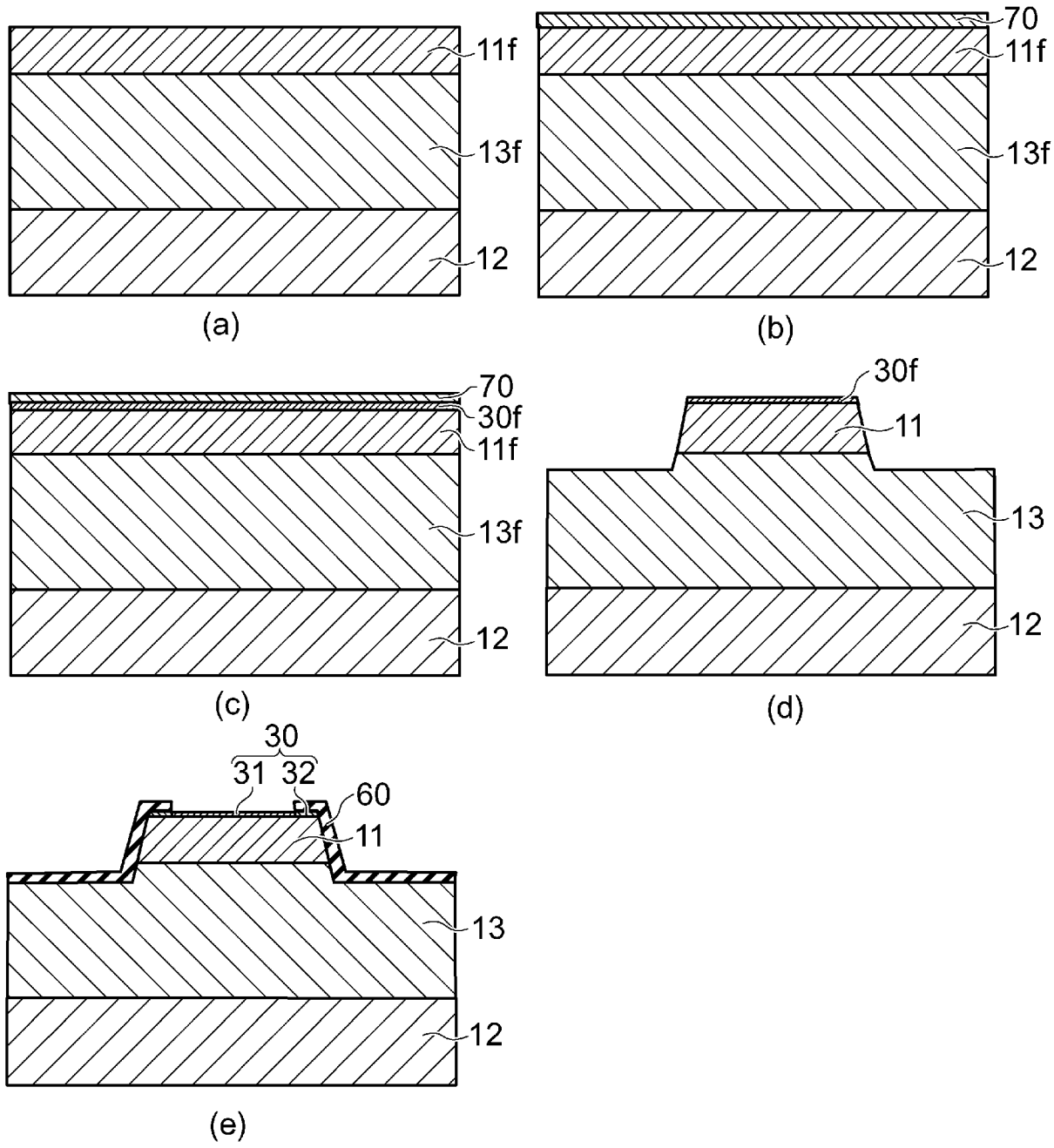
[図3]


$\phi_{Bn}$~4.3eV
Pinned
$qV_{bi}$
$qV_n$
$E_c$
$E_F$
$E_g$=5.5eV
$E_V$
Metal
n-type diamond
40
Z
11

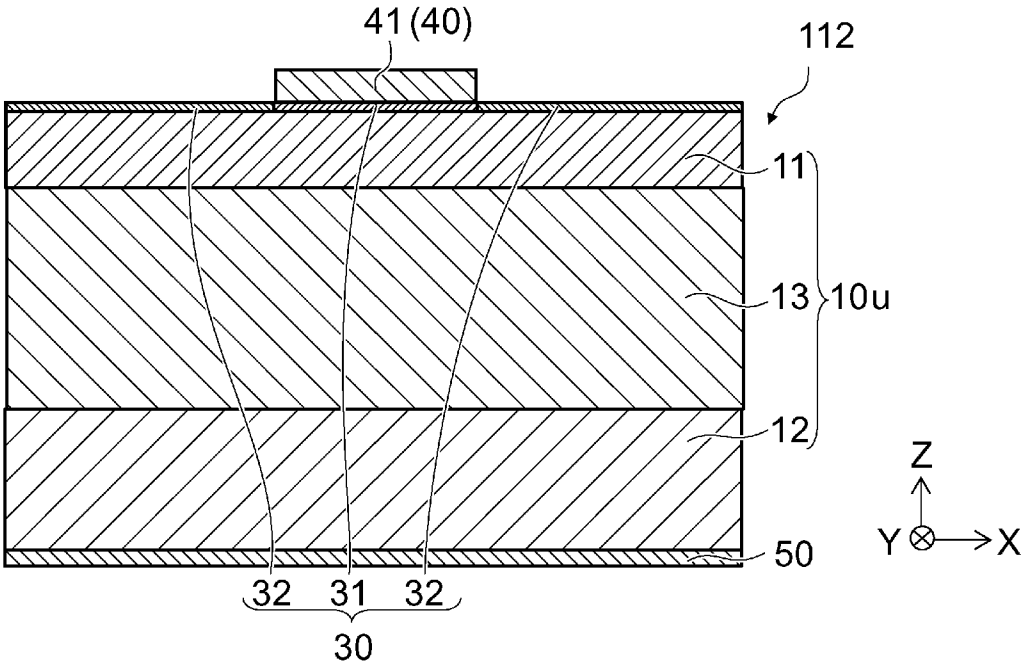
[図4]



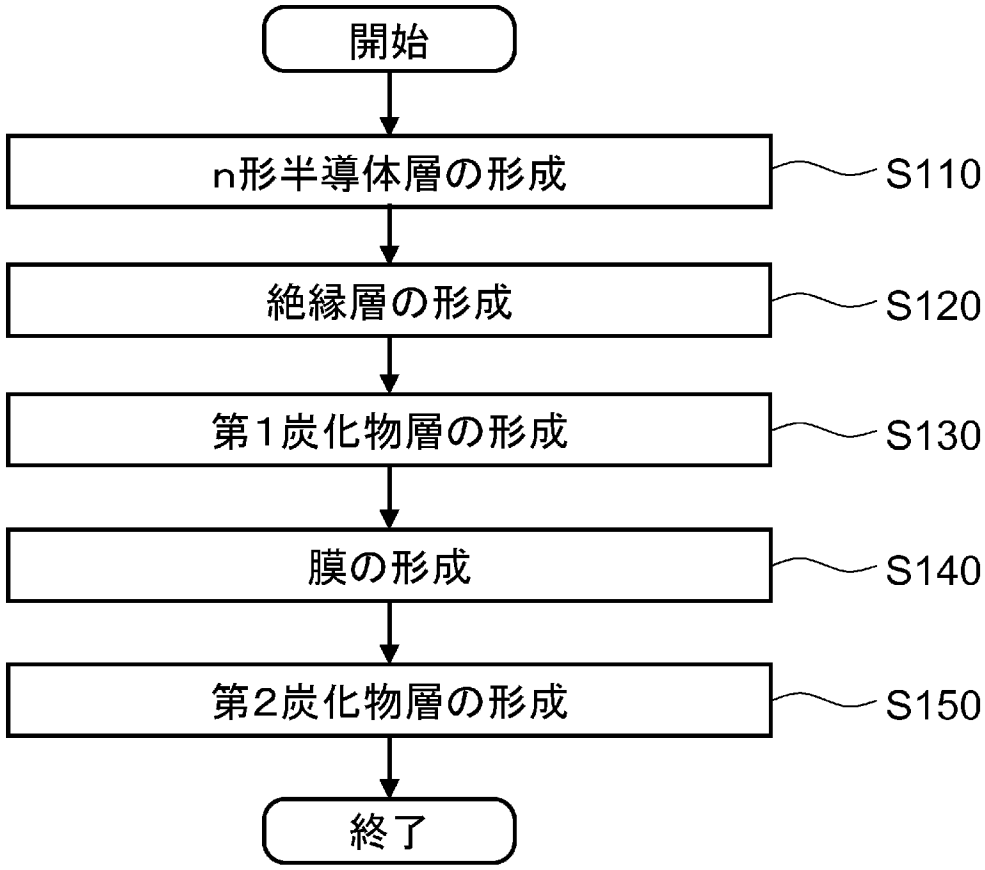
[図5]


11f
13f
12
(a)
70
11f
13f
12
(b)
70
30f
11f
13f
12
(c)
30f
11
13
12
(d)
30
31
32
60
11
13
12
(e)

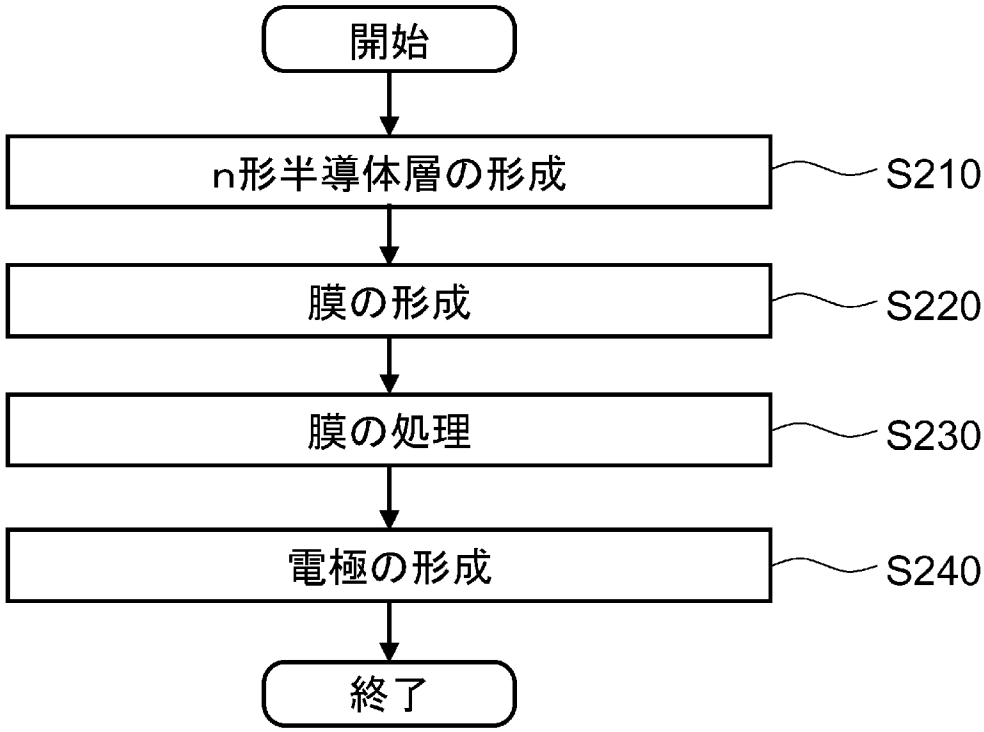
[図6]



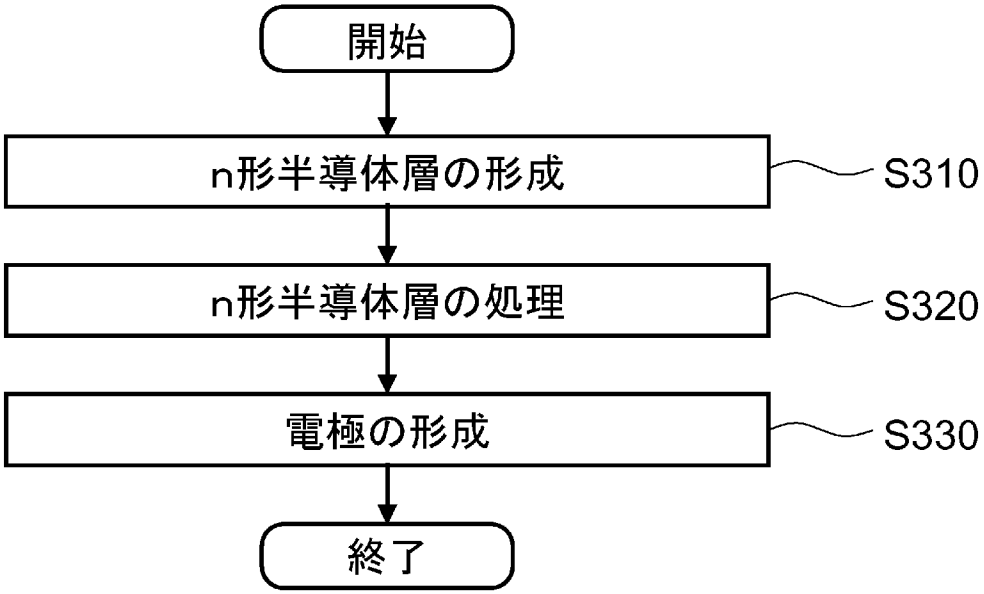
[図7]


開始
n形半導体層の形成
S110
絶縁層の形成
S120
第1炭化物層の形成
S130
膜の形成
S140
第2炭化物層の形成
S150
終了

[図8]



[図9]



# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/067513

A. CLASSIFICATION OF SUBJECT MATTER
*H01L29/861*(2006.01)i, *H01L21/205*(2006.01)i, *H01L21/28*(2006.01)i, *H01L21/329*(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/16*(2006.01)i, *H01L29/868*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/861, H01L21/205, H01L21/28, H01L21/329, H01L29/06, H01L29/16, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y<br>A | JP 2009-260278 A (Nissan Motor Co., Ltd.),<br>05 November 2009 (05.11.2009),<br>paragraphs [0023] to [0027]; fig. 4<br>& US 2011/0017991 A1 & WO 2009/119248 A1<br>& EP 2276068 A1 & KR 10-2010-0139067 A<br>& CN 101981702 A | 16-20<br>1-15 |
| Y<br>A | JP 6-275554 A (Kobe Steel, Ltd.),<br>30 September 1994 (30.09.1994),<br>paragraphs [0019] to [0039]<br>(Family: none) | 16-20<br>1-15 |
| Y<br>A | JP 5-891 A (Canon Inc.),<br>08 January 1993 (08.01.1993),<br>paragraphs [0009] to [0035]<br>& US 6184059 B1 & EP 519472 A2 | 18-20<br>1-15 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 03 September 2015 (03.09.15) | 15 September 2015 (15.09.15) |
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3,Kasumigaseki,Chiyoda-ku,<br>Tokyo 100-8915,Japan | Authorized officer<br><br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2015/067513

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y<br>A | JP 4-242922 A (Kobe Steel, Ltd.),<br>31 August 1992 (31.08.1992),<br>paragraphs [0005] to [0033]<br>& US 5306529 A & GB 2252670 A | 18-20<br>1-15 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０６７５１３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/861(2006.01)i, H01L21/205(2006.01)i, H01L21/28(2006.01)i, H01L21/329(2006.01)i, H01L29/06(2006.01)i, H01L29/16(2006.01)i, H01L29/868(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/861, H01L21/205, H01L21/28, H01L21/329, H01L29/06, H01L29/16, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１５年 |
| 日本国実用新案登録公報 | １９９６－２０１５年 |
| 日本国登録実用新案公報 | １９９４－２０１５年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 2009-260278 A (日産自動車株式会社) 2009.11.05, 0023段落 | 16-20 |
| A | ないし0027段落、図4 & US 2011/0017991 A1 & WO 2009/119248 A1 & EP 2276068 A1 & KR 10-2010-0139067 A & CN 101981702 A | 1-15 |
| Y | JP 6-275554 A (株式会社神戸製鋼所) 1994.09.30, 0019段落ないし | 16-20 |
| A | 0039段落（ファミリーなし） | 1-15 |
| Y | JP 5-891 A (キヤノン株式会社) 1993.01.08, 0009段落ないし0035 | 18-20 |
| A | 段落 & US 6184059 B1 & EP 519472 A2 | 1-15 |

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ０３．０９．２０１５ | １５．０９．２０１５ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３６１
棚田　一也
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 4-242922 A (株式会社神戸製鋼所) 1992.08.31, 0005段落ないし | 18-20 |
| A | 0033段落 & US 5306529 A & GB 2252670 A | 1-15 |