

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2006-79802
(P2006-79802A)

(43) 公開日 平成18年3月23日(2006.3.23)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 4 A	5 B 1 2 5
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4	5 F O 8 3
H O 1 L 27/115 (2006.01)	H O 1 L 29/78 3 7 1	5 F 1 O 1
H O 1 L 29/792 (2006.01)	G 1 1 C 17/00 6 2 2 E	
H O 1 L 29/788 (2006.01)	G 1 1 C 17/00 6 1 3	
審査請求 未請求 請求項の数 20 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2005-182630 (P2005-182630)	(71) 出願人 599129074
(22) 出願日 平成17年6月22日 (2005. 6. 22)	旺宏電子股▲ふん▼有限公司
(31) 優先権主張番号 60/608, 528	台湾新竹科學工業園區力行路 1 6 號
(32) 優先日 平成16年9月9日 (2004. 9. 9)	(74) 代理人 100064584
(33) 優先権主張国 米国 (US)	弁理士 江原 省吾
(31) 優先権主張番号 60/608, 455	(74) 代理人 100093997
(32) 優先日 平成16年9月9日 (2004. 9. 9)	弁理士 田中 秀佳
(33) 優先権主張国 米国 (US)	(74) 代理人 100101616
(31) 優先権主張番号 10/973, 176	弁理士 白石 吉之
(32) 優先日 平成16年10月26日 (2004. 10. 26)	(74) 代理人 100107423
(33) 優先権主張国 米国 (US)	弁理士 城村 邦彦
	(74) 代理人 100120949
	弁理士 熊野 剛
	(74) 代理人 100121186
	弁理士 山根 広昭
	最終頁に続く

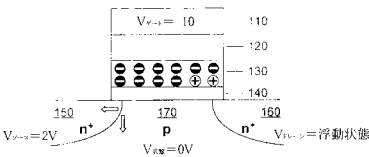
(54) 【発明の名称】 一列の電荷トラッピングメモリセルを作動させるための方法および装置

(57) 【要約】

【課題】電荷トラッピング構造を有する一列のメモリセルが、ワード線によって選択されたメモリセルの一部分を選択することによって読み出される。

【解決手段】前記メモリセルの一部分は、メモリセルの前記列のどちらかの端のバストランジスタの1つをオンにすることによって選択される。前記選択された部分の電荷蓄積状態が、両方のバストランジスタと結合されたビット線における電流を測定することによって判定される。

【選択図】 図1 A



【特許請求の範囲】

【請求項 1】

直列に配置された複数のメモリセルを動作させる方法において、直列に配置された複数のメモリセルは、第 1 のパストランジスタおよびビット線と結合された第 1 の端部と、第 2 のパストランジスタおよび前記ビット線と結合された第 2 の端部を有し、各メモリセルは、ゲートと、基板領域におけるソースおよびドレーン領域を有し、上部誘電体と、前記ソースおよびドレーン領域に対応する部分を有する電荷トラッピング構造と、前記ゲートと前記基板領域との間の底部誘電体を含む、直列に配置された複数のメモリセルを動作させる方法であって、

複数のメモリセルの中のメモリセルを選択し、

10

前記第 1 のパストランジスタおよび前記第 2 のパストランジスタの一方をオンにして、前記選択されたメモリセルの前記ソース領域または前記ドレーン領域と前記ビット線を電氣的に結合させ、それによって、前記ソース領域または前記ドレーン領域に対応する前記電荷トラッピング構造の部分を選択し、

前記電荷トラッピング構造の前記選択された部分の前記電荷蓄積状態を判定するために、第 1 のバイアス配置を適用することを特徴とする複数のメモリセルを動作させる方法。

【請求項 2】

各カラムが、直列に配置され第 1 の端部および第 2 の端部を有する複数のメモリセルを含む、複数のカラムを有するメモリアレイであって、各メモリセルは、

20

ソースおよびドレーン領域を有する基板領域と、

前記基板領域と結合された底部誘電体と、

前記ソースおよびドレーン領域に対応し電荷蓄積状態を有する部分を有する、前記底部誘電体と結合された電荷トラッピング構造と、

前記電荷トラッピング構造と結合された上部誘電体と、

前記上部誘電体と結合されたゲートとを有するメモリアレイと、

前記直列に配置された複数のメモリセルの前記第 1 の端部と結合された第 1 のパストランジスタと、

前記直列に配置された複数のメモリセルの前記第 2 の端部と結合された第 2 のパストランジスタと、

30

前記第 1 のパストランジスタおよび前記第 2 のパストランジスタと結合されたビット線と、

前記複数のメモリセルの前記ゲートと結合された複数のワード線と、

前記複数のメモリセルと結合されたロジックであって、前記第 1 のパストランジスタおよび前記第 2 のパストランジスタの一方をオンにして、前記複数のメモリセルの中のメモリセルの前記ソース領域または前記ドレーン領域と前記ビット線を電氣的に結合させ、それによって、前記ソース領域または前記ドレーン領域に対応する前記電荷トラッピング構造の部分を選択するロジックと、を有することを特徴とする不揮発性メモリ。

【請求項 3】

半導体基板を提供する工程、

40

前記基板上に、直列に配置され第 1 の端部および第 2 の端部を有する複数のメモリセルを提供する工程であって、各メモリセルは、

前記半導体基板の中にある、ソースおよびドレーン領域を有する基板領域と、

前記基板領域と結合された底部誘電体と、

前記ソースおよびドレーン領域に対応し電荷蓄積状態を有する部分を有する、前記底部誘電体と結合された電荷トラッピング構造と、

前記電荷トラッピング構造と結合された上部誘電体と、

前記上部誘電体と結合されたゲートを有する工程、

前記直列に配置された複数のメモリセルの前記第 1 の端部と結合された第 1 のパストランジスタを提供する工程、

50

前記直列に配置された複数のメモリセルの前記第 2 の端部と結合された第 2 のパストランジスタを提供する工程、

前記第 1 のパストランジスタおよび前記第 2 のパストランジスタと結合されたビット線を提供する工程、

前記複数のメモリセルの前記ゲートと結合された複数のワード線を提供する工程、

前記複数のメモリセルと結合されたロジックであって、前記第 1 のパストランジスタおよび前記第 2 のパストランジスタの一方をオンにして、前記複数のメモリセルの中のメモリセルの前記ソース領域または前記ドレーン領域と前記ビット線を電氣的に結合させ、それによって、前記ソース領域または前記ドレーン領域に対応する前記電荷トラップング構造の部分を選択するロジックを提供する工程、を有することを特徴とする不揮発性メモリ集積回路を製造する方法。 10

【請求項 4】

前記第 1 のバイアス配置が、前記基板領域と、前記ソース領域または前記ドレーン領域の一方との間に電圧差を印加し、前記ソース領域または前記ドレーン領域のもう一方を浮動させることを特徴とする請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法。

【請求項 5】

前記第 1 のバイアス配置が、前記ゲートと、前記ソース領域または前記ドレーン領域の一方との間に第 1 の電圧差を生じさせ、ならびに、前記基板領域と、前記ソースおよびドレーン領域の一方との間に第 2 の電圧差を生じさせ、前記第 1 の電圧差および前記第 2 の電圧差が、前記判定のために十分なバンド間トンネル電流を生じさせ、前記第 1 の電圧差および前記第 2 の電圧差は、前記電荷蓄積状態を変化させないことを特徴とする請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法。 20

【請求項 6】

前記第 1 のバイアス配置が、少なくともおよそ 5 V の第 1 の電圧差を、前記ゲートと、前記ソース領域または前記ドレーン領域の一方との間に生じさせ、ならびに、およそ 5 V 未満の第 2 の電圧差を、前記基板領域と、前記ソース領域または前記ドレーン領域の一方との間に生じさせることを特徴とする請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法。

【請求項 7】

前記第 1 のバイアス配置が、少なくとも、前記ソース領域または前記ドレーン領域の一方を通るバンド間電流成分を誘発することを特徴とする請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法。 30

【請求項 8】

前記第 1 のバイアス配置が、前記基板領域を通して流れる電流と、前記ソース領域または前記ドレーン領域の一方を通して流れる電流を測定することを特徴とする請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法。

【請求項 9】

前記基板領域が、前記半導体基板におけるウェルであることを特徴とする請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法。 40

【請求項 10】

請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法において、前記ロジックが、さらに、

第 2 のバイアス配置を適用し、前記電荷トラップング構造の正味の正電荷を増加させることによって、前記電荷蓄積状態を調整し、

第 3 のバイアス配置を適用し、前記電荷トラップング構造の正味の負電荷を増加させることによって、前記電荷蓄積状態を調整することを特徴とする動作方法、メモリ、または製造方法。

【請求項 11】

請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法において、前記ロジ 50

ックが、さらに、

第2のバイアス配置を適用し、バンド間熱正孔トンネリングを介して前記電荷トラップング構造の正味の正電荷を増加させることによって、前記電荷蓄積状態を調整し、

第3のバイアス配置を適用し、Fowler-Nordheimトンネリングを介して前記電荷トラップング構造の正味の負電荷を増加させることによって、前記電荷蓄積状態を調整することを特徴とする動作方法、メモリ、または製造方法。

【請求項12】

請求項1、2、または3に記載の動作方法、メモリ、または製造方法において、前記ロジックが、さらに、

第2のバイアス配置を適用し、バンド間熱正孔トンネリングを介して前記電荷トラップング構造の正味の正電荷を増加させることによって、前記電荷蓄積状態を調整し、 10

第3のバイアス配置を適用し、チャンネルホットエレクトロン注入電流を介して前記電荷トラップング構造の正味の負電荷を増加させることによって、前記電荷蓄積状態を調整することを特徴とする動作方法、メモリ、または製造方法。

【請求項13】

請求項1、2、または3に記載の動作方法、メモリ、または製造方法において、前記ロジックが、さらに、

第2のバイアス配置を適用し、バンド間熱正孔トンネリングを介して前記電荷トラップング構造の正味の正電荷を増加させることによって、前記電荷蓄積状態を調整し、

第3のバイアス配置を適用し、channel initiated二次電子注入電流を介して前記電荷トラップング構造の正味の負電荷を増加させることによって、前記電荷蓄積状態を調整することを特徴とする動作方法、メモリ、または製造方法。 20

【請求項14】

請求項1、2、または3に記載の動作方法、メモリ、または製造方法において、前記ロジックが、さらに、

第2のバイアス配置を適用し、バンド間熱正孔トンネリングを介して前記電荷トラップング構造の正味の正電荷を増加させることによって、前記電荷蓄積状態を調整し、

第3のバイアス配置を適用し、前記電荷トラップング構造と前記基板領域との間の電子運動を介して前記電荷トラップング構造の正味の負電荷を増加させることによって、前記電荷蓄積状態を調整することを特徴とする動作方法、メモリ、または製造方法。 30

【請求項15】

請求項1、2、または3に記載の動作方法、メモリ、または製造方法において、前記ロジックが、さらに、

第2のバイアス配置を適用し、バンド間熱正孔トンネリングを介して前記電荷トラップング構造の正味の正電荷を増加させることによって、前記電荷蓄積状態を調整し、

第3のバイアス配置を適用し、前記電荷トラップング構造と前記ゲートとの間の電子運動を介して前記電荷トラップング構造の正味の負電荷を増加させることによって、前記電荷蓄積状態を調整することを特徴とする動作方法、メモリ、または製造方法。

【請求項16】

請求項1、2、または3に記載の動作方法、メモリ、または製造方法において、前記ロジックが、さらに、 40

第2のバイアス配置を適用し、前記電荷トラップング構造の正味の正電荷を増加させることによって、前記電荷蓄積状態を調整し、

第3のバイアス配置を適用し、前記電荷トラップング構造の正味の負電荷を増加させることによって、前記電荷蓄積状態を調整し、

前記第1のバイアス配置において、前記第2のバイアス配置および前記第3のバイアス配置の一方によって調整された前記電荷蓄積状態に対して、およそ100ナノアンペアの電流を測定し、前記第2のバイアス配置および前記第3のバイアス配置のもう一方によって調整された前記電荷蓄積状態に対して、およそ1ナノアンペアの電流を測定することを特徴とする動作方法、メモリ、または製造方法。

【請求項 17】

請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法において、前記ロジックが、さらに、

第 2 のバイアス配置を適用し、前記電荷トラッピング構造の正味の正電荷を増加させることによって、前記電荷蓄積状態を調整し、

第 3 のバイアス配置を適用し、前記電荷トラッピング構造の正味の負電荷を増加させることによって、前記電荷蓄積状態を調整し、

前記第 1 のバイアス配置において、前記第 2 のバイアス配置および前記第 3 のバイアス配置の一方によって調整された前記電荷蓄積状態に対して測定される電流が、前記第 2 のバイアス配置および前記第 3 のバイアス配置のもう一方によって調整された前記電荷蓄積状態に対して測定される電流よりも、少なくともおよそ 10 倍大きいことを特徴とする動作方法、メモリ、または製造方法。

10

【請求項 18】

前記電荷トラッピング構造の各部分の前記電荷蓄積状態が、1 ビットを保存することを特徴とする請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法。

【請求項 19】

前記電荷トラッピング構造の各部分の前記電荷蓄積状態が、複数のビットを保存することを特徴とする請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法。

【請求項 20】

前記第 1 のバイアス配置の間に生成される熱正孔が、前記電荷蓄積状態を妨害するためには不十分であることを特徴とする請求項 1、2、または 3 に記載の動作方法、メモリ、または製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

[関連出願]

2004 年 9 月 9 日に出願された米国の仮出願 60/608,455 に対する本願の優先権を主張する。また、2004 年 9 月 9 日に出願された米国の仮出願 60/608,528 に対する本願の優先権を主張する。

【0002】

30

本発明は電氣的にプログラマブルで消去可能な不揮発性メモリに関し、さらに詳しくは、前記メモリセルの電荷トラッピング構造の種々の位置の内容を高感度で読み取るバイアス配置を有する電荷トラッピングメモリに関する。

【背景技術】

【0003】

EEPROM およびフラッシュメモリとして公知の電荷蓄積構造に基づく、電氣的にプログラム可能で、消去可能な不揮発性メモリ技術は、さまざまな最新用途で用いられる。EEPROM およびフラッシュメモリに対して多くのメモリセル構造が用いられる。集積回路の寸法が縮小するにつれて、電荷トラッピング誘電体層に基づくメモリセル構造に対して、その製造プロセスの計測可能性および簡単さのために、より大きい関心を集めている。電荷トラッピング誘電体層に基づくメモリセル構造には、例えば、産業名 PHINES で知られる構造がある。これらのメモリセル構造は、窒化シリコンなどの電荷トラッピング誘電体層に電荷をトラップすることによりデータを保存する。負荷電がトラップされる

40

とき、メモリセルのしきい値電圧は増加する。電荷トラッピング層から負荷電を取り去ることによって、メモリセルの前記しきい値電圧は低下する。

【0004】

従来のメモリセル構造は、逆読出し動作に基づいてメモリ構造の内容を判定する。しかしながら、電荷トラッピング構造の一部だけが関係するデータを含んでいるときでも、前記逆読出し技術では、事実上、電荷トラッピング構造の複数の位置を連結する。この依存性は、前記逆読出し技術から測定される電流の検出ウィンドウを狭くすることによって、電

50

荷トラッピング構造を不揮発性メモリとして用いることを困難にさせる。その他の方法で保存可能なデータよりも、少ないデータしか電荷トラッピング構造に保存できない。

【0005】

このように、電荷トラッピング構造の一部だけが関係するデータを含んでいるときでも、電荷トラッピング構造の複数の位置の間で大量の結合を行わずに、読み出すことが可能な電荷トラッピングメモリセルに対するニーズが存在する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

メモリセルを動作させる方法、そのようなメモリセルを含む集積回路のアーキテクチャ、および、そのようなメモリを製造する方法を提供する。 10

【課題を解決するための手段】

【0007】

記述される技術の不揮発性メモリは、第1の端部および第2の端部を有する、直列に配置されたメモリセルと、前記直列に配置されたメモリセルの前記第1の端部と結合された第1のバストランジスタと、前記直列に配置されたメモリセルの前記第2の端部と結合された第2のバストランジスタと、前記第1のバストランジスタおよび前記第2のバストランジスタと結合されたビット線と、前記メモリセルのゲートと結合されたワード線と、前記メモリセルと結合されたロジックからなる。各メモリセルは、ソースおよびドレイン領域を有する基板領域と、前記基板領域と結合された底部誘電体と、前記ソースおよびドレイン領域に対応する部分を有し、前記底部誘電体と結合された電荷トラッピング構造と、前記電荷トラッピング構造と結合された上部誘電体と、前記上部誘電体と結合されたゲートを有する。電荷トラッピング構造の前記個々の部分は電荷蓄積状態を有し、メモリセルの用途および設計に応じて、1ビットまたは複数のビットを保存する。前記ロジックは、前記第1のバストランジスタおよび前記第2のバストランジスタの一方をオンにして、メモリセルの前記ソース領域または前記ドレイン領域と前記ビット線を電氣的に結合させる。これによって、前記ソース領域または前記ドレイン領域に対応する前記電荷トラッピング構造の部分を選択する。例えば、選択されたメモリセルのソース領域の方が、前記選択されたメモリセルの前記ドレイン領域より、前記直列に配置されたメモリセルの前記第1の端部により近いとき、前記直列に配置されたメモリセルの前記第1の端部と結合された前記第1のバストランジスタをオンにし、それによって、前記選択されたメモリセルの前記電荷トラッピング構造の前記ソース領域に対応する部分を選択する。別の実施例では、選択されたメモリセルのドレイン領域の方が、前記選択されたメモリセルの前記ソース領域より、前記直列に配置されたメモリセルの前記第1の端部により近いとき、前記直列に配置されたメモリセルの前記第1の端部と結合された前記第1のバストランジスタをオンにし、それによって、前記選択されたメモリセルの前記電荷トラッピング構造の前記ドレイン領域に対応する部分を選択する。 20 30

【0008】

前記ゲートと、前記ソース領域または前記ドレイン領域の一方との間の電圧差が電界を生じ、その電界は前記ソース領域または前記ドレイン領域の一方において、バンドベンディングを引き起こす。バンドベンディングの度合いは、前記ソース領域または前記ドレイン領域の一方に対応する電荷トラッピング構造の部分の電荷蓄積状態によって影響を受け、その結果、前記電荷蓄積状態によって変化する、前記ソース領域または前記ドレイン領域の一方におけるバンド間トンネル電流をもたらす。いくつかの実施例では、前記バイアス配置において、前記基板領域と、前記ソース領域または前記ドレイン領域の一方との間に、逆バイアスの電圧差を印加し、前記ソース領域または前記ドレイン領域のもう一方を電氣的に浮かせる。そのようなバイアス配置によって、前記ソース領域に対応する電荷トラッピング構造の部分と、前記ドレイン領域に対応する電荷トラッピング構造の部分との間の大量の結合を避けることができる。前記ソース領域に対応する電荷トラッピング構造の電荷蓄積状態を判定する電流測定は、前記ドレイン領域に対応する電荷トラッピング構造 40 50

の電荷蓄積状態に実質的に無関係であり、逆もまた同様である。

【0009】

いくつかの実施例では、前記バイアス配置は、前記ゲートと、前記ソース領域または前記ドレイン領域の一方との間に、第1の電圧差を引き起こし、前記基板領域と、前記ソースおよびドレイン領域の一方との間に、第2の電圧差を引き起こす。前記第1の電圧差および前記第2の電圧差は、測定に十分な大きさのバンド間トンネル電流を生じる。しかしながら、前記第1の電圧差および前記第2の電圧差は、前記電荷蓄積状態を変化させることはない。したがって、前記読出し動作は、前記電荷トラッピング構造に保存されたデータを破壊することはない。いくつかの実施例では、前記第1の電圧差は、前記ゲートと、前記ソース領域または前記ドレイン領域の一方との間に少なくともおよそ5Vであり、前記第2の電圧差は、前記基板領域と、前記ソース領域または前記ドレイン領域の一方との間におよそ2V未満である。 10

【0010】

いくつかの実施例では、前記基板領域は半導体基板におけるウェル（井戸）である。他の実施例では、前記基板領域は半導体基板そのものである。

【0011】

いくつかの実施例では、前記ロジックは第2のバイアス配置を適用し、前記電荷トラッピング構造における正味の正電荷を増加させることによって、前記電荷蓄積状態を調整し、および、前記ロジックは第3のバイアス配置を適用し、前記電荷トラッピング構造における正味の負電荷を増加させることによって、前記電荷蓄積状態を調整する。正味の正電荷は、バンド間熱正孔トンネリングなどの電流機構によって、前記電荷トラッピング構造において増加させられる。正味の負電荷は、電子トンネリング、Fowler-Nordheimトンネリング、チャネルホットエレクトロン注入電流、または、channel initiated二次電子注入電流などの電流機構によって、前記電荷トラッピング構造において増加させられる。いくつかの実施例では、前記第2のバイアス配置および前記第3のバイアス配置の一方のバイアス配置で調整された前記電荷蓄積状態に対する被測定電流は、前記第2のバイアス配置および前記第3のバイアス配置のもう一方のバイアス配置で調整された前記電荷蓄積状態に対する被測定電流より、少なくともおよそ10倍大きく、例えば、一方の測定に対して、およそ100ナノアンペアであり、もう一方の測定に対して、およそ1ナノアンペアである。 20 30

【0012】

上で説明された技術の他の実施例は、メモリセルを選択する方法、および、前記説明された技術の不揮発性メモリを製造する方法を含む。

【発明の効果】

【0013】

本明細書に提示された技術の他の態様および利点は、以下の図面、詳細な説明、およびクレームを参照することによって理解される。

【発明を実施するための最良の形態】

【0014】

図1Aは、電荷トラッピング構造のソース側で実行される読出し動作を示す電荷トラッピングメモリセルの略図である。pによってドーピングされた基板領域170は、n+ドーピングされたソースおよびドレイン領域、150および160を有する。メモリセルの残りの部分は、基板に接触する形で底部誘電体構造140と、底部誘電体構造140（底部酸化物）に接触して電荷トラッピング構造130と、電荷トラッピング構造130に接触して上部誘電体構造120（上部酸化物）と、酸化物構造120に接触してゲート110を有する。代表的な上部誘電体には、およそ5から10ナノメートルの厚さを有する二酸化シリコンおよび酸化窒化シリコン、または、例えば Al_2O_3 を含む他の同様の高誘電定数材料がある。代表的な底部誘電体には、およそ3から10ナノメートルの厚さを有する二酸化シリコンおよび酸化窒化シリコン、または、他の同様の高誘電定数材料がある。代表的な電荷トラッピング構造には、およそ3から9ナノメートルの厚さを有する窒化シリ 40 50

コン、または、 Al_2O_3 や、 HfO_2 や、その他の金属酸化物を含む他の同様の高誘電定数材料がある。電荷トラッピング構造は、電荷トラッピング材料のポケットまたは粒子の不連続な集合、または、図に示すような連続した層である。

【0015】

PHINESと同様なセルとして使用されるメモリセルは、例えば、2ナノメートルから10ナノメートルの厚さ範囲を有する底部酸化物と、2ナノメートルから10ナノメートルの厚さ範囲を有する電荷トラッピング層と、2ナノメートルから15ナノメートルの厚さ範囲を有する上部酸化物を有する。

【0016】

いくつかの実施例では、ゲートは、n型シリコンの固有仕事関数より大きい仕事関数を有する材料、すなわち、およそ4.1 eVより大きく、望ましくはおよそ4.25 eVより大きく、例えばおよそ5 eVより大きい仕事関数を有する材料からなる。代表的ゲート材料には、p型のポリ、TiN、Pt、ならびにその他の高い仕事関数を有する金属および材料がある。前記技術の実施例に適した比較的高い仕事関数を有するその他の材料には、Ru、Ir、Ni、およびCoを含む金属と、Ru-TiおよびNi-Tを含む金属合金と、金属窒化物と、 RuO_2 を含む金属酸化物などがあるが、これらに限らない。高い仕事関数を有するゲート材料は、電子トンネリングに対して、典型的なn型のポリシリコンゲートよりも高い注入バリアをもたらす。二酸化シリコンの上部誘電体を有するn型のポリシリコンゲートに対する注入バリアは、およそ3.15 eVである。したがって、本技術の実施例では、およそ3.15 eVより高い注入バリアを有するゲート用の材料および上部誘電体用の材料を使用し、例えば、およそ3.4 eVよりも高く、望ましくは、およそ4 eVより高い注入バリアを有するゲート用の材料および上部誘電体用の材料を使用する。二酸化シリコンの上部誘電体を有するp型のポリシリコンゲートに対する注入バリアは、およそ4.25 eVであり、一つに集められたセルのしきい値は、結果的に、二酸化シリコンの上部誘電体を有するn型のポリシリコンゲートを有するセルに対して、およそ2ボルト低下する。

【0017】

図1Aでは、例えば、電荷トラッピング構造130のドレーン側へのバンド間正孔注入によって、メモリセルのドレーン側がプログラムされている。例えば、ゲート110から電荷トラッピング構造130へのFowler-Nordheimトンネリング、および、電荷トラッピング構造130から基板170へのFowler-Nordheimトンネリングによって電子を注入するチャンネルリセット操作で、メモリセルのソース側が消去されている。

【0018】

電荷トラッピング構造130のソース側を読み出す図1Aのバイアス配置では、ゲート110の電圧は-10 V、ソース150の電圧は2 V、ドレーン160の電圧は浮動しており、基板170の電圧は0 Vである。図1Bのメモリセルは、読出し動作が、ソース側よりむしろ電荷トラッピング構造のドレーン側で実行されていることを除いて、図1Aのメモリセルと同様である。電荷トラッピング構造130のドレーン側を読み出す図1Bのバイアス配置では、ゲート110の電圧は-10 V、ソース150の電圧は浮動しており、ドレーン160の電圧は2 V、基板170の電圧は0 Vである。エネルギーバンドの曲がり、n+ドーピングされたソース150（図1A）、または、n+ドーピングされたドレーン160（図1B）においてバンド間電流を生じさせるのに十分なほど大きくなるようにするとともに、しかし一方で、基板170とソース150（図1A）との間の電位差、または、基板170とドレーン160（図1B）との間の電位差を十分に低く保ち、図2Aで説明するようなプログラミング操作が起こらないような仕方、バイアス配置は多様な端子の中で決定される。

【0019】

図1Aおよび図1Bの本バイアス配置において、pドーピングされた基板170と、n+ドーピングされたソース150またはn+ドーピングされたドレーン160のどちらかと

の間の接合領域は、逆バイアス $p-n$ 接合の振る舞いを示す。しかしながら、ゲート電圧は、エネルギーバンドに十分大きな曲がりを生じさせ、 $n+$ ドーピングされたソース 150 (図 1 A)、または、 $n+$ ドーピングされたドレーン 160 (図 1 B) において、バンド間トンネリングが生じる。ソース 150 またはドレーン 160 における高いドーピング濃度、その結果生じる空間電荷領域の高い電荷密度、および、付随して起こる電圧が変化する空間電荷領域長の短さが、鋭いエネルギーバンドベンディングの原因となる。価電子帯の電子は、トンネリングによって禁制ギャップを通り抜けて伝導帯へ移動し、ポテンシャルの山を越え、 $n+$ ドーピングされたソース 150 (図 1 A)、または、 $n+$ ドーピングされたドレーン 160 (図 1 B) の一方の深部へ流れ込む。同様に、正孔はポテンシャルの山を駆け上がり、 $n+$ ドーピングされたソース 150 (図 1 A)、または、 $n+$ ドーピングされたドレーン 160 (図 1 B) の一方から隔離して、 p ドーピングされた基板 170 へ移動する。

【0020】

ゲート 110 の電圧は、底部誘電体構造 140 (底部酸化物) の付近の基板 170 の部分の電圧を制御する。次に、底部誘電体構造 140 (底部酸化物) の付近の基板 170 の部分の電圧は、底部誘電体構造 140 (底部酸化物) と、 $n+$ ドーピングされたソース 150 (図 1 A) または $n+$ ドーピングされたドレーン 160 (図 1 B) の一方との間のバンドベンディングの度合いを制御する。ゲート 110 の電圧が、より大きな負の値になると、底部誘電体構造 140 (底部酸化物) の付近の基板 170 の部分の電圧は、より大きな負の値になり、結果として、 $n+$ ドーピングされたソース 150 (図 1 A)、または、 $n+$ ドーピングされたドレーン 160 (図 1 B) のどちらかにおいて、より強いバンドベンディングをもたらす。1) 屈曲したエネルギーバンドの片側にある、占有された電子エネルギー準位と、屈曲したエネルギーバンドのもう片側にある、占有されていない電子エネルギー準位との間の増大するオーバーラップ、および 2) 占有された電子エネルギー準位と、占有されていない電子エネルギー準位との間の縮小するバリア幅 (Sze, Physics of Semiconductor Devices, 1981)、の少なくともいくつかの組み合わせの結果、より多くのバンド間電流が流れる。

【0021】

以上のように、電荷トラッピング構造 130 のドレーン側はプログラムされ、正孔によって占有されるが、一方、電荷トラッピング構造 130 のソース側は消去され、電荷トラッピング構造 130 のドレーン側より少ない正孔によって占有される。結果として、ガウスの法則によって、 -10 V がゲート 110 に印加されるとき、底部誘電体構造 140 (底部酸化物) は、ドレーン側でよりもソース側で、よりマイナスに偏る。したがって、電荷トラッピング構造 130 のソース側を読み出す図 1 A に示すバイアス配置において、ソース 150 と基板 170 の間を流れる電流は、電荷トラッピング構造 130 のドレーン側を読み出す図 1 B に示すバイアス配置においてドレーン 160 と基板 170 の間を流れる電流よりも、より多く流れる。

【0022】

読出しに対する図 1 A および図 1 B のバイアス配置、ならびに、プログラミングに対する図 2 A のバイアス配置における差は、微妙な釣り合いを保っている。読出しに関しては、ソース領域またはドレーン領域の間の電位差は、大量のキャリアにトンネル酸化物を通過させて、電荷蓄積状態に影響を与えるべきではない。対照的に、プログラミングに関しては、ソース領域またはドレーン領域の間の電位差は十分大きく、大量のキャリアにトンネル酸化物を通過させて、電荷蓄積状態に影響を与えるほどである。

【0023】

図 2 A、図 2 B、および図 2 C は、メモリセルで実行されるプログラム操作および消去動作を示すメモリセルの略図である。本明細書で一般に用いるように、プログラミングとは、電荷トラッピングに正孔を加える、または、電荷トラッピングから電子を取り去るなどの手段によって、電荷トラッピング構造に保存された正味電荷をより大きな正の値にすることを意味する。また、本明細書で一般に用いるように、消去とは、電荷トラッピング構

造から正孔を取り去る、または、電荷トラップング構造に電子を加えるなどの手段によって、電荷トラップング構造に保存された正味電荷をより大きな負の値にすることを意味する。しかしながら、本発明は、2つの製品および方法の両方を含み、その1つの製品および方法は、プログラミングが、電荷トラップング構造に保存された正味電荷をより大きな負の値にする、または、より大きな正の値にすることを意味するような製品および方法、ならびに、もう1つの製品および方法は、消去が、電荷トラップング構造に保存された正味電荷をより大きな負の値にする、または、より大きな正の値にすることを意味するような製品および方法である。

【0024】

図2Aでは、プログラミングは、バンド間トンネリングによって誘発された熱正孔注入を用いて実行される。図2Bおよび図2Cでは、消去は、負のゲート電圧と、ゲートから電荷トラップング構造へのトンネル電流を生じさせる電場によって誘発された電子トンネリング（または、Fowler-Nordheimトンネリングとして知られている）とを用いて実行され、または、負の基板電圧と、基板から電荷トラップング構造へのトンネル電流を生じさせる電場によって誘発された電子トンネリング（または、Fowler-Nordheimトンネリングとして知られている）とを用いて実行される。このようにして、図2Aで図解されるように、基板270をアースし、ドレーン260に5Vを印加、ソース250に0Vを印加、およびゲート210に-6Vを印加することによって、右のビットがプログラムされる。これは、電荷トラップング構造230のドレーン側233で保存される正孔234によって示されるように、トンネル誘電体240を跳び越えて、電荷トラップング構造230のドレーン側233に移動するために十分なエネルギーを有する熱正孔を生じさせる。同様に、基板270をアースし、ソース250に5Vを印加、ドレーン260に0Vを印加、およびゲート210に-6Vを印加することによって、左のビットがプログラムされる（図示せず）。これは、底部誘電体構造240を跳び越えて、電荷トラップング構造230のソース側に移動するために十分なエネルギーを有する熱正孔を生じさせる。図2Bは、消去に用いられる、電場で誘発された、上部誘電体構造220および底部誘電体構造240を横切る電子トンネリングを示す。この電子トンネリングは、ゲートの比較的高い負のバイアス、および、基板の比較的高い正のバイアスで誘発されている。図示された実施例において、メモリセルの両方のビットは、基板をアースし、ソースとドレーンの両方が浮いている状態で、ゲートに-20Vを印加することによって同時に消去される。図2Cは、消去に用いられる、電場で誘発された電子トンネリングを示したもので、この電子トンネリングは、基板、ドレーン、およびソースの比較的高い負のバイアス、ならびに、ゲートの比較的高い正のバイアスで誘発されている。図示された実施例において、メモリセルの両方のビットは、ゲートをアースし、基板、ソース、およびドレーンに-20Vを印加することによって同時に消去される。PHINES型のメモリセルに適用される動作アルゴリズムにおいて、例えば、米国特許第6,690,601号に記載されるような、他のプログラムおよび消去方法を用いることができる。また、他のメモリセルおよび他の動作アルゴリズムを用いてもよい。

【0025】

図3Aおよび図3Bは、理想的なメモリセルの検出ウィンドウを、逆読出し動作によって読み出されるメモリセルの検出ウィンドウと対照させるグラフ表示である。曲線310は第1のビットの読出し電流を表す。曲線320は第2のビットの読出し電流を表す。時間間隔330の間、第1のビットはプログラミングを受けている。時間間隔340の間、第2のビットはプログラミングを受けている。プログラム操作（熱正孔注入による）のため、電流（チャンネル電流）は逆読出し動作において増加し、電流（BTB電流）はBTB検出動作において低下する。読出し電流間隔は、メモリセルの検出ウィンドウ350によって表される。

【0026】

図3Aでは、理想的なメモリセルは比較的に広い検出ウィンドウ350を有する。時間間隔330の間、第1のビットがプログラミングを受けているとき、第1のビット310の読

10

20

30

40

50

出し電流曲線は、最も低いレベルから最も高いレベルまで増加する。時間間隔 330 の間の第 1 のビットのプログラミングは、第 2 のビット 320 の読出し電流曲線に実質的に影響を与えない。時間間隔 340 の間、第 2 のビットがプログラミングを受けているとき、第 2 のビット 320 の読出し電流曲線は、最も低いレベルから最も高いレベルまで増加する。時間間隔 340 の間の第 2 のビットのプログラミングは、第 1 のビット 310 の読出し電流曲線に実質的に影響を与えない。

【0027】

図 3 B では、逆読出し動作によって読み出されるメモリセルは、以下で説明する第 2 のビット効果のために、比較的狭い検出ウィンドウ 350 を有する。時間間隔 330 の間、第 1 のビットがプログラミングを受けているとき、第 1 のビット 310 の読出し電流曲線は、最も低いレベル 360 から最も高いレベル 364 まで増加する。その結果、時間間隔 330 の間の第 1 のビットのプログラミングは、第 2 のビット 320 の読出し電流曲線に実質的に影響を与え、第 2 のビット 320 の読出し電流曲線は、最も低いレベル 360 から低いレベル 362 まで増加する。時間間隔 340 の間、第 2 のビットがプログラミングを受けているとき、第 2 のビット 320 の読出し電流曲線は、低いレベル 362 から最も高いレベル 366 まで増加する。その結果、時間間隔 340 の間の第 2 のビットのプログラミングは、第 1 のビット 310 の読出し電流曲線に実質的に影響を与え、第 1 のビット 310 の読出し電流曲線は、高いレベル 364 から最も高いレベル 366 まで増加する。このようにして、1 つのビットについてメモリセルで逆読出し動作を実行するとき、その際に生じる読出し電流は、他のビットのプログラム状態または消去状態によって実質的に影響を受ける。その理由は、所定のゲート電圧に対して、逆読出し動作の間、他のビットの下基板部を強制的に空乏化および反転状態にし、他のビットの下基板部を突き抜けることが、より難しくなるためである。

【0028】

図 4 A、図 4 B、および図 4 C は、メモリセルで実行されるプログラム、消去、およびバンド間の読出し動作を示すグラフ表示である。

【0029】

図 4 A のグラフ表示では、プログラムされた状態にある第 1 および第 2 の電荷トラッピング部の両方を有するメモリセルが、電場によって誘発された電子トンネリングによって消去される。この電子トンネリングは、ゲートの比較的高い負のバイアス、および、基板の比較的高い正のバイアスで誘発されている。グラフ表示では、メモリセルの両方の電荷トラッピング部が、基板をアースし、ソースとドレーンの両方が浮動している状態で、ゲートに -19.5 V を印加することによって同時に消去される。個々のデータ測定時点では読出し動作が実行され、その方法としては、ゲートに -10 V を印加し、読み出される電荷トラッピング構造の部分によって、ドレーンまたはソースの一方に 2 V を印加し、ドレーンまたはソースの内の残りの端子を浮動させ、基板をアースすることによって行なわれる。電荷トラッピング構造のソース側が読み出されているとき、ソースに 2 V が印加され、ドレーンは浮動状態にされる。電荷トラッピング構造のドレーン側が読み出されているとき、ドレーンに 2 V が印加され、ソースは浮動状態にされる。

【0030】

図 4 B のグラフ表示では、第 1 の電荷トラッピング部がプログラミングを受け、図 4 C のグラフ表示では、第 2 の電荷トラッピング部がプログラミングを受ける。曲線 410 は第 1 の電荷トラッピング部の読出し電流を表す。曲線 420 は第 2 の電荷トラッピング部の読出し電流を表す。図 4 B では、第 1 の電荷トラッピング部をプログラムし、その方法としては、ゲートに -8 V を印加し、第 1 の端子（電荷トラッピング構造の第 1 の電荷トラッピング部に、より近い端子）に 5 V を印加し、第 2 の端子（電荷トラッピング構造の第 1 の電荷トラッピング部から、より遠い端子）を浮動させ、基板をアースすることによって行なう。図 4 B では、第 1 の電荷トラッピング部がプログラミングを受けているとき、第 1 の電荷トラッピング部 410 の読出し電流曲線は、最も高いレベルのおよそ 100 ナノアンペアから最も低いレベルのおよそ 1 ナノアンペアに低下する。第 1 の電荷トラッピ

ング部のプログラミングは、第2の電荷トラップング部420の読出し電流曲線に実質的に影響を与えない。図4Cでは、第2の電荷トラップング部をプログラムし、その方法としては、ゲートに-8Vを印加し、第2の端子（電荷トラップング構造の第2の電荷トラップング部に、より近い端子）に5Vを印加し、第1の端子（電荷トラップング構造の第2の電荷トラップング部から、より遠い端子）を浮かせ、基板をアースすることによって行なう。図4Cでは、第2の電荷トラップング部がプログラミングを受けているとき、第2の電荷トラップング部420の読出し電流曲線は、最も高いレベルのおよそ100ナノアンペアから最も低いレベルのおよそ1ナノアンペアに低下する。第2の電荷トラップング部のプログラミングは、第1の電荷トラップング部410の読出し電流曲線に実質的に影響を与えない。図4Bおよび図4Cの個々のデータ点に対して読出し動作を実行し、その方法としては、ゲートに-10Vを印加し、読み出される電荷トラップング構造の部分に依存して、ドレーンまたはソースの一方に2Vを印加し、ドレーンまたはソースの内の残りの端子を浮動させ、基板をアースすることによって行なう。電荷トラップング構造のソース側が読み出されているとき、ソースに2Vが印加され、ドレーンは浮動状態にされる。電荷トラップング構造のドレーン側が読み出されているとき、ドレーンに2Vが印加され、ソースは浮動状態にされる。

10

【0031】

バンド間の読出し動作が、第1の端子または第2の端子のどちらかに局所化するので、図4Bおよび図4Cに示す検出ウィンドウは比較的広い。第1の電荷トラップング部で実行されるバンド間の読出し動作から生じる読出し電流は、第2の電荷トラップング部の論理的な状態に対して比較的鈍感であり、第2の電荷トラップング部で実行されるバンド間の読出し動作から生じる読出し電流は、第1の電荷トラップング部の論理的な状態に対して比較的鈍感である。電荷トラップング構造の片側で実行される読出し動作から生じる読出し電流が、電荷トラップング構造の反対側に保存されるデータに比較的依存している場合、バンド間の読出し動作は、逆読出し動作を特徴付ける第2の電荷トラップング部効果の影響を比較的受けない。個々の電荷トラップング部は1ビットまたは複数のビットを保存できる。例えば、個々の電荷トラップング部が2ビットを保存するとき、4つの電荷の離散準位がある。

20

【0032】

図5(A)および(B)は、メモリセルで実行されるプログラム操作を示すメモリセル列の略図である。

30

【0033】

図5(A)では、直列に結合されたN個のメモリセルを含むメモリセル列の中のメモリセルの1つがプログラムされる。基板502の電圧は0Vである。プログラムされるように選ばれたメモリセル540のゲートは-5Vの電圧を有する。より詳しく述べると、電荷トラップング構造の一部分542がプログラムされるように選ばれる。プログラムされる電荷トラップング構造の部分542は、10Vの電圧をパストランジスタ510のゲートに印加し、パストランジスタ510を動作させることによって選択される。さらに、10Vの電圧は、メモリセル520および530のゲートに印加される。これらのゲート電圧は、5Vの電圧を有する第1のビット線505を、選択されたメモリセル540のソース／ドレーン領域の一方と電氣的に結びつける。ソース／ドレーン領域の一方に対応する電荷トラップング構造の選択された部分542は、例えば、バンド間熱正孔プログラミングでプログラムされる。メモリセル550、560、570、および580のゲートに0Vの電圧を印加することによって、メモリセル列の残りのトランジスタがオフにされ、そして、パストランジスタ590のゲートに0Vの電圧を印加することによって、パストランジスタ590がオフにされる。これらのゲート電圧は、第2のビット線595を、選択されたメモリセル540のソース／ドレーン領域のもう一方から電氣的に切り離す。ソース／ドレーン領域のもう一方に対応する電荷トラップング構造の非選択部分はプログラムされない。

40

【0034】

50

図 5 (B) では、直列に結合された N 個のメモリセルを含むメモリセル列の中のメモリセルの 1 つがプログラムされる。しかしながら、0 V のゲート電圧が、パストランジスタ 510 のゲート、ならびに、メモリセル 520 および 530 のゲートに印加される。また、10 V のゲート電圧が、パストランジスタ 590 のゲート、ならびに、メモリセル 550、560、570、および 580 のゲートに印加される。図 5 (A) のバイアス配置、すなわち、ビット線 505 が、電荷トラッピング構造の部分 542 をプログラムするために、メモリセル 540 のソースまたはドレーンの一方と電気的に結合されるバイアス配置とは対照的に、図 5 (B) のバイアス配置では、ビット線 595 は、電荷トラッピング構造の部分 544 をプログラムするために、メモリセル 540 のソースまたはドレーンのもう一方と電気的に結合される。

10

【0035】

図 6 (A) および (B) は、メモリセルで実行される読出し動作を示すメモリセル列の略図である。

【0036】

図 6 (A) では、直列に結合された N 個のメモリセルを含むメモリセル列の中のメモリセルの 1 つが読み出される。基板 602 の電圧は 0 V である。読み出されるように選ばれたメモリセル 640 のゲートは -10 V の電圧を有する。より詳しく述べると、電荷トラッピング構造の一部分 642 が読み出されるように選ばれる。読み出される電荷トラッピング構造の部分 642 は、10 V の電圧をパストランジスタ 610 のゲートに印加し、パストランジスタ 610 を動作させることによって選択される。さらに、10 V の電圧は、メモリセル 620 および 630 のゲートに印加される。これらのゲート電圧は、2 V の電圧を有する第 1 のビット線 605 を、選択されたメモリセル 640 のソース／ドレーン領域の一方と電気的に結びつける。ソース／ドレーン領域の一方に対応する電荷トラッピング構造の選択された部分 642 は、例えば、バンド間電流検出によって読み出される。メモリセル 650、660、670、および 680 のゲートに 0 V の電圧を印加することによって、メモリセル列の残りのトランジスタがオフにされ、そして、パストランジスタ 690 のゲートに 0 V の電圧を印加することによって、パストランジスタ 690 がオフにされる。これらのゲート電圧は、第 2 のビット線 695 を、選択されたメモリセル 640 のソース／ドレーン領域のもう一方から電気的に切り離す。ソース／ドレーン領域のもう一方に対応する電荷トラッピング構造の非選択部分は読み出されない。

20

30

【0037】

図 6 (B) では、直列に結合された N 個のメモリセルを含むメモリセル列の中のメモリセルの 1 つがプログラムされる。しかしながら、0 V のゲート電圧が、パストランジスタ 610 のゲート、ならびに、メモリセル 620 および 630 のゲートに印加される。また、10 V のゲート電圧が、パストランジスタ 690 のゲート、ならびに、メモリセル 650、660、670、および 680 のゲートに印加される。図 6 (A) のバイアス配置、すなわち、第 1 のビット線 605 が、電荷トラッピング構造の部分 642 を読み出すために、メモリセル 640 のソースまたはドレーンの一方と電気的に結合されるバイアス配置とは対照的に、図 6 (B) のバイアス配置では、第 2 のビット線 695 は、電荷トラッピング構造の部分 644 を読み出すために、メモリセル 640 のソースまたはドレーンのもう一方と電気的に結合される。

40

【0038】

図 7 (A) および (B) は、メモリセルで実行される消去動作を示すメモリセル列の略図である。

【0039】

図 7 (A) では、直列に結合された N 個のメモリセルを含むメモリセル列の中のすべてのメモリセルが消去される。基板 702 の電圧は 10 V である。消去されるメモリセルのゲート 720、730、740、750、760、770、および 780 は、-10 V の電圧を有する。パストランジスタのゲート 710 および 790 は浮動している。ビット線 705 および 795 は浮動している。メモリセル 720、730、740、750、760

50

、 770、および780は、例えば、ゲートから電荷トラップング構造への、および、電荷トラップング構造から基板への電子のFNトンネリングによって消去される。

【0040】

図7(B)では、直列に結合されたN個のメモリセルを含むメモリセル列の中のすべてのメモリセルが消去される。基板702の電圧は-10Vである。消去されるメモリセルのゲート720、730、740、750、760、770、および780は、10Vの電圧を有する。パストランジスタのゲート710および790の電圧は5Vである。ビット線705および795の電圧は-10Vである。メモリセル720、730、740、750、760、770、および780は、例えば、基板から電荷トラップング構造への、および、電荷トラップング構造からゲートへの電子のFNトンネリングによって消去される。 10

【0041】

図8では、メモリセルの各カラムは、多くとも1つのビット線804としか電氣的に結合されない。言い換えると、図8の構成は、第1のビット線605と第2のビット線695が恒久的に電氣的に結合されるという点で、図6の構成と異なっている。メモリセルのカラムの中のメモリセルは、メモリセル820、830、840、850、860、870、および880のゲート電圧を設定するワード線をオンにすることによって選択される。所定のメモリセルのどの部分を読み出すか、またはプログラムするかを制御する方法の例は、パストランジスタ810および890の一方をオンにし、パストランジスタ810および890のもう一方をオフにすることによる。図8に示すパストランジスタ810および890はメモリセルではないが、他の実施例では、パストランジスタ810および890の一方または両方が、電荷トラップング構造を有するメモリセルである。 20

【0042】

図9では、直列に結合されたN個のメモリセルを含む複数の列を有する、配列したメモリセルが消去される。基板902の電圧は10Vである。消去されるメモリセル920、930、940、950、960、970、および980のワード線は、-10Vの電圧を有する。パストランジスタ910および990のワード線は0Vの電圧を有する。ビット線903、904、905、906、および907は浮動している。前記アレイのメモリセルは、例えば、ゲートから電荷トラップング構造への、および、電荷トラップング構造から基板への電子のFNトンネリングによって消去される。 30

【0043】

図10では、直列に結合されたN個のメモリセルを含む複数の列を有する、配列したメモリセルが消去される。基板1002の電圧は-10Vである。消去されるメモリセル1020、1030、1040、1050、1060、1070、および1080のワード線は、10Vの電圧を有する。パストランジスタ1010および1090のワード線は5Vの電圧を有する。ビット線1003、1004、1005、1006、および1007は、-10Vの電圧を有する。前記アレイのメモリセルは、例えば、基板(ドレーンおよびソースを含む)から電荷トラップング構造への、および、電荷トラップング構造からゲートへの電子のFNトンネリングによって消去される。

【0044】

図11では、直列に結合されたN個のメモリセルを含む複数の列を有する、配列したメモリセルにおいて、数個のメモリセルがプログラムされる。基板1102の電圧は0Vである。プログラムされるメモリセルのワード線1140は、-5Vの電圧を有する。メモリセルがワード線1140によって選択された状態で、10Vの電圧を印加してパストランジスタワード線1110をオンにすることによって、電荷トラップング構造部1143、1144、1145、1146、および1147が選択される。介在しているメモリセルワード線1120および1130の電圧は、10Vに設定される。もう一方のパストランジスタワード線1190、ならびに、残りのメモリセルワード線1150、1160、1170、および1180が、0Vの電圧を印加することでオフにされる。選択された電荷トラップング構造部1143、1144、1145、1146、および1147の中で、 40 50

ビット線 1104、1106、および 1107 の電圧を 5 V に設定することによって、電荷トラップング構造部 1144、1146、および 1147 がプログラムされる。選択された電荷トラップング構造部 1143、1144、1145、1146、および 1147 の中で、ビット線 1103 および 1105 の電圧を 0 V に設定することによって、電荷トラップング構造部 1143 および 1145 がプログラムされない。

【0045】

図 12 では、図 11 と同様に数個のメモリセルがプログラムされる。基板 1202 の電圧は 0 V である。しかしながら、メモリセルがワード線 1240 によって選択された状態で、10 V の電圧を印加してパストランジスタワード線 1290 をオンにすることによって、電荷トラップング構造部 1243、1244、1245、1246、および 1247 が選択される。介在しているメモリセルワード線 1250、1260、1270、および 1280 の電圧は、10 V に設定される。もう一方のパストランジスタワード線 1210、および、残りのメモリセルワード線 1220 および 1230 が、0 V の電圧を印加することでオフにされる。選択された電荷トラップング構造部 1243、1244、1245、1246、および 1247 の中で、ビット線 1204、1206、および 1207 の電圧を 5 V に設定することによって、電荷トラップング構造部 1244、1246、および 1247 がプログラムされる。選択された電荷トラップング構造部 1243、1244、1245、1246、および 1247 の中で、ビット線 1203 および 1205 の電圧を 0 V に設定することによって、電荷トラップング構造部 1243 および 1245 がプログラムされない。

【0046】

図 13 では、直列に結合された N 個のメモリセルを含む複数の列を有する、配列したメモリセルにおいて、数個のメモリセルが読み出される。基板 1302 の電圧は 0 V である。読み出されるメモリセルのワード線 1340 は、-10 V の電圧を有する。メモリセルがワード線 1340 によって選択された状態で、10 V の電圧を印加してパストランジスタワード線 1310 をオンにすることによって、電荷トラップング構造部 1343、1344、1345、1346、および 1347 が選択される。介在しているメモリセルワード線 1320 および 1330 の電圧は、10 V に設定される。もう一方のパストランジスタワード線 1390、ならびに、残りのメモリセルワード線 1350、1360、1370、および 1380 が、0 V の電圧を印加することでオフにされる。ビット線 1303、1304、1305、1306、および 1307 の電圧を 2 V に設定することによって、選択された電荷トラップング構造部 1343、1344、1345、1346、および 1347 が読み出される。他の実施例では、興味があるビット線に対してのみ電圧を 2 V に設定することによって、すべてのビット線のサブセットが読み出される。

【0047】

図 14 では、図 13 と同様に数個のメモリセルが読み出される。基板 1402 の電圧は 0 V である。しかしながら、メモリセルがワード線 1440 によって選択された状態で、10 V の電圧を印加してパストランジスタワード線 1490 をオンにすることによって、電荷トラップング構造部 1443、1444、1445、1446、および 1447 が選択される。介在しているメモリセルワード線 1450、1460、1470、および 1480 の電圧は、10 V に設定される。もう一方のパストランジスタワード線 1410、ならびに、残りのメモリセルワード線 1420 および 1430 が、0 V の電圧を印加することでオフにされる。ビット線 1403、1404、1405、1406、および 1407 の電圧を 2 V に設定することによって、選択された電荷トラップング構造部 1443、1444、1445、1446、および 1447 が読み出される。他の実施例では、興味があるビット線に対してのみ電圧を 2 V に設定することによって、すべてのビット線のサブセットが読み出される。

【0048】

図 15 は、実施例の集積回路の簡略化されたブロック図である。集積回路 1550 は、半導体基板上に電荷トラップングメモリセルを用いて実装されたメモリアレイ 1500 を有

する。ロウデコーダ1501は、メモリアレイ1500の列に沿って配置された複数のワード線1502と結合される。カラムデコーダ1503は、メモリアレイ1500のカラムに沿って配置された複数のビット線1504と結合される。アドレスは、バス1505でカラムデコーダ1503およびロウデコーダ1501に供給される。ブロック1506の感度増幅器およびデータイン構造体が、データバス1507によってカラムデコーダ1503と結合される。データが、データイン線1511を通して、集積回路1550の入出力ポートから、または、集積回路1550の内部または外部の他のデータソースから、ブロック1506のデータイン構造体へ供給される。データは、データアウト線1515を通して、ブロック1506の感度増幅器から集積回路1550の入出力ポートへ、または、集積回路1550の内部または外部の他のデータ送信先へ供給される。バイアス配置状態マシン1509が、消去検証用電圧およびプログラム検証用電圧などのバイアス配置供給電圧1508の印加、ならびに、バンド間電流などを用いたメモリセルのプログラミング、消去、および読出しのためのバイアス配置を制御する。

10

【0049】

先に詳細に説明された技術および実施例を参照することによって本発明は開示されるが、これらの実施例は、例を示したものであり、制限の意味を有するものではない。変更および組み合わせは、当業者にとって容易に可能であるが、それらの変更および組み合わせは、本発明の精神および以下のクレームの範囲の中にある。

【図面の簡単な説明】

【0050】

20

【図1A】ソース側に対応する電荷トラッピング構造の一部分で実行される読出し動作を示す電荷トラッピングメモリセルの略図である。

【図1B】ドレーン側に対応する電荷トラッピング構造の一部分で実行される読出し動作を示す電荷トラッピングメモリセルの略図である。

【図2A】ドレーン側に対応する電荷トラッピング構造の一部分で実行されるプログラム操作を示す電荷トラッピングメモリセルの略図である。

【図2B】ゲートから基板領域の方向へ全体的に移動する電子によって、電荷トラッピング構造で実行される消去動作を示す電荷トラッピングメモリセルの略図である。

【図2C】基板領域からゲートの方向へ全体的に移動する電子によって、電荷トラッピング構造で実行される別の消去動作を示す電荷トラッピングメモリセルの略図である。

30

【図3A】理想的なメモリセルの検出ウィンドウを示すグラフ表示である。

【図3B】典型的なメモリセルの検出ウィンドウを示すグラフ表示である。

【図4A】メモリセルで実行される消去動作を示すグラフ表示である。

【図4B】メモリセルの電荷トラッピング構造の一部分で実行されるプログラム操作を示すグラフ表示である。

【図4C】メモリセルの電荷トラッピング構造の別の部分で実行されるプログラム操作を示すグラフ表示である。

【図5】(A)は選択されたメモリセルの一部分で実行されるプログラム操作を示す一連の電荷トラッピングメモリセルの略図、(B)は選択されたメモリセルの別の部分で実行されるプログラム操作を示す一連の電荷トラッピングメモリセルの略図である。

40

【図6】(A)は選択されたメモリセルの一部分で実行される読出し動作を示す一連の電荷トラッピングメモリセルの略図、(B)は選択されたメモリセルの別の部分で実行される読出し動作を示す一連の電荷トラッピングメモリセルの略図である。

【図7】(A)はメモリ列で実行される消去動作を示す一連の電荷トラッピングメモリセルの略図、(B)はメモリ列で実行される別の消去動作を示す一連の電荷トラッピングメモリセルの略図である。

【図8】コモンビット線と電氣的に結合されたメモリ列の両端を示す一連の電荷トラッピングメモリセルの略図である。

【図9】メモリアレイで実行される消去動作を示す、配列した電荷トラッピングメモリセルの略図である。

50

【図 1 0】メモリアレイで実行される別の消去動作を示す、配列した電荷トラップングメモリセルの略図である。

【図 1 1】メモリアレイの選択されたセルの一部分で実行されるプログラム操作を示す、配列した電荷トラップングメモリセルの略図である。

【図 1 2】メモリアレイの選択されたセルの別の部分で実行されるプログラム操作を示す、配列した電荷トラップングメモリセルの略図である。

【図 1 3】メモリアレイの選択されたセルの一部分で実行される読出し動作を示す、配列した電荷トラップングメモリセルの略図である。

【図 1 4】メモリアレイの選択されたセルの別の部分で実行される読出し動作を示す、配列した電荷トラップングメモリセルの略図である。

10

【図 1 5】配列した電荷トラップングメモリセルおよび制御回路を有する集積回路の略図である。

【符号説明】

【0 0 5 1】

1 1 0	ゲート	
1 2 0	上部誘電体構造（酸化物構造）	
1 3 0	電荷トラップング構造	
1 4 0	底部誘電体構造	
1 5 0	ソース	
1 6 0	ドレーン	20
1 7 0	基板	
2 1 0	ゲート	
2 2 0	上部誘電体構造	
2 3 0	電荷トラップング構造	
2 3 3	ドレーン側	
2 3 4	正孔	
2 4 0	底部誘電体構造（トンネル誘電体）	
2 5 0	ソース	
2 6 0	ドレーン	
2 7 0	基板	30
3 1 0	ビット	
3 2 0	ビット	
3 3 0	時間間隔	
3 4 0	時間間隔	
3 5 0	検出ウィンドウ	
3 6 0	レベル	
3 6 2	レベル	
3 6 4	レベル	
3 6 6	レベル	
4 1 0	電荷トラップング部	40
4 2 0	電荷トラップング部	
5 0 2	基板	
5 0 5	ビット線	
5 1 0	パストランジスタ	
5 2 0	メモリセル	
5 4 0	メモリセル	
5 4 2	部分	
5 4 4	部分	
5 5 0	メモリセル	
5 9 0	パストランジスタ	50

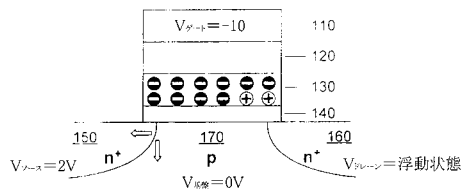
5 9 5	ビット線	
6 0 2	基板	
6 0 5	ビット線	
6 1 0	パストランジスタ	
6 2 0	メモリセル	
6 4 0	メモリセル	
6 4 2	部分	
6 4 4	部分	
6 5 0	メモリセル	
6 9 0	パストランジスタ	10
6 9 5	ビット線	
7 0 2	基板	
7 0 5	ビット線	
7 1 0	ゲート	
7 2 0	ゲート (メモリセル)	
8 0 4	ビット線	
8 1 0	パストランジスタ	
8 2 0	メモリセル	
9 0 2	基板	
9 0 3	ビット線	20
9 1 0	パストランジスタ	
9 2 0	メモリセル	
1 0 0 2	基板	
1 0 0 3	ビット線	
1 0 1 0	パストランジスタ	
1 0 2 0	メモリセル	
1 1 0 2	基板	
1 1 0 3	ビット線	
1 1 0 4	ビット線	
1 1 1 0	パストランジスタワード線	30
1 1 2 0	メモリセルワード線	
1 1 4 0	ワード線	
1 1 4 3	電荷トラッピング構造部	
1 1 4 4	電荷トラッピング構造部	
1 1 5 0	メモリセルワード線	
1 1 9 0	パストランジスタワード線	
1 2 0 2	基板	
1 2 0 3	ビット線	
1 2 0 4	ビット線	
1 2 1 0	パストランジスタワード線	40
1 2 2 0	メモリセルワード線	
1 2 4 0	ワード線	
1 2 4 3	電荷トラッピング構造部	
1 2 4 4	電荷トラッピング構造部	
1 2 5 0	メモリセルワード線	
1 2 9 0	パストランジスタワード線	
1 3 0 2	基板	
1 3 0 3	ビット線	
1 3 1 0	パストランジスタワード線	
1 3 2 0	メモリセルワード線	50

1 3 4 0	ワード線
1 3 4 3	電荷トラッピング構造部
1 3 5 0	メモリセルワード線
1 3 9 0	パストランジスタワード線
1 4 0 2	基板
1 4 0 3	ビット線
1 4 1 0	パストランジスタワード線
1 4 2 0	メモリセルワード線
1 4 4 0	ワード線
1 4 4 3	電荷トラッピング構造部
1 4 5 0	メモリセルワード線
1 4 9 0	パストランジスタワード線
1 5 0 0	メモリアレイ
1 5 0 1	ロウデコーダ
1 5 0 2	ワード線
1 5 0 3	カラムデコーダ
1 5 0 4	ビット線
1 5 0 5	バス
1 5 0 6	ブロック
1 5 0 7	データバス
1 5 0 8	バイアス配置供給電圧
1 5 0 9	バイアス配置状態マシン
1 5 1 1	データイン線
1 5 1 5	データアウト線
1 5 5 0	集積回路

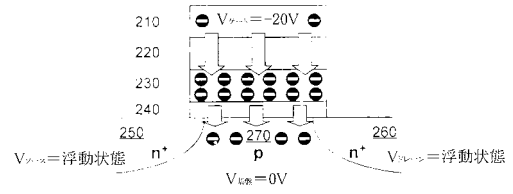
10

20

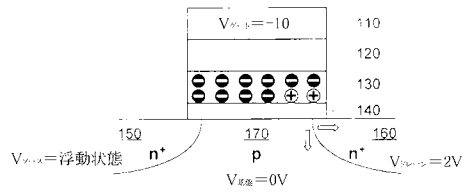
【図 1 A】



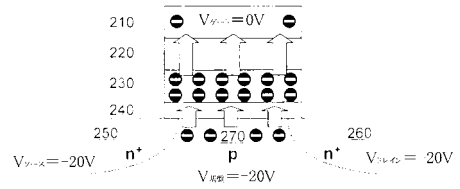
【図 2 B】



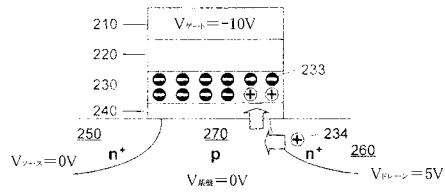
【図 1 B】



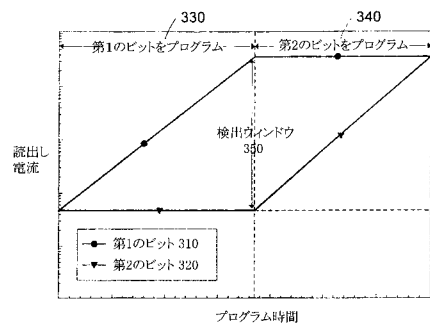
【図 2 C】



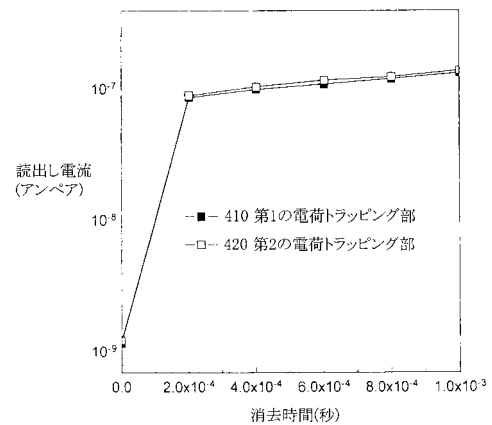
【図 2 A】



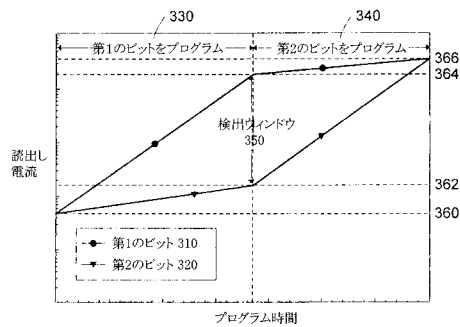
【図 3 A】



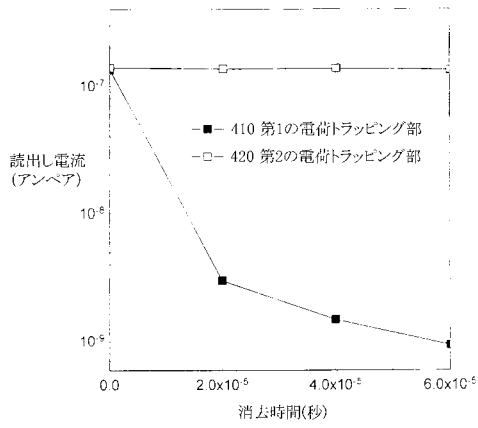
【図 4 A】



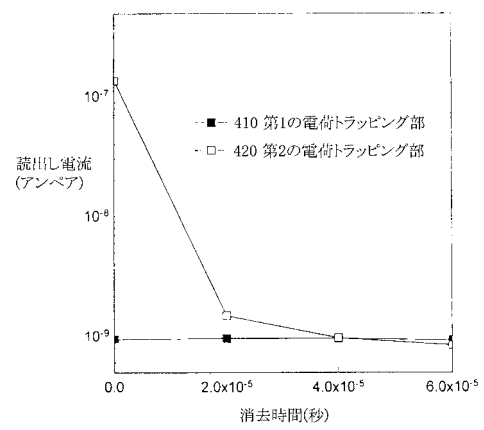
【図 3 B】



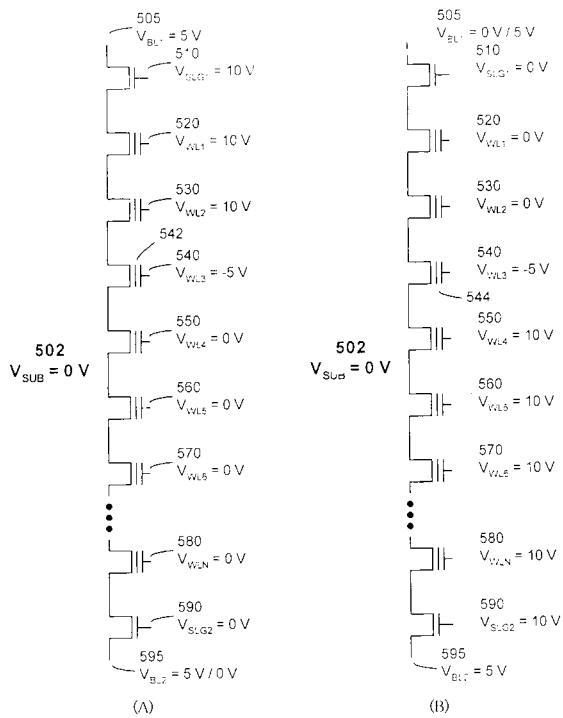
【図 4 B】



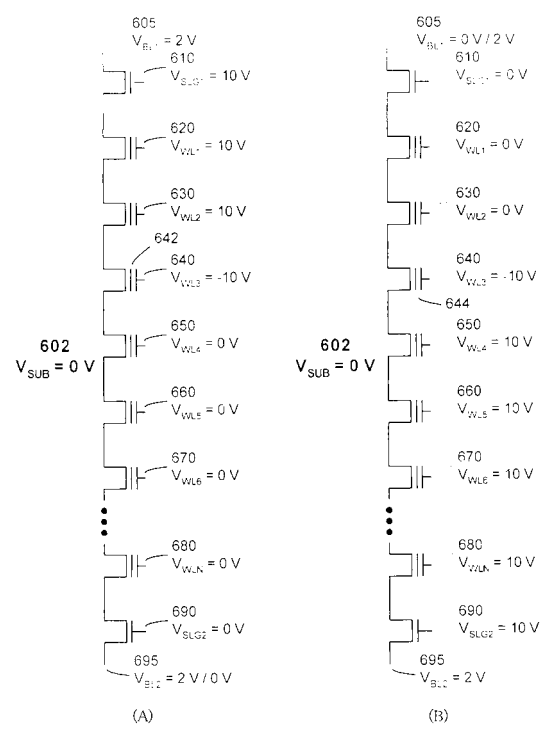
【図 4 C】



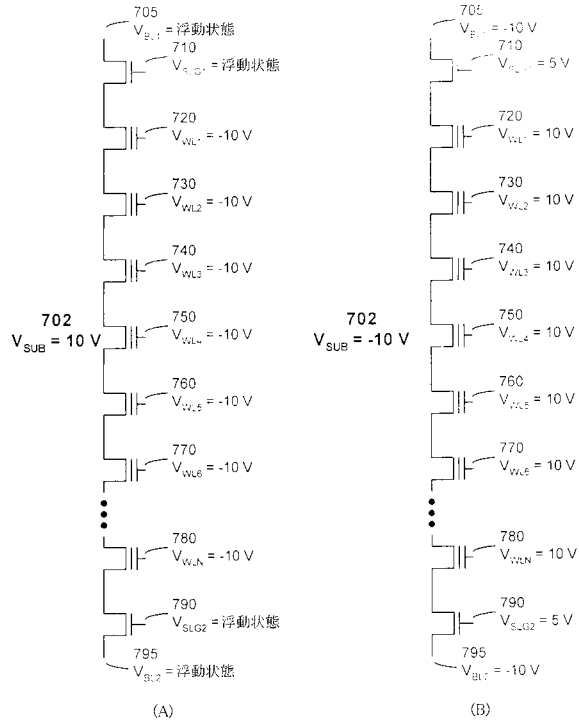
【図 5】



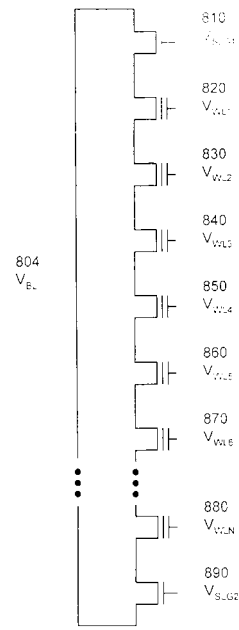
【図 6】



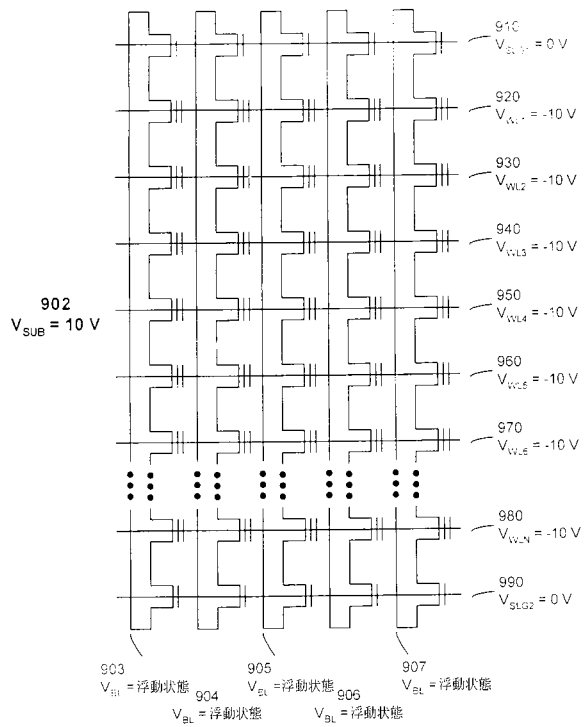
【図 7】



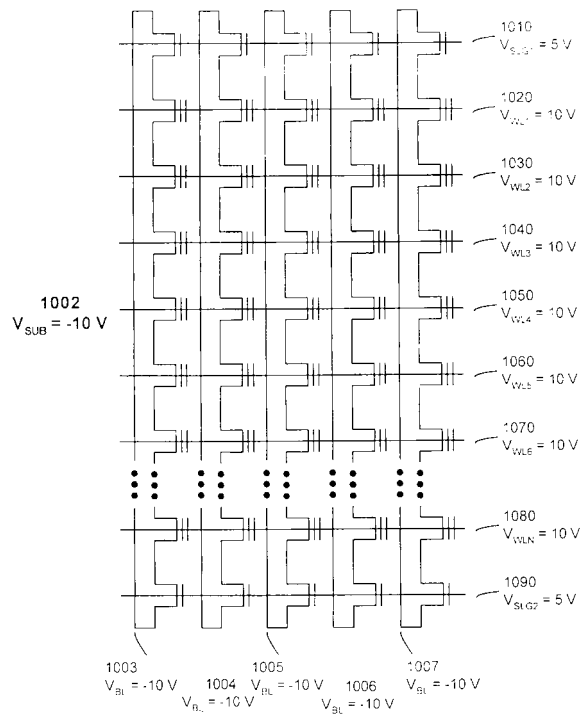
【図 8】



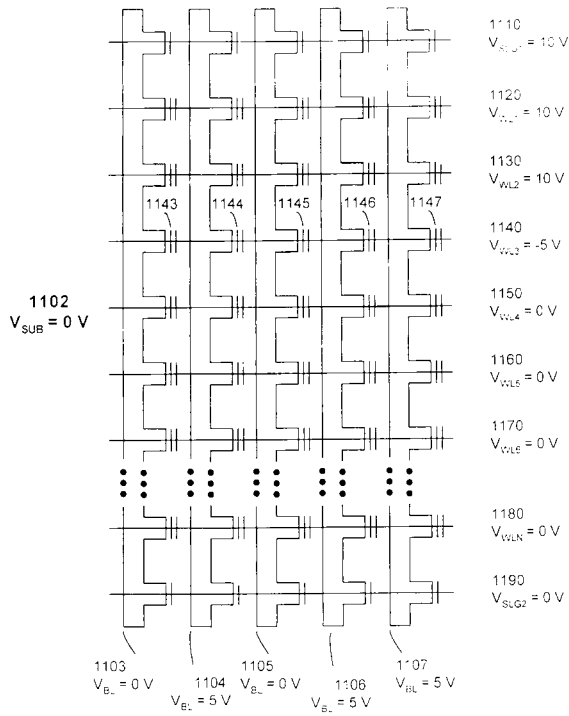
【図 9】



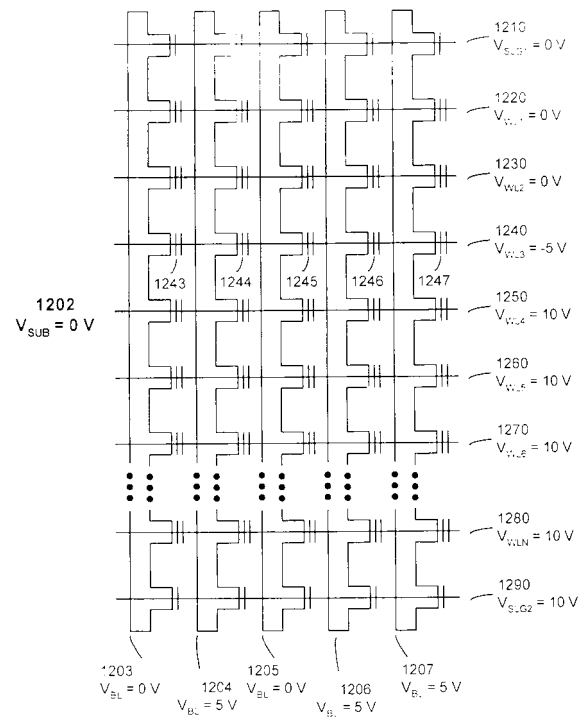
【図 10】



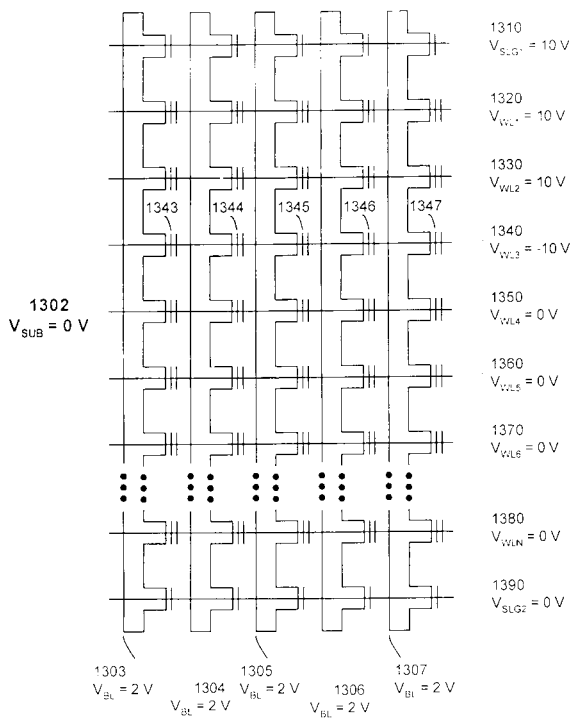
【図 1 1】



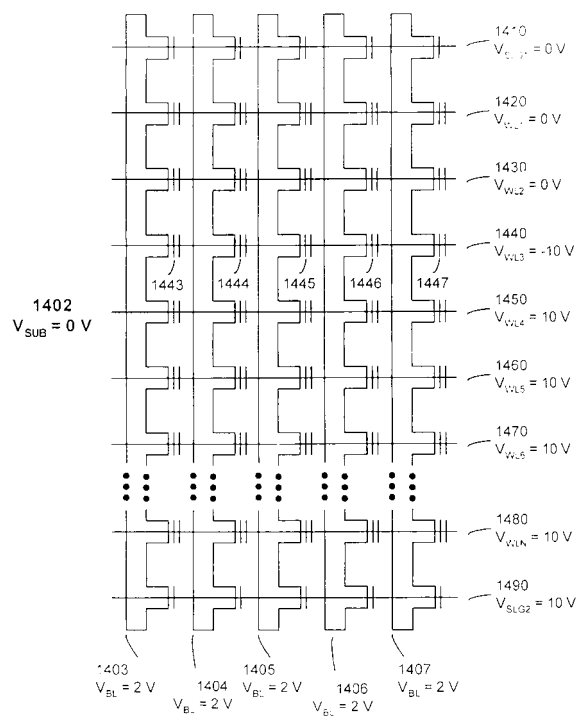
【図 1 2】



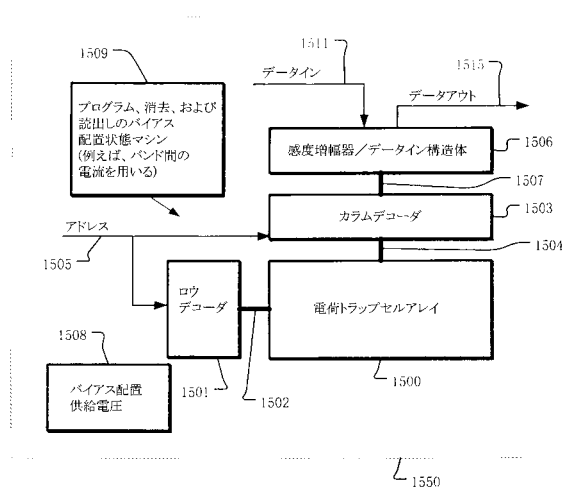
【図 1 3】



【図 1 4】



【図 15】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00	6 2 1 Z
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00	6 4 1

(72)発明者 葉 致▲皆▼

台湾新竹科学工業園區力行路16號 旺宏電子股▲ふん▼有限公司内

Fターム(参考) 5B125 BA08 CA11 EA05 EB01 ED10 FA05

5F083 EP17 EP18 EP76 ER03 ER07 ER11 JA38 JA39 JA40 JA43

ZA21

5F101 BA42 BA45 BA47 BC02 BD02 BD34 BE02 BE05 BE07 BF05