

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 7 部門第 2 区分  
【発行日】平成 17 年 9 月 29 日 (2005.9.29)

【公開番号】特開 2004-140344 (P2004-140344A)  
【公開日】平成 16 年 5 月 13 日 (2004.5.13)  
【年通号数】公開・登録公報 2004-018  
【出願番号】特願 2003-320862 (P2003-320862)  
【国際特許分類第 7 版】

H 0 1 L 21/8242

G 1 1 C 11/409

H 0 1 L 27/108

【F I】

H 0 1 L 27/10 6 8 1 G

G 1 1 C 11/34 3 5 3 E

【手続補正書】

【提出日】平成 17 年 8 月 1 日 (2005.8.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルから読み出された信号を増幅する、NチャネルMOSトランジスタから構成されたNチャネルセンスアンプとPチャネルMOSトランジスタから構成されたPチャネルセンスアンプとを含むセンスアンプと、

前記センスアンプに隣接して配置され、前記センスアンプが含む前記Nチャネルセンスアンプ及びPチャネルセンスアンプをそれぞれ駆動するNチャネルMOSトランジスタを有する第1、第2の駆動回路と、

前記第1、第2の駆動回路が有する各々の前記NチャネルMOSトランジスタのゲート電極に共通の制御信号を供給するセンスアンプ制御回路と、

を具備することを特徴とする半導体集積回路。

【請求項 2】

メモリセルが行方向及び列方向にマトリクス状に配置され、ビット線対に接続されたメモリセルアレイと、

前記列方向に連続して配置され、前記メモリセルから読み出され前記ビット線対間に現われた微小信号を増幅する、PチャネルMOSトランジスタから構成されたPチャネルセンスアンプを含むセンスアンプと、

前記センスアンプに隣接して前記列方向に連続して配置され、前記センスアンプが含む前記Pチャネルセンスアンプを駆動するNチャネルMOSトランジスタを有する駆動回路と、

前記駆動回路が有する前記NチャネルMOSトランジスタのゲート電極に制御信号を供給するセンスアンプ制御回路と、

を具備することを特徴とする半導体集積回路。

【請求項 3】

メモリセルが行方向及び列方向にマトリクス状に配置され、ビット線対に接続されたメモリセルアレイと、

前記列方向に連続して配置され、前記メモリセルから読み出され前記ビット線対間に現われた微小信号を増幅する、NチャネルMOSトランジスタから構成されたNチャネルセンスアンプとPチャネルMOSトランジスタから構成されたPチャネルセンスアンプとを含むセンスアンプと、

前記センスアンプに隣接して前記列方向に連続して配置され、前記センスアンプが含む前記Nチャネルセンスアンプ及びPチャネルセンスアンプをそれぞれ駆動するNチャネルMOSトランジスタを有する第1、第2の駆動回路と、

前記第1、第2の駆動回路が有する各々の前記NチャネルMOSトランジスタのゲート電極に共通の制御信号を供給するセンスアンプ制御回路と、

を具備することを特徴とする半導体集積回路。

【請求項4】

前記Nチャネルセンスアンプを駆動する前記第1の駆動回路が有するNチャネルMOSトランジスタと、前記Pチャネルセンスアンプを駆動する前記第2の駆動回路が有するNチャネルMOSトランジスタとが、前記列方向に一行に配置されていることを特徴とする請求項3に記載の半導体集積回路。

【請求項5】

前記列方向に連続して配置された前記センスアンプのうち、2個のセンスアンプ毎に、前記Pチャネルセンスアンプを駆動する駆動回路が1個ずつ配置されていることを特徴とする請求項2に記載の半導体集積回路。

【請求項6】

前記第1の駆動回路が有するNチャネルMOSトランジスタと、前記第2の駆動回路が有するNチャネルMOSトランジスタとが、前記列方向に伸びる共通のゲート電極を有することを特徴とする請求項4に記載の半導体集積回路。

【請求項7】

前記第1の駆動回路が有するNチャネルMOSトランジスタのソースに接続されたソースコンタクトと、前記第2の駆動回路が有するNチャネルMOSトランジスタのソースに接続されたソースコンタクトとが、前記列方向に伸びる共通のゲート電極に対して、互いに反対側に配置されることを特徴とする請求項6に記載の半導体集積回路。

【請求項8】

前記Nチャネルセンスアンプを構成する前記NチャネルMOSトランジスタのソース電位と、前記Pチャネルセンスアンプを構成する前記PチャネルMOSトランジスタのソース電位とをイコライズするイコライズトランジスタをさらに具備し、

前記イコライズトランジスタは、前記第1、第2の駆動回路が連続して配置された列内に配置されていることを特徴とする請求項3に記載の半導体集積回路。