



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0045365  
(43) 공개일자 2015년04월28일

(51) 국제특허분류(Int. Cl.) **G02F 1/1335** (2006.01) **G02F 1/1368** (2006.01)

(21) 출원번호 **10-2014-0137920**

(22) 출원일자 **2014년10월13일**  
심사청구일자 **없음**

(30) 우선권주장  
JP-P-2013-216904 2013년10월18일 일본(JP)  
JP-P-2014-005432 2014년01월15일 일본(JP)

(71) 출원인  
가부시키가이샤 **한도오따이** 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자  
**나카다 마사타카**  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤 **한도오따이** 에네루기 켄큐쇼 내  
모리 히데노리  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤 **한도오따이** 에네루기 켄큐쇼 내  
오타니 히사시  
일본국 328-0011 토치기켄 토치기시 오미야마치  
393-7

(74) 대리인  
**화의만**

전체 청구항 수 : 총 17 항

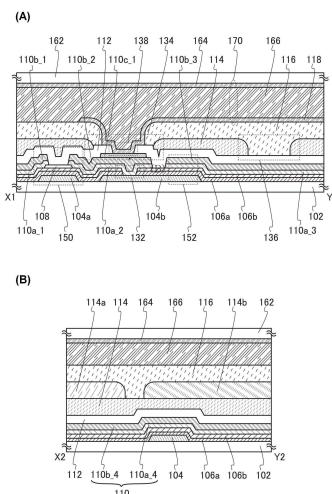
(54) 발명의 명칭 표시 장치 및 전자 기기

### (57) 요약

본 발명은 색순도를 조정할 수 있는 신규 표시 장치를 제공한다. 또는, 컬러 필터의 밀착성이 향상된 신규 표시 장치를 제공한다. 또는, 양호한 반사 표시를 할 수 있는 신규 표시 장치를 제공한다.

화소 영역과, 화소 영역에 형성된 트랜지스터와 트랜지스터의 소스 전극층 또는 드레인 전극층과 동일 평면 위에 형성된 반사 전극층과, 반사 전극층 위에 있는 제 1 절연층과, 반사 전극층과 중첩되며, 제 1 절연층 위에 있는 유색층과, 유색층 위에 있는 제 2 절연층과, 제 2 절연층 위에 있는 화소 전극층을 갖고, 유색층은 적어도 제 1 개구부 및 제 2 개구부를 갖고, 화소 전극층은, 제 1 개구부를 통하여 트랜지스터와 전기적으로 접속되고, 제 2 절연층이 제 2 개구부에서 제 1 절연층과 접한다.

## 대표도 - 도3



## 명세서

### 청구범위

#### 청구항 1

표시 장치에 있어서,  
기판과;  
상기 기판 위의 트랜지스터와;  
상기 기판 위의 반사층과;  
상기 반사층 위의 제 1 절연층과;  
상기 제 1 절연층 위에 있고, 상기 반사층과 중첩하는 유색층과;  
상기 유색층 위의 제 2 절연층과;  
상기 제 2 절연층 위의 화소 전극층을 포함하고,  
상기 유색층은 적어도 제 1 개구부 및 제 2 개구부를 포함하고,  
상기 화소 전극층은 상기 제 1 개구부를 통하여 상기 트랜지스터와 전기적으로 접속되고,  
상기 제 2 절연층은 상기 제 2 개구부에서 상기 제 1 절연층과 접하는, 표시 장치.

#### 청구항 2

제 1 항에 있어서,  
상기 트랜지스터는 게이트 전극층, 게이트 절연층, 및 반도체층을 포함하고, 상기 게이트 전극층은 상기 반도체층과 중첩하고,  
상기 게이트 절연층은 상기 게이트 전극층과 상기 반도체층 사이에 있고,  
소스 전극층 및 드레인 전극층은 상기 게이트 절연층 및 상기 반도체층과 접하는, 표시 장치.

#### 청구항 3

제 2 항에 있어서,  
상기 제 1 절연층은, 상기 제 1 개구부와 중첩하는 제 3 개구부를 포함하고,  
상기 화소 전극층은 상기 제 1 개구부 및 상기 제 3 개구부를 통하여 상기 소스 전극층 및 상기 드레인 전극층 중 한쪽과 전기적으로 접속되는, 표시 장치.

#### 청구항 4

제 2 항에 있어서,  
상기 반도체층은 산화물 반도체를 포함하는, 표시 장치.

#### 청구항 5

제 4 항에 있어서,  
상기 산화물 반도체는 적어도 인듐(In), 아연(Zn), 및 M을 포함하는 In-M-Zn 산화물로 표기되는 산화물을 포함하고,  
M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf을 나타내는, 표시 장치.

#### 청구항 6

제 2 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층 중 적어도 한쪽과 상기 반사층은 같은 층 위에 있는, 표시 장치.

#### 청구항 7

제 1 항에 있어서,

상기 기판 및 상기 트랜지스터 사이에 접착층을 더 포함하는, 표시 장치.

#### 청구항 8

제 2 항에 있어서,

용량 소자를 더 포함하고,

상기 용량 소자의 제 1 전극은 상기 소스 전극층 및 상기 드레인 전극층 중 한쪽과 전기적으로 접속되고,

상기 반사층의 일부는 상기 용량 소자의 상기 제 1 전극과 중첩하고, 상기 용량 소자의 제 2 전극을 형성하는, 표시 장치.

#### 청구항 9

제 1 항에 있어서,

상기 제 1 절연층은 무기 절연 재료를 포함하고,

상기 제 2 절연층은 유기 절연 재료를 포함하는, 표시 장치.

#### 청구항 10

제 1 항에 따른 표시 장치를 포함하는, 전자 기기.

#### 청구항 11

표시 장치에 있어서,

제 1 기판과;

상기 제 1 기판 위의 트랜지스터와;

상기 트랜지스터에 전기적으로 접속되는 전극층과;

상기 전극층 위의 제 1 절연층과;

상기 제 1 절연층 위의 화소 전극층과;

상기 화소 전극층 위의 제 2 절연층과;

상기 제 2 절연층 위에 있고, 상기 전극층 및 상기 화소 전극층과 중첩하는 제 1 유색층과;

상기 제 1 유색층 위의 제 2 기판을 포함하고,

상기 제 1 유색층은 제 1 개구부를 포함하고,

상기 제 2 절연층은 상기 제 1 개구부에서 상기 제 2 기판과 접하는, 표시 장치.

#### 청구항 12

제 11 항에 있어서,

제 2 유색층을 더 포함하고,

상기 제 2 유색층은 제 2 개구부를 포함하고,

상기 제 2 개구부의 상면 형상은 상기 제 1 개구부의 상면 형상과 다른, 표시 장치.

**청구항 13**

제 11 항에 있어서,  
상기 화소 전극층은 반사 전극층인, 표시 장치.

**청구항 14**

제 11 항에 있어서,  
상기 트랜지스터는 게이트 전극층, 게이트 절연층, 및 반도체층을 포함하고, 상기 게이트 전극층은 상기 반도체층과 중첩하고,  
상기 게이트 절연층은 상기 게이트 전극층과 상기 반도체층 사이에 있고,  
소스 전극층 및 드레인 전극층은, 상기 게이트 절연층 및 상기 반도체층과 접하는, 표시 장치.

**청구항 15**

제 14 항에 있어서,  
상기 반도체층은 산화물 반도체를 포함하는, 표시 장치.

**청구항 16**

제 15 항에 있어서,  
상기 산화물 반도체는 적어도 인듐(In), 아연(Zn), 및 M을 포함하는 In-M-Zn 산화물로 표기되는 산화물을 포함하고,  
M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf을 나타내는, 표시 장치.

**청구항 17**

제 11 항에 따른 표시 장치를 포함하는, 전자 기기.

**발명의 설명****기술 분야**

[0001] 본 발명은 물건, 방법 또는 제조 방법에 관한 것이다. 또는, 본 발명은, 공정(process), 기계(machine), 제품(manufacture) 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 형태는, 반도체 장치, 표시 장치, 전자 기기, 이들의 제작 방법 또는 이들의 구동 방법에 관한 것이다. 특히, 본 발명의 일 형태는, 예를 들어, 반사형 액정 표시 장치에 관한 것이다.

[0002] 또한, 표시 장치란, 표시 소자를 갖는 장치를 말한다. 또한, 표시 장치는, 복수의 화소를 구동시키는 구동 회로 등을 포함한다. 또한, 표시 장치는, 다른 기판 위에 배치된 제어 회로, 전원 회로, 신호 생성 회로 등을 포함하는 경우가 있다.

**배경 기술**

[0003] 근년에 들어, 스마트폰을 비롯한 휴대 정보 단말의 급속한 보급에 따라, 단말 자체의 고성능화도 급속하게 진행되고 있다. 화면은, 대형화, 고정밀화가 진행되고 있으며, 최근에는 그 정밀도가 300ppi를 넘는 것도 나오고 있다.

[0004] 예를 들어, 액정 표시 장치로서, 표시 영역에 RGB의 서브 픽셀이 제공되고, 각 서브 픽셀에 컬러 필터가 제공되는 구성이 일반적으로 사용된다. 이 컬러 필터는, 액티브 매트릭스 기판(화소를 구동시키기 위한 트랜지스터 등의 소자가 형성되어 있는 기판)과 대향하는 기판(대향 기판)에 제공된다.

[0005] 또한, 고정밀화에 따라, 액티브 매트릭스 기판과, 컬러 필터가 형성되어 있는 대향 기판의 얼라인먼트(alignment) 정밀도가 문제시되는 경우도 있다. 이를 해결하기 위하여, 컬러 필터가 액티브 매트릭스 기판 즉

에 형성되는 구조, 소위 컬러 필터 온 어레이(COA) 구조가 주목을 받고 있다.

[0006] COA 구조를 갖는 액정 표시 장치로서는, 액티브 매트릭스 기판 측에 컬러 필터, 화소 전극, 반사층을 구비하며, 대향 기판 측에서 입사된 광이, 화소 전극 및 컬러 필터를 투과하고, 하층에 배치된 반사층에서 반사되어 시인되는 반사형 또는 반투과형 액정 표시 장치가 개시(開示)되어 있다(예를 들어, 특허문현 1, 특허문현 2 참조).

### 선행기술문현

#### 특허문현

[0007] (특허문현 0001) 일본국 특개 2000-187209호 공보

(특허문현 0002) 국제 공개 제2011/045953호

### 발명의 내용

#### 해결하려는 과제

[0008] 대향 기판에 컬러 필터를 갖는 반사형 표시 장치의 경우, 외광 등의 광이 컬러 필터를 통과하고, 반사막 등에서 반사하고, 컬러 필터를 다시 통과한다.

[0009] 또한, COA 구조를 갖는 반사형 표시 장치의 경우도, 외광 등의 광이 컬러 필터를 통과하고, 반사막 등에서 반사하고, 또한 컬러 필터를 통과한다. 즉, 외광 등의 광이 컬러 필터를 2회 통과함으로써, 시인자가 관측한다. 따라서, 반사광의 색순도가 높아지는 경우가 있다. 반사광의 색순도가 높은 경우, 실내 등 외광이 비교적 약한 경우에는, 반사광이 약해, 표시가 어두워진다.

[0010] 반사형 표시 장치의 반사광의 색순도의 조정은, 예를 들어, 컬러 필터의 막 두께를 두껍게 또는 얇게 형성함으로써, 수행할 수 있다. 또한, 컬러 필터에 사용되는 착색 재료, 예를 들어, 안료 등을 바꿈으로써 색순도를 조정할 수 있다. 그러나, 컬러 필터의 막 두께를 두껍게 또는 얇게 형성하는 경우, 기판 면내에서의 막 두께를 균일하게 형성하기 어렵다. 또한, 컬러 필터에 사용되는 착색 재료를 바꾸는 경우, 재료의 변경이 필요하기 때문에, 개발에 필요한 기간이 길어져 비용이 증가한다.

[0011] 다른 과제로서, 컬러 필터와 피형성면의 밀착성이 나쁘다는 문제가 있다. 예를 들어, 컬러 필터로서, 착색 재료가 분산된 감광성 수지 용액을 사용하고, 상기 감광성 수지 용액을 도포, 건조시켜 감광성 수지막을 형성한다. 이 감광성 수지막의 노광 시에, 착색 재료가 분산되어 있기 때문에, 노광 시의 광 강도가 깊이 방향에 따라 감쇠되고, 감광성 수지막과 피형성면의 계면 부근에서 광 경화가 불충분하게 되어 밀착성이 저하하는 경우가 있다.

[0012] 상술한 과제를 감안하여, 본 발명의 일 형태는, 색순도를 조정할 수 있는 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 컬러 필터의 밀착성이 향상된 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 생산성이 향상된 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 양호한 반사 표시가 가능한 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 다른 일 형태는, 양호한 반사 표시가 가능한, COA 구조가 적용된 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 다른 일 형태는, 신규 표시 장치 등을 제공하는 것을 과제 중 하나로 한다.

[0013] 또한, 이들의 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 이들의 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 상기 이외의 과제는, 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터 상기 이외의 과제를 추출할 수 있다.

#### 과제의 해결 수단

[0014] 본 발명의 일 형태는, 화소 영역과, 화소 영역에 형성된 트랜지스터와, 트랜지스터의 소스 전극층 또는 드레인 전극층과, 소스 전극층 또는 드레인 전극층 위에 있는 절연층과, 절연층 위에 있는 화소 전극층과, 화소 전극층 및 드레인 전극층과 중첩되는 유색층을 갖고, 화소 전극층은, 트랜지스터와 전기적으로 접속되고, 유색층은 적어도 제 1 개구부 및 제 2 개구부를 갖는 것을 특징으로 하는 표시 장치이다.

[0015] 또한, 상기 구성에서, 상기 유색층은, 대향 기판에 형성되고, 화소 전극층이 형성된 기판과 대향 기판이 접합되고, 유색층이 화소 전극층과 중첩하도록 위치 맞춤이 행해진다. 상기 구성에서, 화소 전극층은, 반사 전극층으로서 기능한다.

[0016] 또한, 상기 구성에서, 유색층은 적색의 파장 대역의 광을 투과하는 재료층, 녹색의 파장 대역의 광을 투과하는 재료층, 청색의 파장 대역의 광을 투과하는 재료층을 사용한다. 또한, 유색층의 다른 색으로서 시안, 마젠타, 황색 등을 사용하여도 좋다. 또한, 폴 컬러 표시를 얻기 위하여 3종류 이상의 유색층이 사용되는 경우, 유색층의 상면 형상을 다른 색의 유색층과 다르게 하여도 좋고, 예를 들어, 유색층의 개구 형상을 다르게 한다. 또한, 복수의 유색층을 형성하는 기판도 1장의 기판에 한정되지 않고, 예를 들어, 대향 기판에 제 1 유색층을 제공하고, 트랜지스터를 제공하는 기판에 제 2 유색층 및 제 3 유색층을 제공하여도 좋다.

[0017] 또한, 상기 구성에서, 제 2 유색층과, 제 3 유색층을 더 갖고, 제 2 유색층은, 적어도 제 3 개구부 및 제 4 개구부를 갖고, 제 3 개구부 및 제 4 개구부의 상면 형상은, 제 1 개구부 및 제 2 개구부와 다른 것을 특징으로 하는 표시 장치이다. 청색의 유색층의 개구부의 면적보다 적색의 유색층의 개구부의 면적을 크게 함으로써, NTSC비를 유지하면서, 반사율을 개선할 수 있다.

[0018] 또한, 본 발명의 다른 일 형태는, 화소 영역과, 화소 영역에 형성된 트랜지스터와, 트랜지스터의 소스 전극층 또는 드레인 전극층과 동일 평면 위에 형성된 반사 전극층과, 반사 전극층 위에 있는 제 1 절연층과, 반사 전극층과 중첩되며, 제 1 절연층 위에 있는 유색층과, 유색층 위에 있는 제 2 절연층과, 제 2 절연층 위에 있는 화소 전극층을 갖고, 유색층은, 적어도 제 1 개구부 및 제 2 개구부를 갖고, 화소 전극층은, 제 1 개구부를 통하여 트랜지스터와 전기적으로 접속되고, 제 2 절연층이, 제 2 개구부에서 제 1 절연층과 접하는 것을 특징으로 하는 표시 장치이다.

[0019] 또한, 본 발명의 다른 일 형태는, 화소 영역과, 화소 영역에 형성된 트랜지스터와, 트랜지스터의 소스 전극층 또는 드레인 전극층과 동일 평면 위에 형성된 반사 전극층과, 반사 전극층 위에 있는 무기 절연 재료에 의하여 형성된 제 1 절연층과, 반사 전극층과 중첩되며, 제 1 절연층 위에 있는 유색층과, 유색층 위에 있는 유기 절연 재료에 의하여 형성된 제 2 절연층과, 제 2 절연층 위에 있는 화소 전극층을 갖고, 유색층은, 적어도 제 1 개구부 및 제 2 개구부를 갖고, 화소 전극층은, 제 1 개구부를 통하여 트랜지스터와 전기적으로 접속되고, 제 2 절연층이, 제 2 개구부에서 제 1 절연층과 접하는 것을 특징으로 하는 표시 장치이다.

[0020] 또한, 상기 각 구성에서, 트랜지스터는, 게이트 전극층과, 게이트 전극층 위에 있는 게이트 절연층과, 게이트 절연층 위에 있는 반도체층과, 게이트 절연층 및 반도체층과 접하는 소스 전극층 및 드레인 전극층을 갖는 구성인 것이 바람직하다.

[0021] 또한, 상기 각 구성에서, 제 1 절연층은, 제 1 개구부와 중첩하는 위치에 제 3 개구부를 갖고, 화소 전극층은, 제 1 개구부 및 제 3 개구부를 통하여 트랜지스터의 드레인 전극층과 전기적으로 접속되는 구성인 것이 바람직하다.

[0022] 또한, 상기 각 구성에서, 반도체층은, 산화물 반도체층인 것이 바람직하다. 또한, 상기 산화물 반도체층은, 적어도 인듐(In), 아연(Zn) 및 M(M은, Al, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf를 나타냄)을 포함하는 In-M-Zn 산화물로 표기되는 산화물을 포함하면 좋다.

[0023] 또한, 상기 각 구성에서, 화소 영역 위에 터치 패널을 중첩시켜도 좋고, 터치 입력 기능을 갖는 회로가 대향 기판 위에 제공되어도 좋다.

[0024] 또한, 상기 각 구성의 표시 장치를 사용한 전자 기기도 본 발명의 일 형태에 포함된다.

### 발명의 효과

[0025] 본 발명의 일 형태에 의하여, 색순도를 조정할 수 있는 신규 표시 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 컬러 필터의 밀착성이 향상된 신규 표시 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 생산성이 향상된 신규 표시 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 양호한 반사 표시가 가능한 신규 표시 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 신규 표시 장치 등을 제공할 수 있다.

[0026] 또한, 이들의 효과의 기재는, 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 이들의 효과 모두를 반드시 가질 필요는 없다. 또한, 이들 이외의 효과는, 명세서, 도면, 청구항 등의 기재로부터 저

절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터 이를 이외의 효과를 추출할 수 있다.

### 도면의 간단한 설명

[0027]

- 도 1은 표시 장치의 상면을 설명하기 위한 도면.
- 도 2는 표시 장치의 유색층의 상면을 설명하기 위한 도면.
- 도 3은 표시 장치의 단면을 설명하기 위한 도면.
- 도 4는 표시 장치의 제작 방법을 설명하기 위한 단면도.
- 도 5는 표시 장치의 제작 방법을 설명하기 위한 단면도.
- 도 6은 표시 장치의 제작 방법을 설명하기 위한 단면도.
- 도 7은 표시 장치의 단면 및 표시 장치의 제작 방법을 설명하기 위한 도면.
- 도 8은 표시 장치의 블록도 및 화소의 회로도.
- 도 9는 표시 모듈을 설명하기 위한 도면.
- 도 10은 전자 기기를 설명하기 위한 도면.
- 도 11은 실시예에서의 광학 현미경 관찰상.
- 도 12는 실시예에서의 단면 TEM상.
- 도 13은 실시예에서의 단면 TEM상.
- 도 14는 표시 장치의 유색층의 상면을 설명하기 위한 도면.
- 도 15는 표시 장치의 제작 방법을 설명하기 위한 단면도.
- 도 16은 표시 장치의 단면을 설명하기 위한 도면.
- 도 17은 표시 장치의 단면을 설명하기 위한 도면.
- 도 18은 표시 장치의 단면을 설명하기 위한 도면.
- 도 19는 표시 장치의 단면을 설명하기 위한 도면.
- 도 20은 표시 장치의 단면을 설명하기 위한 도면.
- 도 21은 표시 장치의 상면을 설명하기 위한 도면.
- 도 22는 표시 장치의 유색층의 상면을 설명하기 위한 도면.
- 도 23은 표시 장치의 단면을 설명하기 위한 도면.
- 도 24는 반사율의 측정 방법을 나타내는 도면과 반사율을 나타내는 그래프.
- 도 25는 표시 장치의 관찰 사진과 표시 장치의 특성을 나타내는 도면.
- 도 26은 표시 장치의 단면 모식도.
- 도 27은 표시 장치의 구동 방법의 일례를 나타내는 개념도.
- 도 28은 리프레시 동작의 전후에 발생하는 화상의 변화를 나타내는 그래프.

### 발명을 실시하기 위한 구체적인 내용

[0028]

이하에서, 실시형태에 대하여 도면을 참조하여 설명한다. 다만, 실시형태는 많은 다른 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경될 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은, 이하의 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0029]

또한, 도면에서, 크기, 충의 두께 또는 영역은, 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 그 스케일에 반드시 한정되지 않는다. 또한 도면은, 이상적인 예를 모식적으로 도시한 것이며, 도면에 도시된 형상 또

는 값 등에 한정되지 않는다.

[0030] 또한, 본 명세서에서 사용하는 "제 1", "제 2", "제 3"이라는 서수사는, 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 수적으로 한정하는 것이 아님을 부기한다.

[0031] 또한, 본 명세서에서, "위에", "아래에" 등 배치를 나타내는 어구는, 구성끼리의 위치 관계를, 도면을 참조하여 설명하기 위하여, 편의상 사용된 것이다. 또한, 구성끼리의 위치 관계는, 각 구성을 묘사하는 방향에 따라 적절히 변화하는 것이다. 따라서, 명세서에서 설명한 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.

[0032] 또한, 본 명세서 등에서, 트랜지스터란, 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 갖는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역 또는 드레인 전극층)과 소스(소스 단자, 소스 영역 또는 소스 전극층) 사이에 채널 영역을 가지고, 드레인과 채널 영역과 소스를 통하여 전류가 흐를 수 있는 것이다.

[0033] 또한, 소스나 드레인의 기능은, 다른 극성의 트랜지스터를 채택하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 그러므로, 본 명세서 등에서는, 소스나 드레인이라는 용어는, 바꾸어 사용할 수 있는 것으로 한다.

[0034] 또한, 본 명세서 등에서, "전기적으로 접속"에는, "어떤 전기적 작용을 갖는 것"을 통하여 접속되어 있는 경우가 포함된다. 여기서, "어떤 전기적 작용을 갖는 것"은, 접속 대상간에서의 전기 신호의 수수(授受)를 가능하게 하는 것이라면, 특별히 한정되지 않는다. 예를 들어, "어떤 전기적 작용을 갖는 것"에는, 전극이나 배선을 비롯하여, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 그 외의 각종 기능을 갖는 소자 등이 포함된다.

[0035] 또한, 본 명세서 등에서, 화소 영역이란, 적어도 화소(하나의 색 요소(예를 들어 R(적색) G(녹색) B(청색) 중 어느 하나)의 밝기를 제어할 수 있는 표시 단위에 상당하는 것)를 갖는 구성이다. 따라서, 컬러 표시 장치의 경우에는, 컬러 화상의 최소 표시 단위는, R 화소와 G 화소와 B 화소의 3화소로 구성되는 것으로 한다. 다만, 컬러 화상을 표시하기 위한 색 요소는, 3색에 한정되지 않고, 3색 이상을 사용하여도 좋고, RGB 이외의 색을 사용하여도 좋다. 예를 들어, R 화소와 G 화소와 B 화소와 W(백색) 화소의 4화소로 표시 단위를 구성하여도 좋다. 또는, 펜타일 배열과 같이, RGB 중 복수의 색 요소로 하나의 표시 단위가 구성되어도 좋다.

[0036] (실시형태 1)

[0037] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치에 대하여, 도 1 내지 도 6을 사용하여 설명한다.

[0038] 도 1에는 본 발명의 일 형태의 표시 장치의 일례의 상면도를 도시하였다. 또한, 도 1에 도시된 상면도로서는, 표시 장치의 화소 영역의 일부분(3화소분)을 도시하고, 도면의 번잡을 피하기 위하여, 게이트 절연층 등 일부의 구성 요소를 생략하였다.

[0039] 도 1에서, 트랜지스터(150)는, 게이트 전극층으로서 기능하는 도전층(104a)과, 게이트 절연층(도 1에 도시하지 않았음)과, 채널 영역이 형성되는 반도체층(108)과, 소스 전극층으로서 기능하는 도전층(110b\_1)과, 드레인 전극층으로서 기능하는 도전층(110b\_2)을 갖는다. 또한, 트랜지스터(150)의 게이트 전극층으로서 기능하는 도전층(104a)을 포함하는 게이트선(104)이 좌우 방향으로 연장되고, 트랜지스터(150)의 소스 전극층으로서 기능하는 도전층(110b\_1)을 포함하는 소스선(110)이 상하 방향으로 연장되어 있다. 또한, 인접하는 2개의 게이트선(104)과 인접하는 2개의 소스선(110)으로 구획된 영역에는, 화소 영역(120)이 형성되어 있다. 이와 같이, 트랜지스터(150)는, 화소 영역(120)에 형성된다.

[0040] 또한, 게이트 전극층으로서 기능하는 도전층(104a)과 동일 공정으로 형성되는 도전층(104b)과, 드레인 전극층으로서 기능하는 도전층(110b\_2)이 게이트 절연층과 동일 공정으로 형성되는 절연층을 개재(介在)하여 적층된다. 도전층(104b), 게이트 절연층과 동일 공정으로 형성되는 절연층 및 도전층(110b\_2)에 의하여 용량 소자(152)가 형성된다.

[0041] 또한, 트랜지스터(150)에는, 화소 전극층(118)이 전기적으로 접속되어 있다. 구체적으로는, 화소 전극층(118)은, 개구부(134) 및 개구부(138)를 통하여, 트랜지스터(150)의 드레인 전극층으로서 기능하는 도전층(110b\_2)과 전기적으로 접속된다.

[0042] 또한, 도 1에 도시된 바와 같이, 도전층(110b\_1)이 포함되는 소스선(110)과, 도전층(104a)이 포함되는 게이트선(104)이 교차하는 영역의 면적을 작게 하는 것이 바람직하다. 소스선(110) 및 게이트선(104) 각각의 면적을 작

게 함으로써, 소스선(110)과 게이트선(104) 사이에서 발생할 수 있는 기생 용량을 저감할 수 있다.

[0043] 또한, 화소 영역(120)은, 트랜지스터(150)의 소스 전극층으로서 기능하는 도전층(110b\_1) 및 트랜지스터(150)의 드레인 전극층으로서 기능하는 도전층(110b\_2)과 동일 공정으로 형성된 도전층(110b\_3)을 갖는다. 또한, 도전층(110b\_3)은, 반사 전극층으로서 기능한다. 또한, 도전층(110b\_3)과 중첩되는 위치에는, 유색층(114)이 형성된다. 또한, 유색층(114)과 중첩되는 위치에는, 화소 전극층(118)이 형성된다.

[0044] 도 1에 도시된 구성에서는, 도전층(110b\_3)에 입사하는 광(주로 외광 등)은, 적어도 화소 전극층(118) 및 유색층(114)을 통과하고, 도전층(110b\_3)에서 반사된다. 즉, 본 실시형태의 일 형태의 표시 장치는, 반사 전극층으로서 기능하는 도전층(110b\_3)에서 반사된 광을 사용하여 컬러 표시를 수행한다. 또한, 도전층(110b\_3)은, 용량선으로서 기능한다. 도전층(110b\_3)은, 인접하는 화소 사이에서 접속되어 있다.

[0045] 또한, 유색층(114)은, 제 1 개구부로서 기능하는 개구부(134)와, 제 2 개구부로서 기능하는 개구부(136)를 갖는다. 또한, 도 1에서는 각 화소에 16개의 개구부(136)가 제공되어 있는 구성에 대하여 예시하였다. 다만, 개구부(136)의 형상 또는 개수에 대해서는, 이에 한정되지 않는다.

[0046] 개구부(134)는, 트랜지스터(150)와 화소 전극층(118)의 접속용 개구부로서 기능한다. 또한, 개구부(136)는, 유색층(114)의 색순도를 조정하는 기능을 갖는다. 즉, 개구부(136)의 형상 또는 개구부의 개수에 따라, 유색층(114)의 색순도를 조정할 수 있다.

[0047] 이와 같이, 유색층(114)이 개구부(136)를 갖는 구성으로 함으로써, 유색층(114)의 색순도를 간편하게 조정할 수 있다.

[0048] 여기서, 도 1에 도시된 표시 장치의 유색층(114)의 상면 형상을 더 구체적으로 설명한다. 도 2의 (A)에 유색층(114)의 상면도를 도시하였다. 또한, 도 2의 (A)에서, 유색층(114) 이외의 다른 구성 요소는 생략하였다. 또한, 도 2의 (A)는, 1화소분의 상면도에 상당한다.

[0049] 도 2의 (A)에 도시된 유색층(114)은, 개구부(134)와 개구부(136)를 갖는다. 또한, 도 2의 (A)에서는, 인접하는 화소, 여기서는, 위에 인접하는 화소의 유색층(114)이 중첩되는 영역을 영역(141)으로서 도시하고, 아래에 인접하는 화소의 유색층(114)이 중첩되는 영역을 영역(142)으로서 도시하였다. 이와 같이, 하나의 화소에 대하여 인접하는 화소의 유색층(114)의 일부를 중첩하여 배치함으로써, 게이트선(104) 또는 소스선(110)에서 반사할 수 있는 반사광을 억제할 수 있다. 즉, 인접하는 화소의 유색층(114)을 적층하여 제공함으로써, 유색층(114)의 일부를 소위 블랙 매트릭스(BM)로서 기능시킬 수 있다.

[0050] 또한, 도 2의 (A)에서는, 인접하는 화소 쌍방의 유색층(114)이 각각 독립적으로 유색층(114)과 중첩되는 구성에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어, 인접하는 화소 쌍방의 유색층(114)이 각각 공통적으로 유색층(114)과 중첩되는 구성으로 하여도 좋다. 다만, 인접하는 화소의 쌍방의 유색층(114)이 각각 공통적으로 유색층(114)과 중첩되는 구성으로 하는 경우, 화소 영역(120) 또는 화소 영역(120) 주변의 요철이 커지는 경우가 있다. 따라서, 화소 영역(120) 또는 화소 영역(120) 주변의 평탄성도 고려하면, 도 2의 (A)에 도시된 바와 같이 인접하는 화소의 쌍방의 유색층(114)이 각각 독립적으로 유색층(114)과 중첩되는 구성이 바람직하다. 또는, 화소 영역(120) 주변에 블랙 매트릭스(BM)로서 기능하는 흑색의 유색층을 배치하는 구성으로 하여도 좋다.

[0051] 또한, 도 2의 (B) 및 도 2의 (C)에 도시된 유색층(114)의 변형예를 도시하였다.

[0052] 도 2의 (B)에 도시된 유색층(114)은, 도 2의 (A)에 도시된 유색층(114)과 비교하여 개구부(134)의 형상, 개구부(136)의 형상 및 배치가 다르다. 또한, 도 2의 (C)에 도시된 유색층(114)은, 도 2의 (A)에 도시된 유색층(114)과 비교하여 개구부(134)의 형상, 개구부(136)의 형상 및 배치가 다르다. 이와 같이, 유색층(114)이 갖는 개구부(134) 및 개구부(136)의 형상 또는 개수는, 유색층(114)의 색순도를 조정하기 위하여, 다양한 형상 또는 배치로 할 수 있다. 또한, 도 1, 도 2의 (A), 도 2의 (B) 및 도 2의 (C)에서는, 개구부(136)의 형상을 직사각형으로 하였지만, 이에 한정되지 않고, 예를 들어, 원형, 타원형 등의 형상으로 하여도 좋다.

[0053] 또한, 화소의 색에 따라, 유색층(114), 개구부(134) 및 개구부(136) 등의 형상이나 이들의 배치가 다르게 하여도 좋다. 예를 들어, R 화소의 경우에는 도 2의 (A)를 채택하고, G 화소의 경우에는 도 2의 (B)를 채택하고, B 화소의 경우에는 도 2의 (C)를 채택하여도 좋다. W 화소의 경우에는, 유색층(114)을 제공하지 않는 구성, 또는 개구부(134)나 개구부(136)를 다른 색의 화소의 경우보다 크게 배치하여도 좋다.

[0054] 또는, 하나의 화소 중에, 투과 영역(401)을 갖는 구성으로 하여도 좋다. 또는, 투과 영역(401)과 반사 영역

(400)을 갖는 반투과형 표시 장치로 하여도 좋다. 도 2의 (A), 도 2의 (B) 및 도 2의 (C)에 도시된 유색층(114)의 상면 형상을, 반투과형에 적용한 경우의 예를 도 14의 (A), 도 14의 (B) 및 도 14의 (C)에 도시하였다. 도 14의 (A), 도 14의 (B) 및 도 14의 (C)에 도시된 바와 같이, 투과 영역(401)에는, 개구부(136)를 제공하지 않는 구성으로 하여도 좋다.

[0055] 다음에, 도 1에 도시된 표시 장치의 단면에 대하여, 도 3의 (A) 및 도 3의 (B)를 사용하여 설명한다. 또한, 도 3의 (A)는, 도 1에 도시된 일점 쇄선 X1-Y1의 절단면에 상당하는 단면도이다. 또한, 도 3의 (B)는, 도 1에 도시된 일점 쇄선 X2-Y2의 절단면에 상당하는 단면도이다.

[0056] 도 3의 (A)에 도시된 표시 장치는, 제 1 기판(102)과, 제 1 기판(102) 위에 있는 게이트 전극층으로서 기능하는 도전층(104a)과, 도전층(104a)과 동일 공정으로 형성된 도전층(104b)과, 제 1 기판(102), 도전층(104a) 및 도전층(104b) 위에 있는 절연층(106a) 및 절연층(106b)과, 도전층(104a)과 중첩되며 절연층(106b) 위에 있는 반도체층(108)과, 반도체층(108) 및 절연층(106b) 위에 있는 소스 전극층으로서 기능하는 도전층(110a\_1)과, 반도체층(108) 및 절연층(106b) 위에 있는 드레인 전극층으로서 기능하는 도전층(110a\_2)과, 도전층(110a\_1) 및 도전층(110a\_2)과 동일 공정으로 형성된 도전층(110a\_3)과, 도전층(110a\_1), 도전층(110a\_2) 및 도전층(110a\_3) 위에 있는 도전층(110b\_1), 도전층(110b\_2) 및 도전층(110b\_3)과, 도전층(110b\_2) 위에 있는 도전층(110c\_1), 절연층(106b), 반도체층(108), 도전층(110b\_1), 도전층(110b\_2), 도전층(110b\_3) 및 도전층(110c\_1) 위에 있는 보호 절연막으로서 기능하는 절연층(112)과, 절연층(112) 위에 있는 컬러 필터로서 기능하는 유색층(114)과, 유색층(114) 위에 있는 오버코트층으로서 기능하는 절연층(116)과, 절연층(116) 위에 있는 화소 전극층(118)과, 화소 전극층(118) 위에 있는 액정층(166)과, 액정층(166) 위에 있는 대향 전극으로서 기능하는 도전층(164)과, 도전층(164) 위에 있는 제 2 기판(162)을 갖는다.

[0057] 또한, 도전층(104a), 절연층(106a), 절연층(106b), 반도체층(108), 도전층(110a\_1), 도전층(110a\_2), 도전층(110b\_1) 및 도전층(110b\_2)에 의하여, 트랜지스터(150)가 구성되어 있다. 또한, 도전층(104b), 절연층(106a), 절연층(106b), 도전층(110a\_3) 및 도전층(110b\_3)에 의하여 용량 소자(152)가 구성되어 있다.

[0058] 또한, 절연층(106a) 및 절연층(106b)에서, 게이트 전극층으로서 기능하는 도전층(104a)과 중첩되는 부분은, 트랜지스터(150)의 게이트 절연층으로서 기능하고, 도전층(104b)과 중첩되는 부분은, 용량 소자(152)의 유전체층으로서 기능한다.

[0059] 또한, 절연층(106a) 및 절연층(106b)에는, 도전층(104b)에 이르는 개구부(132)가 제공되어 있고, 개구부(132)를 통하여 트랜지스터(150)의 드레인 전극층으로서 기능하는 도전층(110a\_2) 및 도전층(110b\_2)과, 도전층(104b)이 접속되어 있다.

[0060] 또한, 여기서는, 개구부(132)가 제공되어 있는 경우의 예를 도시하였지만, 본 발명의 실시형태의 일 형태는, 이에 한정되지 않는다. 예를 들어, 도 16의 (A)에 도시된 바와 같이, 개구부가 제공되지 않는 구성으로 하여도 좋다. 그 경우, 도전층(110b\_3)은, 도전층(110b\_2)과 같은 섬에 포함된다. 마찬가지로 도전층(110a\_3)은, 도전층(110a\_2)과 같은 섬에 포함된다. 그리고, 도전층(104b)은, 용량선으로서 기능할 수 있다. 따라서, 이러한 경우에는, 도전층(104b)은, 도전층(104a) 또는 게이트선(104)과 대략 평행한 방향으로 연장되어 배치되는 것이 바람직하다.

[0061] 또한, 유색층(114)에는, 개구부(134)와 개구부(136)가 제공되어 있다. 바꿔 말하면, 유색층(114) 위에 있는 절연층(116)이, 개구부(134)에서 절연층(112)과 접한다. 또한, 절연층(116)은, 유색층(114)보다 절연층(112)에 대한 밀착성이 높다. 따라서, 유색층(114)과 절연층(112)의 밀착성이 충분하지 않은 경우에서도, 절연층(116)과 절연층(112)이 접촉하는 영역을 가짐으로써, 유색층(114)의 박리를 억제할 수 있다.

[0062] 또한, 절연층(112)으로서는, 무기 절연 재료에 의하여 형성되는 것이 바람직하다. 또한 절연층(116)으로서는, 유기 절연 재료에 의하여 형성되는 것이 바람직하다. 절연층(112)을 무기 절연 재료에 의하여 형성함으로써, 반도체층(108)과의 계면 특성을 양호하게 할 수 있다. 또한, 절연층(116)을 유기 절연 재료에 의하여 형성함으로써, 절연층(116) 위에 형성되는 화소 전극층(118)의 평탄성을 높게 할 수 있다.

[0063] 또한, 유색층(114)에 제공된 개구부(136)에 의하여, 유색층(114)의 색순도를 조정할 수 있다. 예를 들어, 개구부(136)의 형상이나 개구부(136)의 면적을 조정함으로써, 유색층(114)의 색순도를 조정할 수 있다.

[0064] 이와 같이, 유색층(114)이 개구부(136)를 갖는 구조로 함으로써, 색순도를 조정할 수 있는 신규 표시 장치를 제공할 수 있다. 또한, 컬러 필터로서 사용되는 유색층(114)의 밀착성이 향상된 신규 표시 장치를 제공할 수 있

다.

[0065] 또한, 절연층(112)에는, 개구부(138)가 제공되어 있다. 또한, 화소 전극층(118)은, 개구부(134) 및 개구부(138)를 통하여 트랜지스터(150)의 드레인 전극층으로서 기능하는 도전층(110c\_1)과 접속되어 있다.

[0066] 또한, 도전층(110b\_3)은, 반사 전극층으로서 기능한다. 따라서, 반사율이 높은 도전층이 사용되는 것이 바람직하다. 상기 반사율이 높은 도전층으로서는, 예를 들어, 알루미늄, 은, 팔라듐, 구리로 이루어지는 단체 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용한다. 특히 도전층(110b\_3)으로서는, 비용 및 가공성 등의 점에서 알루미늄을 포함하는 재료가 바람직하다. 또한, 도전층(110c\_1)으로서는, 내산화성이 높은 도전층을 사용하는 것이 바람직하다. 도전층(110c\_1)에 내산화성이 높은 도전층을 사용함으로써, 화소 전극층(118)과의 접촉 저항을 낮출 수 있다. 이와 같은 구성으로 함으로써, 반사율이 높으며, 화소 전극층과의 접촉 저항을 낮출 수 있다.

[0067] 바꿔 말하면, 도 3의 (A)에 도시된 표시 장치는, 반사 영역에서는, 반사율이 높은 도전층을 사용하고, 화소 전극층과의 접촉 영역에서는, 내산화성이 높은 도전층을 사용함으로써, 양호한 반사 표시가 가능한 트랜지스터와 화소 전극층의 접촉 불량이 저감된 신규 표시 장치를 제공할 수 있다.

[0068] 또한, 도 16의 (B)에 도시된 바와 같이, 투과 영역(401)을 제공하여도 좋다.

[0069] 또한, 도 3의 (A)에 도시된 표시 장치는, 제 1 기판(102)과, 제 1 기판(102)과 대향하는 제 2 기판(162) 사이에 액정층(166)이 협지(挾持)되어 있다.

[0070] 제 2 기판(162) 아래에는, 도전층(164)이 형성되어 있고, 화소 전극층(118), 액정층(166), 도전층(164)에 의하여 액정 소자(170)가 구성되어 있다. 화소 전극층(118) 및 도전층(164)에 전압을 인가함으로써, 액정층(166)의 배향 상태를 제어할 수 있다. 또한, 도 3의 (A)에서, 화소 전극층(118) 및 도전층(164)이 액정층(166)과 접하는 구성에 대하여 예시하였지만, 이에 한정되지 않고, 예를 들어, 화소 전극층(118)과 액정층(166)이 접하는 영역 및 도전층(164)과 액정층(166)이 접하는 영역에, 각각 배향막을 형성하여도 좋다.

[0071] 도 3의 (A)에 도시된 표시 장치에서, 반사 전극층으로서 기능하는 도전층(110b\_3)과, 유색층(114)과, 화소 전극층(118)을 제 1 기판(102) 위에 형성할 수 있기 때문에, 제 2 기판(162) 측에 유색층이 형성되는 경우와 비교하여, 열라인먼트 정밀도가 높은 구성으로 할 수 있다. 따라서, 고정밀(예를 들어 300ppi 이상)한 표시 장치에서도, 컬러 표시할 수 있는 반사형 액정 표시 장치를 제공할 수 있다.

[0072] 또한, 트랜지스터(150)는, 채널 위, 채널 아래, 또는 채널 위와 아래 양쪽 모두에 게이트 전극이 제공되어도 좋다. 예를 들어, 화소 전극층(118)과 동시에 형성한 도전층(118a)을 배치한 경우의 예를 도 17의 (A)에 도시하였다. 도전층(118a)은, 트랜지스터(150)의 게이트 전극으로서 기능할 수 있다. 또한, 도전층(118a)은, 도전층(104a)과 접속되어도 좋다. 이 경우, 같은 신호나 전위가 공급되게 된다. 또는, 도전층(118a)은, 도전층(104a)과 다른 신호나 전위가 공급되어도 좋다. 이와 같이, 도전층(118a)은, 화소 전극층(118)과 동시에 성막하고, 동시에 예칭함으로써 형성되기 때문에, 프로세스 공정수의 증가를 방지할 수 있다. 다만, 본 발명의 실시형태의 일 형태는, 이에 한정되지 않는다. 예를 들어, 다른 도전층을 사용하여, 트랜지스터(150)의 게이트 전극으로서 기능하는 도전층을 형성하여도 좋다. 이 경우의 예를, 도 17의 (B) 및 도 18의 (A)에 도시하였다. 도전층(199) 및 도전층(199a)은, 도전층(110c\_1)에서 사용하는 재료를 가질 수 있다. 또는, 도전층(199) 및 도전층(199a)은, 도전층(104a), 도전층(110a\_1), 도전층(110b\_1) 및 도전층(110c\_1) 등에서 사용할 수 있는 재료로서 기재된 재료와 같은 재료를 가질 수 있다.

[0073] 또한, 도 18의 (B)에 도시된 바와 같이, 도전층(199a)과 동시에 성막하고, 동시에 예칭함으로써 형성되는 도전층으로서, 도전층(199b)을 배치하여도 좋다. 이 도전층에는, 도전층(110b\_3)과 같은 반사율이 높은 재료를 사용함으로써, 반사 전극으로서 기능시킬 수 있다. 또는, 도전층(110b\_2)과 중첩시켜 배치함으로써, 용량 소자를 형성할 수도 있다. 이 경우, 도전층(199b)은, 도전층(104b)과 접속되어도 좋다.

[0074] 또한, 도전층(199a)과 동시에 성막하고, 동시에 예칭함으로써 형성되는 도전층으로서, 도전층(199c)을 배치하여도 좋다. 도전층(199c)은, 화소 전극층(118)과의 접속 부분에 배치할 수 있다. 이 경우의 예를, 도 19의 (A) 및 도 19의 (B)에 도시하였다. 이 경우, 도전층(199a)은, 도전층(110c\_1)과 같은 재료를 가져도 좋다. 또한, 도전층(199a)은, 반드시 제공하지 않아도 좋다. 이 경우의 예를, 도 20의 (A) 및 도 20의 (B)에 도시하였다.

[0075] 다음에, 도 3의 (B)에 도시된 표시 장치에 대하여, 이하에서 설명한다.

[0076] 도 3의 (B)에 도시된 표시 장치는, 제 1 기판(102)과, 제 1 기판(102) 위에 있는 게이트선(104)과, 게이트선

(104) 위에 있는 절연층(106a) 및 절연층(106b)과, 절연층(106b) 위에 있는 도전층(110a\_4) 및 도전층(110b\_4)과, 절연층(106b) 및 도전층(110b\_4) 위에 있는 절연층(112)과, 절연층(112) 위에 있는 유색층(114)과, 유색층(114) 위에 있는 유색층(114a) 및 유색층(114b)과, 유색층(114), 유색층(114a) 및 유색층(114b) 위에 있는 절연층(116)과, 절연층(116) 위에 있는 액정층(166)과, 액정층(166) 위에 있는 도전층(164)과, 도전층(164) 위에 있는 제 2 기판(162)을 갖는다. 또한, 도전층(110a\_4) 및 도전층(110b\_4)은, 소스선(110)으로서 기능한다.

[0077] 도 3의 (B)는, 게이트선(104)과, 소스선(110)으로서 기능하는 도전층(110a\_4) 및 도전층(110b\_4)이 교차하는 영역의 단면도이다.

[0078] 도 3의 (B)에 도시된 바와 같이, 유색층(114) 위에 유색층(114a) 및 유색층(114b)을 형성함으로써, 게이트선(104) 또는 도전층(110b\_4)에 기인하는 표면 반사를 억제할 수 있다. 또한, 유색층(114a)은, 인접하는 화소, 여기서는 도 1에 도시된 하측의 화소의 유색층이다. 또한, 유색층(114b)은, 인접하는 화소, 여기서는 도 1에 도시된 상측의 화소의 유색층이다. 예를 들어, 유색층(114)을 녹(G)색으로 하고, 유색층(114a)을 청(B)색으로 하고, 유색층(114b)을 적(R)색으로 할 수 있다.

[0079] 이와 같이, 적어도 반사 영역 이외의 개소의 유색층을 적층 구조로 하는 구성, 바꿔 말하면 유색층과 인접하는 화소의 유색층을 중첩시키는 구성으로 함으로써, 유색층의 일부가 블랙 매트릭스로서 기능할 수 있다.

[0080] 또한, 도 1, 도 3의 (A) 및 도 3의 (B)에 도시된 표시 장치의 그 외의 구성 요소에 대해서는, 표시 장치의 제작 방법에서 상세하게 설명한다.

[표시 장치의 제작 방법]

[0082] 도 1, 도 3의 (A) 및 도 3의 (B)에 도시된 표시 장치의 제작 방법에 대하여, 이하에서 도 4 내지 도 6을 사용하여 설명한다.

[0083] 우선, 제 1 기판(102)을 준비한다. 제 1 기판(102)으로서는, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨 보로실리케이트 유리 등의 유리 재료를 사용한다. 양산에서는, 제 1 기판(102)은, 제 8 세대(2160mm×2460mm), 제 9 세대(2400mm×2800mm, 또는 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등의 마더 유리(mother glass)를 사용하는 것이 바람직하다. 마더 유리는, 처리 온도가 높고 처리 시간이 길면 대폭으로 수축하기 때문에, 마더 유리를 사용하여 양산하는 경우, 제작 공정의 가열 온도는, 바람직하게는 600°C 이하, 더 바람직하게는 450°C 이하, 더욱 바람직하게는 350°C 이하로 하는 것이 좋다.

[0084] 다음에, 제 1 기판(102) 위에 도전층을 형성하고, 이 도전층을 원하는 형상으로 가공함으로써, 도전층(104a) 및 도전층(104b)을 형성한다(도 4의 (A) 참조).

[0085] 도전층(104a) 및 도전층(104b)으로서는, 알루미늄, 크롬, 구리, 탄탈, 타이타늄, 몰리브데넘, 텅스텐으로부터 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 도전층(104a) 및 도전층(104b)은, 단층 구조로 하여도, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 알루미늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조, 타이타늄막 위에 알루미늄막을 적층하고 그 위에 타이타늄막을 더 형성하는 3층 구조 등이 있다. 또한, 알루미늄에 타이타늄, 탄탈, 텅스텐, 몰리브데넘, 크롬, 네오디뮴, 스칸듐으로부터 선택된 하나 또는 복수를 조합한 합금막 또는 질화막을 사용하여도 좋다. 또한, 도전층(104a) 및 도전층(104b)은, 예를 들어, 스퍼터링법을 사용하여 형성할 수 있다.

[0086] 다음에, 제 1 기판(102), 도전층(104a) 및 도전층(104b) 위에 절연층(106a) 및 절연층(106b)을 형성한다(도 4의 (B) 참조).

[0087] 절연층(106a)으로서는, 예를 들어, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막 등을 사용하면 좋고, PE-CVD 장치를 사용하여 적층 또는 단층으로 제공한다. 또한, 절연층(106a)을 적층 구조로 한 경우, 제 1 질화 실리콘막으로서, 결합이 적은 질화 실리콘막으로 하고, 제 1 질화 실리콘막 위에, 제 2 질화 실리콘막으로서, 수소 방출량 및 암모니아 방출량이 적은 질화 실리콘막을 제공하면 적합하다. 이 결과, 절연층(106a)에 포함되는 수소 및 질소가 나중에 형성되는 반도체층(108)으로 이동 또는 확산되는 것을 억제할 수 있다.

[0088] 절연층(106b)으로서는, 산화 실리콘막, 산화질화 실리콘막 등을 사용하면 좋고, PE-CVD 장치를 사용하여 적층 또는 단층으로 제공한다.

[0089]

절연층(106a) 및 절연층(106b)으로서는, 예를 들어, 절연층(106a)으로서, 두께 400nm의 질화 실리콘막을 형성하고, 그 후, 절연층(106b)으로서, 두께 50nm의 산화질화 실리콘막을 형성할 수 있다. 이 질화 실리콘막과 이 산화질화 실리콘막은, 전공 중에서 연속하여 형성하면 불순물의 흔입이 억제되어 바람직하다. 또한, 도전층(104a)과 중첩되는 영역의 절연층(106a) 및 절연층(106b)은, 트랜지스터(150)의 게이트 절연층으로서 기능한다. 또한, 도전층(104b)과 중첩되는 영역의 절연층(106a) 및 절연층(106b)은, 용량 소자(152)의 유전체층으로서 기능한다.

[0090]

또한, 질화산화 실리콘이란, 질소의 함유량이 산소의 함유량보다 많은 절연 재료이고, 한편, 산화질화 실리콘이란, 산소의 함유량이 질소의 함유량보다 많은 절연 재료를 말한다.

[0091]

게이트 절연층을, 상기와 같은 네 구성으로 함으로써, 예를 들어 이하와 같은 효과를 얻을 수 있다. 질화 실리콘막은, 산화 실리콘막과 비교하여 비유전율이 높으며, 같은 정도의 정전 용량을 얻기 위하여 필요한 막 두께가 크기 때문에, 게이트 절연막을 물리적으로 두껍게 할 수 있다. 따라서, 트랜지스터(150)의 절연 내압의 저하를 억제, 더 나아가서는 절연 내압을 향상시켜, 트랜지스터(150)의 정전 파괴를 억제할 수 있다.

[0092]

다음에, 절연층(106b) 위에 반도체층을 성막하고, 이 반도체층을 원하는 형상으로 가공함으로써, 반도체층(108)을 형성한다. 또한, 반도체층(108)은, 도전층(104a)과 중첩하는 위치에 형성한다(도 4의 (C) 참조).

[0093]

반도체층(108)으로서는, 예를 들어, 비정질 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용할 수 있다. 또한, 반도체층(108)으로서는, 특히 산화물 반도체를 사용하는 것이 바람직하다. 상기 산화물 반도체는, 적어도 인듐(In), 아연(Zn) 및 M(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf를 나타냄)이 포함되는 In-M-Zn 산화물로 표기되는 산화물을 포함하는 것이 바람직하다. 또는, In과 Zn의 쌍방이 포함되는 것이 바람직하다.

[0094]

예를 들어, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 사용할 수 있다.

[0095]

또한, 여기서, 예를 들어, In-Ga-Zn 산화물이란, In과 Ga와 Zn을 주성분으로 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 포함되어도 좋다. 또한, 본 실시형태에서는, 반도체층(108)에 산화물 반도체가 사용된다.

[0096]

다음에, 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는, 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도에서, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 수행하면 좋다. 또한, 제 1 가열 처리의 분위기는, 불활성 가스 분위기에서 가열 처리한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 수행하여도 좋다. 제 1 가열 처리에 의하여, 반도체층(108)에 사용되는 산화물 반도체의 결정성을 높이고, 또한, 절연층(106a), 절연층(106b) 및 반도체층(108)으로부터 수소나 물 등의 불순물을 제거할 수 있다. 또한, 반도체층(108)을 섬 형상으로 가공하기 전에 제 1 가열 처리를 수행하여도 좋다.

[0097]

다음에, 절연층(106a) 및 절연층(106b)의 원하는 영역에 개구부(132)를 형성한다(도 4의 (D) 참조).

[0098]

또한, 개구부(132)는, 도전층(104b)에 이르도록 형성한다. 개구부(132)의 형성 방법으로서는, 예를 들어, 웨트 애칭, 드라이 애칭, 또는 웨트 애칭과 드라이 애칭을 조합한 애칭 방법을 사용할 수 있다.

[0099]

다음에, 개구부(132)를 덮도록 절연층(106b) 및 반도체층(108) 위에 도전층(109a), 도전층(109b) 및 도전층(109c)을 형성한다(도 5의 (A) 참조).

[0100]

도전층(109a)은, 배리어 메탈로서 기능한다. 도전층(109a)은, 반도체층(108)과 양호한 접촉 저항을 갖는 재료를 사용하면 좋고, 예를 들어, 타이타늄, 크롬, 니켈, 이트륨, 지르코늄, 몰리브데늄, 탄탈, 텉스텐으로 이루어지는 단체 금속, 또는 이를 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용한다.

[0101]

도전층(109b)은, 나중에 반사 전극층의 일부로서 기능하기 때문에, 반사성이 높은 도전 재료를 사용하면 좋다. 또한, 도전층(109b)은, 트랜지스터의 소스 전극층 및 드레인 전극층의 일부로서 기능하기 때문에, 저저항 재료를 사용하면 좋다. 도전층(109b)에 사용되는 재료로서는, 예를 들어, 알루미늄, 은, 팔라듐, 구리로 이루어지

는 단체 금속, 또는 이를 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용한다. 특히 도전층(109b)에는, 비용 및 가공성 등의 점에서 알루미늄을 포함하는 재료를 사용하는 것이 바람직하다.

[0102] 도전층(109c)은, 나중에 접속되는 화소 전극층(118)과 양호한 접촉 저항이 얻어지는 재료를 사용하면 좋고, 내산화성이 높은 도전층을 사용하면 좋다. 또한, 내산화성이 높은 도전층으로서는, 적어도 도전층(109b)에 사용되는 재료보다 내산화성이 높으면 좋다. 도전층(109c)으로서는, 예를 들어, 타이타늄, 크롬, 니켈, 이트륨, 몰리브데넘, 탄탈, 텉스텐으로 이루어지는 단체 금속, 또는 이를 주성분으로 하는 합금을 또는 이를 주성분으로 하는 금속 질화막을 단층 구조 또는 적층 구조로 하여 사용한다. 특히 도전층(109c)으로서는, 타이타늄 또는 몰리브데넘 중 어느 한쪽을 포함하는 재료로 형성하면 화소 전극층(118)으로서 사용하는 재료(예를 들어, 인듐주석 산화물(ITO) 등)와 양호한 접촉 저항이 얻어지기 때문에 바람직하다.

[0103] 예를 들어, 도전층(109a)으로서 타이타늄막 또는 질화 타이타늄막을 사용하고, 도전층(109b)으로서 알루미늄막 또는 은막을 사용하고, 도전층(109c)으로서 타이타늄막 또는 질화 타이타늄막이 사용된다. 또는, 도전층(109a)으로서 몰리브데넘막 또는 질화 몰리브데넘막을 사용하고, 도전층(109b)으로서 알루미늄막 또는 은막을 사용하고, 도전층(109c)으로서 몰리브데넘막 또는 질화 몰리브데넘막을 사용한다.

[0104] 또한, 도전층(109a), 도전층(109b) 및 도전층(109c)의 구조는, 상기 구조에 한정되지 않고, 도전층(109a)을 사용하지 않는 2층 구조로 하여도 좋다. 이 2층 구조로서는, 예를 들어, 도전층(109b)으로서 알루미늄막을 사용하고, 도전층(109c)으로서 타이타늄막을 사용하는 구성을 들 수 있다.

[0105] 또한, 도전층(109a), 도전층(109b) 및 도전층(109c)은, 예를 들어, 스퍼터링법을 사용하여 형성할 수 있다.

[0106] 다음에, 도전층(109c)을 원하는 형상으로 가공하여 도전층(110c\_1)을 형성한다(도 5의 (B) 참조).

[0107] 도전층(110c\_1)은, 적어도 나중에 화소 전극층(118)과 접촉하는 영역에 형성한다. 또한, 도전층(110c\_1)과 동일 공정으로, 도전층(110c\_1)과 다른 도전층을 형성하여도 좋다. 예를 들어, 도전층(110c\_1)과 동일 공정으로 형성되는 도전층으로서는, 접속부나 FPC 단자부 위에 형성되는 도전층 등이 있다.

[0108] 또한, 도전층(110c\_1)의 형성 시에, 적어도 도전층(109b)의 표면의 일부를 노출시킨다. 도전층(109b)의 표면이 노출된 영역은, 나중에 반사 전극층으로서 기능한다. 도전층(110c\_1)의 형성 방법으로서는, 예를 들어, 드라이 에칭법, 웨트 에칭법 또는 플라즈마 처리법 등을 들 수 있다. 또한, 도전층(110c\_1)의 형성 시에, 도전층(109b)의 표면이 거칠어지는 경우가 있다. 이 거칠어진 표면은, 입사하는 광을 난반사시킬 수 있다. 따라서, 반사 전극층으로서 도전층(109b)을 사용하는 경우, 반사 전극층의 반사 효율을 향상시킬 수 있기 때문에 적합하다.

[0109] 다음에, 도전층(109a) 및 도전층(109b)을 원하는 형상으로 가공하여 트랜지스터(150)의 소스 전극층 및 드레인 전극층으로서 기능하는 도전층(110a\_1), 도전층(110b\_1), 도전층(110a\_2) 및 도전층(110b\_2)과, 반사 전극층 및 용량 소자(152) 중 한쪽 전극으로서 기능하는 도전층(110a\_3) 및 도전층(110b\_3)을 형성한다. 또한, 이 단계에서 트랜지스터(150) 및 용량 소자(152)가 형성된다(도 5의 (C) 참조).

[0110] 도전층(110a\_1), 도전층(110b\_1), 도전층(110a\_2), 도전층(110b\_2), 도전층(110a\_3) 및 도전층(110b\_3)은, 도전층(109a) 및 도전층(109b) 위에 마스크를 형성하고, 이 마스크로 덮이지 않은 영역을 에칭함으로써 형성된다. 또한, 도전층(110a\_1), 도전층(110b\_1), 도전층(110a\_2), 도전층(110b\_2), 도전층(110a\_3) 및 도전층(110b\_3)의 형성 시의 에칭 방법으로서는, 예를 들어, 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다.

[0111] 또한, 도전층(110a\_1), 도전층(110b\_1), 도전층(110a\_2), 도전층(110b\_2), 도전층(110a\_3) 및 도전층(110b\_3)의 형성 시에, 반도체층(108)의 일부가 에칭되어 오목부를 갖는 반도체층(108)이 되는 경우가 있다.

[0112] 또한, 도 5의 (C)에 도시된 단면 구조를 형성하는 경우, 하프톤 마스크(또는, 그레이톤 마스크, 위상차 마스크 등)를 사용하여 형성하여도 좋다. 이 경우, 도 5의 (A)의 다음에는, 도전층(109a), 도전층(109b) 및 도전층(109c)의 에칭에 의하여, 도 15에 도시된 바와 같은 단면 구조가 된다. 그 후, 레지스트를 애싱하는 것 등에 의하여, 레지스트를 한 단계 작게 하고, 그 후, 일부의 도전층만을 에칭한다. 이 결과, 도 5의 (C)에 도시된 바와 같은 단면 구조가 된다. 이로써, 하프톤 마스크(또는, 그레이톤 마스크, 위상차 마스크 등)를 사용함으로써, 프로세스 공정수를 줄일 수 있다. 이 경우에는, 도전층(110c\_1) 아래에는, 도전층(110b\_2) 등이 반드시 제공되어 있는 구성이 된다. 다만, 본 발명의 실시형태의 일 형태는, 이에 한정되지 않는다. 예를 들어, 도전층(110c\_1) 아래에 도전층(110b\_2) 등이 제공되지 않고, 예를 들어, 도전층(110c\_1) 아래에 절연막이 제공되어 있어도 좋다. 또는, 예를 들어, 도 15에 도시된 바와 같은 단면 구조를 제공한 후, 도전층을 에칭하

지 않고, 위에 절연층(112)을 성막하여도 좋다.

[0113] 다음에, 반도체층(108), 도전층(110b\_1), 도전층(110b\_2), 도전층(110b\_3), 도전층(110c\_1) 및 절연층(106b) 위에 절연층(112)을 형성한다(도 5의 (D) 참조).

[0114] 절연층(112)으로서는, 반도체층(108)으로서 사용하는 산화물 반도체와의 계면 특성을 향상시키기 위하여, 산소가 포함되는 무기 절연 재료를 사용할 수 있다. 또한, 절연층(112)은, 예를 들어, PE-CVD법을 사용하여 형성할 수 있다.

[0115] 절연층(112)의 일례로서는, 두께 50nm 이상 500nm 이하의 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막 등을 사용할 수 있다. 본 실시형태에서는, 절연층(112)으로서, 두께 450nm의 산화질화 실리콘막을 사용한다.

[0116] 또한, 절연층(112) 위에 절연층이 더 형성되어도 좋다. 이 절연층은, 외부로부터의 불순물, 예를 들어, 물, 알칼리 금속, 알칼리 토금속 등이, 반도체층(108)에 사용되는 산화물 반도체에 확산되는 것을 방지하는 재료로 형성된다. 상기 절연층의 일례로서는, 두께 50nm 이상 500nm 이하의 질화 실리콘막, 질화산화 실리콘막 등을 사용할 수 있다.

[0117] 또한, 반사 전극층으로서 기능하는 도전층(110b\_3) 위에 있는 절연층(112)은, 얇게 형성하는 것이 바람직하다. 예를 들어, 도전층(110b\_3) 위에 있는 절연층(112)의 막 두께로서는, 바람직하게는, 1nm 이상 100nm 이하, 더 바람직하게는, 5nm 이상 50nm 이하로 하면 좋다. 도전층(110b\_3) 위에 있는 절연층(112)을 얇게 형성함으로써, 도전층(110b\_3)과 유색층(114) 사이의 광로 길이를 짧게 할 수 있다. 반사 전극층으로서 기능하는 도전층(110b\_3) 위에 있는 절연층(112)을 얇게 형성하는 방법으로서는, 예를 들어, 절연층(112)의 형성 후에, 도전층(110b\_3) 위 이외의 영역에 마스크를 형성하고, 도전층(110b\_3) 위에 있는 절연층(112)을 에칭한다.

[0118] 다음에, 절연층(112) 위에 원하는 형상의 유색층(114)을 형성한다. 그 후, 유색층(114)을 덮도록 절연층(116)을 형성한다(도 6의 (A) 참조).

[0119] 유색층(114)으로서는, 특정의 파장 대역의 광을 투과시키는 기능을 가지면 좋고, 예를 들어, 적색의 파장 대역의 광을 투과시키는 적색(R) 컬러 필터, 녹색의 파장 대역의 광을 투과시키는 녹색(G) 컬러 필터, 청색의 파장 대역의 광을 투과시키는 청색(B) 컬러 필터 등을 사용할 수 있다. 각 컬러 필터는, 다양한 재료를 사용하고, 인쇄법, 잉크젯법, 포토리소그래피 기술을 사용한 에칭 방법 등으로 각각 원하는 위치에 형성한다.

[0120] 또한, 유색층(114)은, 제 1 개구부로서 기능하는 개구부(134) 및 제 2 개구부로서 기능하는 개구부(136)를 갖는다.

[0121] 절연층(116)으로서는, 예를 들어, 아크릴계 수지 등의 유기 절연 재료를 사용할 수 있다. 절연층(116)을 형성함으로써, 예를 들어, 유색층(114) 중에 포함되는 불순물 등이 액정층(166) 층에 확산되는 것을 억제할 수 있다. 또한, 절연층(116)을 형성함으로써, 트랜지스터(150) 또는 유색층(114)에 기인하는 요철 등을 평탄화할 수 있다.

[0122] 또한, 절연층(116)은, 유색층(114)이 갖는 개구부(134)와 대략 같은 위치에 개구부를 갖는 것이 바람직하다. 이 개구부는, 절연층(112)의 표면의 일부가 노출되도록 형성된다.

[0123] 다음에, 개구부(138)를 형성한다(도 6의 (B) 참조).

[0124] 개구부(138)는, 도전층(110c\_1)이 노출되도록 원하는 영역에 형성한다. 또한, 개구부(138)의 형성 방법으로서는, 예를 들어, 드라이 에칭법을 사용할 수 있다. 다만, 개구부(138)의 형성 방법으로서는, 이에 한정되지 않고, 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 하여도 좋다.

[0125] 다음에, 개구부(134) 및 개구부(138)를 덮도록, 절연층(116) 위의 원하는 영역에 화소 전극층(118)을 형성한다(도 6의 (C) 참조).

[0126] 화소 전극층(118)으로서는, 가시광에 대한 투광성을 갖는 재료를 사용하면 좋다. 화소 전극층(118)으로서는, 예를 들어, 인듐(In), 아연(Zn), 주석(Sn) 중에서 선택된 1종을 포함하는 재료를 사용하면 좋다. 화소 전극층(118)으로서는, 예를 들어, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(ITO), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등 투광성을 갖는 도전성 재료를 사용할 수 있다. 또한, 화소 전극층(118)은, 예를 들어, 스퍼터링법을 사용하여 형성할 수 있다.

[0127] 또한, 화소 전극층(118)은, 개구부(134) 및 개구부(138)를 통하여 도전층(110c\_1)과 접속된다. 즉, 화소 전극층(118)과 트랜지스터(150)의 드레인 전극층으로서 기능하는 도전층(110a\_2) 및 도전층(110b\_2)이 전기적으로 접속된다.

[0128] 이상의 공정에 의하여, 제 1 기판(102) 위의 구조를 형성할 수 있다.

[0129] 다음에, 제 1 기판(102)과 제 2 기판(162)을 접합하고, 액정층(166)을 형성한다.

[0130] 또한, 제 2 기판(162)은, 도전층(164)을 갖는다. 도전층(164)은, 액정 소자(170)의 전극 중 다른 쪽으로서 기능하기 때문에, 투광성을 갖는 재료로 형성하면 좋다. 도전층(164)에 사용할 수 있는 재료로서는, 화소 전극층(118)에 사용할 수 있는 재료를 적용할 수 있다.

[0131] 또한, 액정층(166)의 형성 방법으로서는, 디스펜서법(적하법)이나, 제 1 기판(102)과 제 2 기판(162)을 접합하고 나서 모세관 현상을 사용하여 액정을 주입하는 주입법을 사용할 수 있다.

[0132] 액정층(166)에 사용할 수 있는 재료로서는, 특별히 한정되지 않고, 예를 들어, 네마틱 액정 재료나 콜레스테릭 액정 재료 등을 사용하면 좋다. 또한, 액정층(166)에 사용할 수 있는 재료로서는, 예를 들어, 고분자 분산형 액정, 폴리머 분산형 액정 또는 고분자 네트워크형 액정 등을 사용하여도 좋다.

[0133] 이상의 공정에서, 도 1, 도 3의 (A) 및 도 3의 (B)에 도시된 표시 장치를 제작할 수 있다.

[0134] 또한, 본 실시형태에서는, 도시하지 않았지만, 필요하면, 배향막, 편광판 또는 원편광판(타원편광판을 포함함), 위상차판( $\lambda/4$ 판,  $\lambda/2$ 판) 등의 광학 필름을 적절히 제공하여도 좋다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광이 확산되어, 비침을 저감할 수 있는 안티글레어(anti-glare) 처리를 수행할 수 있다.

[0135] 또한, 본 실시형태에서, 반사형 표시 장치의 경우에 대하여 설명하였지만, 본 발명의 실시형태의 일 형태는, 이에 한정되지 않는다. 예를 들어, 화소의 개구부에 투과 영역을 가져도 좋다. 예를 들어, 화소의 개구부의 일부에 반사 영역을 갖고, 다른 일부에 투과 영역을 가져도 좋다. 따라서, 본 발명의 일 형태는, 반투과형 표시 장치에 적용할 수도 있다.

[0136] 또한, 본 실시형태에서, 유색층(114)에 개구부(136)가 제공되어 있는 경우의 예를 나타냈지만, 본 발명의 실시형태의 일 형태는, 이에 한정되지 않는다. 경우에 따라, 또는 상황에 따라, 유색층(114)에, 개구부(136)가 제공되지 않아도 좋다. 예를 들어, R 화소, G 화소, B 화소 중 적어도 하나에, 개구부(136)가 제공되지 않아도 좋다. 또는, 화소의 개구부에, 투과 영역과 반사 영역을 갖는 경우, 반사 영역에서는, 유색층(114)의 개구부(136)가 제공되고, 투과 영역에서는, 유색층(114)의 개구부(136)가 제공되지 않아도 좋다.

[0137] 또한, 본 실시형태에서, 제 1 기판(102) 위에 유색층(114)이 제공되어 있는 경우의 예를 나타냈지만, 본 발명의 실시형태의 일 형태는, 이에 한정되지 않는다. 경우에 따라, 또는 상황에 따라, 제 1 기판(102) 위에 유색층(114)이 제공되지 않아도 좋다. 예를 들어, R 화소, G 화소, B 화소 외에, W 화소(백색 화소)가 제공되는 경우, 제 1 기판(102) 위에 유색층(114)이 제공되지 않아도 좋다.

[0138] 또한, 본 실시형태는, 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.

[0139] (실시형태 2)

[0140] 본 실시형태에서는, 실시형태 1에 나타내는 표시 장치의 변형예에 대하여, 도 7을 사용하여 이하에서 설명한다. 또한, 실시형태 1에 나타내는 기능과 같은 개소에 대해서는, 같은 부호를 사용하고, 그 상세한 설명은 생략한다.

[0141] 도 7의 (A)는, 도 1에 도시된 일점 쇄선 X1-Y1의 절단면에 상당하는 단면도이다. 또한, 도 7의 (B)는, 도 7의 (A)에 도시된 표시 장치의 제작 방법의 일례를 설명하기 위한 단면도이다.

[0142] 도 7의 (A)에 도시된 표시 장치는, 제 1 기판(202)과, 제 1 기판(202) 위에 있는 접착층(203)과, 접착층(203) 위에 있는 절연층(205)과, 절연층(205) 위에 있는 게이트 전극층으로서 기능하는 도전층(104a)과, 도전층(104a)과 동일 공정으로 형성된 도전층(104b)과, 절연층(205), 도전층(104a) 및 도전층(104b) 위에 있는 절연층(106a) 및 절연층(106b)과, 도전층(104a)과 중첩되며, 절연층(106b) 위에 있는 반도체층(108)과, 반도체층(108) 및 절연층(106b) 위에 있는 소스 전극층으로서 기능하는 도전층(110a\_1)과, 반도체층(108) 및 절연층(106b) 위에 있는 드레인 전극층으로서 기능하는 도전층(110a\_2)과, 도전층(110a\_1) 및 도전층(110a\_2)과 동일

공정으로 형성된 도전층(110a\_3)과, 도전층(110a\_1), 도전층(110a\_2) 및 도전층(110a\_3) 위에 있는 도전층(110b\_1), 도전층(110b\_2) 및 도전층(110b\_3)과, 도전층(110b\_2) 위에 있는 도전층(110c\_1)과, 절연층(106b), 반도체층(108), 도전층(110b\_1), 도전층(110b\_2), 도전층(110b\_3) 및 도전층(110c\_1) 위에 있는 보호 절연막으로서 기능하는 절연층(112)과, 절연층(112) 위에 있는 컬러 필터로서 기능하는 유색층(114)과, 유색층(114) 위에 있는 오버코트층으로서 기능하는 절연층(116)과, 절연층(116) 위에 있는 화소 전극층(118)과, 화소 전극층(118) 위에 있는 액정층(166)과, 액정층(166) 위에 있는 대향 전극으로서 기능하는 도전층(164)과, 도전층(164) 위에 있는 절연층(209)과, 절연층(209) 위에 있는 접착층(207)과, 접착층(207) 위에 있는 제 2 기판(262)을 갖는다.

[0143] 또한, 도전층(104a), 절연층(106a), 절연층(106b), 반도체층(108), 도전층(110a\_1), 도전층(110a\_2), 도전층(110b\_1) 및 도전층(110b\_2)에 의하여, 트랜지스터(150)가 구성되어 있다. 또한, 도전층(104b), 절연층(106a), 절연층(106b) 도전층(110a\_3) 및 도전층(110b\_3)에 의하여 용량 소자(152)가 구성되어 있다.

[0144] 또한, 게이트 전극층으로서 기능하는 도전층(104a)과 중첩되는 위치에 있는 절연층(106a) 및 절연층(106b)은, 트랜지스터(150)의 게이트 절연층으로서 기능한다. 또한, 도전층(104b)과 중첩되는 위치에 있는 절연층(106a) 및 절연층(106b)은, 용량 소자(152)의 유전체층으로서 기능한다.

[0145] 또한, 절연층(106a) 및 절연층(106b)에는, 도전층(104b)에 이르는 개구부(132)가 제공되어 있고, 개구부(132)를 통하여 트랜지스터(150)의 드레인 전극층으로서 기능하는 도전층(110a\_2) 및 도전층(110b\_2)과, 도전층(104b)이 접속되어 있다.

[0146] 또한, 유색층(114)에는, 개구부(134)와 개구부(136)가 제공되어 있다. 바꿔 말하면, 유색층(114) 위에 있는 절연층(116)이 개구부(134)에서 절연층(112)과 접한다. 또한, 절연층(116)은, 유색층(114)보다 절연층(112)에 대한 밀착성이 높다. 따라서, 유색층(114)과 절연층(112)의 밀착성이 충분하지 않은 경우에서도, 절연층(116)과 절연층(112)이 접촉하는 영역을 가짐으로써, 유색층(114)의 박리를 억제할 수 있다.

[0147] 또한, 유색층(114)에 제공된 개구부(136)에 의하여, 유색층(114)의 색순도를 조정할 수 있다. 예를 들어, 개구부(136)의 형상이나 개구부(136)의 면적을 조정함으로써, 유색층(114)의 색순도를 조정할 수 있다.

[0148] 이와 같이, 유색층(114)이 개구부(136)를 갖는 구조로 함으로써, 색순도를 조정할 수 있는 신규 표시 장치를 제공할 수 있다. 또한, 컬러 필터로서 사용하는 유색층(114)의 밀착성이 향상된 신규 표시 장치를 제공할 수 있다.

[0149] 또한, 도 7의 (A)에 도시된 표시 장치는, 도 3의 (A)에 도시된 표시 장치와 이하의 점이 다르다. 도 7의 (A)에 도시된 표시 장치는, 제 1 기판(102) 대신에 제 1 기판(202)이 제공되고, 제 2 기판(162) 대신에 제 2 기판(262)이 제공된다. 또한, 도 7의 (A)에 도시된 표시 장치는, 제 1 기판(202)과 도전층(104a) 및 도전층(104b) 사이에 접착층(203) 및 절연층(205)이 제공된다. 또한, 도 7의 (A)에 도시된 표시 장치는, 제 2 기판(262)과 도전층(164) 사이에 접착층(207) 및 절연층(209)이 제공된다.

[0150] 제 1 기판(202) 및 제 2 기판(262)으로서는, 가요성을 갖는 재료를 사용할 수 있다. 또한, 제 1 기판(202) 및 제 2 기판(262)으로서는, 가요성을 가지며, 인성(韌性)이 높은 재료를 사용하는 것이 바람직하다. 상기 가요성을 갖는 재료로서는, 예를 들어, 유기 수지나 가요성을 가질 정도 두께의 유리를 사용할 수 있다.

[0151] 제 1 기판(202) 및 제 2 기판(262)으로서 유기 수지를 사용하면, 유리와 비교하여 유기 수지는 비중이 작기 때문에, 유리를 사용하는 경우와 비교하여 표시 장치를 경량화할 수 있으므로 바람직하다.

[0152] 가요성을 갖는 재료로서는, 예를 들어, 가요성을 가질 정도 두께의 유리나, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스테르 수지, 폴리아크릴로나이트릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에테르설폰(PES) 수지, 폴리아마이드 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드이미드 수지, 폴리염화비닐 수지, 폴리에테르에테르케톤(PEEK) 수지 등을 들 수 있다. 특히, 열팽창 계수가 낮은 재료를 사용하는 것이 바람직하고, 예를 들어, 폴리아마이드이미드 수지, 폴리이미드 수지, PET 등을 적합하게 사용할 수 있다. 또한, 유리 섬유에 유기 수지를 함침(含浸)한 기판이나, 무기 필러(filler)를 유기 수지에 섞어 열팽창 계수를 낮춘 기판을 사용할 수도 있다.

[0153] 가요성을 갖는 재료로서, 재료 중에 섬유체가 포함되어 있는 경우, 섬유체는 유기 화합물, 또는 무기 화합물의 고강도 섬유를 사용한다. 고강도 섬유란, 구체적으로는, 인장 탄성을 또는 영률이 높은 섬유를 말하고, 대표적인 예로서는, 폴리비닐알코올계 섬유, 폴리에스테르계 섬유, 폴리아마이드계 섬유, 폴리에틸렌계 섬유, 아라미

드계 섬유, 폴리파라페닐렌벤조비스옥사졸 섬유, 유리 섬유 또는 탄소 섬유 등을 들 수 있다. 유리 섬유로서는, E유리, S유리, D유리, Q유리 등을 사용한 유리 섬유를 들 수 있다. 이들은, 직포(織布) 또는 부직포(不織布)의 상태로 사용하고, 이 섬유체에 수지를 함침시켜 수지를 경화시킨 구조물을 사용하여도 좋다. 섬유체와 수지로 이루어지는 구조물을 사용하면, 굴곡이나 국소적 압압(押壓)에 의한 파괴에 대한 신뢰성이 향상 되기 때문에, 바람직하다.

[0154] 또한, 광의 추출 효율을 향상시키기 위하여 가요성을 갖는 재료의 굴절률은 높은 것이 바람직하다. 예를 들어, 유기 수지에 굴절률이 높은 무기 필러를 분산시킴으로써, 상기 유기 수지만으로 이루어지는 기판보다 굴절률이 높은 기판을 실현할 수 있다. 특히 입자경 40nm 이하의 무기 필러를 사용하면, 광학적인 투명성을 유지할 수 있기 때문에, 바람직하다.

[0155] 제 1 기판(202) 및 제 2 기판(262)은, 상기 가요성을 갖는 재료의 표면에, 표지 장치의 표면을 손상 등으로부터 보호하는 하드코트층(예를 들어, 질화 실리콘층 등)이나, 압압을 분산할 수 있는 재료의 층(예를 들어, 아라미드 수지층 등) 등과 적층되어 구성되어 있어도 좋다.

[0156] 접착층(203) 및 접착층(207)으로서는, 예를 들어, 자외선 경화형 등의 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 혼기형 접착제 등의 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리비닐클로라이드) 수지, PVB(폴리비닐부티랄) 수지, EVA(에틸렌비닐아세테이트) 수지 등을 들 수 있다. 특히, 에폭시 수지 등의 투습성이 낮은 재료가 바람직하다. 또한, 2액 혼합형 수지를 사용하여도 좋다. 또한, 접착 시트 등을 사용하여도 좋다.

[0157] 접착층(203) 및 접착층(207)으로서는, 수지 재료 중에 건조제를 포함하여도 좋다. 상기 건조제로서는, 예를 들어, 알칼리 토금속의 산화물(산화 칼슘이나 산화 바륨 등)과 같이 화학 흡착에 의하여 수분이 흡착되는 물질을 사용할 수 있다. 또는, 제올라이트나 실리카겔 등과 같이, 물리 흡착에 의하여 수분이 흡착되는 물질을 사용하여도 좋다. 건조제가 포함되어 있으면, 수분 등의 불순물이 표시 장치 내부에 침입하는 것을 억제할 수 있다.

[0158] 절연층(205) 및 절연층(209)으로서는, 예를 들어, 무기 절연 재료를 사용할 수 있다. 상기 무기 절연 재료로서는, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄 등을 단층 또는 다층으로 형성할 수 있다. 절연층(205) 및 절연층(209)은, 베퍼층으로서 기능한다.

[0159] 절연층(205) 및 절연층(209)의 형성 방법은, 특별히 한정되지 않았지만, 스퍼터링법, 증착법, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프 세트 인쇄 등) 등을 사용하면 좋다.

[0160] 여기서, 도 7의 (A)에 도시된 표시 장치의 제작 방법의 일례에 대하여, 도 7의 (B)를 사용하여 설명한다.

[0161] 도 7의 (B)에 도시된 바와 같이, 제 1 기판(102) 위에 박리층(211)을 형성한다. 다음에, 박리층(211) 위에 절연층(205)을 형성한다.

[0162] 제 1 기판(102)으로서는, 실시형태 1에 기재된 재료를 원용하여 사용할 수 있다.

[0163] 박리층(211)으로서는, 예를 들어, 텅스텐, 몰리브데넘, 타이타늄, 탄탈, 니오븀, 니켈, 코발트, 지르코늄, 아연, 루테늄, 로듐, 팔라듐, 오스뮴, 이리듐, 실리콘으로부터 선택된 원소, 이 원소를 포함하는 합금 재료, 또는 이 원소를 포함하는 화합물 재료를 포함하며, 단층 또는 적층된 구조를 사용할 수 있다. 또한, 실리콘을 포함하는 층의 경우, 상기 실리콘을 포함하는 층의 결정 구조로서는, 비정질, 미결정, 다결정, 단결정의 어느 것이라도 좋다.

[0164] 또한, 제 1 기판(102)과 박리층(211) 사이에, 산화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 질화산화 실리콘막 등의 절연막을 형성하여도 좋다. 이 절연막을 형성하면 제 1 기판(102)에 포함될 수 있는 불순물이 박리층(211) 층에 침입되는 것을 억제할 수 있기 때문에, 적합하다.

[0165] 박리층(211)으로서는, 스퍼터링법, 플라즈마CVD법, 도포법, 인쇄법 등에 의하여 형성할 수 있다. 또한, 도포법은, 스펀 코팅법, 액적 토출법, 디스펜서법을 포함한다.

[0166] 박리층(211)이 단층 구조인 경우, 텅스텐, 몰리브데넘 또는 텅스텐과 몰리브데넘의 혼합물을 포함하는 층을 형성하는 것이 바람직하다. 또한, 텅스텐의 산화물 또는 산화질화물을 포함하는 층, 몰리브데넘의 산화물 또는 산화질화물을 포함하는 층 또는 텅스텐과 몰리브데넘의 혼합물의 산화물 또는 산화질화물을 포함하는 층을 형성하여도 좋다. 또한, 텅스텐과 몰리브데넘의 혼합물이란, 예를 들어, 텅스텐과 몰리브데넘의 합금에 상당한다.

[0167] 또한, 박리층(211)으로서, 텅스텐을 포함하는 층과 텅스텐의 산화물을 포함하는 층의 적층 구조를 형성하는 경우, 텅스텐을 포함하는 층을 형성하고, 이 상층에 산화물을 형성되는 절연층을 형성함으로써, 텅스텐층과 절연층의 계면에, 텅스텐의 산화물을 포함하는 층이 형성되는 것을 활용하여도 좋다. 또한, 텅스텐을 포함하는 층의 표면을 열 산화 처리, 산소 플라즈마 처리, 아산화 질소( $N_2O$ ) 플라즈마 처리, 오존수 등의 산화력이 강한 용액을 사용한 처리 등을 수행하여 텅스텐의 산화물을 포함하는 층을 형성하여도 좋다. 또한 플라즈마 처리나 가열 처리는, 산소, 질소, 아산화 질소 단독, 또는 이 가스와 그 외의 가스의 혼합 기체 분위기하에서 수행하여도 좋다. 상기 플라즈마 처리나 가열 처리에 의하여, 박리층(211)의 표면 상태를 바꿈으로써, 박리층(211)과 나중에 형성되는 절연층(205)의 밀착성을 제어할 수 있다.

[0168] 본 실시형태에서, 박리층(211)으로서, 스퍼터링법에 의하여, 두께 30nm의 텅스텐막을 형성한다.

[0169] 절연층(205)은, 상기 열거한 재료를 사용함으로써 형성할 수 있다. 예를 들어, 본 실시형태에서, 절연층(205)을, 플라즈마 CVD법에 의하여 성막 온도를 250°C 이상 400°C 이하로 하여 형성함으로써, 치밀하며 투수성이 낮은 막으로 할 수 있다. 또한, 절연층(205)의 두께는 10nm 이상 3000nm 이하, 또한 200nm 이상 1500nm 이하가 바람직하다. 본 실시형태에서는, 플라즈마 CVD법에 의하여, 두께 600nm의 산화질화 실리콘막을 형성하고, 그 후, 이 산화질화 실리콘막 위에 두께 200nm의 질화 실리콘막을 형성한다.

[0170] 다음에, 절연층(205) 위에 도전층(104a) 및 도전층(104b)을 형성한다. 이 이후의 공정에 대해서는, 실시형태 1에 나타내는 구성과 같기 때문에, 실시형태 1의 기재를 참조함으로써 형성할 수 있다.

[0171] 다음에, 트랜지스터(150), 용량 소자(152) 등이 형성된 소자 기판 위(도 7의 (B)에서는, 절연층(116) 및 화소 전극층(118))에 접착층이 되는 재료를 도포하고, 상기 접착층을 개재하여 지지 기판과 접합한다. 그리고, 제 1 기판(102) 위에 있는 박리층(211)과 절연층(205) 사이에서 박리하고, 노출된 절연층(205)과 제 1 기판(202)을 접착층(203)을 사용하여 접합한다.

[0172] 또한, 상기 박리층(211)과 절연층(205) 사이에서 박리하는 공정은, 다양한 방법을 적절히 사용할 수 있다. 예를 들어, 박리층(211)으로서, 피박리층(도 7의 (B)에서는 절연층(205), 이하에서 피박리층이라고 기재하는 경우도 있음)과 접하는 층에 금속 산화막을 포함하는 층을 형성한 경우는, 이 금속 산화막을 결정화에 의하여 취약화하여, 피박리층을 제 1 기판(102)으로부터 박리할 수 있다.

[0173] 또한, 제 1 기판(102)으로서, 내열성이 높은 기판을 사용하는 경우, 이 내열성이 높은 기판과 피박리층 사이에, 박리층(211)으로서 수소를 포함하는 비정질 실리콘막을 형성한 경우는 레이저 광의 조사 또는 에칭에 의하여 이 비정질 실리콘막을 제거함으로써, 피박리층을 제 1 기판(102)으로부터 박리할 수 있다.

[0174] 또한, 박리층(211)으로서, 피박리층과 접하는 층에 금속 산화막을 포함하는 층을 형성하고, 상기 금속 산화막을 결정화에 의하여 취약화하고, 또한 박리층의 일부를 용액이나  $NF_3$ ,  $BrF_3$ ,  $ClF_3$  등의 불화 가스를 사용한 에칭으로 제거한 후, 취약화된 금속 산화막에서 박리할 수 있다.

[0175] 또한, 박리층(211)으로서 질소, 산소 및 수소 등을 포함하는 막(예를 들어, 수소를 포함하는 비정질 실리콘막, 수소 함유 합금막, 산소 함유 합금막 등)을 사용하고, 박리층(211)에 레이저 광을 조사하여 박리층(211) 내에 함유하는 질소, 산소 및 수소를 가스로서 방출시킴으로써 피박리층과 기판의 박리를 촉진하는 방법을 사용하여도 좋다.

[0176] 또한, 상기 박리하는 공정을 복수 조합함으로써 더 용이하게 박리를 수행할 수 있다. 예를 들어, 레이저 광의 조사, 가스나 용액 등에 의한 박리층에 대한 에칭, 날카로운 나이프나 메스 등에 의한 기계적인 삭제를 수행하여, 박리층과 피박리층을 박리하기 쉬운 상태로 하고 나서, 물리적인 힘(기계 등에 의함)에 의하여 박리를 수행할 수도 있다.

[0177] 또한, 박리층(211)과 피박리층의 계면에 액체를 침투시켜 제 1 기판(102)으로부터 피박리층을 박리하여도 좋다. 또한, 박리를 수행할 때에, 물 등의 액체를 뿌리면서 박리하여도 좋다. 또한, 박리층(211)을 텅스텐막으로 형성한 경우는, 암모니아수와 과산화 수소수의 혼합 용액에 의하여 텅스텐막을 에칭하면서 박리를 수행하면 좋다.

[0178] 또한, 제 1 기판(102)과 피박리층의 계면에서 박리할 수 있는 경우에는, 박리층(211)을 제공하지 않아도 좋다. 예를 들어, 제 1 기판(102)으로서 유리를 사용하고, 유리에 접하여 폴리아미드 등의 유기 수지를 형성하고, 이 유기 수지 위에 절연막이나 트랜지스터 등을 형성한다. 이 경우, 유기 수지를 가열함으로써, 제 1 기판(102)과 유기 수지의 계면에서 박리할 수 있다. 또는, 제 1 기판(102)과 유기 수지 사이에 금속층을 제공하고, 이 금속

층에 전류를 흘림으로써 이 금속층을 가열하여, 금속층과 유기 수지의 계면에서 박리를 수행하여도 좋다.

[0179] 이상의 공정에 의하여, 제 1 기판(102) 위에 형성되는 트랜지스터(150), 용량 소자(152) 등을 가요성을 갖는 제 1 기판(202)에 전치할 수 있다.

[0180] 또한, 제 2 기판(162)으로부터 제 2 기판(262)에 전치하는 경우에서도, 같은 기법에 의하여 수행할 수 있다.

또한, 제 2 기판(262)에는, 트랜지스터(150), 용량 소자(152) 등의 소자가 형성되지 않기 때문에, 제 2 기판(262) 위에 도전층(164)을 직접 형성하여도 좋다. 이 경우, 접착층(207) 및 절연층(209)이 제공되지 않는 구성이 된다.

[0181] 다음에, 제 1 기판(202)과 제 2 기판(262)을 접합하고, 제 1 기판(202)과 제 2 기판(262) 사이에 액정층(166)을 주입함으로써, 도 7의 (A)에 도시된 표시 장치를 형성할 수 있다.

[0182] 본 실시형태에 나타내는 표시 장치에는, 가요성을 갖는 재료에 의하여 제 1 기판(202) 및 제 2 기판(262)이 사용됨으로써, 가요성을 갖는 표시 장치로 할 수 있다. 또한, 제 1 기판(202) 및 제 2 기판(262)에, 각각 가요성을 가지며, 인성이 높은 재료를 사용하는 경우에는, 내충격성이 우수하며, 파손되기 어려운 표시 장치를 실현할 수 있다.

[0183] 또한, 도 7의 (A)에 도시된 표시 장치로서는, 개구부(134) 및 개구부(136)에서 절연층(116)과 절연층(112)이 접한다. 따라서, 유색층(114)의 밀착성이 향상되기 때문에, 가요성을 갖는 구성에서도, 유색층(114)의 박리를 억제할 수 있다. 이는 본 발명의 일 형태에서 얻어지는 우수한 효과이다. 이와 같이, 본 발명의 일 형태의 표시 장치는, 유색층(114)의 밀착성이 향상됨으로써, 가요성을 갖는 구조에서, 특히 우수한 효과를 갖는다.

[0184] 또한, 다른 도면, 예를 들어, 도 16, 도 17, 도 18, 도 19, 도 20 등에도 가요성을 갖는 재료를 사용하여 구성된 기판을 사용하여도 좋다.

[0185] 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

[0186] (실시형태 3)

[0187] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치에 대하여, 도 8을 사용하여 설명한다. 또한, 실시형태 1 및 실시형태 2에 나타내는 기능과 같은 개소에 대해서는, 같은 부호를 사용하고 그 상세한 설명은 생략한다.

[0188] 도 8의 (A)에 도시된 표시 장치는, 표시 소자의 화소 영역을 갖는 화소부(이하에서, 화소부(302)라고 함)와, 화소부(302) 외측에 배치되고, 화소부(302)를 구동시키기 위한 회로를 갖는 회로부(이하에서, 구동 회로부(304)라고 함)와, 소자의 보호 기능을 갖는 회로(이하에서, 보호 회로부(306)라고 함)와 단자부(307)를 갖는다. 또한, 보호 회로부(306)는, 제공하지 않는 구성으로 하여도 좋다.

[0189] 구동 회로부(304)의 일부 또는 전부는, 화소부(302)와 동일 기판 위에 형성되어 있는 것이 바람직하다. 이로써, 부품수나 단자수를 줄일 수 있다. 구동 회로부(304)의 일부 또는 전부가, 화소부(302)와 동일 기판 위에 형성되지 않는 경우에는, 구동 회로부(304)의 일부 또는 전부는, COG(Chip On Glass)나 TAB(Tape Automated Bonding)에 의하여 실장할 수 있다.

[0190] 화소부(302)는, X행(X는 2 이상의 자연수임) Y열(Y는 2 이상의 자연수임)로 배치된 복수의 표시 소자를 구동시키기 위한 회로(이하에서, 화소 회로(308)라고 함)를 갖고, 구동 회로부(304)는 화소를 선택하는 신호(주사 신호)를 출력하는 회로(이하에서, 게이트 드라이버(304a)라고 함), 화소의 표시 소자를 구동시키기 위한 신호(데이터 신호)를 공급하기 위한 회로(이하에서, 소스 드라이버(304b)라고 함) 등의 구동 회로를 갖는다.

[0191] 게이트 드라이버(304a)는, 시프트 레지스터 등을 갖는다. 게이트 드라이버(304a)는, 단자부(307)를 통하여, 시프트 레지스터를 구동시키기 위한 신호가 입력되고, 신호를 출력한다. 예를 들어, 게이트 드라이버(304a)는, 스타트 월스 신호, 클럭 신호 등이 입력되고, 월스 신호를 출력한다. 게이트 드라이버(304a)는, 주사 신호가 공급되는 배선(이하에서, 게이트선 GL\_1 내지 게이트선 GL\_X라고 함). 또한, 게이트선을 주사선이라고 하는 경우도 있음)의 전위를 제어하는 기능을 갖는다. 또한, 게이트 드라이버(304a)를 복수 제공하고, 복수의 게이트 드라이버(304a)에 의하여, 게이트선 GL\_1 내지 게이트선 GL\_X를 분할하여 제어하여도 좋다. 또는, 게이트 드라이버(304a)는, 초기화 신호를 공급할 수 있는 기능을 갖는다. 다만, 이에 한정되지 않고, 게이트 드라이버(304a)는, 다른 신호를 공급할 수도 있다.

[0192] 소스 드라이버(304b)는, 시프트 레지스터 등을 갖는다. 소스 드라이버(304b)는, 단자부(307)를 통하여, 시프트 레지스터를 구동시키기 위한 신호 외에, 데이터 신호의 바탕이 되는 신호(화상 신호)가 입력된다. 소스 드라이

버(304b)는, 화상 신호를 바탕으로 화소 회로(308)에 기록하는 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(304b)는, 스타트 펠스 신호, 클럭 신호 등이 입력되어 얻어지는 펠스 신호에 따라서, 데이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(304b)는, 데이터 신호가 공급되는 배선(이하에서, 소스선 DL\_1 내지 DL\_Y라고 함. 또한, 소스선을 데이터선이라고 하는 경우도 있음)의 전위를 제어하는 기능을 갖는다. 또는, 소스 드라이버(304b)는, 초기화 신호를 공급할 수 있는 기능을 갖는다. 다만, 이에 한정되지 않고, 소스 드라이버(304b)는, 다른 신호를 공급할 수도 있다.

[0193] 소스 드라이버(304b)는, 예를 들어 복수의 아날로그 스위치 등을 사용하여 구성된다. 소스 드라이버(304b)는, 복수의 아날로그 스위치를 순차적으로 온 상태로 함으로써, 화상 신호를 시분할한 신호를 데이터 신호로서 출력할 수 있다. 또한, 시프트 레지스터 등을 사용하여 소스 드라이버(304b)를 구성하여도 좋다.

[0194] 복수의 화소 회로(308) 각각은, 주사 신호가 공급되는 복수의 게이트선 GL의 하나를 통하여 펠스 신호가 입력되고, 데이터 신호가 공급되는 복수의 소스선 DL의 하나를 통하여 데이터 신호가 입력된다. 또한, 복수의 화소 회로(308) 각각은, 게이트 드라이버(304a)에 의하여 데이터 신호의 데이터의 기록 및 유지가 제어된다. 예를 들어, m행 n열째의 화소 회로(308)는, 게이트선 GL\_m(m은 X 이하의 자연수임)을 통하여 게이트 드라이버(304a)로부터 펠스 신호가 입력되고, 게이트선 GL\_m의 전위에 따라 소스선 DL\_n(n은 Y 이하의 자연수임)을 통하여 소스 드라이버(304b)로부터 데이터 신호가 입력된다.

[0195] 도 8의 (A)에 도시된 보호 회로부(306)는, 예를 들어, 게이트 드라이버(304a)와 화소 회로(308) 사이의 배선인 게이트선 GL에 접속된다. 또는, 보호 회로부(306)는, 소스 드라이버(304b)와 화소 회로(308) 사이의 배선인 소스선 DL에 접속된다. 또는, 보호 회로부(306)는, 게이트 드라이버(304a)와 단자부(307) 사이의 배선에 접속할 수 있다. 또는, 보호 회로부(306)는, 소스 드라이버(304b)와 단자부(307) 사이의 배선에 접속할 수 있다. 또한, 단자부(307)는, 외부의 회로로부터 표시 장치에 전원, 제어 신호 및 화상 신호를 입력하기 위한 단자가 제공된 부분을 말한다.

[0196] 보호 회로부(306)는, 이것에 접속되는 배선에 일정한 범위를 벗어나는 전위가 공급될 때에, 상기 배선과 다른 배선을 도통 상태로 하는 회로이다.

[0197] 도 8의 (A)에 도시된 바와 같이, 화소부(302)와 구동 회로부(304)에 각각 보호 회로부(306)를 제공함으로써, ESD(Electro Static Discharge: 정전기 방전) 등에 의하여 발생하는 과전류에 대한 표시 장치의 내성을 높일 수 있다. 다만, 보호 회로부(306)의 구성은 이에 한정되지 않고, 예를 들어, 게이트 드라이버(304a)에 보호 회로부(306)를 접속하는 구성, 또는 소스 드라이버(304b)에 보호 회로부(306)를 접속하는 구성으로 할 수도 있다. 또는, 단자부(307)에 보호 회로부(306)를 접속하는 구성으로 할 수도 있다.

[0198] 또한, 도 8의 (A)에서는, 게이트 드라이버(304a)와 소스 드라이버(304b)에 의하여 구동 회로부(304)가 형성되어 있는 예를 도시하였지만, 이 구성에 한정되지 않는다. 예를 들어, 게이트 드라이버(304a)만을 형성하고, 별도 준비된 소스 드라이버가 형성된 기판(예를 들어, 단결정 반도체막, 다결정 반도체막으로 형성된 구동 회로 기판)을 실장하는 구성으로 하여도 좋다.

[0199] 또한, 도 8의 (A)에 도시된 복수의 화소 회로(308)는, 예를 들어, 도 8의 (B)에 도시된 구성으로 할 수 있다.

[0200] 도 8의 (B)에 도시된 화소 회로(308)는, 액정 소자(170)와, 트랜지스터(150)와, 용량 소자(152)를 갖는다. 또한, 액정 소자(170), 트랜지스터(150) 및 용량 소자(152)는, 실시형태 1에 나타내는 도 3의 구성의 표시 장치에 제공된 것을 사용할 수 있다.

[0201] 액정 소자(170)의 한 쌍의 전극 중 한쪽의 전위는, 화소 회로(308)의 사양에 따라 적절히 설정된다. 액정 소자(170)는, 기록되는 데이터에 의하여 배향 상태가 설정된다. 또한, 복수의 화소 회로(308)의 각각이 갖는 액정 소자(170)의 한 쌍의 전극 중 한쪽에 공통의 전위(코먼 전위)를 공급하여도 좋다. 또한, 각 행의 화소 회로(308)의 액정 소자(170)의 한 쌍의 전극 중 한쪽에 다른 전위를 공급하여도 좋다.

[0202] 예를 들어, 액정 소자(170)를 구비하는 표시 장치의 구동 방법으로서는, TN 모드, STN 모드, VA 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, MVA 모드, PVA(Patterned Vertical Alignment) 모드, IPS 모드, FFS 모드, 또는 TBA(Transverse Bend Alignment) 모드 등을 사용하여도 좋다. 또한, 표시 장치의 구동 방법으로서는, 상술한 구동 방법 외에, ECB(Electrically Controlled Birefringence) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드 등이 있다. 다만, 이에 한정되지 않고, 액정 소자 및 그 구동 방식

으로서 다양한 것을 사용할 수 있다.

[0203] 또한, 블루상(Blue Phase)을 나타내는 액정과 키랄체를 포함하는 액정 조성물에 의하여 액정 소자를 구성하여도 좋다. 블루상을 나타내는 액정은, 응답 속도가 1msec 이하로 짧다. 또한, 블루상을 나타내는 액정은, 광학적 등방성이기 때문에, 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0204] Ⅲ행 n열째의 화소 회로(308)에서, 트랜지스터(150)의 소스 및 드레인 중 한쪽은, 소스선(DL\_n)에 전기적으로 접속되고, 다른 쪽은 액정 소자(170)의 한 쪽의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(150)의 게이트는, 게이트선 GL\_m에 전기적으로 접속된다. 트랜지스터(150)는, 온 상태 또는 오프 상태가 됨으로써, 데이터 신호의 데이터의 기록을 제어하는 기능을 갖는다.

[0205] 용량 소자(152)의 한 쪽의 전극 중 한쪽은, 전위가 공급되는 배선(이하에서, 전위 공급선 VL)에 전기적으로 접속된고, 다른 쪽은, 액정 소자(170)의 한 쪽의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 전위 공급선 VL의 전위의 값은, 화소 회로(308)의 사양에 따라 적절히 설정된다. 용량 소자(152)는, 기록된 데이터를 유지하는 유지 용량으로서 기능한다.

[0206] 예를 들어, 도 8의 (A)의 화소 회로(308)를 갖는 표시 장치에서는, 게이트 드라이버(304a)에 의하여 각 행의 화소 회로(308)를 순차적으로 선택하고, 트랜지스터(150)를 온 상태로 하여 데이터 신호의 데이터를 기록한다.

[0207] 데이터가 기록된 화소 회로(308)는, 트랜지스터(150)가 오프 상태가 됨으로써 유지 상태가 된다. 이를 행마다 순차적으로 수행함으로써 화상을 표시할 수 있다.

[0208] 본 실시형태에 나타내는 구성은, 다른 실시형태에 나타내는 구성과 적절히 조합하여 사용할 수 있다.

[0209] (실시형태 4)

[0210] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치를 사용할 수 있는 표시 모듈 및 전자 기기에 대하여, 도 9 및 도 10을 사용하여 설명한다.

[0211] 도 9에 도시된 표시 모듈(8000)은, 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백 라이트 유닛(8007), 프레임(8009), 프린트 기판(8010), 배터리(8011)를 갖는다.

[0212] 본 발명의 일 형태의 표시 장치는, 예를 들어, 표시 패널(8006)에 사용할 수 있다.

[0213] 상부 커버(8001) 및 하부 커버(8002)는, 터치 패널(8004) 및 표시 패널(8006)의 크기에 따라, 형상이나 치수를 적절히 변경할 수 있다.

[0214] 터치 패널(8004)은, 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(8006)에 중첩하여 사용할 수 있다. 또한, 표시 패널(8006)의 대향 기판(밀봉 기판)이, 터치 패널 기능을 가질 수도 있다. 또한, 표시 패널(8006)의 각 화소 내에 광 센서를 제공하여, 광학식 터치 패널로 할 수도 있다.

[0215] 백 라이트 유닛(8007)은, 광원(8008)을 갖는다. 또한, 도 9에서, 백 라이트 유닛(8007) 위에 광원(8008)을 배치하는 구성에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어, 백 라이트 유닛(8007)의 단부에 광원(8008)을 배치하고, 또한 광 확산판을 사용하는 구성으로 하여도 좋다.

[0216] 또한, 반사형 액정 표시 장치의 경우, 백 라이트 유닛(8007)은 제공하지 않는 구성으로 하여도 좋다. 한편, 예를 들어, 투과형 액정 표시 장치, 또는 반투과형 액정 표시 장치의 경우, 백 라이트 유닛(8007)은 제공된다.

[0217] 프레임(8009)은, 표시 패널(8006)의 보호 기능 외에, 프린트 기판(8010)의 동작에 의하여 발생하는 전자기파를 차단하기 위한 전자 실드로서 기능한다. 또한 프레임(8009)은, 방열판으로서 기능하여도 좋다.

[0218] 프린트 기판(8010)은, 전원 회로, 비디오 신호 및 클러스터 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로서는, 외부의 상용 전원이어도 좋고, 별도 제공한 배터리(8011)에 의한 전원이어도 좋다. 배터리(8011)는, 상용 전원을 사용하는 경우에는, 생략할 수 있다.

[0219] 또한, 표시 모듈(8000)은, 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 제공하여도 좋다.

[0220] 도 10의 (A) 내지 도 10의 (H)는, 전자 기기를 도시한 도면이다. 이들의 전자 기기는, 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음

성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

[0221] 도 10의 (A)는 모바일 컴퓨터이며, 상술한 것 외에, 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 10의 (B)는 기록 매체를 구비한 휴대형 화상 재생 장치(예를 들어, DVD 재생 장치)이며, 상술한 것 외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 10의 (C)는 고글형 디스플레이이며, 상술한 것 외에, 제 2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 10의 (D)는 휴대형 게임기이며, 상술한 것 외에, 기록 매체 판독부(5011) 등을 가질 수 있다. 도 10의 (E)는, 텔레비전 수상 기능을 구비한 디지털 카메라이며, 상술한 것 외에, 안테나(5014), 셋터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 10의 (F)는, 휴대형 게임기이며, 상술한 것 외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 10의 (G)는, 텔레비전 수상기이며, 상술한 것 외에, 튜너, 화상 처리부 등을 가질 수 있다. 도 10의 (H)는, 휴대형 텔레비전 수상기이며, 상술한 것 외에, 신호를 송수신할 수 있는 충전기(5017) 등을 가질 수 있다.

[0222] 도 10의 (A) 내지 도 10의 (H)에 도시된 전자 기기는, 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용하여 다양한 데이터의 송신 또는 수신을 수행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 갖는 전자 기기에서는, 하나의 표시부에 주로 화상 정보를 표시하고, 다른 하나의 표시부에 주로 문자 정보를 표시하는 기능, 또는, 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 갖는 전자 기기에서는, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 가능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 10의 (A) 내지 도 10의 (H)에 도시된 전자 기기가 가질 수 있는 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0223] 본 실시형태에서 설명한 전자 기기는, 어떤 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다.

[0224] 본 실시형태에 나타내는 구성은, 다른 실시형태에 나타내는 구성과 적절히 조합하여 사용할 수 있다.

[0225] (실시형태 5)

[0226] 본 실시형태에서는, 실시형태 1에 나타내는 표시 장치의 변형에 대하여, 도 21 내지 도 23을 사용하여 이하에서 설명한다. 또한, 실시형태 1에 나타내는 기능과 같은 개소에 대해서는, 같은 부호를 사용하고, 그 상세한 설명은 생략한다.

[0227] 도 21에는, 본 발명의 일 형태의 표시 장치의 일례의 상면도를 도시하였다. 또한, 도 21에 도시된 상면도로서는, 표시 장치의 화소 영역의 일부분(3화소분)이 도시되고, 도면의 번잡을 피하기 위하여, 게이트 절연층 등 일부의 구성 요소를 생략하였다. 또한, 도 23의 (A)는, 도 21에 도시된 일점 쇄선 X6-Y6의 절단면에 상당하는 단면도이다. 또한, 도 23의 (B)는, 도 21에 도시된 일점 쇄선 X7-Y7의 절단면에 상당하는 단면도이다.

[0228] 본 실시형태에서는, 화소 전극층을 반사 전극으로서 사용하고, 대향 기판인 기판(162)에 유색층과 BM(180)과 스페이서(181)가 형성되는 예이고, 유색층의 개구와 중첩되는 위치나 스페이서(181)와 중첩되는 위치를 점선으로 도시하였다.

[0229] 트랜지스터(150)는, 도전층으로서 막 두께 400nm의 텅스텐을 사용하는 것 외에는, 실시형태 1과 같은 구성이기 때문에, 여기서는 상세한 설명은 생략한다. 또한, 트랜지스터(150)의 채널 길이 L은 3  $\mu$ m, 채널 폭 W는 3  $\mu$ m로 한다. 또한, 트랜지스터(150)의 반도체층으로서 스팍터링 장치를 사용하여, 두께 50nm의 In-Ga-Zn 산화물(In:Ga:Zn=1:1:1(atoms%))을 형성한다.

[0230] 또한, 개구부(138)를 통하여 트랜지스터(150)와 전기적으로 접속되는 화소 전극층(118)은, 게이트선(104)의 일부와 중첩되고, 넓은 반사 면적이 확보되어 있다. 또한, 트랜지스터(150)는, BM(180)과 중첩하는 위치가 되도록 위치 맞춤이 행해진다. BM(180)으로서는, 스팍터링 장치를 사용하고, 두께 200nm의 타이타늄막을 형성한다.

[0231] 또한, 본 실시형태에서는, 도 22에 도시된 바와 같이, 화소의 색에 따라, 유색층(114)의 개구부의 형상이 다른 예이다.

[0232] 도 22의 (A)에는, B 화소의 대향 기판 층의 구성을 도시하였다. 도 22의 (A)에서, 화소 영역(120)의 면적에 대

한 유색층(114)의 면적의 비율은, 74.6%이다. 또한, 유색층(114)의 면적은, 화소 영역(120)의 면적에서 BM(180)의 면적을 빼서 산출한다. 또한, 도 22의 (B)에는, R 화소 및 G 화소의 대향 기판 측의 구성을 도시하였다. 도 22의 (B)에서, 화소 영역(120)의 면적에 대한 유색층(114)의 면적의 비율은, 44.4%이다. 이와 같이, R 화소 및 G 화소의 유색층(114)의 상면 형상을 B 화소의 유색층(114)의 상면 형상과 다르게 하여, B 화소의 유색층(114)의 면적을 R 화소의 유색층(114) 또는 G 화소의 유색층(114)보다 크게 함으로써 NTSC비를 유지하면서, 반사율을 개선할 수 있다.

[0233] 또한, 도 22의 (A) 및 도 22의 (B)에서는, 위치 관계를 알기 쉽게 하기 위하여, 도면 중의 쇄선으로 개구부(138)와 중첩하는 영역을 나타내었지만, 실제로는 대향 기판 측의 구성을 개구부(138)가 있는 것은 아니다. 또한, 도 21에서도, 위치 관계를 알기 쉽게 하기 위하여, 점선으로 개구부(136), 스페이서(181)를 도시하였지만 위치를 나타낼 뿐이고, 트랜지스터가 형성되는 기판 측의 구성을 개구부(136)나 스페이서(181)가 있는 것은 아니다.

[0234] 또한, 도 22의 (A) 및 도 22의 (B)에 도시된 개구부의 상면 형상은 일례이고, 특별히 한정되지 않고, 예를 들어, 삼각형, 원형, 타원형, 다각형 등으로 하여도 좋고, 이들을 복수종 조합하여도 좋다. 또한, 적어도 B 화소의 유색층(114)의 개구부의 합계 면적을 R 화소의 유색층(114)의 개구부 및 G 화소의 유색층(114)의 개구부보다 작게 한다.

[0235] 또한, 도 23의 (A)에 도시된 표시 장치는, 제 1 기판(102)과, 제 1 기판(102) 위에 있는 게이트 전극층으로서 기능하는 도전층(104a)과, 도전층(104a)과 동일 공정으로 형성된 도전층(104b)과, 제 1 기판(102), 도전층(104a) 및 도전층(104b) 위에 있는 절연층(106a) 및 절연층(106b)과, 도전층(104a)과 중첩되며, 절연층(106b) 위에 있는 반도체층(108)과, 반도체층(108) 및 절연층(106b) 위에 있는 소스 전극층으로서 기능하는 도전층(110a\_1)과, 반도체층(108) 및 절연층(106b) 위에 있는 드레인 전극층으로서 기능하는 도전층(110a\_2)과, 반도체층(108), 도전층(110a\_1) 및 도전층(110a\_2) 위에 있는 보호 절연막으로서 기능하는 절연층(112)과, 절연층(112) 위에 있는 감광성 수지를 사용하는 절연층(116)과, 절연층(116) 위에 있는 화소 전극층(118)과, 화소 전극층(118) 위에 있는 액정층(166)과, 액정층(166) 위에 있는 대향 전극으로서 기능하는 도전층(164)과, 스페이서(181)와, BM(180)과, 컬러 필터로서 기능하는 유색층(114)과, 유색층(114)을 덮는 오버코트층(182)과, 도전층(164) 위에 있는 대향 기판인 제 2 기판(162)을 갖는다. 이 때, 오버코트층(182)은, 개구부(136)에서 대향 기판인 제 2 기판(162)과 접한다.

[0236] 오버코트층(182)으로서는, 아크릴계 수지 재료를 스판 코터 장치에 의하여 도포하고, 그 후 오븐 장치에 의하여 건조시켜 얻어진 아크릴계 수지막을 사용한다. 또한, 유색층(114)은, 적색(R), 녹색(G), 청색(B)의 3색을 사용하고, 녹색(G), 적색(R), 청색(B)의 순서로 원하는 위치에 노광 및 현상을 수행함으로써 형성한다. 또한, 적색(R), 녹색(G), 청색(B)의 컬러 필터는, 각각 막 두께가 0.8  $\mu$ m가 되도록 형성한다.

[0237] 또한, 도전층(104a), 절연층(106a), 반도체층(108), 도전층(110a\_1) 및 도전층(110a\_2)에 의하여, 트랜지스터(150)가 구성되어 있다. 또한, 도전층(104b), 절연층(106a), 절연층(106b) 및 도전층(110a\_2)에 의하여, 용량 소자(152)가 구성되어 있다. 용량 소자(152)는, 면적이 크며, 용량 소자에 축적하는 전하 용량이 크다. 이 때문에, 화소 전극의 전위를 유지하는 시간을 길게 할 수 있고, 리프레시 레이트를 저감하는 구동 모드를 적용할 수 있다. 또한, 액정 표시 장치에서 리프레시 레이트를 저감하는 구동 모드를 적용한 경우에서도, 액정층에 인가된 전압의 변화를 장시간 억제할 수 있기 때문에, 사용자가 화상의 깜박거림을 지각하는 것을 더 방지할 수 있다. 따라서, 저소비 전력화와 표시 품질의 향상을 도모할 수 있다.

[0238] 여기서, 리프레시 레이트를 저감하는 효과에 관하여 설명한다. 또한, 리프레시 레이트란, 1초당 화상의 전환 횟수이며, 구동 주파수라고 부르는 경우도 있다. 이와 같은 사람 눈으로 지각하기 어려운 고속 화면 전환이, 눈 피로의 원인이라고 생각되고 있다.

[0239] 눈 피로에는, 신경계 피로와 근육계 피로의 2종류가 있다. 신경계 피로는, 장시간 액정 표시 장치의 발광, 점멸 화면을 계속 봄으로써, 그 밝기가 눈 망막 및 신경, 뇌를 자극하여 피로하게 하는 것이다. 근육계 피로는, 핀트를 조절할 때에 사용되는 모양체 근육을 혹사함으로써, 피로하게 하는 것이다.

[0240] 도 27의 (A)에, 종래의 액정 표시 장치의 표시를 나타내는 모식도를 도시하였다. 도 27의 (A)에 도시된 바와 같이, 종래의 액정 표시 장치의 표시에서는, 1초간에 60회의 화상의 재기록이 수행된다. 이와 같은 화면을 장시간 계속 봄으로써, 사용자의 눈 망막 및 신경, 뇌를 자극하여 눈 피로가 발생할 우려가 있었다.

[0241] 본 실시형태에서는, 액정 표시 장치의 화소부의 트랜지스터(150)에, 오프 전류가 매우 낮은 트랜지스터, 예를

들어, 산화물 반도체를 사용한 트랜지스터를 적용한다. 또한, 액정 소자는, 면적이 큰 용량 소자를 갖는다. 이들에 의하여, 용량 소자에 축적된 전하의 누설을 억제할 수 있기 때문에, 프레임 주파수를 낮추어도 액정 표시 장치의 휙도를 유지할 수 있다.

[0242] 즉, 도 27의 (B)에 도시된 바와 같이, 예를 들어, 화상의 재기록 횟수를 5초간에 1회로 줄일 수 있기 때문에, 가능한 한 같은 영상을 볼 수 있고, 사용자에게 시인되는 화면의 깜박거림이 저감된다. 이에 의하여, 사용자의 눈 망막 및 신경, 뇌의 자극이 저감되고, 신경계 피로가 경감된다.

[0243] 본 실시형태는, 눈에 편한 액정 표시 장치를 실현할 수 있다.

[0244] 또한, 리프레시 동작의 전후에 생기는 화상의 변화가 사용자에게 변별되지 않도록 리프레시를 수행할 필요가 있다. 본 실시형태에서 얻어지는 표시 장치는, 리프레시 동작의 전후에 생기는 화상의 변화가 거의 없으며, 양호한 표시를 얻을 수 있다.

[0245] 또한, 제 2 기판(162)에 형성되어 있는 유색층(114)에는, 복수의 개구부(136)가 제공되어 있다. 유색층(114)에 제공된 개구부(136)의 형상이나 면적을 적절히 설계함으로써, 유색층(114)의 색순도를 조정할 수 있다. 이와 같이, 유색층(114)이 개구부(136)를 갖는 구조로 함으로써, 색순도를 조정할 수 있는 신규 표시 장치를 제공할 수 있다.

[0246] 또한, 절연층(112)에는, 개구부(138)가 제공되어 있다. 또한, 화소 전극층(118)은, 개구부(138)를 통하여 트랜지스터(150)의 드레인 전극층으로서 기능하는 도전층(110a\_2)과 접속되어 있다. 절연층(116)에는, 랜덤 요철이 형성되도록 감광성 수지를 사용하여도 좋다. 또한, 랜덤한 요철을 형성하는 경우, 절연층(116)의 표면의 랜덤한 요철을 따라, 화소 전극층(118)이 랜덤한 요철을 갖는 반사 전극이 되고, 시야각 의존성을 개선시킬 수 있다.

[0247] 본 실시형태에서는, 화소 전극층(118)을 반사 전극층으로서 기능시키기 위하여, 반사율이 높은 도전층을 사용한다. 이 반사율이 높은 도전층으로서는, 예를 들어, 알루미늄, 은, 팔라듐, 구리로 이루어지는 단체 금속, 또는 이를 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용한다.

[0248] 도 23의 (B)는, 게이트선(104)과, 소스선(110)으로서 기능하는 도전층(110a\_2)과 교차하는 영역의 단면도이다.

[0249] 또한, 도 23의 (B)에 도시된 표시 장치에서, 제 1 기판(102)과, 제 1 기판(102)과 대향하는 제 2 기판(162) 사이의 간격을 스페이서(181)가 유지되어 있다. 배향막을 형성하는 경우에는, 유기 수지막을 사용하여 패터닝하여 스페이서로 한 후, 또는 감광성 수지를 사용하여 기동 형상 구조를 형성함으로써 스페이서로 한 후, 배향막을 형성하면 좋다.

[0250] 도 23의 (B)에 도시된 바와 같이, BM(180)을 형성함으로써, 게이트선(104) 또는 도전층(110a\_2)에 기인하는 표면 반사를 억제할 수 있다.

[0251] 이와 같이, 적어도 반사 영역 이외의 개소는 BM(180)을 형성하는 것이 바람직하다.

[0252] 본 실시형태는, 다른 실시형태와 자유롭게 조합할 수 있다.

[0253] (실시예 1)

[0254] 본 실시예에서는, 본 발명의 일 형태인 표시 장치를 제작하고, 광학 현미경에 의한 관찰 및 단면 관찰을 수행하였다. 이하에 본 실시예에서 제작한 시료의 상세에 대하여 설명한다.

[0255] 또한, 본 실시예에서는, 도 1 내지 도 3에 도시된 표시 장치와 같은 구조의 표시 장치를 제작하였다. 따라서, 도 1 내지 도 3에서 도시된 것과 같은 기능을 갖는 경우, 같은 부호를 사용한다.

[0256] 본 실시예에서 관찰한 시료의 제작 방법에 대하여, 이하에서 설명한다.

[0257] 제 1 기판(102)으로서는, 유리 기판을 사용하였다. 그 후, 제 1 기판(102) 위에 도전층(104a), 도전층(104b) 및 도전층(104c)을 형성하였다. 도전층(104a), 도전층(104b) 및 도전층(104c)으로서는, 스퍼터링법에 의하여 텅스텐막(W)을 200nm 형성하였다.

[0258] 그 후, 제 1 기판(102), 도전층(104a), 도전층(104b) 및 도전층(104c) 위에 게이트 절연층으로서 기능하는 절연층(106a) 및 절연층(106b)을 형성하였다. 절연층(106a)으로서는, 두께 400nm의 질화 실리콘막을, 절연층(106b)으로서는, 두께 50nm의 산화질화 실리콘막을 각각 형성하였다.

- [0259] 또한, 절연층(106a)의 질화 실리콘막은, 제 1 질화 실리콘막, 제 2 질화 실리콘막 및 제 3 질화 실리콘막의 3층 적층 구조로 하였다.
- [0260] 제 1 질화 실리콘막으로서는, 유량 200sccm의 실레인, 유량 2000sccm의 질소 및 유량 100sccm의 암모니아 가스를 원료 가스로서 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하여, 두께가 50nm가 되도록 형성하였다. 제 2 질화 실리콘막으로서는, 유량 200sccm의 실레인, 유량 2000sccm의 질소 및 유량 2000sccm의 암모니아 가스를 원료 가스로서 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하여, 두께가 300nm가 되도록 형성하였다. 제 3 질화 실리콘막으로서는, 유량 200sccm의 실레인 및 유량 5000sccm의 질소를 원료 가스로서 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하여, 두께가 50nm가 되도록 형성하였다. 또한, 제 1 질화 실리콘막, 제 2 질화 실리콘막 및 제 3 질화 실리콘막 형성 시의 기판 온도는 350°C로 하였다.
- [0261] 절연층(106b)으로서 형성한 산화질화 실리콘막은, 유량 20sccm의 실레인, 유량 3000sccm의 일산화이질소를 원료 가스로서 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 40Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 100W의 전력을 공급하여 형성하였다. 또한, 산화질화 실리콘막 형성 시의 기판 온도는 350°C로 하였다.
- [0262] 다음에, 절연층(106a) 및 절연층(106b)을 개재하여 도전층(104a)과 중첩되는 위치에 반도체층(108)을 형성하였다. 반도체층(108)으로서는, 두께 35nm의 산화물 반도체막을 스퍼터링법으로 형성하였다.
- [0263] 산화물 반도체막은, 스퍼터링 타깃을 In:Ga:Zn=1:1:1(원자수비)의 금속 산화물 타깃으로 하고, 유량 100sccm의 산소 및 유량 100sccm의 아르곤을 스퍼터링 가스로서 스퍼터링 장치의 반응실 내에 공급하고, 반응실내의 압력을 0.6Pa로 제어하고, 2.5kW의 교류 전력을 공급하여 형성하였다. 또한, 산화물 반도체막을 형성할 때의 기판 온도를 170°C로 하였다.
- [0264] 다음에, 절연층(106a) 및 절연층(106b)의 원하는 위치에 개구부(132)를 형성하였다. 또한, 개구부(132)는, 도전층(104b)에 이른다.
- [0265] 개구부(132)는, 드라이 에칭 장치를 사용하여 형성하였다.
- [0266] 다음에, 반도체층(108), 절연층(106a) 및 절연층(106b) 위에 도전층을 형성하였다. 상기 도전층으로서 두께 50nm의 텅스텐막 위에 두께 400nm의 알루미늄막을 형성하고, 이 알루미늄막 위에 두께 100nm의 타이타늄막을 형성하였다.
- [0267] 다음에, 상기 두께 100nm의 타이타늄막을 원하는 영역 이외를 드라이 에칭 장치로 제거하여, 도전층(110\_1)을 형성하였다. 또한, 도전층(110\_1)으로서는, 두께 100nm의 타이타늄막이 된다.
- [0268] 다음에, 상기 두께 50nm의 텅스텐막과 두께 400nm의 알루미늄막을 원하는 형상으로 드라이 에칭 장치로 가공하여, 도전층(110a\_1), 도전층(110a\_2), 도전층(110a\_3), 도전층(110a\_4), 도전층(110b\_1), 도전층(110b\_2), 도전층(110b\_3) 및 도전층(110b\_4)을 형성하였다. 또한, 도전층(110a\_1), 도전층(110a\_2), 도전층(110a\_3) 및 도전층(110a\_4)으로서는, 두께 50nm의 텅스텐막이 된다. 또한, 도전층(110b\_1), 도전층(110b\_2), 도전층(110b\_3) 및 도전층(110b\_4)으로서는, 두께 400nm의 알루미늄막이 된다.
- [0269] 또한, 도전층(110a\_1) 및 도전층(110b\_1)은, 트랜지스터의 소스 전극층으로서 기능하고, 도전층(110a\_2) 및 도전층(110b\_2)은, 트랜지스터의 드레인 전극층으로서 기능하고, 도전층(110a\_3) 및 도전층(110b\_3)은, 반사 전극층으로서 기능하고, 도전층(110a\_4) 및 도전층(110b\_4)은, 소스선의 일부로서 기능한다.
- [0270] 다음에, 반도체층(108), 도전층(110b\_1), 도전층(110b\_2), 도전층(110b\_3) 및 도전층(110c\_1)을 덮도록 절연층(112)을 형성하였다.
- [0271] 절연층(112)으로서는, 제 1 산화물 절연막, 제 2 산화물 절연막 및 질화물 절연막의 3층의 적층 구조를 형성하였다.
- [0272] 제 1 산화물 절연막으로서는, 두께 50nm의 산화질화 실리콘막을 형성하였다. 제 2 산화물 절연막으로서는, 두께 400nm의 산화질화 실리콘막을 형성하였다. 또한, 제 1 산화물 절연막과 제 2 산화물 절연막은, 대기에 노출시키지 않고, 진공 중에서 연속적으로 플라즈마 CVD 장치에 의하여 형성하였다. 또한, 제 1 산화물 절연막과

제 2 산화물 절연막은 같은 종류의 재료에 의하여 형성하기 때문에, 그 계면이 명확하게 알 수 없는 경우가 있다.

[0273] 제 1 산화물 절연막은, 유량 30sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로 하고, 반응실의 압력을 40Pa, 기판 온도를 220°C로 하고, 150W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여 형성하였다.

[0274] 제 2 산화물 절연막은, 유량 160sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로 하고, 반응실의 압력을 200Pa, 기판 온도를 220°C로 하고, 1500W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여 형성하였다. 상기 조건에 의하여, 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하고, 가열에 의하여 산소의 일부가 이탈되는 산화질화 실리콘막을 형성할 수 있다.

[0275] 다음에, 가열 처리를 수행하고, 제 1 산화물 절연막 및 제 2 산화물 절연막으로부터 물, 질소, 수소 등을 이탈 시킴과 함께, 제 2 산화물 절연막에 포함되는 산소의 일부를 반도체층(108)으로서 사용한 산화물 반도체막에 공급하였다. 여기서는, 질소 및 산소 분위기에서 350°C, 1시간의 가열 처리를 수행하였다.

[0276] 다음에, 제 2 산화물 절연막 위에 두께 100nm의 질화물 절연막을 형성하였다. 질화물 절연막으로서는, 두께 100nm의 질화 실리콘막을 형성하였다. 또한, 질화물 절연막은, 유량 50sccm의 실레인, 유량 5000sccm의 질소 및 유량 100sccm의 암모니아 가스를 원료 가스로 하고, 반응실의 압력을 100Pa, 기판 온도를 350°C로 하고, 1000W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여 형성하였다.

[0277] 다음에, 절연층(112) 위의 원하는 영역에 유색층(114)을 형성하였다.

[0278] 유색층(114)으로서는, 착색 재료가 분산된 감광성 수지 용액을 사용하고, 이 감광성 수지 용액을 스픬 코터 장치에 의하여 도포하고, 그 후 오븐 장치에 의하여 건조시켜 감광성 수지막을 형성하였다. 이 감광성 수지막은, 소위 컬러 필터로서 기능한다. 또한, 본 실시예에서는, 컬러 필터는, 적색(R), 녹색(G), 청색(B)의 3색을 사용하고, 녹색(G), 적색(R), 청색(B) 순서로 원하는 위치에 노광 및 현상을 수행함으로써 형성한다. 또한, 적색(R), 녹색(G), 청색(B)의 컬러 필터는, 각각 막 두께가 0.8μm가 되도록 형성하였다. 또한, 유색층(114)으로서는, 상기 각 색 모두 개구부(134)와 개구부(136)가 제공되도록 형성하였다.

[0279] 다음에, 절연층(112) 및 유색층(114) 위에 오버코트로서 기능하는 절연층(116)을 형성하였다. 또한, 절연층(116)으로서는, 아크릴계 수지 재료를 스픬 코터 장치에 의하여 도포하고, 그 후 오븐 장치에 의하여 건조시켜 아크릴계 수지막을 형성하였다. 또한, 절연층(116)은, 막 두께가 2.5μm가 되도록 형성하였다. 또한, 절연층(116)은, 유색층(114)의 개구부(134)의 내측에 개구부가 제공되도록 형성하였다.

[0280] 다음에, 절연층(112)의 개구부(134)와 중첩되는 위치에 개구부(138)를 형성하였다. 개구부(138)는, 도전층(110c\_1)에 이르도록 형성하였다. 또한, 개구부(138)의 형성은, 드라이 에칭 장치를 사용하였다.

[0281] 다음에, 개구부(138)를 덮도록, 절연층(116) 위에 화소 전극층(118)을 형성하였다. 화소 전극층(118)으로서는, 스퍼터링법에 의하여 두께 100nm의 산화 인듐-산화 주석-산화 실리콘 화합물(ITO-SiO<sub>2</sub>, 이하에서 ITSO)의 도전막을 형성하였다. 또한, 상기 도전막에 사용한 타깃의 조성은, In<sub>2</sub>O<sub>3</sub>:SnO<sub>2</sub>:SiO<sub>2</sub>=85:10:5[중량%]로 하였다.

[0282] 이상의 공정에 의하여, 제 1 기판(102) 위에 소자를 제작하였다. 이를 시료로 하고, 광학 현미경 관찰을 수행하였다.

[0283] 또한, 본 실시예에서는, 제 1 기판(102) 위에 형성된 소자의 관찰을 수행하기 위하여, 절연층(116) 및 화소 전극층(118) 상방에 형성되는 액정층(166), 도전층(164), 제 2 기판(162)을 형성하지 않는 구조로 하였다.

[0284] 본 실시예에서 제작한 시료의 광학 현미경 사진을 도 11의 (A), 도 11의 (B) 및 도 11의 (C)에 도시하였다. 도 11의 (A), 도 11의 (B) 및 도 11의 (C)에 도시된 광학 현미경 사진은, 반사의 명시영상이다.

[0285] 또한, 도 11의 (A), 도 11의 (B) 및 도 11의 (C)는, 실시형태 1의 도 2의 (A), 도 2의 (B) 및 도 2의 (C)에 도시된 바와 같이, 유색층(114)의 개구부(134)와 개구부(136)의 형상 및 배치를 다르게 한 시료의 광학 현미경 사진이다. 또한, 유색층(114)의 개구부(134)와 개구부(136)의 형상 및 배치의 변경 방법으로서는, 노광 마스크의 형상을 바꿈으로써 수행하였다.

[0286] 도 11의 (A), 도 11의 (B) 및 도 11의 (C)에 도시된 바와 같이, 유색층(114)의 개구부(134) 및 개구부(136)가 어느 형상에서도, 유색층(114)의 박리가 보이지 않고, 양호한 형상인 것이 확인되었다. 또한, 목시에 의한 관

찰에서는, 도 11의 (A), 도 11의 (B) 및 도 11의 (C) 모두가 양호한 색순도인 것이 확인되었다.

[0287] 또한, 도 11의 (A), 도 11의 (B) 및 도 11의 (C)는, 대략 화소 3개분의 상면을 관찰한 것이다. 도 11의 (A), 도 11의 (B) 및 도 11의 (C)에서, 각각, 상단이 유색층(114)으로서 적색(R)의 컬러 필터를 사용한 화소 영역, 중단이 유색층(114)으로서 녹색(G)의 컬러 필터를 사용한 화소 영역, 하단이 유색층(114)으로서 청색(B)의 컬러 필터를 사용한 화소 영역을 각각 관찰하였다.

[0288] 또한, 도 11의 (A)에 도시된 유색층(114)의 면적률은, 반사 전극층으로서 사용한 도전층(110b\_3)의 1화소당에 차지하는 면적에 대하여 76%이었다. 또한, 도 11의 (B)에 도시된 유색층(114)의 면적률은, 반사 전극층으로서 사용한 도전층(110b\_3)의 1화소당에 차지하는 면적에 대하여 63%이었다. 또한, 도 11의 (C)에 도시된 유색층(114)의 면적률은, 반사 전극층으로서 사용한 도전층(110b\_3)의 1화소당에 차지하는 면적에 대하여 41%이었다. 이와 같이, 유색층(114)의 개구부(136)의 형상 및 배치를 바꿈으로써, 유색층(114)의 면적률을 간편하게 변경할 수 있었다.

[0289] 다음에, 본 실시예에서 제작한 시료의 단면 관찰 결과를 도 12, 도 13의 (A) 및 도 13의 (B)에 도시하였다. 또한, 단면 관찰로서는, 투과형 전자 현미경(TEM: Transmission Electron Microscope)을 사용하였다. 또한, 도 12는, 2장의 TEM상을 일부 겹쳐 표시시켰다. 또한, 도 12, 도 13의 (A) 및 도 13의 (B)에서, 계면 등을 명확하게 도시하기 위하여, 밝기 및 콘트라스트 등을 조정하였다.

[0290] 또한, 도 12는, 도 11의 (A)에 도시된 일점 쇄선 X3-Y3의 단면 결과이다. 또한, 도 13의 (A)는, 도 11의 (A)에 도시된 일점 쇄선 X4-Y4의 단면 결과이다. 또한, 도 13의 (B)는, 도 11의 (A)에 도시된 일점 쇄선 X5-Y5의 단면 결과이다.

[0291] 또한, 도 12, 도 13의 (A) 및 도 13의 (B)에서, Sub.는, 제 1 기판(102)을 나타냈다. 또한, GI은, 게이트 절연층으로서 기능하는 절연층(106a) 및 절연층(106b)을 나타냈다. 또한, SiON은, 절연층(112)으로서 사용한 산화질화 실리콘막을 나타내고, SiN은, 절연층(112)으로서 사용한 질화 실리콘막을 나타냈다. 또한, W는, 도전층(104a), 도전층(104b), 도전층(104c), 도전층(110a\_1), 도전층(110a\_2), 도전층(110a\_3) 및 도전층(110a\_4)으로서 사용한 텅스텐막을 나타내고, Al은, 도전층(110b\_1), 도전층(110b\_2), 도전층(110b\_3) 및 도전층(110b\_4)으로서 사용한 알루미늄막을 나타내고, Ti는, 도전층(110c\_1)으로서 사용한 타이타늄막을 나타냈다. 또한, IGZO는, 반도체층(108)으로서 사용한 산화물 반도체막을 도시하였다. 또한, CF(R)는, 적색의 유색층(114)을 나타내고, CF(G)는, 녹색의 유색층(114)을 나타내고, CF(B)는, 청색의 유색층(114)을 나타냈다. 또한, OC는, 오버코트로서 기능하는 절연층(116)으로서 사용한 아크릴계 수지막을 나타냈다. 또한, ITSO는, 화소 전극층(118)으로서 사용한 산화 인듐-산화 주석-산화 실리콘 화합물막을 나타냈다. 또한, Pt는, 단면 관찰용 도전막으로서 사용한 백금 코팅을 나타내고, C는, 단면 관찰용 도전막으로서 사용한 카본 코팅을 나타냈다.

[0292] 도 12, 도 13의 (A) 및 도 13의 (B)에 도시된 TEM상의 결과에 의하여, 본 실시예의 표시 장치는, 양호한 단면 형상이 얻어지는 것이 확인되었다.

[0293] 또한, 도 13의 (A)에 도시된 TEM상의 결과로부터 알 수 있듯이, 본 실시예의 표시 장치는, 반사 영역 이외의 개소인 게이트선, 소스선, 또는 게이트선과 소스선이 교차하는 영역 위에서, 유색층(114)으로서 사용한 컬러 필터 CF(G)와 컬러 필터 CF(R)가 적층하여 제공되어 있다. 또한, 본 실시예의 표시 장치는, 반사 영역 이외의 개소인 게이트선, 소스선, 또는 게이트선과 소스선이 교차하는 영역 위에서, 유색층(114)으로서 사용한 컬러 필터 CF(R)와 컬러 필터 CF(B)가 적층되어 제공되어 있다.

[0294] 또한, 도 13의 (B)에 도시된 TEM상의 결과로부터 알 수 있듯이, 본 실시예의 표시 장치는, 유색층(114)으로서 사용한 컬러 필터 CF(G)가 개구부를 갖고, 이 개구부에서, 절연층(112)으로서 사용한 질화 실리콘막(SiN)과 오버코트층(OC)으로서 기능하는 절연층(116)으로서 사용한 아크릴계 수지막이 접하는 구조이었다. 따라서, 유색층(114)의 밀착성이 향상되고, 막 박리 등이 없고 양호한 단면 형상인 것을 확인할 수 있었다.

[0295] 이상, 본 실시예에 나타낸 구성은, 다른 실시형태에 나타낸 구성과 적절히 조합하여 사용할 수 있다.

[0296] (실시예 2)

[0297] 본 실시예에서는, 본 발명의 일 형태인 표시 장치를 제작하고, 영상 표시되어 있는 화소 영역의 사진 촬영이나, 반사율의 측정을 수행하였다. 이하에 본 실시예에서 제작한 시료의 상세에 대하여 설명한다.

[0298] 또한, 본 실시예에서는, 실시형태 5에 나타낸 도 21 내지 도 23에 도시된 표시 장치를 실제로 제작하였다. 또한, 유색층의 형상이 R, G, B의 화소에서 모두 같은 표시 장치도 제작하였다. 본 실시예에서는, 색이 다른 유

색층에서 개구의 형상을 일부 변경한 레이아웃으로 하고, 유색층을 대향 기판 위에 형성하고, 화소 전극을 반사 전극으로서 사용하는 레이아웃 등 화소 구성의 레이아웃이 일부 다른 것 이외는, 도 1 내지 도 3에 도시된 표시 장치와 동일하기 때문에, 도 1 내지 도 3에서 도시된 것과 같은 기능을 갖는 경우, 같은 부호를 사용한다.

[0299] 제작한 2종류의 시료인 표시 패널을 도 24의 (A)에 도시된 바와 같이, 측정 장치(LCD 평가 장치: 제품명 LCD-7200)를 사용하여 디텍터를 표시 패널의 중앙에 중첩되는 위치로 하여, 표시 패널면에 대하여 수직으로 설치하고, 패널의 중앙에 광원으로부터 광이 15도 이상 70도 이하의 범위에서 조사되도록 변화시켜 반사율을 측정하였다. 그 결과를 도 24의 (B)에 나타내고 있다.

[0300] 도 24의 (B)에서 상방의 곡선 데이터가 실시형태 5에 도시된 표시 장치이고, 하방의 곡선 데이터는, R, G, B의 화소에서 유색층의 형상이 동일하며, 도 22의 (A)에 도시된 유색층의 형상으로 한 표시 장치이다.

[0301] 또한, 실시형태 5에 도시된 표시 장치의 표시를 촬영한 사진이, 도 25의 (A)이다.

[0302] 또한, 2종류의 표시 장치의 특성값을 표로 나타낸 도면이 도 25의 (B)이다. 도 25의 (B)에서, 실시형태 5에 도시된 표시 장치는 높은 반사율을 갖기 때문에, 고반사 LCD(High reflective LCD)로 표기하고, 다른 한쪽의 표시 장치를 고색 영역 LCD(High color gamut LCD)로 표기한다.

[0303] 또한, 이들의 패널에 터치 패널을 탑재하고, 터치 입력할 수 있는 표시 장치로 할 수도 있다. 도 26에 터치 패널로 한 경우의 구성예의 모식도를 도시하였다. 도 26에 도시된 바와 같이, 표시 장치는, 기판(102) 위에 있는 화소 전극층(118)과, 화소 전극층(118) 위에 중첩되는 유색층(114), 다른 색의 유색층(114) 사이에 있는 BM(180)과, 기판(162)과, 기판(102)과 기판(162) 사이에 있는 액정과, 기판(162) 위에 있는 광학 필름(183)과, 터치 패널(184)과, 편광 필름(185)을 갖는 구조가 된다. 또한, 도 26에서 기판(102) 위에 형성되어 있는 화소 전극층(118)과 전기적으로 접속되는 트랜지스터는 도시하지 않았다.

[0304] 또한, 도 24 및 도 25의 데이터는, 터치 패널을 탑재하기 전에 측정한 데이터이다.

[0305] 이들의 데이터로부터 알 수 있는 바와 같이 고정밀도로 표시할 수 있는 반사형 액정 표시 장치를 실현할 수 있다.

[0306] 또한, 이들의 표시 패널은 전하 용량이 큰 용량 소자를 갖기 때문에, 화소 전극의 전위를 유지하는 시간을 길게 할 수 있고, 리프레시 레이트를 저감하는 구동 모드를 적용할 수 있다. 또한, 액정 표시 장치에서 리프레시 레이트를 저감하는 구동 모드를 적용한 경우에서도, 액정층에 인가된 전압의 변화를 장기간 억제할 수 있기 때문에, 사용자가 화상의 깜박거림을 지각하는 것을 더 방지할 수 있다. 따라서, 저소비 전력화와 표시 품질의 향상을 도모할 수 있다.

[0307] 본 실시예의 표시 장치에서, 리프레시 동작의 전후에 생기는 화상의 변화를 확인한 결과를 도 28에 나타내고 있다. 도 28에 도시된 바와 같이, 리프레시 동작의 전후에 생기는 화상의 변화는, 백색 표시, 회색 표시, 흑색 표시 중 어느 것에서도 거의 없다.

[0308] 본 실시예의 표시 장치는, 리프레시 레이트를 1Hz 이하로 저감하는 구동 모드를 적용할 수 있고, 눈에 편한 반사형 액정 표시 장치로 할 수 있다. 또한, 본 실시예의 표시 장치는, 저소비 전력도 실현한 반사형 액정 표시 장치라고 할 수도 있다.

## 부호의 설명

[0309] 102: 기판

104: 게이트선

104a: 도전층

104b: 도전층

104c: 도전층

106a: 절연층

106b: 절연층

108: 반도체층

109a: 도전총

109b: 도전총

109c: 도전총

110: 소스선

110\_1: 도전총

110a\_1: 도전총

110a\_2: 도전총

110a\_3: 도전총

110a\_4: 도전총

110b\_1: 도전총

110b\_2: 도전총

110b\_3: 도전총

110b\_4: 도전총

110c\_1: 도전총

112: 절연총

114: 유색총

114a: 유색총

114b: 유색총

116: 절연총

118: 화소 전극총

118a: 도전총

120: 화소 영역

132: 개구부

134: 개구부

136: 개구부

138: 개구부

141: 영역

142: 영역

150: 트랜지스터

152: 용량 소자

162: 기판

164: 도전총

166: 액정총

170: 액정 소자

180: BM

181: 스페이서

- 182: 오버코트총
- 183: 광학 필름
- 184: 터치 패널
- 185: 편광 필름
- 199: 도전총
- 199a: 도전총
- 199b: 도전총
- 199c: 도전총
- 202: 기판
- 203: 접착총
- 205: 절연총
- 207: 접착총
- 209: 절연총
- 211: 박리총
- 262: 기판
- 302: 화소부
- 304: 구동 회로부
- 304a: 게이트 드라이버
- 304b: 소스 드라이버
- 306: 보호 회로부
- 307: 단자부
- 308: 화소 회로
- 400: 반사 영역
- 401: 투과 영역
- 5000: 하우징
- 5001: 표시부
- 5002: 표시부
- 5003: 스피커
- 5004: LED 램프
- 5005: 조작 키
- 5006: 접속 단자
- 5007: 센서
- 5008: 마이크로폰
- 5009: 스위치
- 5010: 적외선 포트
- 5011: 기록 매체 판독부

5012: 지지부

5013: 이어폰

5014: 인태나

5015: 셔터 버튼

5016: 수상부

5017: 충전기

8000: 표시 모듈

8001: 상부 커버

8002: 하부 커버

8003: FPC

8004: 터치 패널

8005: FPC

8006: 표시 패널

8007: 백 라이트 유닛

8008: 광원

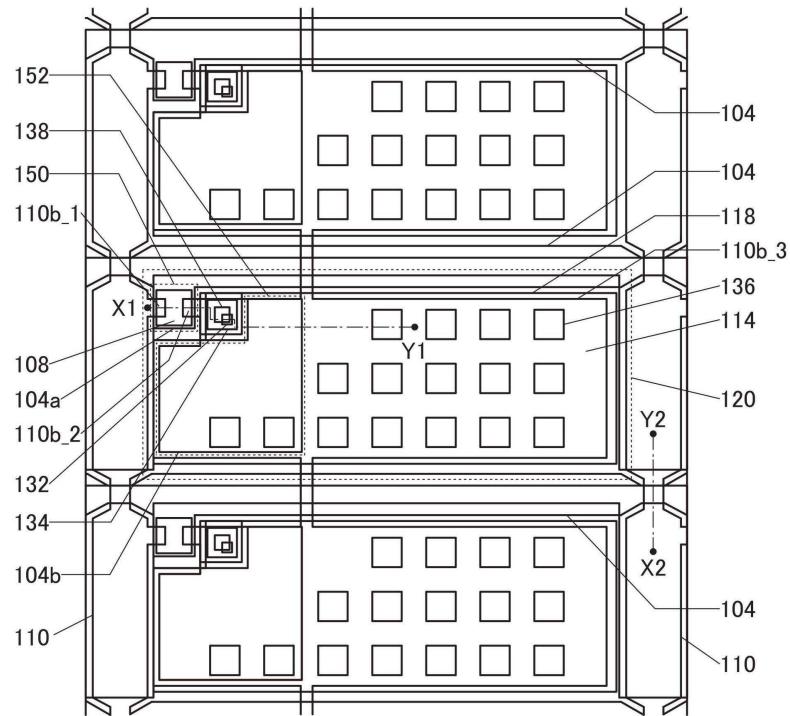
8009: 프레임

8010: 프린트 기판

8011: 배터리

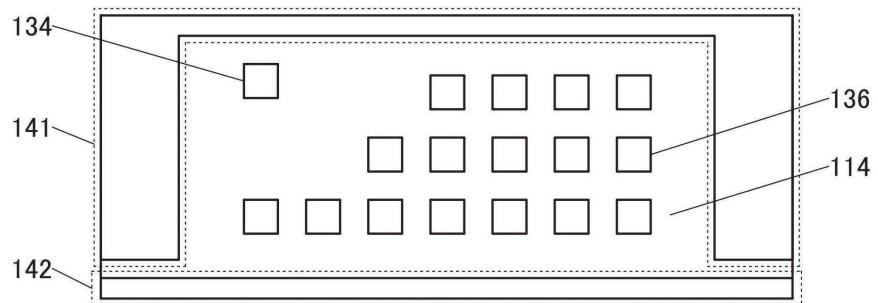
도면

도면1

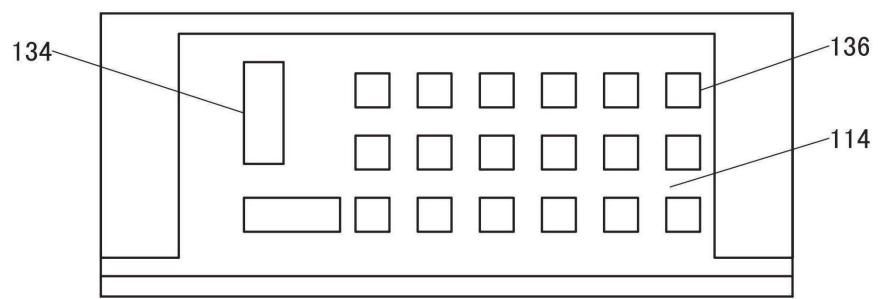


도면2

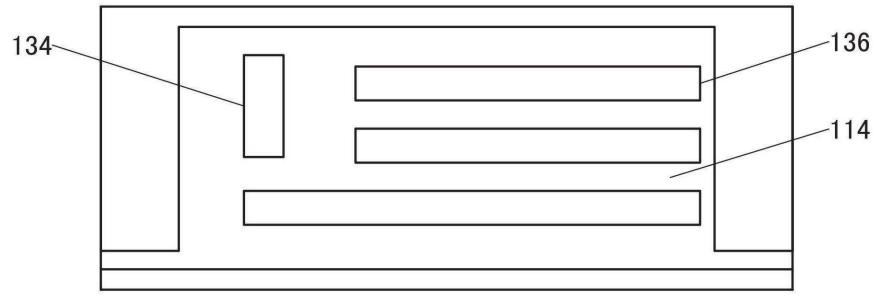
(A)



(B)

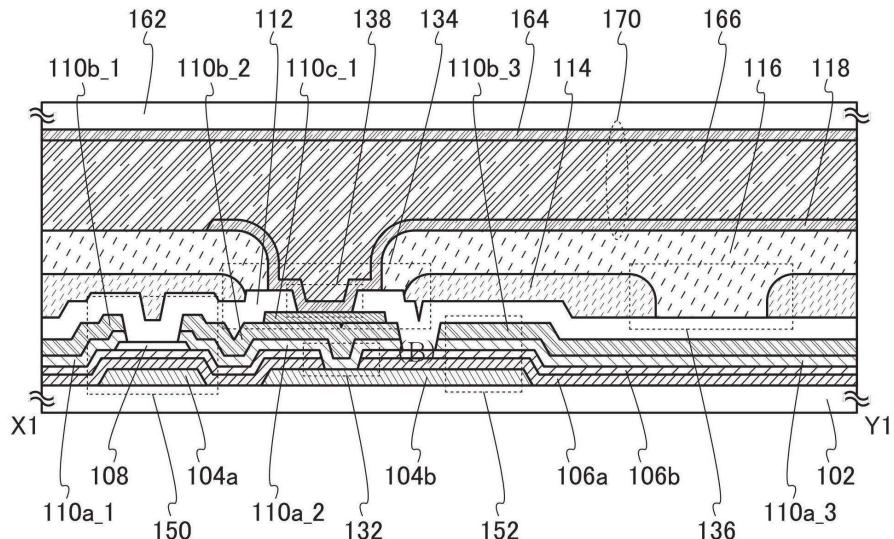


(C)

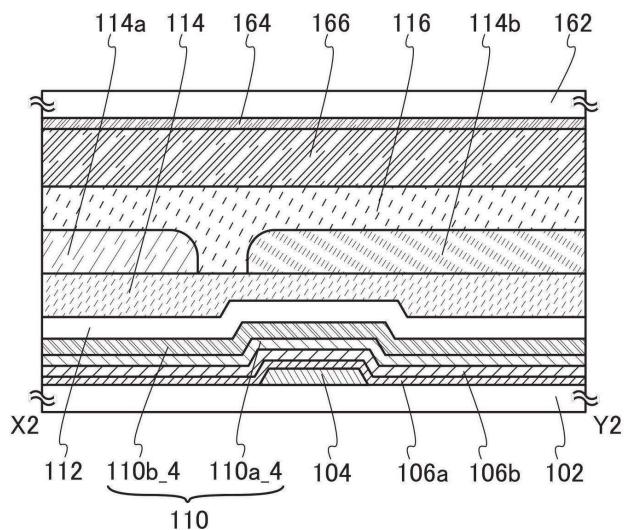


## 도면3

(A)

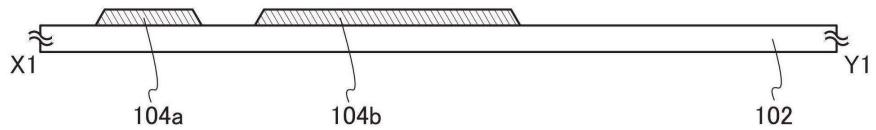


(B)

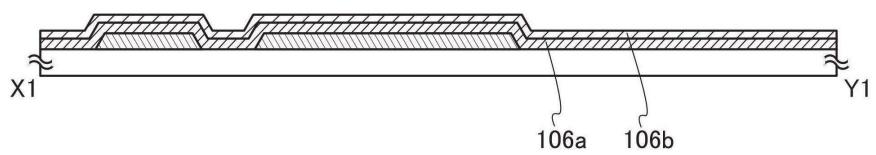


도면4

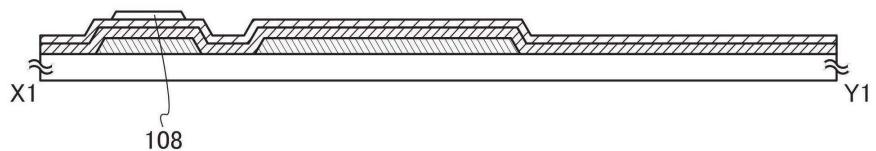
(A)



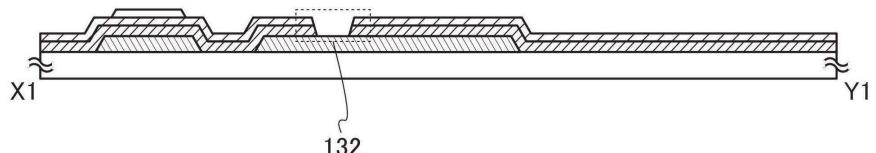
(B)



(C)

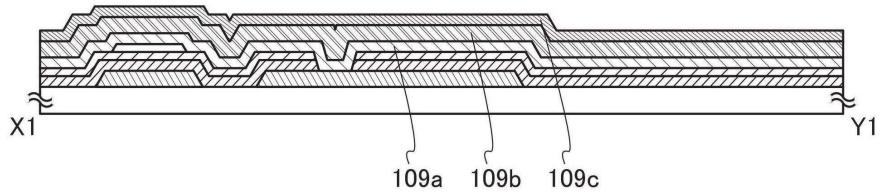


(D)

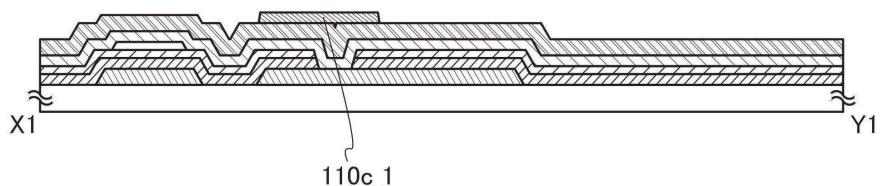


도면5

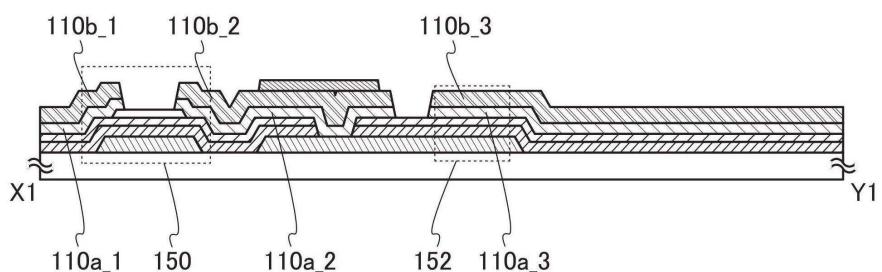
(A)



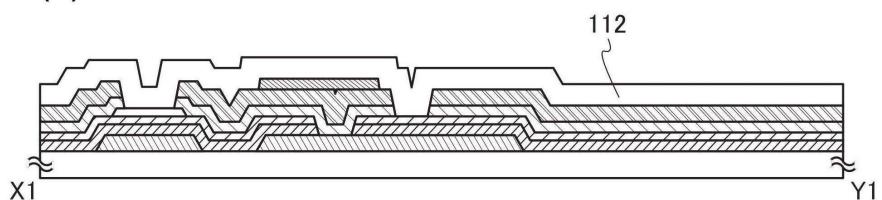
(B)



(C)

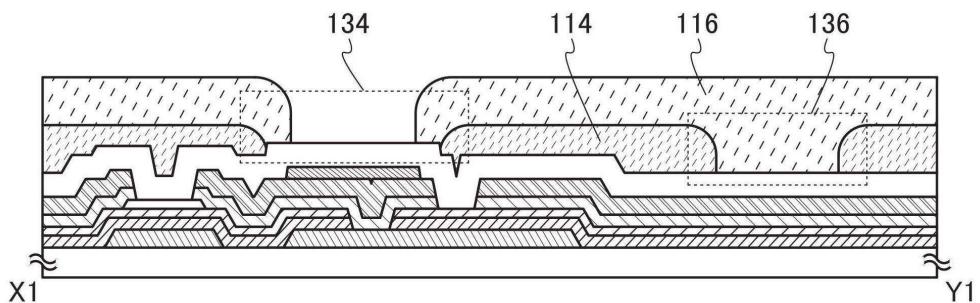


(D)

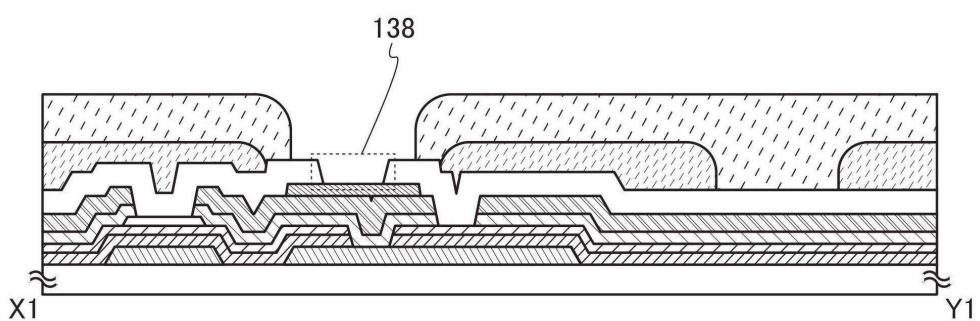


도면6

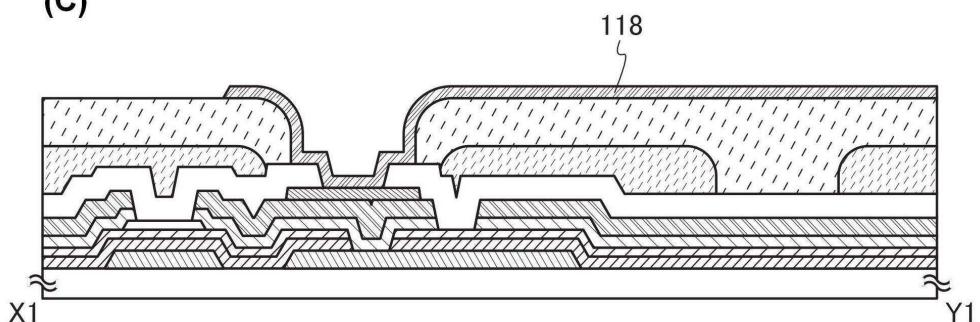
(A)



(B)

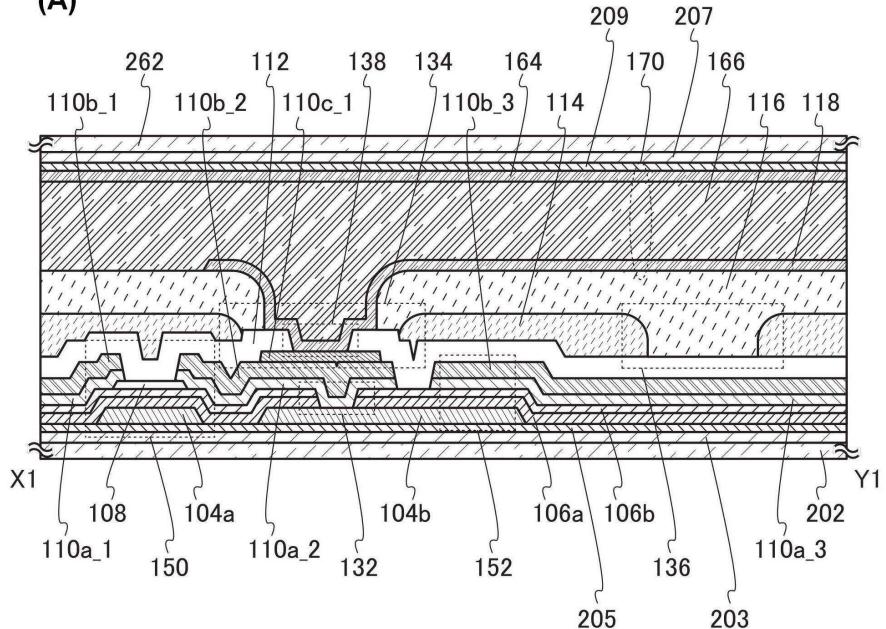


(C)

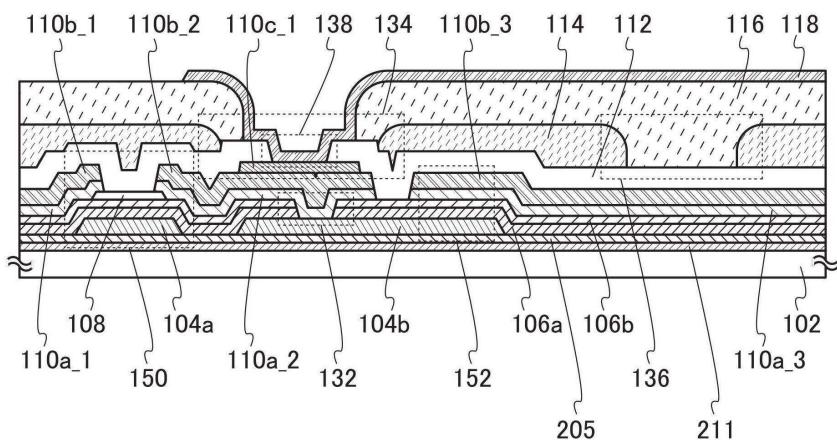


## 도면7

(A)

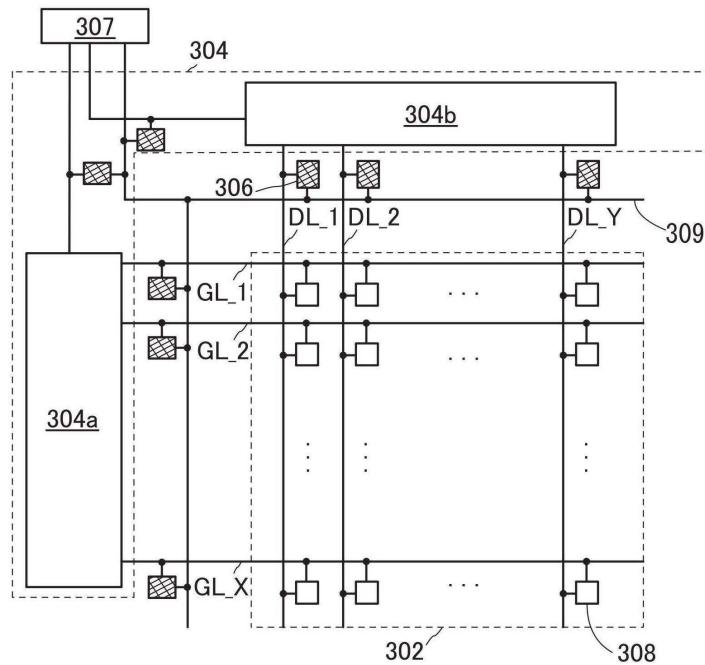


(B)

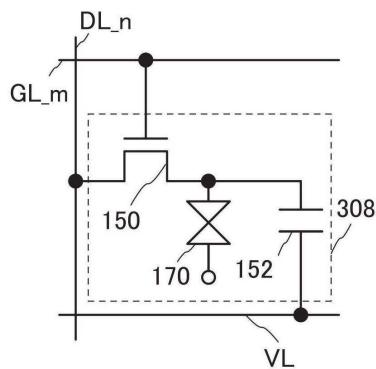


## 도면8

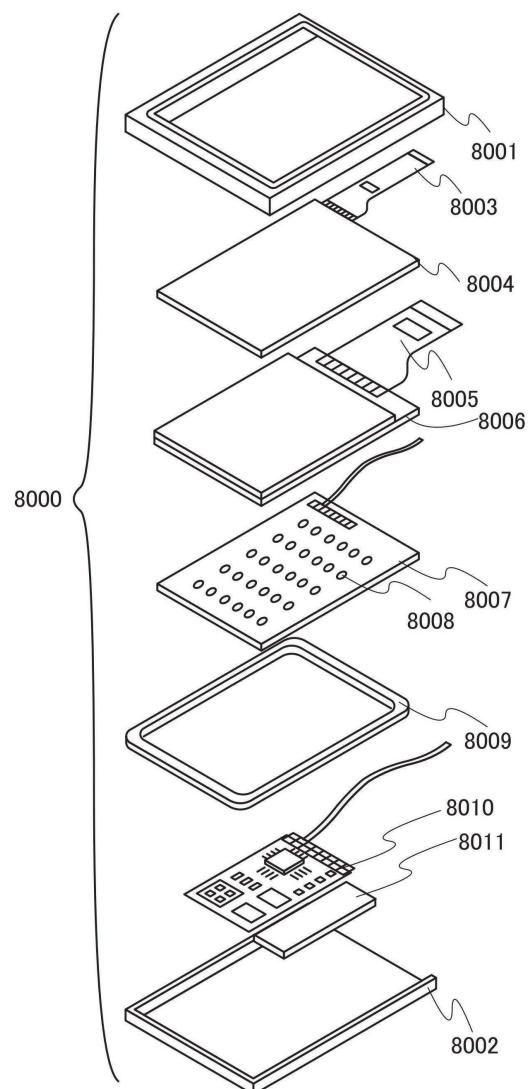
(A)



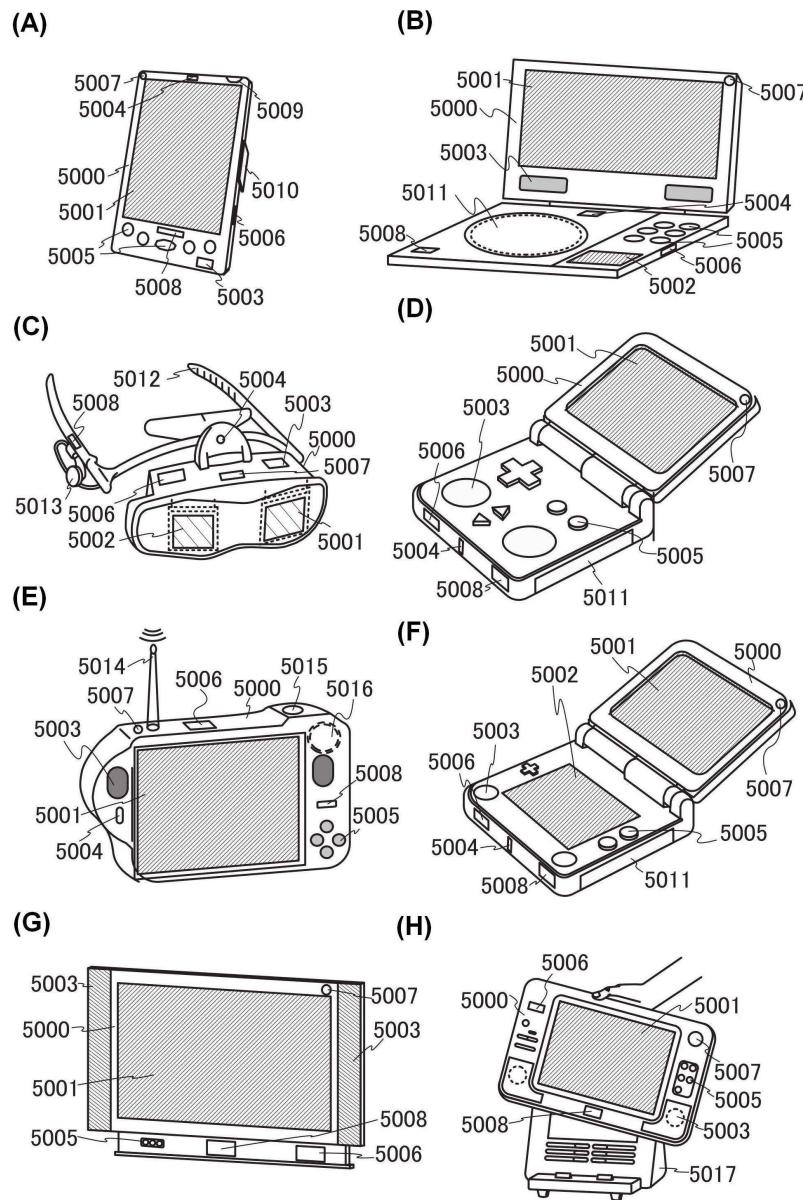
(B)



도면9

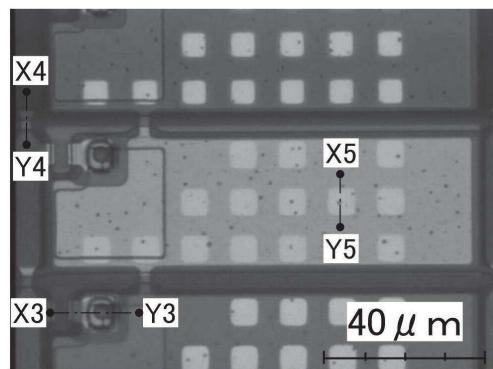


## 도면10

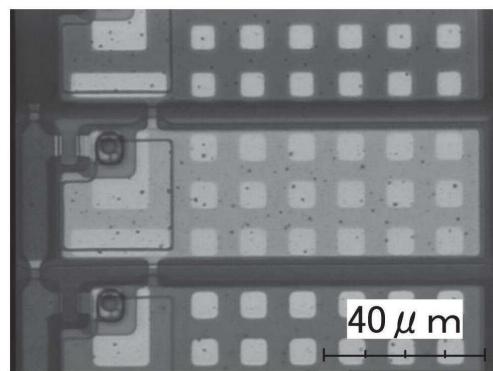


도면11

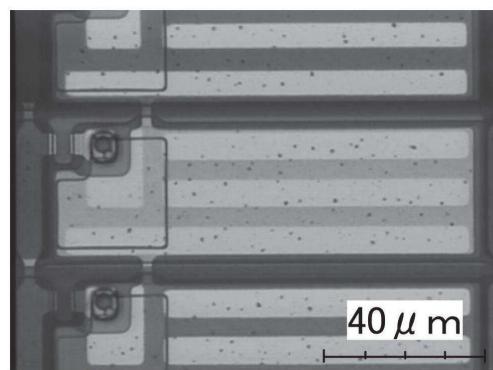
(A)



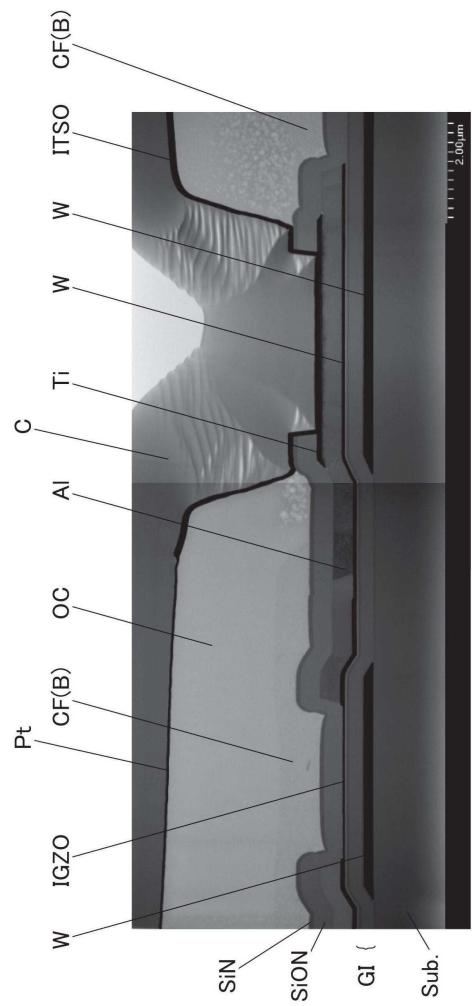
(B)



(C)

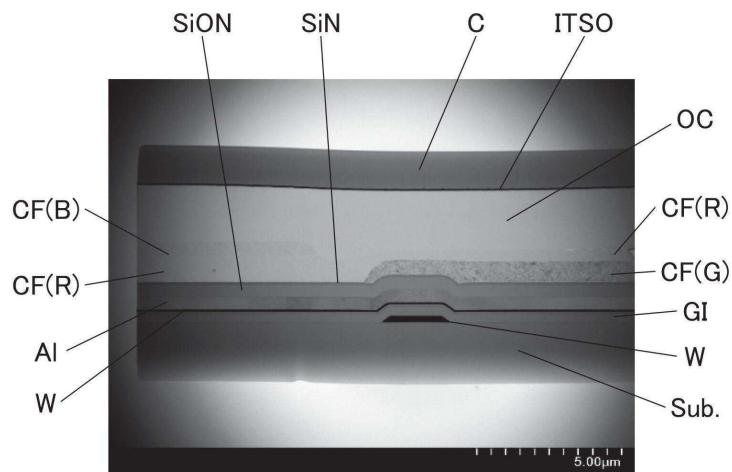


도면12

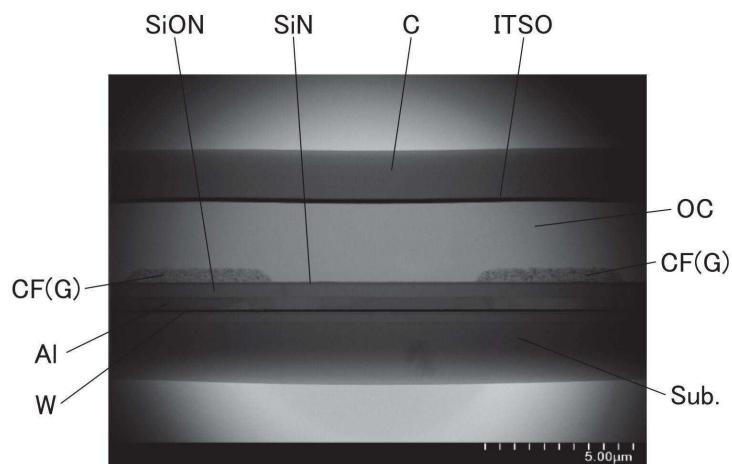


도면13

(A)

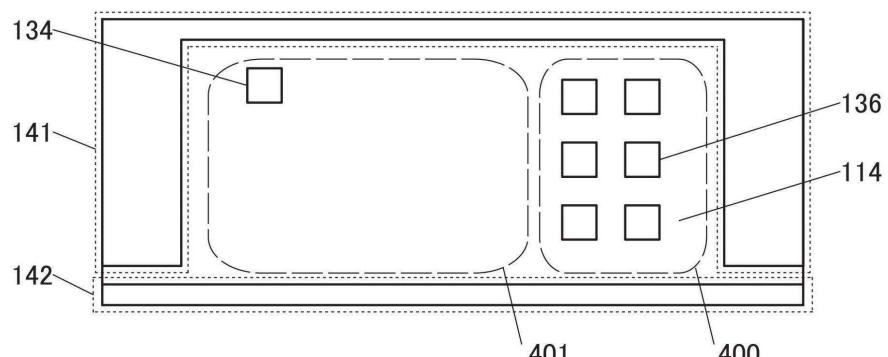


(B)

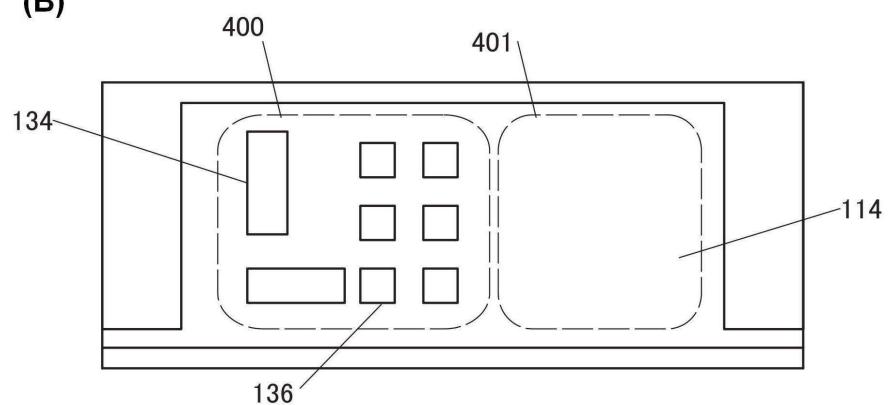


## 도면14

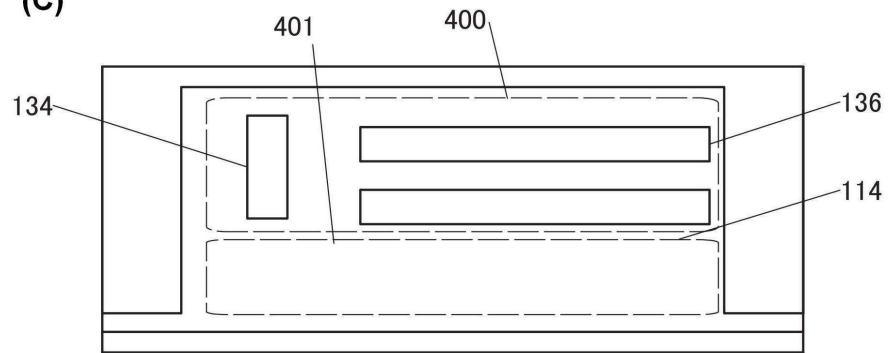
(A)



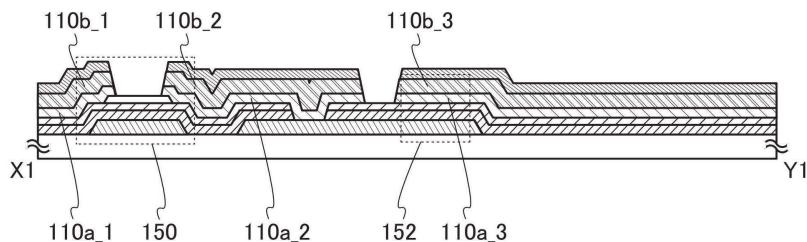
(B)



(C)

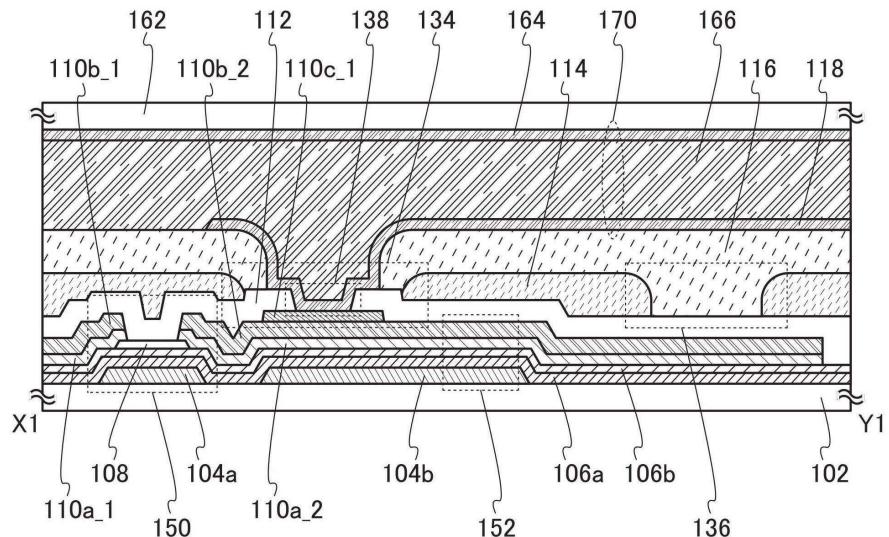


## 도면15

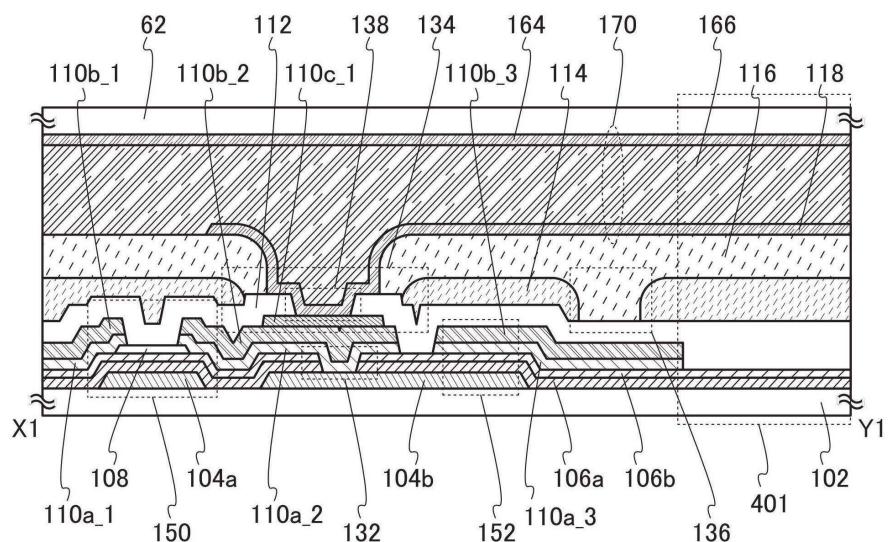


## 도면16

(A)

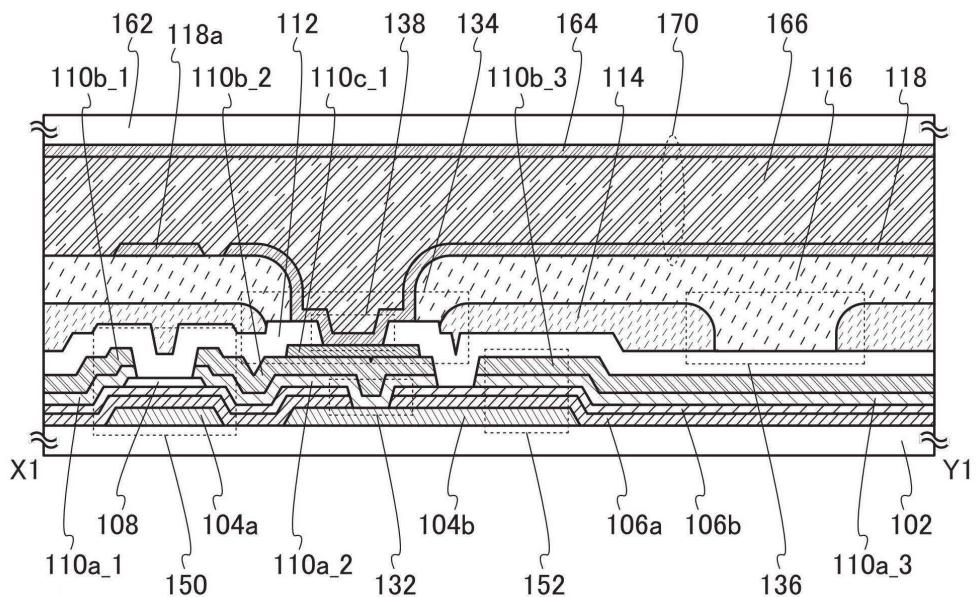


(B)

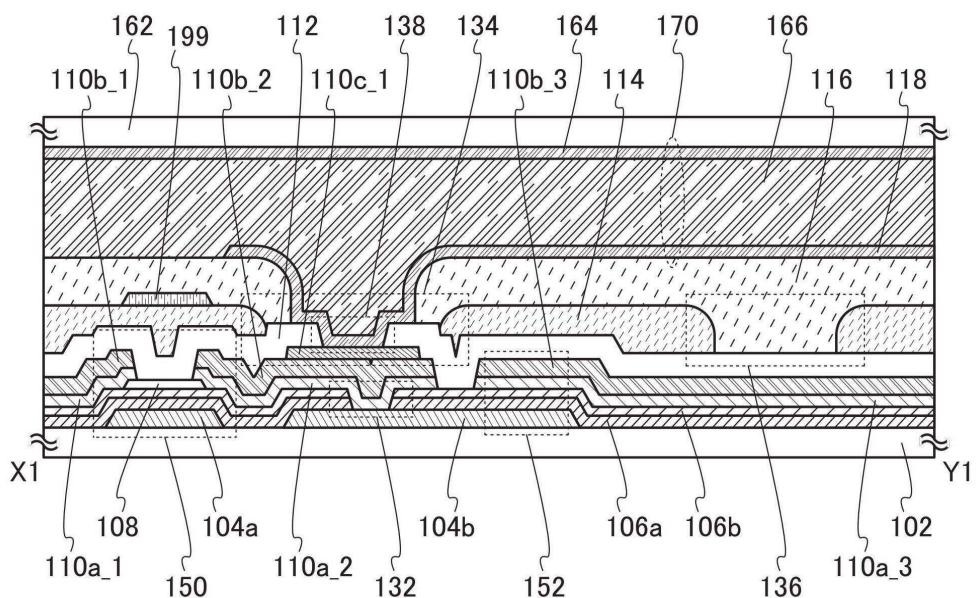


## 도면17

(A)

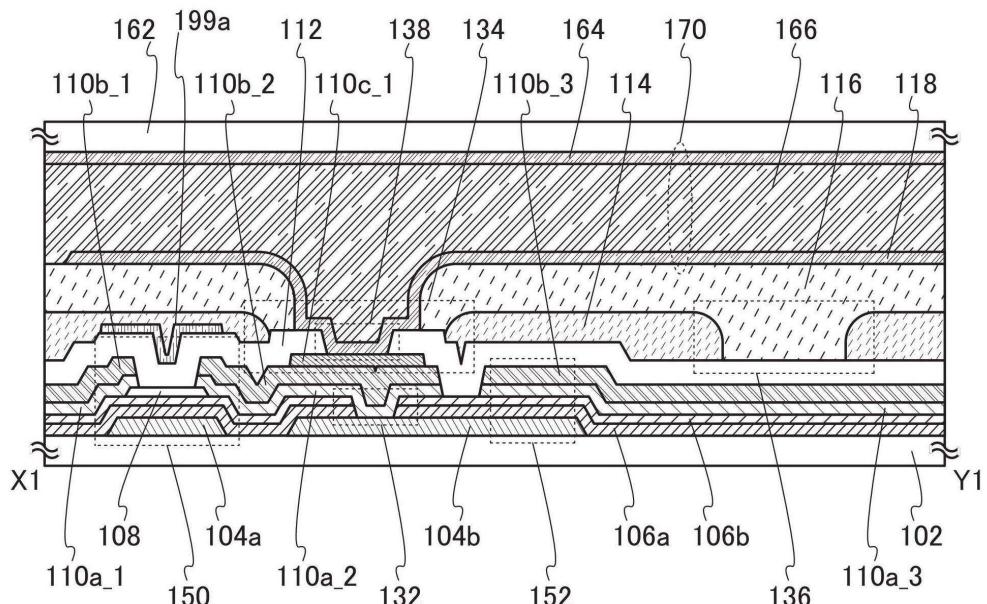


(B)

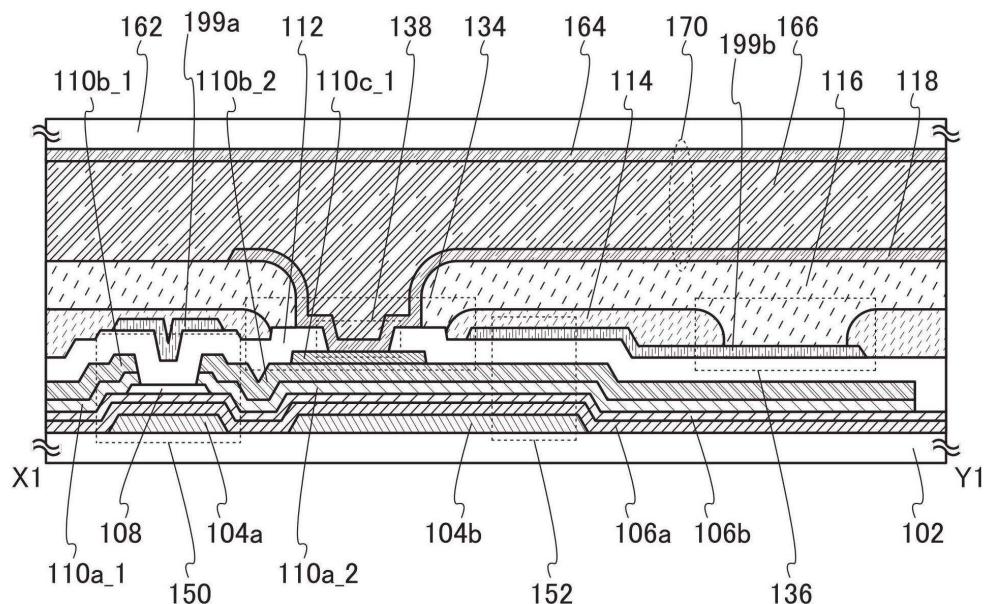


## 도면18

(A)

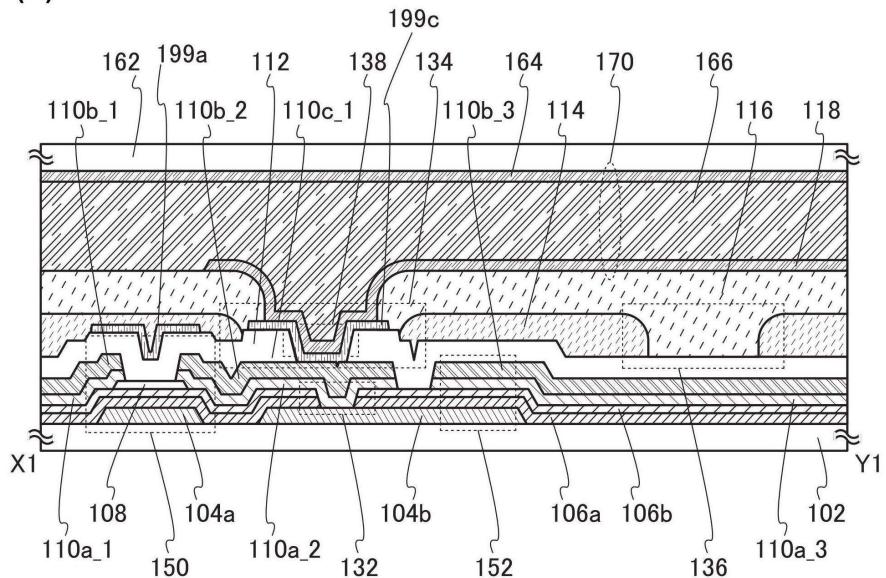


(B)

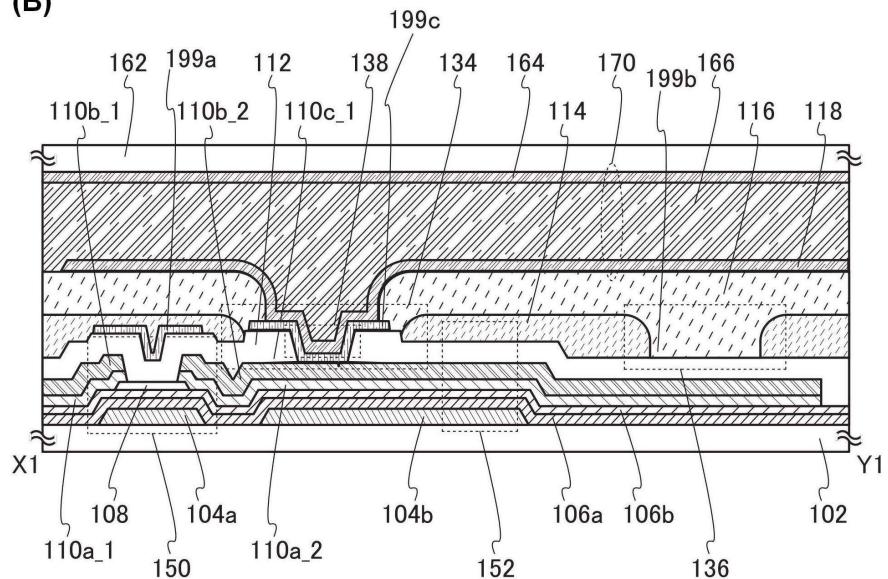


## 도면19

(A)

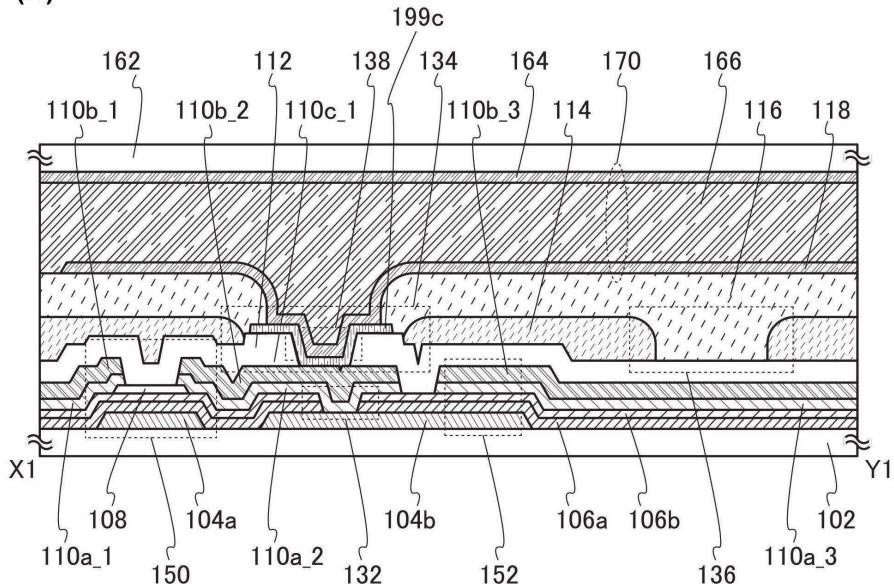


(B)

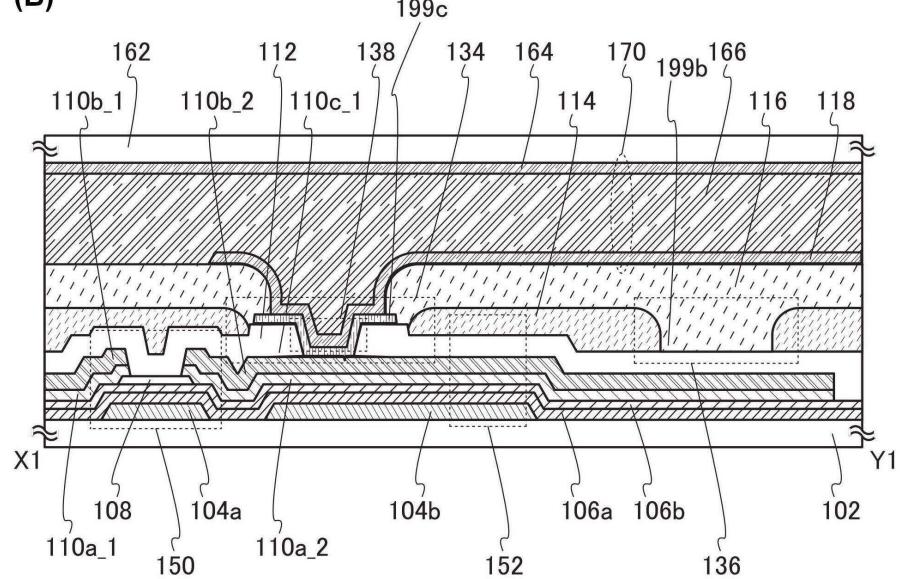


## 도면20

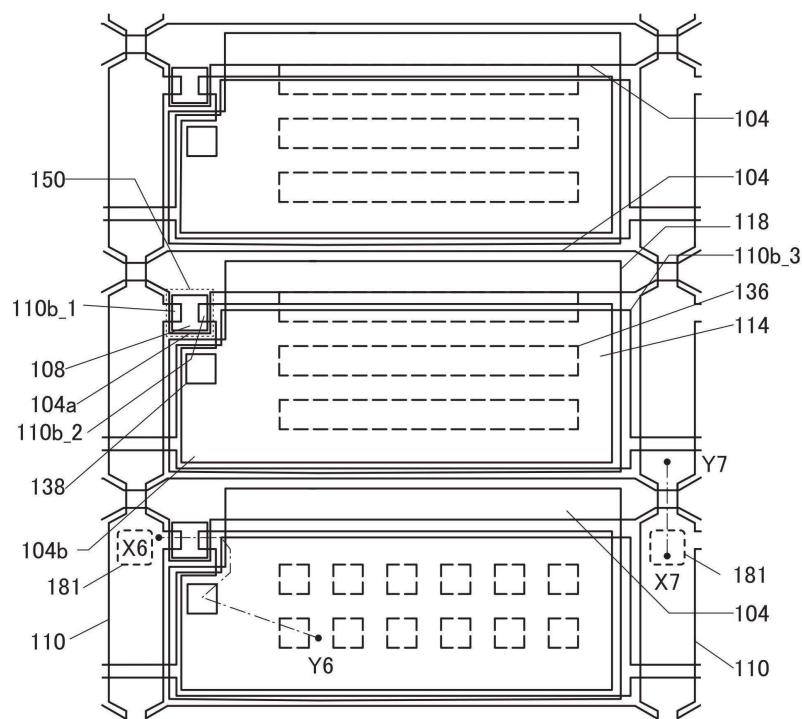
(A)



(B)

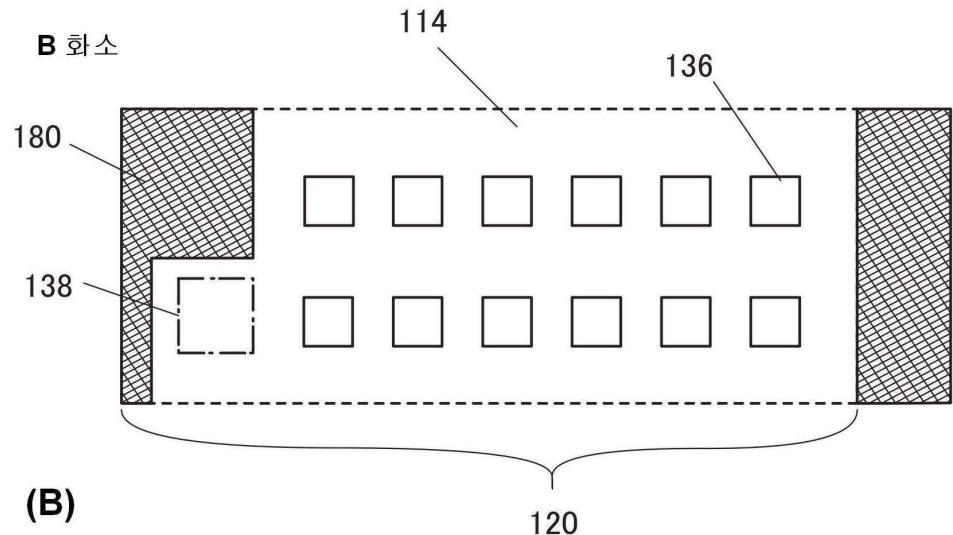


도면21

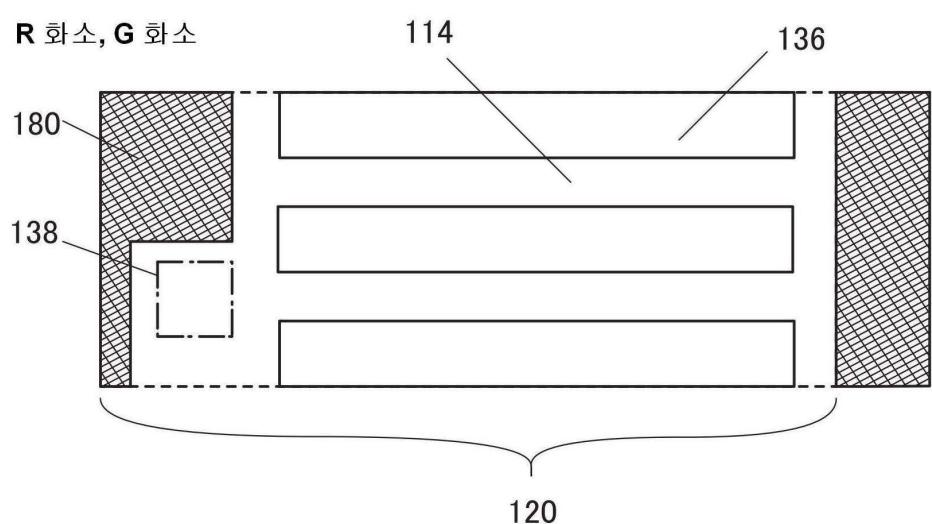


도면22

(A)

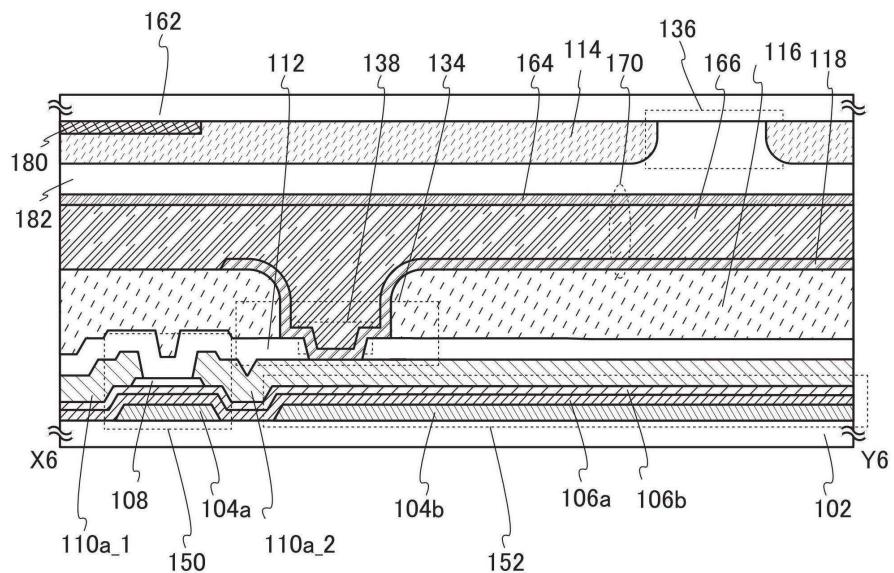


(B)

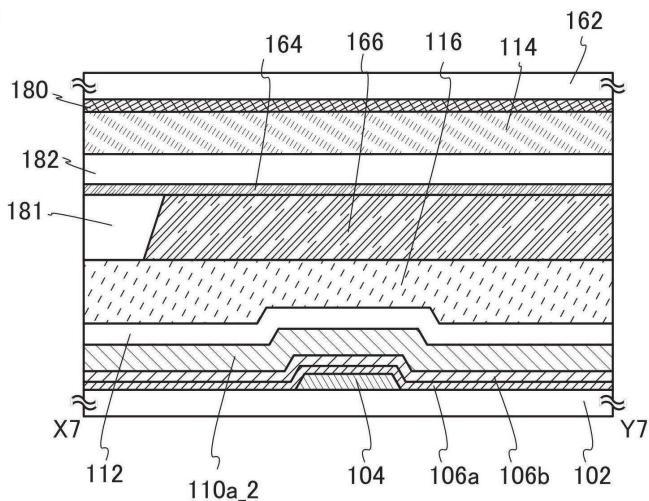


## 도면23

(A)



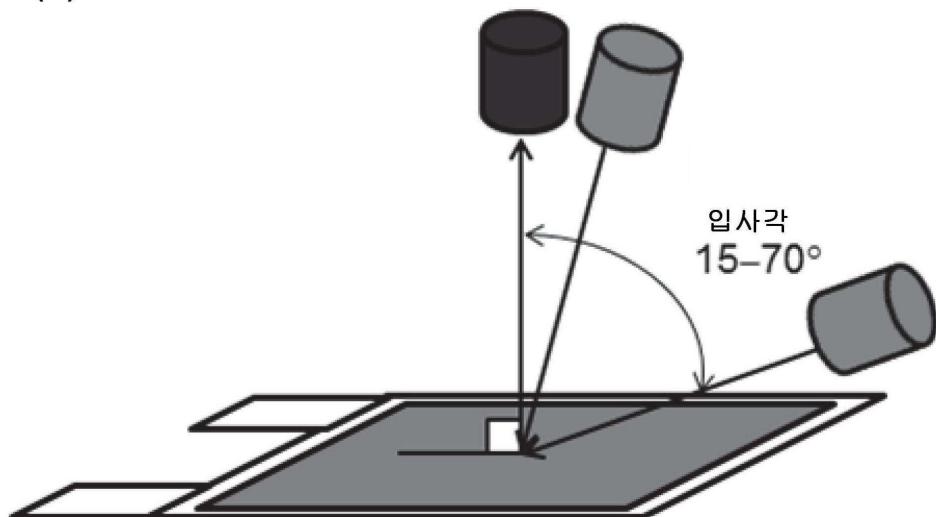
(B)



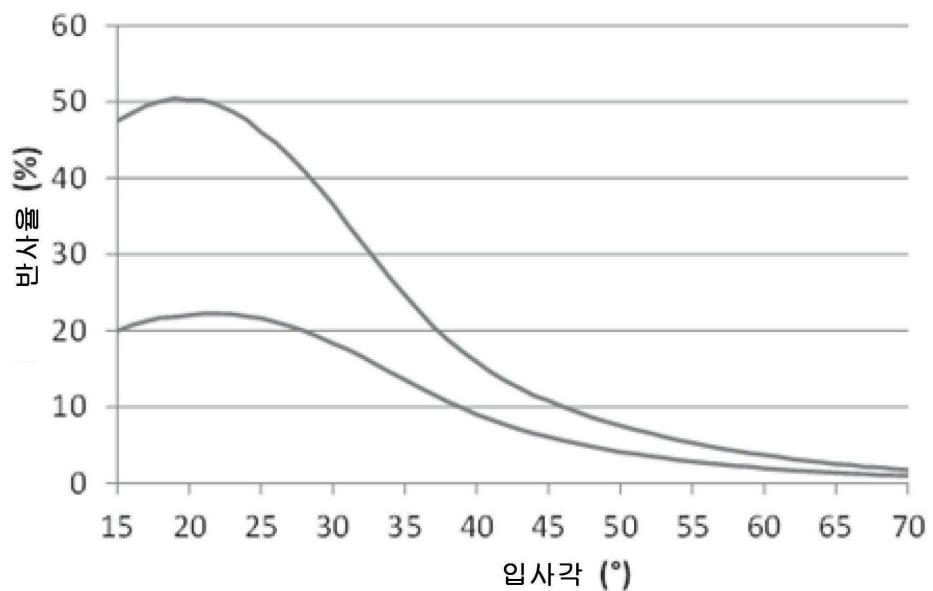
도면24

(A)

디텍터      입사광



(B)



도면25



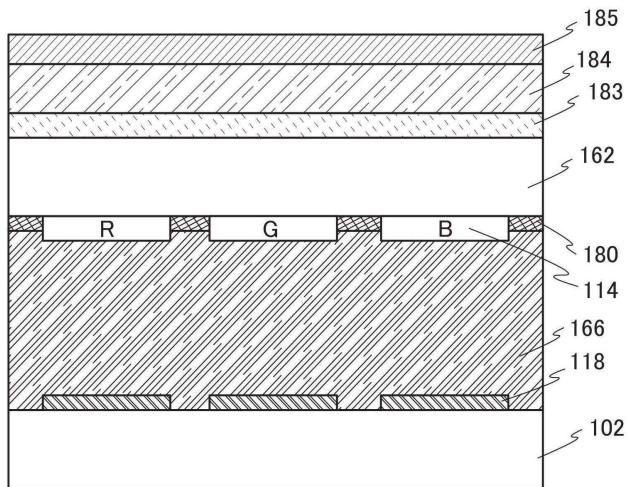
(A)

(B)

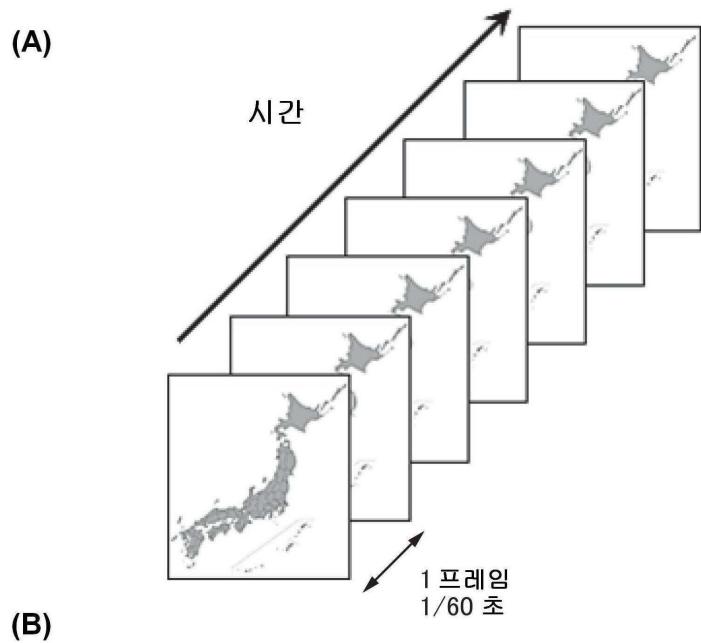
	고반사 LCD	고색 영역 LCD
디스플레이 크기	6.0 인치	
유효한 화소	768 (H) × 1024 × RGB (V)	
해상도	212 ppi	
개구율	83.4%	
백 플레인	CAAC-OS	
프레임 주파수	60 Hz (동영상)	
	1/60 Hz에서 2 Hz (정지 화상)	
주사 구동	통합	
터치 패널	상호 용량	
반사율 ※	37%	18%
NTSC 비 ※	3%	15%
콘트라스트비 ※	14 : 1	10 : 1

※ 터치 패널 없이 30°C에서 측정

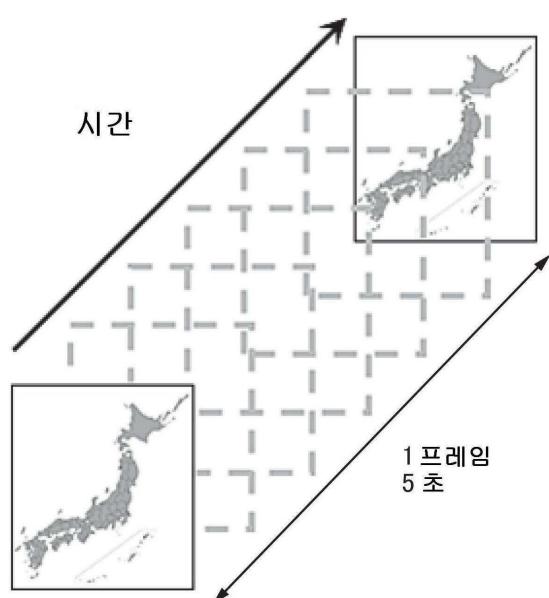
도면26



도면27



(B)



도면28

