

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-274148
(P2004-274148A)

(43) 公開日 平成16年9月30日(2004.9.30)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03G 11/02	H03G 11/02	5J030
H03F 3/45	H03F 3/45	5J500

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号	特願2003-58672 (P2003-58672)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年3月5日(2003.3.5)	(74) 代理人	100095728 弁理士 上柳 雅普
		(74) 代理人	100107076 弁理士 藤綱 英吉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	川上 雅之 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5J030 CB00 CB03 CC02 CC05 CC06

最終頁に続く

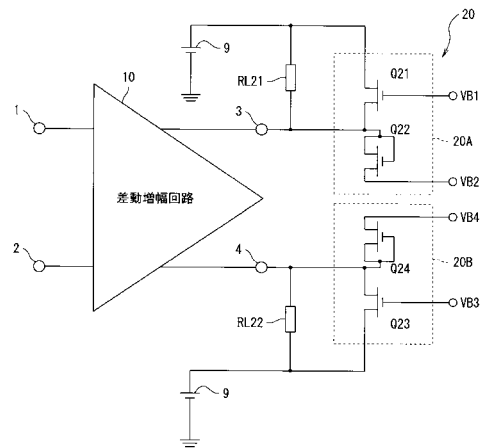
(54) 【発明の名称】 振幅制限回路およびこれを用いた増幅回路

(57) 【要約】

【課題】 周波数応答特性などに劣るMOSデバイスで構成する増幅回路等と組み合わせて使用する場合に、高周波領域において安定に振幅制限の動作ができ、かつその動作に伴う出力波形の歪みも抑圧できる振幅制限回路の提供。

【解決手段】 この発明は、負荷抵抗RL21に並列に接続させるMOSトランジスタQ21と、負荷抵抗RL22に並列に接続させるダイオード接続のMOSトランジスタQ22とを備えている。そして、MOSトランジスタQ21のゲート端子に所定のバイアス電圧VB1を供給し、かつ、MOSトランジスタQ22のソース端子側に所定のバイアス電圧VB2を供給するようにした。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

負荷抵抗に並列に接続させる第 1 トランジスタと、
前記負荷抵抗に並列に接続させるダイオード接続の第 2 トランジスタと、を備え、
前記第 1 トランジスタの入力端子に所定の第 1 バイアス電圧を与え、かつ、前記第 2 トランジスタの所定の一端側に所定の第 2 バイアス電圧を与えるようにしたことを特徴とする振幅制限回路。

【請求項 2】

負荷抵抗に並列に接続させる第 1 MOS トランジスタと、
前記負荷抵抗に並列に接続させるダイオード接続の第 2 MOS トランジスタと、を備え、
前記第 1 MOS トランジスタのゲート端子に所定の第 1 バイアス電圧を供給し、かつ、前記第 2 MOS トランジスタのソース端子側またはソース端子側のいずれかに所定の第 2 バイアス電圧を供給するようにしたことを特徴とする振幅制限回路。 10

【請求項 3】

前記第 1 MOS トランジスタおよび前記第 2 MOS トランジスタは、N 型の MOS トランジスタまたは P 型の MOS トランジスタのいずれかであることを特徴とする請求項 2 に記載の振幅制限回路。

【請求項 4】

負荷抵抗に並列に接続させる第 1 バイポーラトランジスタと、
前記負荷抵抗に並列に接続させるダイオード接続の第 2 バイポーラトランジスタと、を備え、
前記第 1 バイポーラトランジスタのベース端子に所定の第 1 バイアス電圧を与え、かつ、
前記第 2 バイポーラトランジスタのコレクタ端子またはエミッタ端子のいずれかに所定の第 2 バイアス電圧を与えるようにしたことを特徴とする振幅制限回路。 20

【請求項 5】

前記第 1 バイポーラトランジスタおよび前記第 2 バイポーラトランジスタは、NPN 型のバイポーラトランジスタまたは PNP 型のバイポーラトランジスタのいずれかであることを特徴とする請求項 4 に記載の振幅制限回路。

【請求項 6】

前記第 1 バイアス電圧および前記第 2 バイアス電圧をそれぞれ供給する電圧発生回路をさらに備え、
前記電圧発生回路は、任意のバイアス電圧を発生するようになっていることを特徴とする請求項 1 乃至請求項 5 のうちのいずれかに記載の振幅制限回路。 30

【請求項 7】

入力信号を増幅するとともに、その増幅した出力信号を出力負荷抵抗から取り出すようにした増幅回路において、
請求項 1 乃至請求項 6 のうちのいずれかに記載の振幅制限回路を、前記出力負荷抵抗に並列に接続するようにしたことを特徴とする増幅回路。

【請求項 8】

入力信号を差動増幅するとともに、その差動増幅された出力信号を第 1 出力負荷抵抗と第 2 出力負荷抵抗とからそれぞれ取り出すようにした差動型の増幅回路において、
請求項 1 乃至請求項 6 のうちのいずれかに記載の振幅制限回路を、前記第 1 出力負荷抵抗および前記第 2 出力負荷抵抗にそれぞれ並列に接続するようにしたことを特徴とする増幅回路。 40

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、増幅回路などの各種の電子回路と組み合わせて使用でき、入力信号レベルが過大のときに出力信号レベルを一定に制限する振幅制限回路およびこれを使用した増幅回路に関するものである。

【0002】

【従来の技術】

従来、利得を可変して出力信号のレベルを一定にできる可変利得増幅回路が知られている（例えば、非特許文献1参照）。

この非特許文献1によれば、差動増幅回路の増幅度 A_v は、次の(1)式により表すことができる。

【0003】

$$A_v = -g_m \times (R_L // r_d) \cdots (1)$$

(1)式において、 g_m は相互コンダクタンス、 r_d は出力抵抗、 R_L は負荷である。また、相互コンダクタンス g_m は、次の(2)式により表すことができる。

10

$$g_m = 2 \times (K \times I_d) \cdots (2)$$

(2)式において、 K はドレイン電流係数、 I_d はドレイン電流である。

【0004】

増幅度が(1)式で表される差動増幅回路において、可変利得を実現するには、相互コンダクタンス g_m の値、または負荷 R_L の値を調整すれば良いことがわかる。そこで、これを具体的実現した可変利得増幅回路として、図3に示す「相互コンダクタンス制御形」と図4に示す「負荷抵抗制御形」とが、非特許文献1に挙げられている。

【0005】

相互コンダクタンス制御形は、図3に示すように、増幅動作を行う差動対のMOSトランジスタ Q_{11} 、 Q_{12} と、このMOSトランジスタ Q_{11} 、 Q_{12} にそれぞれ並列に接続されるMOSトランジスタ Q_{13} 、 Q_{14} と、定電流源 I_a と、負荷抵抗 R_{L11} 、 R_{L12} と、電源 V_{DD1} と、を備えている。

20

このような構成の相互コンダクタンス制御形では、MOSトランジスタ Q_{11} 、 Q_{12} に流れる電流を、MOSトランジスタ Q_{13} 、 Q_{14} にバイパスさせることにより回路の利得を制御し、その利得はMOSトランジスタ Q_{13} 、 Q_{14} のゲートに供給する制御電圧 V_{c1} により任意の値に調整できるようになっている。特長としては、負荷に流れる電流が可変利得制御に関係なく常に一定になることである。

【0006】

負荷抵抗制御形は、図4に示すように、増幅動作を行う差動対のMOSトランジスタ Q_{15} 、 Q_{16} と、このMOSトランジスタ Q_{15} 、 Q_{16} の両ドレイン間に接続されるMOSトランジスタ Q_{17} と、定電流源 I_b と、負荷抵抗 R_{L13} 、 R_{L14} と、電源 V_{DD2} と、を備えている。

30

このような構成からなる負荷抵抗制御形では、MOSトランジスタ Q_{17} のソース・ドレイン間のコンダクタンスを、そのゲートに印加するバイアス電圧 V_{c2} により変化させ、これにより回路の利得を制御するようになっている。この特長としては、低消費電流（バイアス電流がゼロ）である。

【0007】

【非特許文献1】

「CMOSアナログ回路設計技術」トリケップス、1998年11月13日、P.247

【0008】

40

【発明が解決しようとする課題】

ところが、GaAsMESFET (GaAs metal-semiconductor field-effect transistor)、HEMT (high electron mobility transistor)、HBT (heterojunction bipolar transistor) などと比較し、周波数応答特性や大信号特性に劣るMOSデバイスなどを使用する上記の2つの制御形では、上記の各デバイスと同等またはより高い周波数の信号に対応するには、以下のような課題が挙げられる。

(相互コンダクタンス制御形の課題)

(1)電流をバイパスさせるため、バイアス電流が増加する。

50

(2) バイアス電流が大きいため低電圧動作をする際に、ドレイン・ソース間電圧を確保するために負荷抵抗の値を下げる必要がある。

(3) 負荷抵抗値が小さいため、所望の出力電圧を得るために増幅動作を行うトランジスタは、より多い電流を駆動する必要がある。

(負荷抵抗制御形の課題)

(1) 反転、非反転信号出力端子がトランジスタにより接続されているため、MOSトランジスタQ17のゲート端子、ドレイン端子、ソース端子における寄生素子により上記の両出力端子間が結合し、寄生素子の影響が大きくなるような高周波領域においては周波数応答が劣化する。この結果、上記の結合を介して伝達される信号の位相の条件によっては、回路が発振するおそれがある。

10

【0009】

そこで、本発明の第1の目的は、周波数応答特性や大信号特性に劣るMOSデバイスで構成する増幅回路等と組み合わせて使用する場合に、高周波領域において安定に振幅制限の動作ができ、かつ振幅制限動作に伴う出力波形の歪みも抑圧できる振幅制限回路を提供することにある。

また、本発明の第2の目的は、周波数応答特性や大信号特性に劣るMOSデバイスを使用する場合であっても、高周波信号の入力時において高速動作に対応して、出力信号の振幅を制限でき、かつその振幅制限に伴う出力波形の歪みを抑圧できる増幅回路を提供することにある。

【0010】

20

【課題を解決するための手段】

上記の課題を解決し本発明の目的を達成するために、各発明は、以下のように構成した。すなわち、第1の発明は、負荷抵抗に並列に接続させる第1トランジスタと、前記負荷抵抗に並列に接続させるダイオード接続の第2トランジスタと、を備え、前記第1トランジスタの入力端子に所定の第1バイアス電圧を与え、かつ、前記第2トランジスタの所定の一端側に所定の第2バイアス電圧を与えるようにした。

【0011】

第2の発明は、負荷抵抗に並列に接続させる第1MOSトランジスタと、前記負荷抵抗に並列に接続させるダイオード接続の第2MOSトランジスタと、を備え、前記第1MOSトランジスタのゲート端子に所定の第1バイアス電圧を供給し、かつ、前記第2MOSトランジスタのソース端子側またはソース端子側のいずれかに所定の第2バイアス電圧を供給するようにした。

30

【0012】

第3の発明は、第2の発明の振幅制限回路において、前記第1MOSトランジスタおよび前記第2MOSトランジスタは、N型のMOSトランジスタまたはP型のMOSトランジスタのいずれかであるようにした。

第4の発明は、負荷抵抗に並列に接続させる第1バイポーラトランジスタと、前記負荷抵抗に並列に接続させるダイオード接続の第2バイポーラトランジスタと、を備え、前記第1バイポーラトランジスタのベース端子に所定の第1バイアス電圧を与え、かつ、前記第2バイポーラトランジスタのコレクタ端子またはエミッタ端子のいずれかに所定の第2バイアス電圧を与えるようにした。

40

【0013】

第5の発明は、第4の発明の振幅制限回路において、前記第1バイポーラトランジスタおよび前記第2バイポーラトランジスタは、NPN型のバイポーラトランジスタまたはPNP型のバイポーラトランジスタのいずれかであるようにした。

第6の発明は、第1乃至第5のうちのいずれかの発明の振幅制限回路において、前記第1バイアス電圧および前記第2バイアス電圧をそれぞれ供給する電圧発生回路をさらに備え、前記電圧発生回路は、任意のバイアス電圧を発生するようになっているようにした。

【0014】

第7の発明は、入力信号を増幅するとともに、その増幅した出力信号を出力負荷抵抗から

50

取り出すようにした増幅回路において、第1乃至第6のうちのいずれかの発明の振幅制限回路を、前記出力負荷抵抗に並列に接続するようにした。

第8の発明は、入力信号を差動増幅するとともに、その差動増幅された出力信号を第1出力負荷抵抗と第2出力負荷抵抗とからそれぞれ取り出すようにした差動型の増幅回路において、第1乃至第6のうちのいずれかの発明の振幅制限回路を、前記第1出力負荷抵抗および前記第2出力負荷抵抗にそれぞれ並列に接続するようにした。

【0015】

上記の構成からなる第1～第6の各発明によれば、周波数応答特性や大信号特性に劣るMOSデバイスで構成する増幅回路等と組み合わせて使用する場合に、高周波領域において安定に振幅制限の動作ができ、かつ振幅制限動作に伴う出力波形の歪みも抑圧できる。また、上記の構成からなる第7および第8の発明によれば、周波数応答特性や大信号特性に劣るMOSデバイスを使用する場合であっても、高周波信号の入力時において高速動作に対応して、出力信号の振幅を制限でき、かつその振幅制限に伴う出力波形の歪みを抑圧できる。

10

【0016】

【発明の実施の形態】

以下、本発明の振幅制限回路の第1実施形態の構成について、図1を参照して説明する。この第1実施形態に係る振幅制限回路20は、差動増幅回路10の利得制御、およびその出力波形の歪みの抑圧のために適用したものであり、差動増幅回路10の出力信号が飽和レベルを超える場合に、出力負荷抵抗 $RL21$ 、 $RL22$ の抵抗値を可変することにより、その出力信号の振幅値を波形歪が生じない状態で制御（調整）するようにしたものである。

20

【0017】

ここで、差動増幅回路10は、例えばMOSトランジスタ（図示せず）で構成され、入力信号を差動増幅するとともに、その差動増幅された出力信号を2つの出力負荷抵抗を利用してそれぞれ取り出すことができるようになっている。

すなわち、この差動増幅回路10は、図1に示すように、非反転入力端子1と、反転入力端子2と、非反転出力端子3と、反転出力端子4とを有し、非反転出力端子3は出力負荷抵抗 $RL21$ を介して電源9に接続され、反転出力端子4は出力負荷抵抗 $RL22$ を介して電源9に接続されている。

30

【0018】

さらに詳述すると、この第1実施形態に係る振幅制限回路20は、図1に示すように、差動増幅回路10の出力負荷抵抗 $RL21$ に並列に接続され、その出力負荷抵抗 $RL21$ の両端に発生する出力電圧の振幅制限を行う第1振幅制限回路20Aと、差動増幅回路10の出力負荷抵抗 $RL22$ に並列に接続され、その出力負荷抵抗 $RL22$ の両端に発生する出力電圧の振幅制限を行う第2振幅制限回路20Bとからなる。

【0019】

第1振幅制限回路20Aは、出力負荷抵抗 $RL21$ に並列に接続させたN型MOSトランジスタ $Q21$ と、出力負荷抵抗 $RL21$ に並列に接続させたダイオード接続のN型MOSトランジスタ $Q22$ と、を備えている。そして、MOSトランジスタ $Q21$ のゲート端子に所定のバイアス電圧 $VB1$ を供給（印加）し、かつ、MOSトランジスタ $Q22$ のソース端子側に所定のバイアス電圧 $VB2$ を供給するようになっている。

40

【0020】

すなわち、MOSトランジスタ21のソース端子が出力負荷抵抗 $RL21$ の一端および非反転出力端子3にそれぞれ接続され、MOSトランジスタ $Q21$ のドレイン端子が出力負荷抵抗 $RL21$ の他端および電源9にそれぞれ接続されている。また、MOSトランジスタ $Q21$ のゲート端子に、電圧発生回路または電源（いずれも図示せず）から所定のバイアス電圧 $VB1$ が供給されるようになっている。

【0021】

ここで、上記の電圧発生回路は、例えば、任意のバイアス電圧が発生できるように構成さ

50

れている。そして、この電圧発生回路は、振幅制限回路20に含むようにしても良い。なお、このような構成は後述の他の実施形態においても同様とする。

MOSトランジスタQ22は、そのゲート端子とドレイン端子とが接続され、その共通接続部が出力負荷抵抗RL21の一端および非反転出力端子3にそれぞれ接続されている。また、MOSトランジスタQ22のソース端子は、バイアス電圧VB2が供給されるとともに、出力負荷抵抗RL21の他端に接続されるようになっている。

【0022】

第2振幅制限回路20Bは、出力負荷抵抗RL22に並列に接続させたN型MOSトランジスタQ23と、出力負荷抵抗RL22に並列に接続させたダイオード接続のN型MOSトランジスタQ24と、を備えている。そして、MOSトランジスタQ23のゲート端子に所定のバイアス電圧VB3を供給し、かつ、MOSトランジスタQ24のソース端子側に所定のバイアス電圧VB4を供給するようになっている。

10

【0023】

すなわち、MOSトランジスタQ23のソース端子が出力負荷抵抗RL22の一端および反転出力端子4にそれぞれ接続され、MOSトランジスタQ23のドレイン端子が出力負荷抵抗RL22の他端および電源9にそれぞれ接続されている。また、MOSトランジスタQ23のゲート端子に、電圧発生回路または電源(いずれも図示せず)から所定のバイアス電圧VB3が供給されるようになっている。

【0024】

MOSトランジスタQ24は、そのゲート端子とドレイン端子とが接続され、その共通接続部が出力負荷抵抗RL22の一端および反転出力端子4にそれぞれ接続されている。また、MOSトランジスタQ24のソース端子は、バイアス電圧VB4が供給されるとともに、出力負荷抵抗RL22の他端に接続されるようになっている。

20

【0025】

次に、MOSトランジスタQ21~Q24に供給するバイアス電圧VB1~VB4の決定方法について説明する。

すなわち、バイアス電圧VB1~VB4は、以下の(A)~(C)の各条件を満足する電圧値である。

(A) 差動増幅回路10の入力端子1、2の入力信号が無入力の場合、および差動増幅回路10の出力信号が飽和しないレベルの入力信号の範囲の場合において、MOSトランジスタQ21~Q24の動作が全てオフ状態となるような電圧値であること。

30

(B) 差動増幅回路10の入力端子1の入力信号として、その絶対値がある値を超える振幅を持つHレベル(ハイレベル)で、かつ、差動増幅回路10の入力端子2の入力信号として、その絶対値がある値を超える振幅を持つLレベル(ローレベル)であって出力信号が飽和レベルを超えるときに、MOSトランジスタQ22、Q23の動作がオン状態で、MOSトランジスタQ21、Q24の動作がオフ状態となる電圧値であること。

(C) 差動増幅回路10の入力端子1の入力信号がLレベルで、かつ、差動増幅回路10の入力端子2の入力信号がHレベルであって出力信号が飽和レベルを超えるときに、MOSトランジスタQ22、Q23の動作がオフ状態で、MOSトランジスタQ21、Q24の動作がオン状態となる電圧値であること。

40

【0026】

次に、このような構成される第1実施形態の動作例について、図1を参照して説明する。まず、差動増幅回路10の入力端子1、2の入力信号が無入力の場合、またはその入力信号の範囲が差動増幅回路10の出力信号が飽和しないレベルの場合について説明する。

【0027】

この場合には、MOSトランジスタQ21~Q24には、上記の(A)の条件を満足するバイアス電圧VB1~VB4が印加されているので、MOSトランジスタQ21~Q24はいずれもオフとなってハイインピーダンス状態となる。この結果、差動増幅回路10の出力端子3、4からは、負荷RL21、RL22のみがそれぞれ見えることになる。この

50

状態では、負荷抵抗 R_{L21} 、 R_{L22} はその値が最大となり、差動増幅回路 10 の電圧利得も最大となる。

【0028】

次に、差動増幅回路 10 の入力端子 1 の入力信号が H レベルで、かつ、差動増幅回路 10 の入力端子 2 の入力信号が L レベルであり、出力信号が飽和レベルを超える場合について説明する。

この場合には、差動増幅回路 10 は、出力端子 3 の出力は上昇し、出力端子 4 の出力が低下する。また、MOS トランジスタ $Q_{21} \sim Q_{24}$ には、上記の (B) の条件を満足するバイアス電圧 $V_{B1} \sim V_{B4}$ が印加されている。このため、MOS トランジスタ Q_{22} 、 Q_{23} のみがオンとなり、MOS トランジスタ Q_{21} 、 Q_{24} はオフとなる。

10

【0029】

このとき、差動増幅回路 10 の出力端子 3 からみた負荷は、MOS トランジスタ Q_{22} のオンにより、MOS トランジスタ Q_{22} が出力負荷抵抗 R_{L21} に並列に接続された状態になり、負荷の値が低下する。この結果、出力信号の振幅を飽和レベルから引き下げる。一方、差動増幅回路 10 の出力端子 4 からみた負荷は、MOS トランジスタ Q_{23} のオンにより、MOS トランジスタ Q_{23} が出力負荷抵抗 R_{L22} に並列に接続された状態になり、負荷の値が低下する。この結果、出力信号の振幅を飽和レベルから引き下げる。

【0030】

次に、差動増幅回路 10 の入力端子 2 の入力信号が L レベルで、かつ、差動増幅回路 10 の入力端子 1 の入力信号が H レベルであり、出力信号が飽和レベルを超える場合について説明する。

20

この場合には、差動増幅回路 10 は、出力端子 3 の出力は低下し、出力端子 4 の出力は上昇する。また、MOS トランジスタ $Q_{21} \sim Q_{24}$ には、上記の (C) の条件を満足するバイアス電圧 $V_{B1} \sim V_{B4}$ が印加されている。このため、MOS トランジスタ Q_{21} 、 Q_{24} のみがオンとなり、MOS トランジスタ Q_{22} 、 Q_{23} はオフとなる。

【0031】

このとき、差動増幅回路 10 の出力端子 3 からみた負荷は、MOS トランジスタ Q_{21} のオンにより、MOS トランジスタ Q_{21} が出力負荷抵抗 R_{L21} に並列に接続された状態になり、負荷の値が低下する。この結果、出力信号の振幅を飽和レベルから引き下げる。一方、差動増幅回路 10 の出力端子 4 からみた負荷は、MOS トランジスタ Q_{24} のオン

30

【0032】

以上説明したように、この第 1 実施形態によれば、差動増幅回路 10 の出力端子 3、4 に独立に振幅制限回路 20A、20B を接続するようにした。このため、周波数応答特性や大信号特性に劣る MOS デバイスで差動増幅回路 10 を構成する場合であっても、高周波領域において安定に振幅制限の動作ができ、かつ振幅制限動作に伴う出力波形の歪みも抑圧できる。

【0033】

なお、第 1 実施形態に係る振幅制限回路では、N 型の MOS トランジスタを用いた場合について説明したが、これを P 型の MOS トランジスタに置き換えるようにしても良い。ただし、この場合には、P 型 MOS トランジスタの負荷抵抗への接続は、N 型 MOS トランジスタの場合の逆向きとなる。

40

次に、本発明の振幅制限回路の第 2 実施形態の構成について、図 2 を参照して説明する。

【0034】

この第 2 実施形態に係る振幅制限回路 30 は、第 1 実施形態の第 1 振幅制限回路 20A と第 2 振幅制限回路 20B とを、図 2 に示すようなバイポーラトランジスタからなる第 1 振幅制限回路 30A と第 2 振幅制限回路 30B に置き換えたものである。

すなわち、この第 1 実施形態に係る振幅制限回路 30 は、図 2 に示すように、差動増幅回路 10 の出力負荷抵抗 R_{L21} に並列に接続され、その出力負荷抵抗 R_{L21} の両端に発

50

生する出力電圧の振幅制限を行う第1振幅制限回路30Aと、差動増幅回路10の出力負荷抵抗 R_{L22} に並列に接続され、その出力負荷抵抗 R_{L22} の両端に発生する出力電圧の振幅制限を行う第2振幅制限回路30Bとからなる。

【0035】

第1振幅制限回路30Aは、出力負荷抵抗 R_{L21} に並列に接続させたNPNトランジスタ Q_{31} と、出力負荷抵抗 R_{L21} に並列に接続させたダイオード接続のNPNトランジスタ Q_{32} と、を備えている。そして、NPNトランジスタ Q_{31} のベース端子に所定のバイアス電圧 V_{B11} を供給し、かつ、NPNトランジスタ Q_{32} のエミッタ端子側に所定のバイアス電圧 V_{B12} を供給するようになっている。

【0036】

すなわち、NPNトランジスタ Q_{31} のエミッタ端子が出力負荷抵抗 R_{L21} の一端および非反転出力端子3にそれぞれ接続され、NPNトランジスタ Q_{31} のコレクタ端子が出力負荷抵抗 R_{L21} の他端および電源9にそれぞれ接続されている。また、NPNトランジスタ Q_{31} のベース端子に、電圧発生回路または電源(いずれも図示せず)から所定のバイアス電圧 V_{B11} が供給されるようになっている。

10

【0037】

NPNトランジスタ Q_{32} は、そのベース端子とコレクタ端子とが接続され、その共通接続部が出力負荷抵抗 R_{L21} の一端および非反転出力端子3にそれぞれ接続されている。また、NPNトランジスタ Q_{32} のエミッタ端子は、バイアス電圧 V_{B12} が供給されるとともに、出力負荷抵抗 R_{L21} の他端に接続されるようになっている。

20

【0038】

第2振幅制限回路30Bは、出力負荷抵抗 R_{L22} に並列に接続させたNPNトランジスタ Q_{33} と、出力負荷抵抗 R_{L22} に並列に接続させたダイオード接続のNPNトランジスタ Q_{34} と、を備えている。そして、NPNトランジスタ Q_{33} のベース端子に所定のバイアス電圧 V_{B13} を供給し、かつ、NPNトランジスタ Q_{34} のエミッタ端子側に所定のバイアス電圧 V_{B14} を供給するようになっている。

【0039】

すなわち、NPNトランジスタ Q_{33} のエミッタ端子が出力負荷抵抗 R_{L22} の一端および反転出力端子4にそれぞれ接続され、NPNトランジスタ Q_{33} のコレクタ端子が出力負荷抵抗 R_{L22} の他端および電源9にそれぞれ接続されている。また、NPNトランジスタ Q_{33} のベース端子に、電圧発生回路または電源(いずれも図示せず)から所定のバイアス電圧 V_{B13} が供給されるようになっている。

30

【0040】

NPNトランジスタ Q_{34} は、そのベース端子とコレクタ端子とが接続され、その共通接続部が出力負荷抵抗 R_{L22} の一端および反転出力端子4にそれぞれ接続されている。また、NPNトランジスタ Q_{34} のエミッタ端子は、バイアス電圧 V_{B14} が供給されるとともに、出力負荷抵抗 R_{L22} の他端に接続されるようになっている。

【0041】

なお、NPNトランジスタ $Q_{31} \sim Q_{34}$ に供給するバイアス電圧 $V_{B11} \sim V_{B14}$ の決定方法は、上記のMOSトランジスタ $Q_{21} \sim Q_{24}$ に供給するバイアス電圧 $V_{B1} \sim V_{B4}$ の決定方法と同様であるので、その説明については省略する。

40

また、このような構成からなる第2実施形態の動作は、上記の第1実施形態の動作と同様であるので、その説明を省略する。

【0042】

以上のような構成からなる第2実施形態によれば、上記の第1実施形態と同様の効果を実現できる。

なお、第2実施形態に係る振幅制限回路では、NPNトランジスタを用いた場合について説明したが、NPNトランジスタをPNPトランジスタに置き換えるようにしても良い。

【0043】

また、上記の両実施形態では、差動増幅回路に適用した場合について説明したが、単一の

50

入力信号を増幅してその増幅信号を出力負荷抵抗の両端から取り出すような増幅回路にも適用可能である。

【0044】

【発明の効果】

以上説明したように、本発明の振幅制限回路によれば、差動増幅回路の信号出力端子3と端子4間のアイソレーションを劣化させることが無いため周波数応答特性や大信号特性に劣るMOSデバイスで構成する増幅回路等と組み合わせて使用する場合に、高周波領域において安定に振幅制限の動作ができ、かつ振幅制限動作に伴う出力波形の歪みも抑圧できる。またトランジスタQ21～Q24は、負荷抵抗RL21及びRL22に対して、任意に印加電圧及び、デバイスのサイズを設定できるため、より低消費電力な回路の実現が可能である。

10

【0045】

また、本発明の増幅回路によれば、周波数応答特性や大信号特性に劣るMOSデバイスを使用する場合であっても、高周波信号の入力時において高速動作に対応して、出力信号の振幅を制限でき、かつその振幅制限に伴う出力波形の歪みを抑圧できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の構成例を示す回路図である。

【図2】本発明の第2実施形態の構成例を示す回路図である。

【図3】従来回路の構成を示す回路図である。

【図4】従来回路の他の構成を示す回路図である。

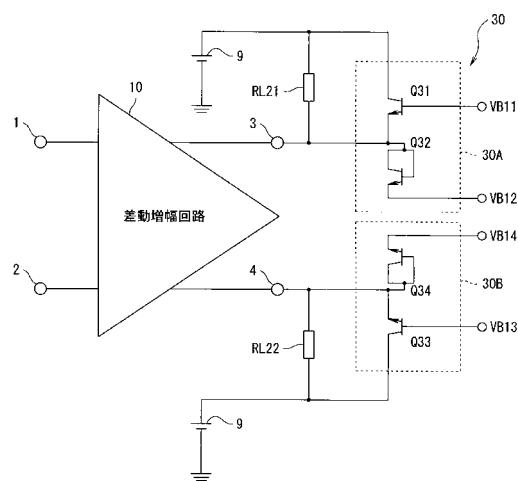
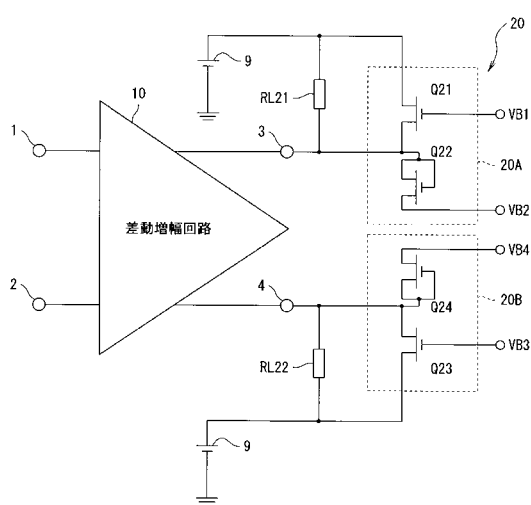
20

【符号の説明】

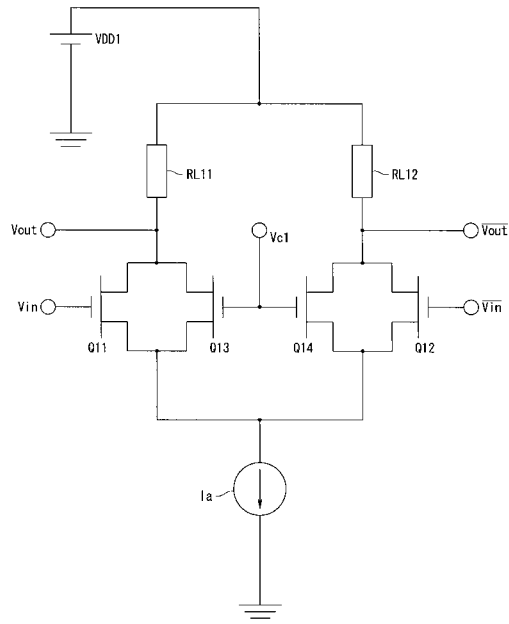
3、4は出力端子、10は差動増幅回路、20、30振幅制限回路、20A、30Aは第1振幅制限回路、20B、30Bは第2振幅制限回路、RL21、RL22は出力負荷抵抗、Q21～Q24はMOSトランジスタ、Q31～Q34はNPNトランジスタである。

【図1】

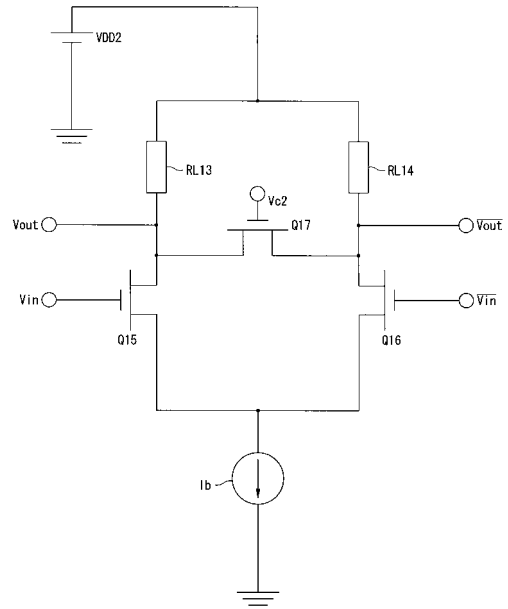
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

Fターム(参考) 5J500 AA01 AA12 AC21 AC61 AF01 AF20 AH02 AH10 AH19 AH25
AK05 AK48 AM19 AM22 DN01 DN11 DN22 DN23 DP02