



(12) 发明专利申请

(10) 申请公布号 CN 103887250 A

(43) 申请公布日 2014. 06. 25

(21) 申请号 201310712235. 9

(22) 申请日 2013. 12. 20

(30) 优先权数据

13/721, 599 2012. 12. 20 US

(71) 申请人 日月光半导体制造股份有限公司

地址 中国台湾高雄市楠梓加工区经三路 26
号

(72) 发明人 陈勇仁 丁一权 黄敏龙

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287

代理人 林斯凯

(51) Int. Cl.

H01L 23/31(2006. 01)

H01L 23/29(2006. 01)

H01L 23/535(2006. 01)

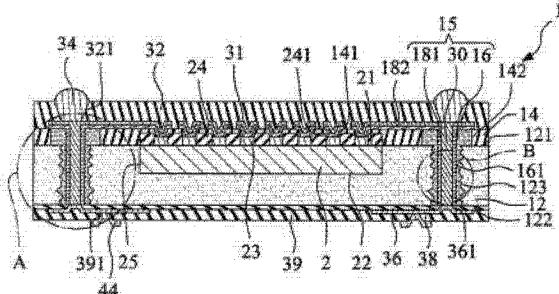
权利要求书2页 说明书10页 附图14页

(54) 发明名称

用于导电性的电磁兼容晶片

(57) 摘要

根据本发明，提供一种半导体装置，其包括：半导体裸片或芯片；封装主体；以及封装主体穿导孔。所述半导体芯片包含多个导电接垫。所述封装主体封装所述半导体芯片的侧壁，且具有形成于所述封装主体中的具有侧壁的至少一个孔，所述侧壁具有规定的表面粗糙度值。所述封装主体穿导孔位于所述封装主体的所述孔中，且包括电介质材料和至少一个导电互连金属。所述电介质材料位于所述孔的所述侧壁上，且界定具有侧壁的至少一个孔洞，所述侧壁具有小于所述第一表面粗糙度值的第二表面粗糙度值。所述互连金属安置于所述孔洞中。



1. 一种半导体装置,其包括 :

半导体芯片,其包含多个导电接垫 ;

封装主体,其至少部分地封装所述半导体芯片,所述封装主体具有形成于所述封装主体中的至少一个孔,所述至少一个孔界定具有第一表面粗糙度值的孔侧壁 ;以及

至少一个封装主体穿导孔,其位于所述孔中,所述穿导孔包括位于所述孔的所述孔侧壁上的电介质材料,且所述电介质材料界定具有孔洞侧壁的至少一个孔洞,所述孔洞侧壁具有小于所述第一表面粗糙度值的第二表面粗糙度值。

2. 根据权利要求 1 所述的半导体装置,其中所述孔侧壁的所述第一表面粗糙度值在从约 5 μm 到约 100 μm 的范围内。

3. 根据权利要求 1 所述的半导体装置,其中所述孔洞侧壁的所述第二表面粗糙度值在从约 2 μm 到约 20 μm 的范围内。

4. 根据权利要求 1 所述的半导体装置,其中所述封装主体为包含环氧树脂和二氧化硅填料的复合材料。

5. 根据权利要求 1 所述的半导体装置,其中所述穿导孔进一步包括 :

种子层,其位于所述穿导孔的孔洞侧壁上 ;以及

互连金属,其位于所述孔洞内和所述种子层的至少一部分上。

6. 根据权利要求 5 所述的半导体装置,其进一步包括导电层,所述导电层一体地连接到所述互连金属且促进所述互连金属到所述半导体芯片的所述接垫中的至少一者的电连接,所述导电层覆盖所述种子层的部分。

7. 根据权利要求 1 所述的半导体装置,其中至少两个封装主体穿导孔位于所述孔中,所述穿导孔中的每一者包括通过所述电介质材料界定且各自具有孔洞侧壁的至少两个孔洞中的一个相应孔洞,所述孔洞侧壁具有小于所述第一表面粗糙度值的所述第二表面粗糙度值。

8. 根据权利要求 7 所述的半导体装置,其中所述穿导孔中的每一者进一步包括 :

种子层,其位于所述穿导孔的孔洞侧壁上 ;以及

互连金属,其位于所述穿导孔的所述孔洞内和所述穿导孔的种子层的至少一部分上。

9. 根据权利要求 7 所述的半导体装置,其中 :

所述孔侧壁的所述第一表面粗糙度值在从约 5 μm 到约 100 μm 的范围内 ;且

通过所述电介质材料界定的所述孔洞中的每一者的所述孔洞侧壁的所述第二表面粗糙度值在从约 2 μm 到约 20 μm 的范围内。

10. 一种半导体装置,其包括 :

半导体芯片 ;

封装主体,其至少部分地封装所述半导体芯片,所述封装主体具有形成于所述封装主体中的至少一个孔,所述至少一个孔界定具有第一表面粗糙度值的孔侧壁 ;以及

位于所述孔中的至少一个封装主体穿导孔,所述穿导孔以一方式形成,其中通过所述穿导孔的一部分界定的规定穿导孔表面具有小于所述第一表面粗糙度值的第二表面粗糙度值,由此提升形成于所述穿导孔表面上的所述穿导孔的另一部分的电镀质量。

11. 根据权利要求 10 所述的半导体装置,其中所述孔侧壁的所述第一表面粗糙度值在从约 5 μm 到约 100 μm 的范围内。

12. 根据权利要求 10 所述的半导体装置, 其中所述穿导孔表面的所述第二表面粗糙度值在从约 $2 \mu m$ 到约 $20 \mu m$ 的范围内。

13. 根据权利要求 10 所述的半导体装置, 其中所述穿导孔包括 :

电介质材料, 其位于所述孔中且界定所述穿导孔表面;

种子层, 其位于所述穿导孔表面上; 以及

互连金属, 其位于所述种子层的至少一部分上。

14. 一种用于制造半导体装置的方法, 其包括以下步骤 :

(a) 在封装主体中形成至少一个孔, 其界定具有第一表面粗糙度值的孔侧壁;

(b) 用电介质材料填充所述至少一个孔; 以及

(c) 在所述电介质材料中形成至少一个孔洞, 所述孔洞界定具有小于所述第一表面粗糙度值的第二表面粗糙度值的孔洞侧壁。

15. 根据权利要求 14 所述的方法, 其进一步包括以下步骤 :

(d) 用种子层电镀所述孔洞侧壁; 以及

(e) 用导电互连金属填充所述孔洞, 所述导电互连金属接触所述种子层的至少一部分。

16. 根据权利要求 14 所述的方法, 其中 :

步骤 (a) 包括在所述封装主体中形成所述至少一个孔之前, 通过所述封装主体部分地封装半导体芯片; 以及

步骤 (e) 包括将所述互连金属电连接到所述半导体芯片。

用于导电性的电磁兼容晶片

技术领域

[0001] 本发明大体上涉及半导体装置，且更具体来说，涉及一种半导体封装及其对应制造工艺。

背景技术

[0002] 电气领域中，常规扇出型 (fan-out) 半导体封装通常包括形成于所述封装的封装主体内的至少一个导通孔。在这些半导体封装的制造工艺中，经由使用激光对封装的封装主体进行钻孔以在其中形成至少一个导孔。接着电镀并且用导电金属填充此导孔以便形成导通孔。在常规扇出型半导体封装中，封装主体为包含环氧树脂和二氧化硅 (SiO₂) 填料的复合材料。因为环氧树脂和二氧化硅填料的激光可吸收特性不同且二氧化硅填料的大小通常在 10 μm 到 100 μm 的范围内变化，所以在完成前述激光钻孔工艺后，导孔的侧壁通常较难形成圆形，孔的侧壁的表面粗糙度较高且孔的尺寸大于最佳尺寸。尽管使用高准确度激光以用于钻孔工艺，但这些特定缺点仍会出现。结果，在形成如上文所描述的导通孔的过程中，电镀和后续填孔工艺为复杂且耗时的，因此增加相关成本且进一步使得电镀质量难以控制。

[0003] 更具体来说，在常规扇出型半导体封装中，经由使用溅镀工艺来促进导孔的电镀。在溅镀机器中，在大体上平行于孔的侧壁的方向上进入对应导孔的方式从溅镀机器喷洒电镀材料。进入孔的方向以及从溅镀机器喷洒的电镀材料的极小粒径常常导致填料阻碍将电镀层完全、均匀地涂覆到侧壁上。就此来说，孔的侧壁的表面粗糙度可由于此侧壁部分地通过从环氧树脂突出的填料的部分而界定。通常将电镀层涂覆到所暴露填料面向溅镀机器的顶侧，而这些填料的对置底侧常常不具有通过溅镀工艺而涂覆到其上的电镀层。结果，当最终将例如铜的金属填入到孔中以完成导通孔的形成时，此金属材料将易于粘附到电镀层，但将不易于粘附到侧壁上未涂覆有电镀层的区域（例如，填料的底侧）。缺乏粘附通常导致空隙的形成，此可损害通过导通孔界定的导电路径的完整性。尽管可通过增加在溅镀工艺中涂覆的材料的量（且因此增加完成溅镀工艺所花费的时间）来减少此不完全电镀的可能性和因此形成的空隙，但如此一来会增加成本且降低生产力。

[0004] 本发明通过提供一种半导体装置及其对应制造工艺来处理和克服这些缺点，其中所述半导体装置包含通过具有不同性质的若干材料共同地界定的至少一个导通孔，由此同时最优化半导体装置的可制造性和功能性。下文将更详细地描述本发明的这些以及其它特征和优点。

发明内容

[0005] 根据本发明的实施例，提供一种半导体装置，其包括：半导体裸片或芯片；封装主体；以及封装主体穿导孔。所述芯片具有作用表面和位于邻近所述作用表面的多个接垫。所述封装主体封装所述芯片的侧壁，且具有形成于所述封装主体中包含具有规定的第一表面粗糙度值的侧壁的至少一个孔。所述封装主体穿导孔位于所述封装主体的所述孔中，且

包括电介质材料和至少一个导电互连金属。所述电介质材料位于所述孔的所述侧壁上，且界定具有一侧壁的至少一个孔洞，所述侧壁具有第二表面粗糙度值。所述孔洞的所述侧壁的所述第二表面粗糙度值小于所述孔的所述侧壁的所述第一表面粗糙度值。所述互连金属位于所述孔洞中。

[0006] 根据本发明的另一实施例，所述半导体装置还可包括经图案化导电层。所述经图案化导电层位于邻近所述芯片的所述作用表面，且将所述芯片的所述接垫电连接到位于所述封装主体的所述孔中的所述封装主体穿导孔的所述互连金属。另外，位于所述封装主体中的所述孔的所述侧壁上的所述电介质材料的一部分可进一步部分地覆盖所述封装主体的第一表面。

[0007] 根据本发明的又一实施例，提供一种用于制造前述半导体装置的方法或过程。一种示范性过程包括以下步骤：(a) 在封装主体中形成至少一个孔，所述孔具有规定的第
一表面粗糙度值；(b) 用电介质材料填充所述至少一个孔；(c) 在所述电介质材料中形成至少一个孔洞，所述孔洞具规定的第二表面粗糙度值，所述第二表面粗糙度值小于所述第一表
面粗糙度值；以及 (d) 用互连金属填充所述孔洞。

附图说明

- [0008] 本发明的这些以及其它特征在参照图式后将变得更清楚，其中：
- [0009] 图 1 为根据本发明的第一实施例建构的半导体装置的横截面图；
- [0010] 图 2 为图 1 所示的圆圈围绕区 B 的放大图；
- [0011] 图 3 为图 1 所示的圆圈围绕区 A 的放大图；
- [0012] 图 4 为沿图 3 的线 4-4 截取的横截面图；
- [0013] 图 5 为图 1 所示的半导体装置的俯视平面图，其中省略了半导体装置的第二钝化层的第二开口、焊球、经图案化导电层和表面种子层；
- [0014] 图 6 为根据本发明的第二实施例建构的半导体装置的俯视平面图；
- [0015] 图 7 为沿图 6 的线 7-7 截取的横截面图；
- [0016] 图 8 至 21 说明可用以促进制造图 1-5 所示的半导体装置的步骤的示范性序列；以
及
- [0017] 图 22-27 说明可用以促进制造图 6-7 所示的半导体装置的步骤的示范性序列。
- [0018] 图式和“具体实施方式”所使用的共同参考标号用以指示相同元件。结合附图以
及详细描述将更清楚地了解本发明。

具体实施方式

[0019] 参照图 1，描绘根据本发明的实施例建构的半导体装置 1。所述半导体装置 1 包括：半
导体裸片或芯片 2；封装主体 12；上部重分布层 (RDL)，其位于部分半导体芯片 2 和封装
主体 12 的上表面上；下部重分布层，其位于封装主体 12 的下表面的部分之上；以及至少
一个导通孔 15，其形成于通孔 123 中，所述至少一个导通孔 15 将上部重分布层与下部重分布
层互连。

[0020] 半导体芯片 2 包含作用表面 21 和对置的背侧表面 22。外围侧表面 25 在作用表面
21 与背侧表面 22 之间延伸。多个导电端子或接垫 23 位于作用表面 21 上。保护层 24 还位

于作用表面 21 上。优选为氮化物层或氧化物层的保护层 24 包含形成于保护层 24 中的多个开口 241，所述多个开口 241 暴露各个接垫 23。

[0021] 封装主体 12 部分地封装半导体芯片 2。封装主体 12 还覆盖或封装半导体芯片 2 的侧表面 25 和背侧表面 22 两者。封装主体 12 界定实质上与半导体芯片 2 的作用表面 21 连续或共平面的第一表面 121，且界定位于与第一表面 121 成对置关系的第二表面 122。封装主体 12 可由例如环氧树脂的模制化合物组成。

[0022] 上部重分布层包含第一钝化层 14、表面种子层 182、上部经图案化导电层 31 和第二钝化层 32。第一钝化层 14 覆盖经涂覆到半导体芯片 2 的作用表面 21 的保护层 24。就此来说，第一钝化层 14 包含形成于其中且与位于保护层 24 中的开口 241 中的相应开口同轴地对准的多个内部开口 141。因此，芯片 2 的接垫 23 中的每一者在对应的同轴地对准的一对开口 214 和内部开口 141 中被暴露。

[0023] 除内部开口 141 外，第一钝化层 14 还包含至少一个外部开口 142，所述至少一个外部开口 142 与形成于封装主体 12 中的至少一个孔 123 对准。图 1 所示的半导体装置 1 的实施例中，其中多个通孔 123 形成于封装主体 12 中，第一钝化层 14 包含形成于其中的多个外部开口 142，其中的每一外部开口 142 与每一孔 123 同轴地对准。因此，在半导体装置 1 中，形成于第一钝化层 14 内的外部开口 142 的数目优选等于形成于封装主体 12 中的孔 123 的数目，其中每一此类外部开口 142 与对应孔 123 对准。第一钝化层 14 可由例如聚酰亚胺 (PI) 或环氧树脂的非导电聚合物形成。或者，第一钝化层 14 可为无机的，且包括例如二氧化硅 (SiO₂) 的材料。第一钝化层 14 可更进一步包括例如苯并环丁烯 (BCB) 的感光性聚合物。可经由实施旋涂或喷涂工艺来促进第一钝化层 14 的形成。如图 1 中所见，通过第一钝化层 14 界定的外围侧表面优选与通过封装主体 12 界定的外围侧表面实质上连续或共平面。

[0024] 上部重分布层的第二钝化层 32 位于经图案化导电层 31 和第一钝化层 14 上。第二钝化层 32 具有形成于其中的多个第二开口 321。第二开口 321 暴露通过经图案化导电层 31 界定的相应区段的部分。第二钝化层 32 可由例如聚酰亚胺 (PI) 或环氧树脂的非导电聚合物形成。或者，第二钝化层 32 可为无机的，且包括例如二氧化硅 (SiO₂) 的材料。另外，第二钝化层 32 可包括例如苯并环丁烯 (BCB) 的感光性聚合物。可经由实施旋涂或喷涂工艺来促进第二钝化层 32 的形成。如图 1 中所见，通过第二钝化层 32 界定的外围侧表面优选与通过第一钝化层 14 和封装主体 12 两者界定的外围侧表面实质上连续或共平面。所属领域的技术人员将了解，第一钝化层 14 和第二钝化层 32 可由相同或不同材料制造。焊球 34 位于第二钝化层 32 的第二开口 321 中以接触经图案化导电层 32 的区段中的相应区段。

[0025] 在半导体装置 1 中，上部经图案化导电层 31 将半导体芯片 2 的接垫 23 与导通孔 15 且与位于第二钝化层 32 的第二开口 321 中的外部接点或焊球 34 电连接。因此，上部重分布层提供通往和来自具有外部印刷电路板 (未图示) 抑或可连接或安装到下部重分布层的第二半导体装置 (也未图示) 的半导体芯片 2 的信号路由。

[0026] 下部重分布层包含第三钝化层 36、背侧电路层 38、第四钝化层 39 和至少一个下部接垫或凸块下金属化层 44 (UBM)。将第三钝化层 36 涂覆到且覆盖封装主体 12 的第二表面 122。第三钝化层 36 具有位于其中的多个第三开口 361。第三开口 361 中的每一者与相应导通孔 15 的一部分对准且因此暴露所述部分。第三钝化层 36 可由例如聚酰亚胺 (PI) 或环氧

树脂等非导电聚合物形成。或者，第三钝化层 36 可为无机的，且包括例如二氧化硅 (SiO₂) 等材料。另外，第三钝化层 36 可包括例如苯并环丁烯 (BCB) 等感光性聚合物。可经由实施旋涂或喷涂工艺来促进第三钝化层 36 的形成。如图 1 中所见，通过第三钝化层 36 界定的外围侧表面优选与通过封装主体 12 界定的外围侧表面实质上连续或共平面。

[0027] 下部重分布层的背侧电路层 38 位于第三钝化层 36 上。背侧电路层 38 经图案化以界定多个离散区段，其中的每一者延伸到相应第三开口 361 中以便接触相应导通孔 15 中的一部分。所属领域的技术人员将理解，背侧电路层 38 和因此通过其图案化界定的每一区段可包括位于第三钝化层 36 上的种子层和位于种子层上的导电层的组合。

[0028] 下部重分布层的第四钝化层 39 位于背侧电路层 38 和第三钝化层 36 上。第四钝化层 39 具有形成于其中的多个第四开口 391。每一第四开口 391 暴露通过经图案化背侧电路层 38 界定的相应区段的一部分。第四钝化层 39 可由例如聚酰亚胺 (PI) 或环氧树脂等非导电聚合物形成。或者，第四钝化层 39 可为无机的，且包括例如二氧化硅 (SiO₂) 等材料。另外，第四钝化层 39 可包括例如苯并环丁烯 (BCB) 等感光性聚合物。可经由实施旋涂或喷涂工艺来促进第四钝化层 39 的形成。如图 1 中所见，通过第四钝化层 39 界定的外围侧表面优选与通过第三钝化层 36 和封装主体 12 两者界定的外围侧表面实质上连续或共平面。所属领域的技术人员将理解到，第三钝化层 36 和第四钝化层 39 可由相同或不同材料制造。凸块下金属化层 44 (UBM) 位于第四钝化层 39 的第四开口 391 中以接触经图案化背侧电路层 38 的相应区段。

[0029] 参看图 2，说明半导体装置 1 的导通孔 15 以及与上部和下部重分布层的互连的放大图。在半导体装置 1 中，每一通孔 123 从封装主体 12 的第一表面 121 延伸到封装主体 12 的第二表面 122。导通孔 15 位于每一通孔 123 内。每一导通孔 15 包括以下各者的组合：电介质材料 16、种子层 181 的离散区段，和互连金属 30。

[0030] 在每一导通孔 15 中，电介质材料 16 位于对应孔 123 内且覆盖对应孔 123 的侧壁，即，电介质材料 16 粘附到封装主体 12 的通过通孔 123 暴露的一部分。电介质材料 16 进一步位于第一钝化层 14 的与孔 123 同轴地对准的对应外部开口 142 的侧壁上且覆盖所述侧壁。第一钝化层 14 的每一外部开口 142 的直径大于封装主体 12 的对应孔 123 的直径。由于第一钝化层 14 在孔 123 形成于封装主体 12 中之前涂覆到封装主体 12 的第一表面 121，因此在用以促进形成孔 123 的激光钻孔工艺期间，激光将仅对封装主体 12 进行钻孔且将不受第一钝化层 14 影响。因此，每一导通孔 15 的电介质材料 16 进一步覆盖封装主体 12 的第一表面 121 的一部分。电介质材料 16 具有以如图示从上表面延伸到下表面的至少一个空腔或孔洞 161。如同每一通孔 123，优选经由使用激光钻孔工艺来形成此孔洞 161。就此来说，如下文将更详细地论述，在形成每一导通孔 15 的过程中，将电介质材料 16 置于每一通孔 123 和对应外部开口 142 中，其中对应孔洞 161 随后形成于电介质材料 16 中。如下文将更详细地论述，此后将种子层 181 直接电镀到孔洞 161 的侧壁上，此后用互连金属 30 填充所述孔洞 161。

[0031] 组合地参照图 3 和 4，图 3 和 4 所示为包含表面粗糙度的变化的导通孔 15 的放大图。在半导体装置 1 中，经由使用激光钻孔工艺来形成每一通孔 123，且每一通孔 123 具有在约 100 μm 至约 500 μm 的范围中的优选直径。用于半导体装置 1 中的封装主体 12 优选为包含环氧树脂和二氧化硅填料 125 的复合材料，其中二氧化硅填料 125 的大小在约 10 μm

至约 $100 \mu\text{m}$ 的范围间变化。由于包含于封装主体 12 中的环氧树脂和二氧化硅填料 125 的激光吸收特性不同,因此用以形成孔 123 的激光钻孔工艺导致每一孔 123 界定具有第一表面粗糙度值的侧壁。就此来说,每一孔 123 的侧壁的第一表面粗糙度值与包含于封装主体 12 中的二氧化硅填料 125 的大小成比例。通常,孔 123 的侧壁的第一表面粗糙度值大于约 $20 \mu\text{m}$ 。如上文所指示,封装主体 12 内包含二氧化硅填料 125 为每一孔 123 的侧壁具有前述第一表面粗糙度值的主要原因。

[0032] 每一导通孔 15 的电介质材料 16 优选为聚酰亚胺 (PI) 或与封装主体 12 不同而未包含二氧化硅填料 125 的焊料掩模。由于在电介质材料 16 中不存在任何二氧化硅填料 125,因此通过前述激光钻孔工艺形成的孔洞 161 的侧壁具有在从约 $2 \mu\text{m}$ 至约 $20 \mu\text{m}$ 的范围内且通常在从约 $5 \mu\text{m}$ 至约 $10 \mu\text{m}$ 的范围中的第二表面粗糙度值。将理解到,孔洞 161 的侧壁的第二表面粗糙度值因此通常小于对应孔 123 的侧壁的第一表面粗糙度值。即,孔洞 161 的侧壁比对应孔 123 的侧壁平滑,此情形提供某些于下文将更详细地论述的优点。如图 4 中所见,孔 123 的侧壁的形状通常呈非正圆形的形式,其中孔洞 161 的侧壁的形状较近似于正圆形。即,孔洞 161 的圆度值大于孔 123 的圆度值。

[0033] 对应于相应导通孔 15 中的种子层 181 的每一离散区段形成于在电介质材料 16 中形成的孔洞 161 的侧壁上且因此覆盖所述侧壁。另外,从种子层 181 的每一区段过渡到上部重分布层的如上文所指示位于第一钝化层 14 上的表面种子层 182 的对应离散区段。在制造半导体装置 1 的过程中,同时形成种子层 181 和表面种子层 182,其中所述两个层的对应于每一导通孔 15 的每一对所得离散区段因此一体地连接到彼此。表面种子层 182 的每一区段形成于第一钝化层 14 上以便延伸至借此界定的内部开口 141 中的一者或一者以上中,且因此接触半导体芯片 2 的接垫 23 中的一者或一者以上。

[0034] 在半导体装置 1 中,种子层 181 和表面种子层 182 两者优选由 Ti/Cu 制造。由于每一孔 123 的侧壁具有上文所描述的第一表面粗糙度值,因此将种子层 181 直接电镀于对应孔 123 的侧壁上的任何尝试将造成在控制此种子层 181 的电镀质量方面的困难。就此来说,种子层 181 的厚度在从约 $2 \mu\text{m}$ 到约 $20 \mu\text{m}$ 的范围内,借此使得难以将种子层 181 直接电镀于孔 123 的相对粗糙侧壁上。根据本发明,以前述方式使每一孔 123 具有电介质材料 16,其中接着将种子层 181 电镀到孔洞 161 的具有减小的第二表面粗糙度值的侧壁上,因此克服粗糙度问题。

[0035] 更具体来说,在半导体装置 1 中,每一孔 123 的侧壁的第一表面粗糙度大体上可由于此侧壁部分地通过二氧化硅填料 125 的从环氧树脂突出的部分而界定。按照如此方法,由于预期将经由使用上文所描述的溅镀工艺来形成种子层 181,因此通过消除电介质材料 16 而直接在孔 123 的侧壁上形成此种子层 181 的任何尝试将造成上文所强调的相同缺点。就此来说,二氧化硅填料 125 将潜在地阻碍将种子层 181 完全均匀涂覆到孔 123 的侧壁,此又可导致在填入到孔 123 中的互连金属 30 与孔 123 的侧壁之间形成空隙。这些空隙可增加导通孔的电阻,且可在完成规定可靠性测试(例如, TCT、HAST)后进一步产生缺陷。

[0036] 与通常经由使用溅镀工艺形成的种子层 181 相对比,电介质材料 16 优选作为流体而填入到每一孔 123 中且此后经固化以将其凝固。此形成工艺外加电介质材料 16 的材料性质导致电介质材料 16 沉积于孔 123 的侧壁上,其中与将由种子层 181 到孔 123 的侧壁上的直接电镀所产生的空隙相比较,实质上较少空隙界定于电介质材料 16 与孔 123 的侧壁之

间。另外,由于形成于电介质材料 16 中的孔洞 161 的侧壁的第二表面粗糙度值小于孔 123 的侧壁的第一表面粗糙度值(孔洞 161 的侧壁因此比孔 123 的侧壁平滑),因此当溅镀工艺用以促进形成种子层 181 时,存在种子层 181 的每一离散区段与对应孔洞 161 的侧壁之间的空隙形成的发生率的实质减小。因此,将电介质材料 16 包含于每一导通孔 15 内有效地克服任何尝试将种子层 181 直接电镀到孔 123 的侧壁上所产生的在控制种子层 181 的电镀质量方面的许多困难。按照如此方法,与实现种子层 181 直接到孔 123 的侧壁上的适当电镀质量将需要的增加的时间和成本相比较,与种子层 181 至孔洞 161 的侧壁上的电镀相关联的时间相对较短,其中种子层 181 的电镀质量较易于控制,因此导致用于半导体装置 1 的制造成本减少且增加其可靠性。

[0037] 半导体装置 1 的每一导通孔 15 的互连金属 30 位于电介质材料 16 的孔洞 161 内以与种子层 181 的对应区段的至少一个部分直接接触。如图 1 中所见,互连金属 30 为固体金属柱。然而,还预期互连金属 30 可替代地包括通过导电金属材料环绕的绝缘材料芯。因此,在半导体装置 1 的每一导通孔 15 内,互连金属 30 通过种子层 181 的对应区段环绕或围绕,所述种子层 181 又通过对孔 123 内的电介质材料 16 围绕。

[0038] 在半导体装置 1 中,包含位于每一导通孔 15 中的互连金属 30 一体地连接到上部重分布层的经图案化导电层 31 的对应离散区段。每一导通孔 15 的互连金属 30 和经图案化导电层 31 的对应区段同时形成,且因此一体地连接到彼此。经图案化导电层 31 的每一区段位于表面种子层 182 的对应下部区段上且沿所述区段延伸,如上文所指示,所述表面种子层 182 形成于第一钝化层 14 上以便延伸到借此界定的内部开口 141 中的一者或一者以上中,且因此接触半导体芯片 2 的接垫 23 中的一者或一者以上。按照如此方法,经图案化导电层 31 的每一区段的形状优选与上面形成有经图案化导电层 31 的表面种子层 182 的彼区段相同,经图案化导电层 31 的每一区段因此操作以促进其一体地连接的导通孔 15 的互连金属 30 到半导体芯片 2 的接垫 23 中的至少一者的电连接。在半导体装置 1 中,每一导通孔 15 的互连金属 20 且因此经图案化导电层 31 的对应区段优选由 Cu 制造。因而,经图案化导电层 31 的每一区段有效地促进半导体芯片 2 的接垫 23 中的一者或一者以上到包含于半导体装置 1 中相应导通孔 15 的互连金属 30 的电连接。

[0039] 参照图 5,在半导体装置 1 中,以大体四边形(例如,正方形)图案来布置形成于封装主体 12 中且在其第一表面 121 与第二表面 122 之间延伸的多个孔 123。就此来说,每一孔 123 定位于半导体芯片 2 的侧表面 25 与通过封装主体 12 界定的外围侧表面之间。

[0040] 图 6 描绘根据本发明的另一实施例建构的半导体装置 1a。所述半导体装置 1a 实质上类似于图 1-5 中所展示的半导体装置 1,其中下文仅强调半导体装置 1 与半导体装置 1a 之间的区别。

[0041] 半导体装置 1 与半导体装置 1a 之间的主要区别在于包含于半导体装置 1a 中的孔 123 的结构(与包含于半导体装置 1 中的孔 123 相比较)。更具体来说,半导体装置 1 中的每一孔 123 具有大体圆形配置,而半导体装置 1a 中的每一孔 123 具有大体四边形(例如,矩形)配置。由于半导体装置 1a 中的每一孔 123 的增加的大小,位于孔 123 中的电介质材料 16 可具有经由激光钻孔工艺形成于其中的多个孔洞 161,这些孔洞 161 是以规定图案或布置形成。在图 6 中所展示的半导体装置 1a 的示范性实施例中,在封装主体 12 中仅形成总计四(4)个孔 123。对置的一对孔 123 中的每一孔 123 容纳七(7)个导通孔 15a,其中剩

余的对置的一对孔 123 各自容纳三个 (3) 导通孔 15a。所属领域的技术人员将认识到,通过图 6 所示的孔 123 中的每一者容纳的导通孔 15a 的大小和数目仅为示范性的,且可在不脱离本发明的精神和范围的情况下变化。

[0042] 参看图 7,在位于半导体装置 1a 的每一孔 123 中的电介质材料 16 中形成的孔洞 161 中的每一者具有电镀到其侧壁上的种子层 181 的离散区段,且进一步具有位于其中的专用互连金属 30。因此,种子层 181 的至少两个单独区段和至少两个单独互连金属 30 位于半导体装置 1a 的每一孔 123 中。另外,如上文所指示,半导体装置 1a 的每一孔 123 容纳多个封装主体穿导孔 15a。半导体装置 1a 的孔 123 中的对应者内的每一此导通孔 15a 包括以下各者的组合:位于此孔 123 中的单个电介质材料 16、种子层 181 的专用区段,和专用互连金属 30。可归因于半导体装置 1a 的结构的主要优点中的一者在于,在与所述半导体装置 1a 相关的制造工艺中,形成孔 123 所需的时间由于孔 123 的数目减少而实质上减少,所述时间减少又导致与半导体装置 1a 的制造相关的每小时产出 (unit per hour, UPH) 生产率较高。在每一孔 123 内,在填入到此孔 123 中的电介质材料 16 中形成的孔洞 161 之间的间距可非常小,且通常在从约 10 μm 到约 100 μm 的范围内。

[0043] 在半导体装置 1a 中,形成于第一钝化层 14 中的外部开口 142 将经大小调整以容纳相应孔 123。就此来说,通过半导体装置 1a 的第一钝化层 14 中的每一孔 142 界定的四边形侧壁相对于对应孔 123 的外围向外隔开,使得半导体装置 1a 中的第一钝化层 14 不影响用以促进形成孔 123 中的每一者的激光钻孔工艺。作为半导体装置 1a 中的每一外部开口 142 与对应孔 123 之间的此相对大小调整的结果,位于每一孔 123 中的电介质材料 16 除覆盖第一钝化层 14 的对应外部开口 142 的侧壁外还将覆盖封装主体 12 的第一表面 121 的一部分。

[0044] 现参照图 8 至 21,描绘可用以促进制造图 1-5 中所展示的半导体装置 1 的步骤的示范性序列。图 8 至 21 描绘依据仅单个半导体装置 1 的制造的过程步骤。然而,所属领域的技术人员将认识到,通常以促进多个半导体装置 1 的同时制造的方式来实施过程。

[0045] 在制造工艺于图 8 所示的初始步骤中,提供可包括玻璃板或硅晶片的载体,且所述载体包含经涂覆到其一侧或其一面的黏合薄膜 42。

[0046] 在制造工艺于图 9 所示的下一步骤中,将至少一个半导体芯片 2 且优选多个半导体芯片 2 位于经涂覆的载体 40 的黏合薄膜 42 上。每一半导体芯片 2 具有在其操作性地接合到黏合薄膜 42 之前涂覆到其作用表面 21 的上文所描述的保护层 24。如图 9 进一步所示,将经涂覆到作用表面 21 的保护层 24 直接接合到黏合薄膜 42,其中半导体芯片 2 的背侧表面 22 因此安置成离黏合薄膜 42 最远。

[0047] 在制造工艺于图 10 所示的下一步骤中,通过封装主体 12 封装半导体芯片 2。更具体来说,封装主体 12 封装或覆盖每一半导体芯片 2 的侧表面 25 和背侧表面 22。另外,封装主体 12 的第一表面 121 接触黏合薄膜 42,且因此与每一半导体芯片 2 的作用表面 21 实质上连续或共平面。

[0048] 在制造工艺于图 11 所示的下一步骤中,移除载体 40 和黏合薄膜 42,因此暴露封装主体 12 的第一表面 121 和经涂覆到每一半导体芯片 2 的作用表面 21 的保护层 24。对于每一半导体芯片 2,其接垫 23 在对应保护层 24 的相应开口 241 内有效地暴露。

[0049] 在制造工艺于图 12 所示的下一步骤中,将第一钝化层 14 涂覆到部分地由封装主

体 12 封装的每一半导体芯片 2 的保护层 24。如图 12 所示,除接触半导体芯片 2 的保护层 24 外,第一钝化层 14 的部分还接触封装主体 12 的第一表面 121 的部分。第一钝化层 14 的内部开口 141 与保护层 24 的相应开口 241 同轴地对准,以促进暴露半导体芯片 2 的接垫 23。

[0050] 在制造工艺于图 13 所示的下一步骤中,经由使用第一激光 15 在封装主体 12 中形成多个通孔 123。如从图 13 所示,将来自第一激光 15 的激光能量施加到封装主体 12 的第一表面 121 的在通过第一钝化层 14 界定的每一外部开口 142 中暴露的部分。在图 13 中所展示的制造步骤中,每一孔 123 为盲孔,且因此在此阶段并不延伸到封装主体 12 的第二表面 122。如先前所解释,第一钝化层 14 的每一外部开口 142 的直径大于对应孔 123 的直径,第一激光 15 因此仅对封装主体 12 进行钻孔且不受第一钝化层 14 影响。第一激光 15 的波长优选在从约 254nm 到约 10640nm 的范围内。还如上文所指示,在完成激光钻孔工艺后,每一孔 123 的侧壁即可由于包含于封装主体 12 中的环氧树脂和二氧化硅填料 125 的激光吸收特性的差异而具有在从约 5 μm 到约 100 μm 的范围中的第一表面粗糙度值。

[0051] 在制造工艺于图 14 所示的下一步骤中,用电介质材料 16 填充每一孔 123 和在第一钝化层 14 中的对应外部开口 142。

[0052] 在制造工艺于图 15 所示的下一步骤中,经由使用第二激光 17(其可为或可不为与第一激光 15 相同的装置)对填入到每一孔 123 中的电介质材料 16 进行钻孔,此钻孔操作促进在电介质材料 16 内形成孔洞 161。当经由使用第二激光 17 完成第二激光钻孔操作时,在对应孔 123 的侧壁上和在对应外部开口 142 的侧壁上留有电介质材料 16。如上文所指示,通过第二激光钻孔工艺界定的孔洞 161 的侧壁具有通常在从约 2 μm 到约 20 μm 的范围中的第二表面粗糙度值,所述第二表面粗糙度值小于对应孔 123 的侧壁的前述第一表面粗糙度值。可预期第二激光 17 的波长将等于或小于第一激光 15 的波长。

[0053] 在制造工艺于图 16 中所示的下一步骤中,在每一孔洞 161 中和在第一钝化层 14 上电镀优选由 Ti/Cu 形成的种子层 18。所述种子层 18 界定上文关于完成的半导体装置 1 所描述的种子层 181 和表面种子层 182。由于每一孔洞 161 的侧壁的第二表面粗糙度值小于对应孔 123 的侧壁的第一表面粗糙度值(如上文所指示),因此用以促进形成种子层 18(且具体来说,其界定种子层 181 的部分)的电镀时间为短的(借此降低成本),其中电镀质量易于控制且具有高质量。接着图案化种子层 18 以界定上文所描述的种子层 181 和表面种子层 182 的每一对一体地连接的离散区段。更具体来说,作为此图案化的结果,使种子层 18 界定经分隔成对应于相应孔洞 161 的多个单独区段的种子层 181 和还经分隔成多个单独区段的表面种子层 182,表面种子层 182 的单独区段中的每一者一体地连接到种子层 181 的对应区段,且进一步延伸到通过第一钝化层 14 界定的内部开口 141 中的一者或一者以上中,以便接触对应半导体芯片 2 的接垫 23 中的一者或一者以上。

[0054] 在制造工艺于图 17 所示的下一步骤中,在种子层 181 和表面种子层 182 上电镀例如 Cu 的金属材料。接着图案化所述金属材料。此图案化导致金属材料形成于种子层 181 的每一离散区段上且填充对应孔洞 161 以界定对应导通孔 15 的互连金属 30,且导致金属材料进一步形成于表面种子层 182 的每一离散区段上以界定经图案化导电层 31 的对应区段。如先前所解释,每一导通孔 15 的互连金属 30 优选为固体金属柱,但也可以是通过导电金属材料环绕的绝缘材料芯。

[0055] 在制造工艺于图 18 所示的下一步骤中,在经图案化导电层 31 和第一钝化层 14 上形成第二钝化层 32。通过第二钝化层 32 界定的第二开口 321 暴露通过经图案化导电层 31 界定的相应区段的部分。

[0056] 在制造工艺于图 19 所示的下一步骤中,通过轮磨或蚀刻工艺使封装主体 12 从其第二表面 122 薄化。此轮磨或蚀刻工艺有效地暴露每一导通孔 15 的互连金属 30,且进一步有效地使最初为盲孔的每一孔 123 变成通孔。

[0057] 在制造工艺于图 20 所示的下一步骤中,在通过第二钝化层 32 界定的相应第二开口 321 中形成例如焊球的多个接点 34,以接触经图案化导电层 31 的相应区段。

[0058] 在制造工艺于图 21 所示的下一步骤中,在封装主体 12 的第二表面 122 上形成第三钝化层 36。通过第三钝化层 36 界定的第三开口 361 中的每一者与对应导通孔 15 对准且暴露对应导通孔 15 的互连金属 30。在形成第三钝化层 36 之后,在第三钝化层 36 上形成背侧电路层 38。图案化背侧电路层 38 以界定多个离散区段,其中的每一者延伸到通过第三钝化层 36 界定的相应第三开口 361 中以接触对应导通孔 15 的互连金属 30。此后,将第四钝化层位于背侧电路层 38 和第三钝化层 36 两者上。通过第四钝化层 39 界定的第四开口 391 中的每一者暴露通过经图案化背侧电路层 38 界定的相应区段的一部分。接着在通过第四钝化层 39 界定的每一第四开口 391 中形成如图 1 中所示的凸块下金属化层 44。

[0059] 在制造工艺的最后步骤中,接着切割或单体化封装主体 12 以及第一钝化层 14、第二钝化层 32、第三钝化层 36 和第四钝化层 39,以形成多个个别半导体装置 1(如图 1 所示)。在每一半导体装置 1 中,作为此单体化工艺的结果而形成封装主体 12 以及第一钝化层 14、第二钝化层 32、第三钝化层 36 和第四钝化层 39 中的每一者的外围侧表面。然而,每一半导体芯片 2 和对应于其的导通孔 15 优选具备各自如上文所描述的专用种子层 18、专用金属层和专用背侧电路层 38。

[0060] 现参照图 22-27,描绘可用以促进制造图 6-7 中所展示的半导体装置 1a 的步骤的示范性序列。经实施以促进制造半导体装置 1a 的方法实质上类似于上文关于制造半导体装置 1 所描述的方法,其中下文仅强调区别。

[0061] 参看图 22,用于半导体装置 1 的制造工艺与用于半导体装置 1a 的制造工艺之间的区别在于,上文关于图 13 所描述的用以在半导体装置 1 中形成孔 123 的第一激光钻孔工艺替代地用以形成半导体装置 1a 的大小增加的孔 123。更特定来说,如图 23 所示用于半导体装置 1a 的制造工艺的步骤中,以促进形成大小增加的孔 123 的方式完成第一激光钻孔工艺,所述孔 123 中的每一者具有大体四边形配置而非圆形配置。

[0062] 在制造工艺于图 24 所示的下一步骤中,用电介质材料 16 填充大小增加的每一孔 123。

[0063] 在制造工艺于图 25 所示的下一步骤中,关于填入到每一孔 123 中的电介质材料 16 而进行上文关于图 15 所描述的第二激光钻孔工艺,以便在电介质材料 16 中形成多个孔洞 161。

[0064] 在制造工艺于图 26 所示的下一步骤中,在每一孔洞 161 中和在第一钝化层 14 上电镀优选由 Ti/Cu 形成的种子层 18。接着图案化种子层 18 以界定上文所描述的种子层 181 和表面种子层 182 的每一对一体地连接的离散区段。更具体来说,作为此图案化的结果,使种子层 18 界定经分隔成对应于相应孔洞 161 的多个单独区段的种子层 181 和还经分隔成

多个单独区段的表面种子层 182，表面种子层 182 的每一单独区段一体地连接到种子层 181 的对应区段且进一步延伸到通过第一钝化层 14 界定的内部开口 141 中的一者或一者以上中，以便接触对应半导体芯片 2 的接垫 23 中的一者或一者以上。因此，种子层 18 界定完成的半导体装置 1a 中的种子层 181 和表面种子层 182 两者。

[0065] 在制造工艺于图 27 所示的下一步骤中，在种子层 18 上电镀例如 Cu 的金属材料。接着图案化所述金属材料。此图案化导致金属材料形成于种子层 181 的每一离散区段上且填充对应孔洞 161 以界定对应导通孔 15a 的互连金属 30，且导致金属材料进一步形成于表面种子层 182 的每一离散区段上以界定经图案化导电层 31 的对应区段。用以促进制造半导体装置 1a 的后续步骤类似于上文关于图 18 至 21 所示和描述的所述步骤。

[0066] 尽管已参考本发明的特定实施例描述和说明了本发明，但这些描述和说明并不限制本发明。所属领域的技术人员应理解，可在不脱离如由随附权利要求书界定的本发明的真实精神和范围的情况下作出各种改变且可用等效物替代。所述说明可能未必按比例绘制。由于制造工艺和容限，在本发明的艺术再现与实际设备之间可存在区别。可存在未特定说明的本发明的其它实施例。将说明书和图式视为说明性而非限制性的。可作出修改以使特定情形、材料、物质组成、方法或过程适合于本发明的目标、精神和范围。所有这些修改既定在附于此的权利要求书的范围内。虽然已参考以特定次序执行的特定操作描述了本文中所揭示的方法，但将理解，可在不脱离本发明的教示的情况下将这些操作组合、再分或重排序以形成等效方法。因此，除非本文中特定地指示，否则所述操作的次序和分群并非对本发明的限制。

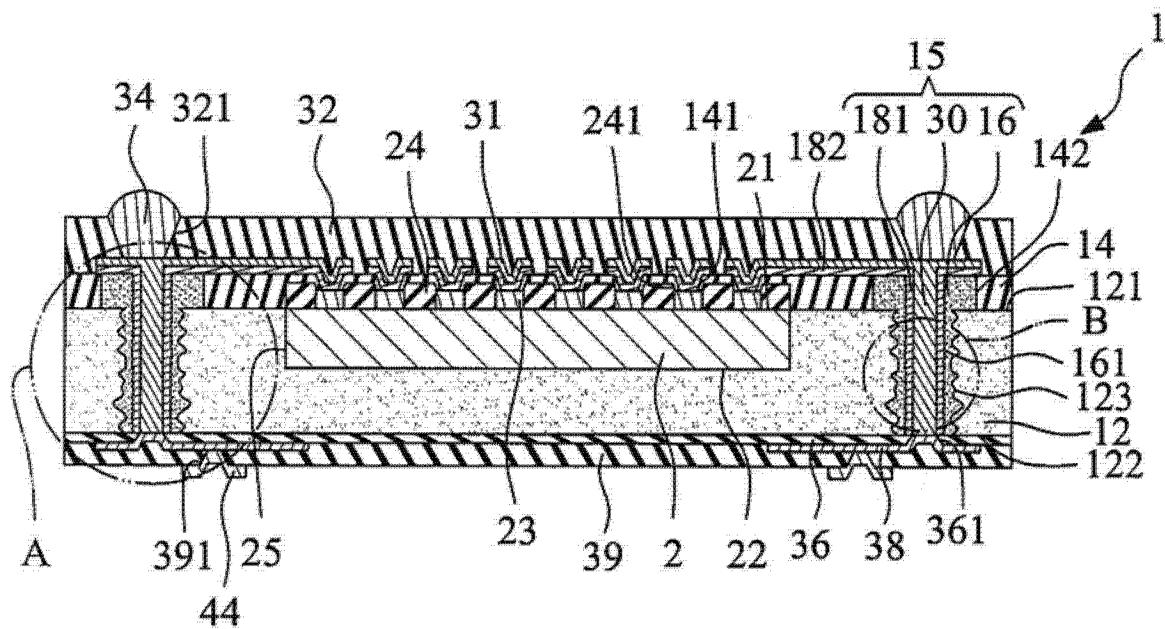


图 1

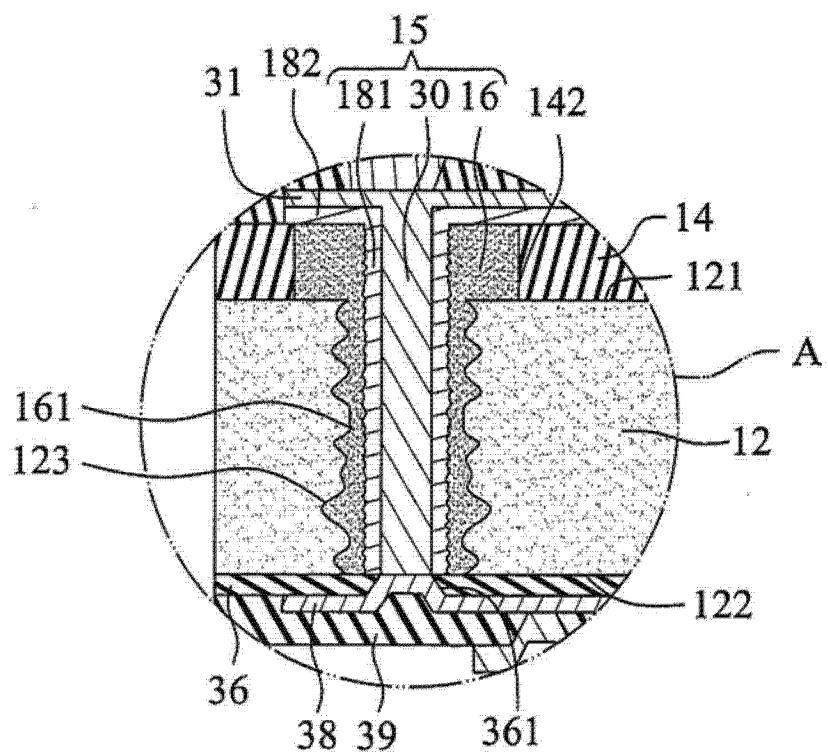


图 2

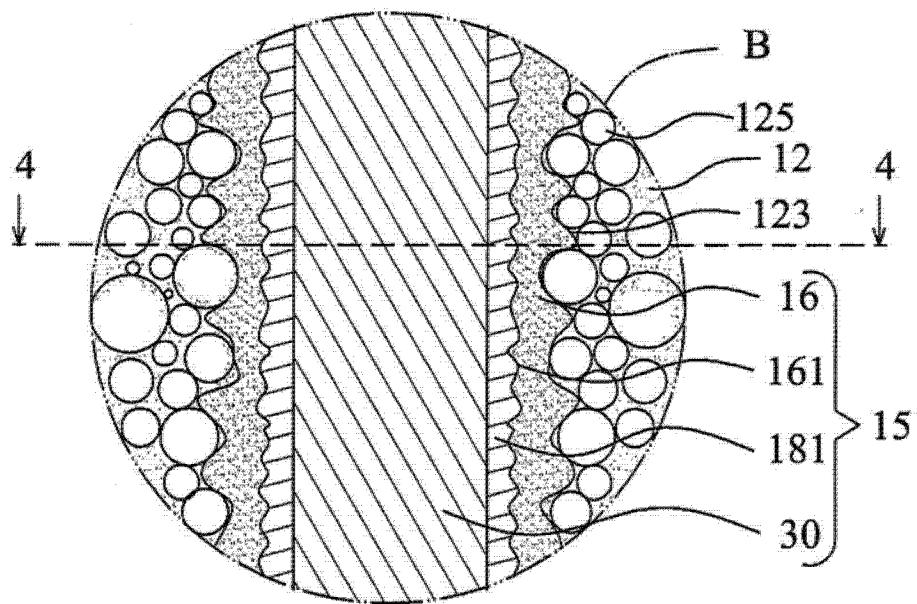


图 3

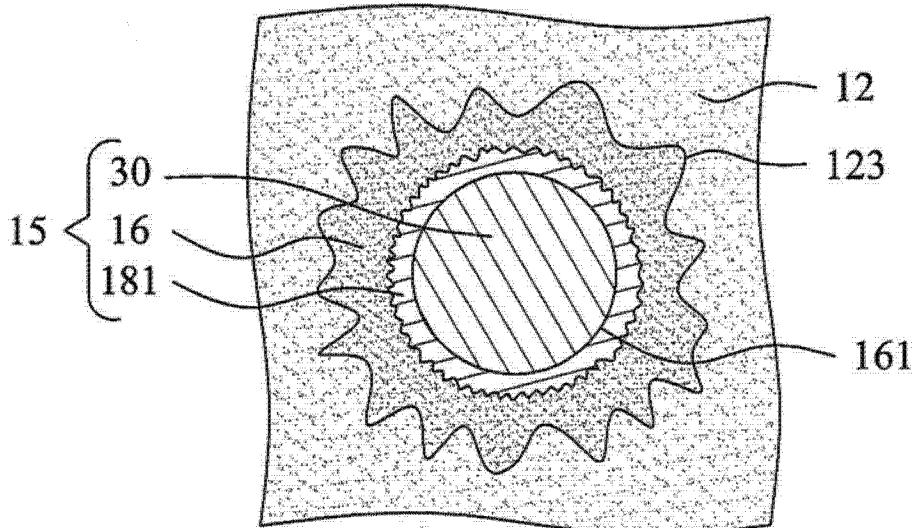


图 4

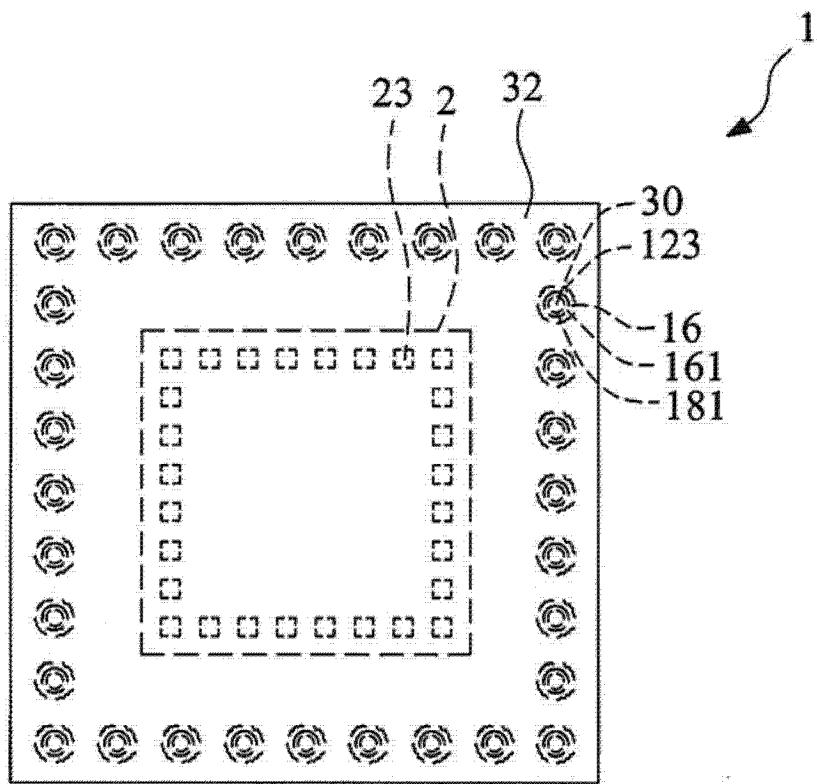


图 5

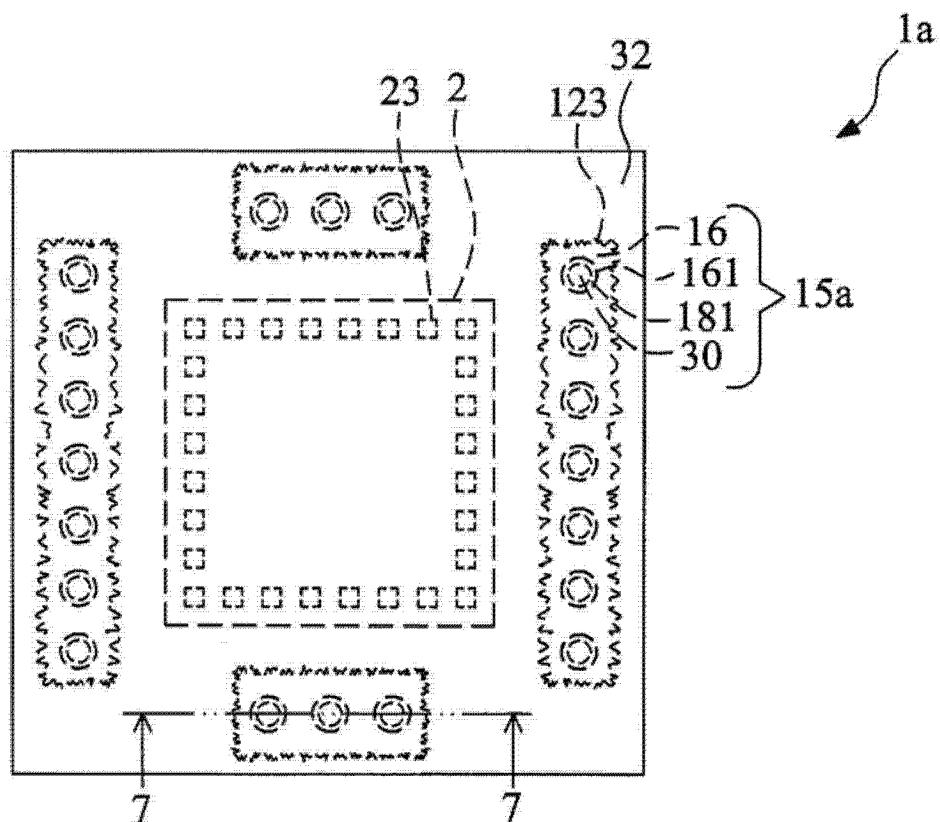


图 6

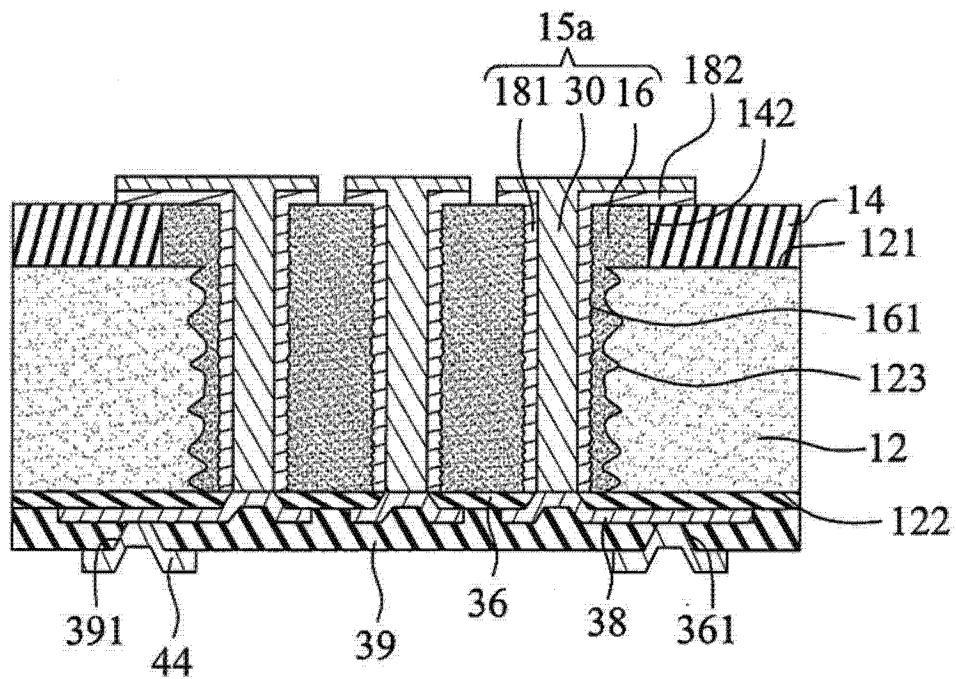


图 7

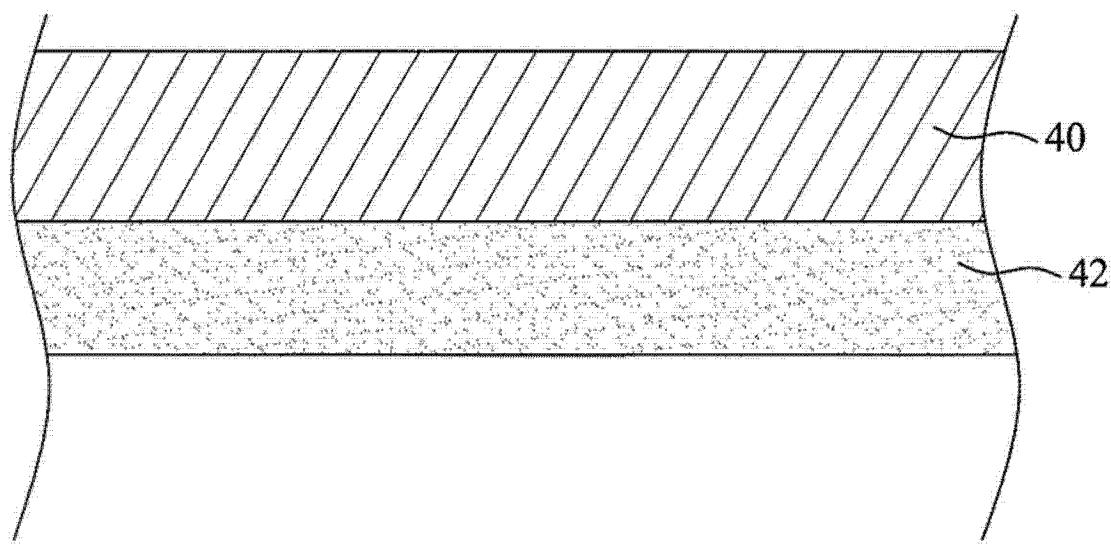


图 8

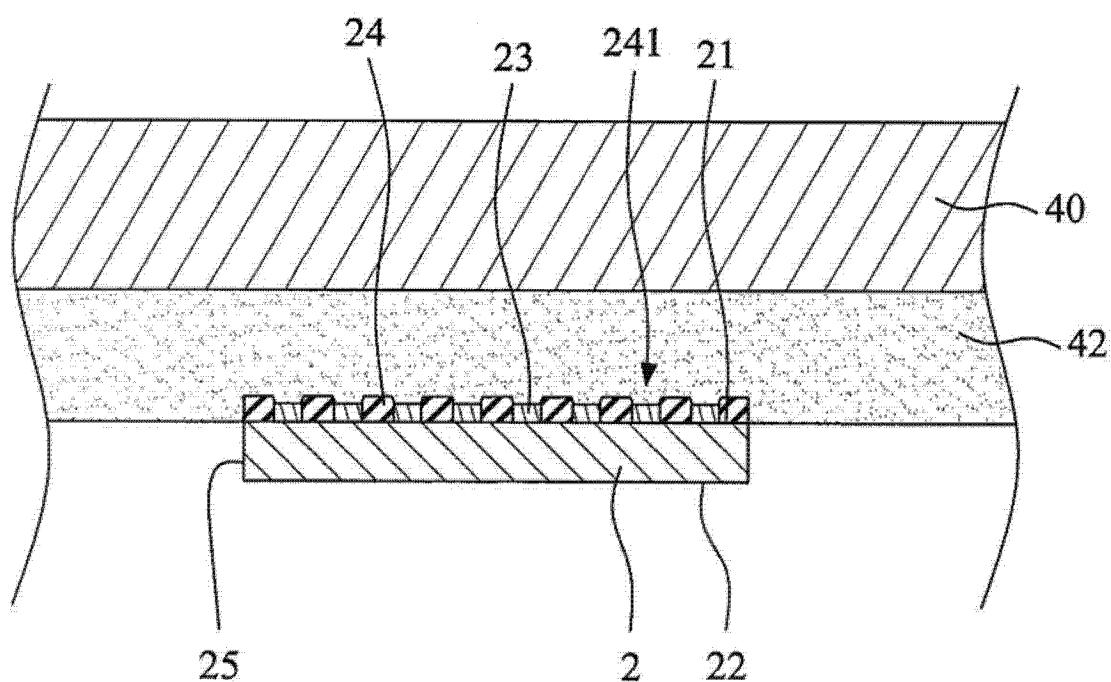


图 9

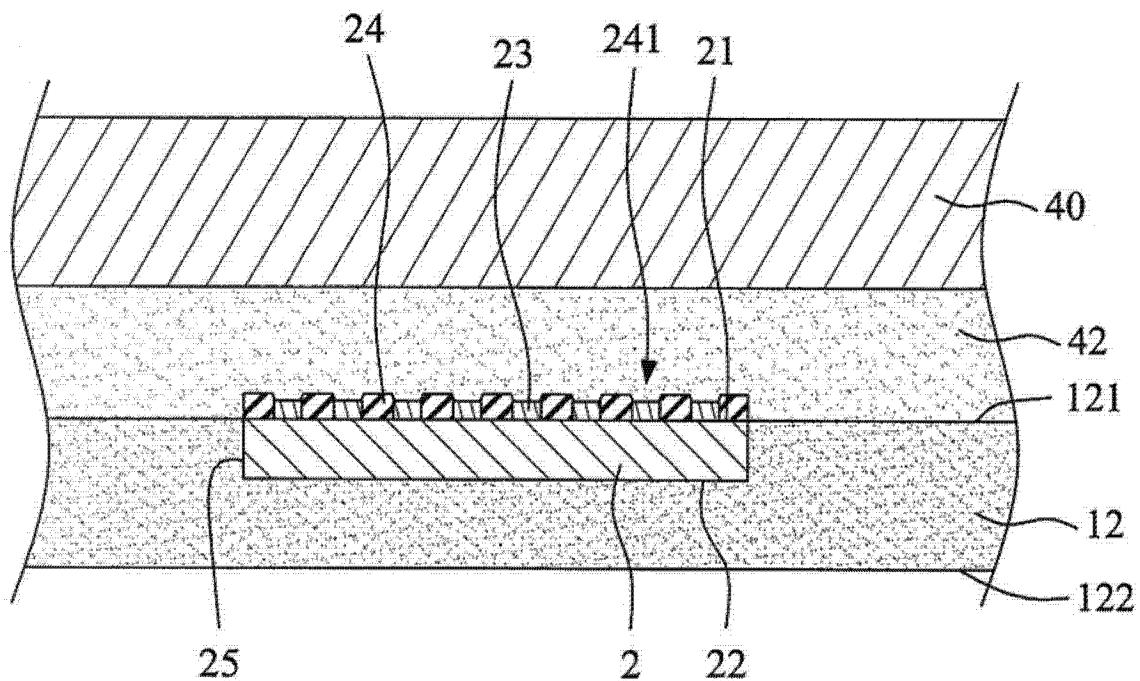


图 10

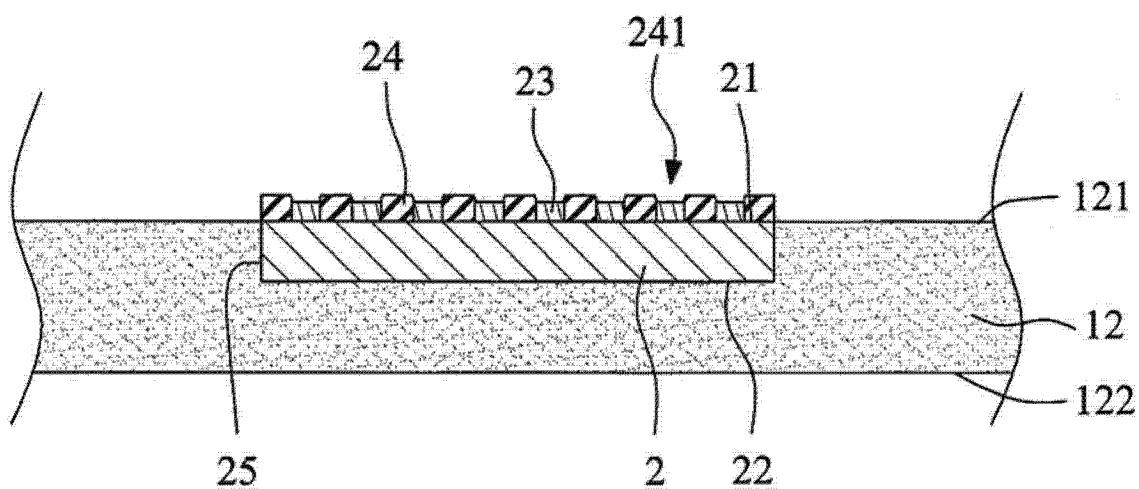


图 11

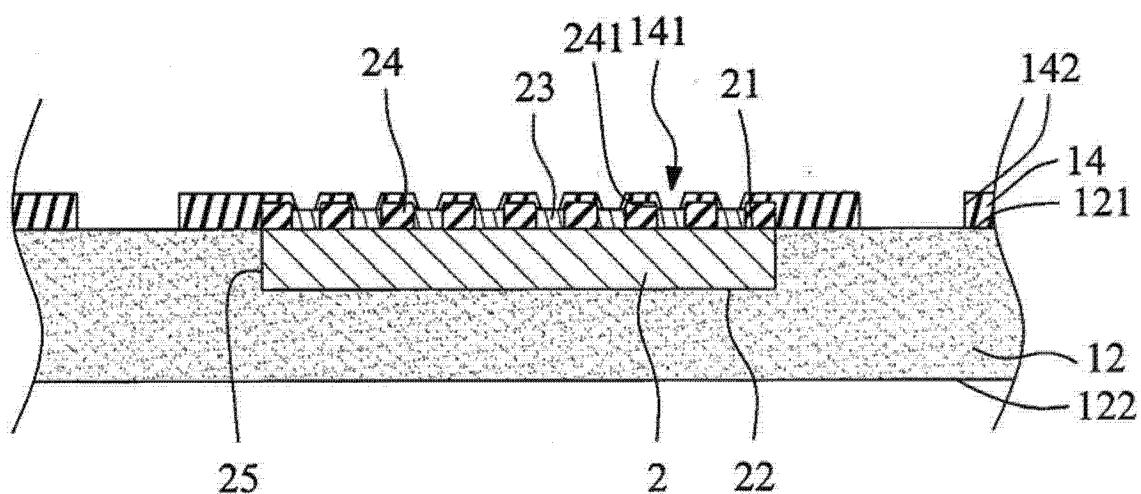


图 12

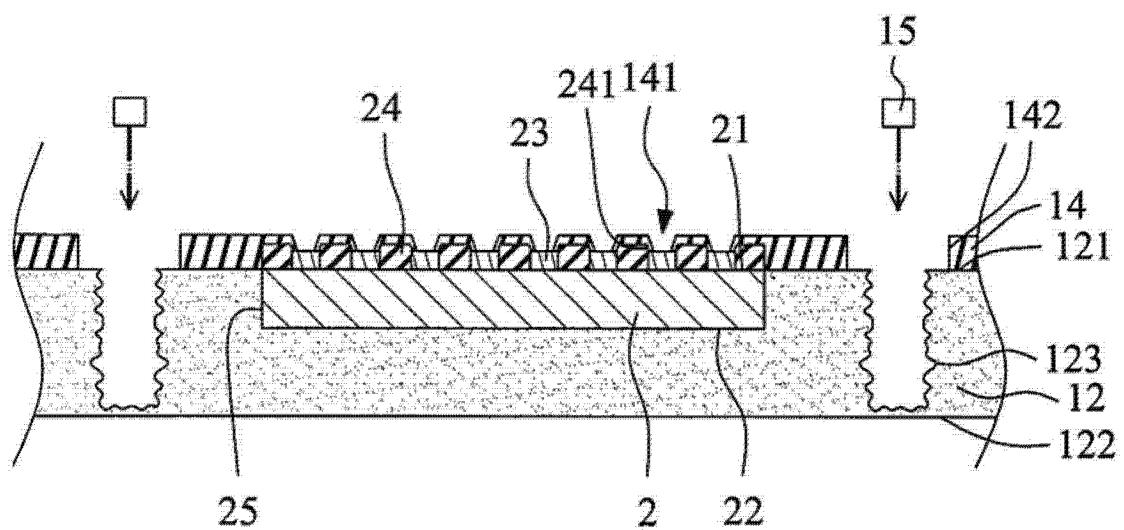


图 13

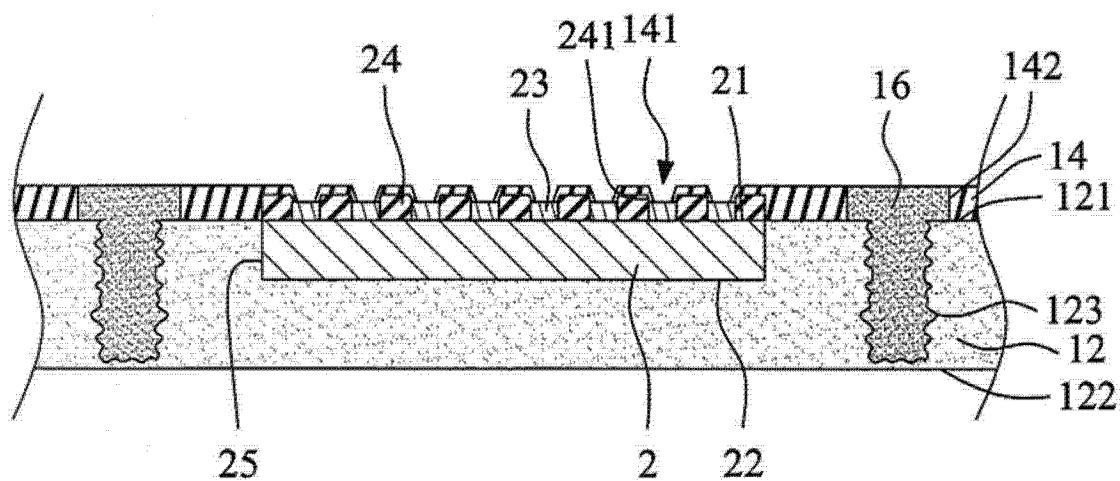


图 14

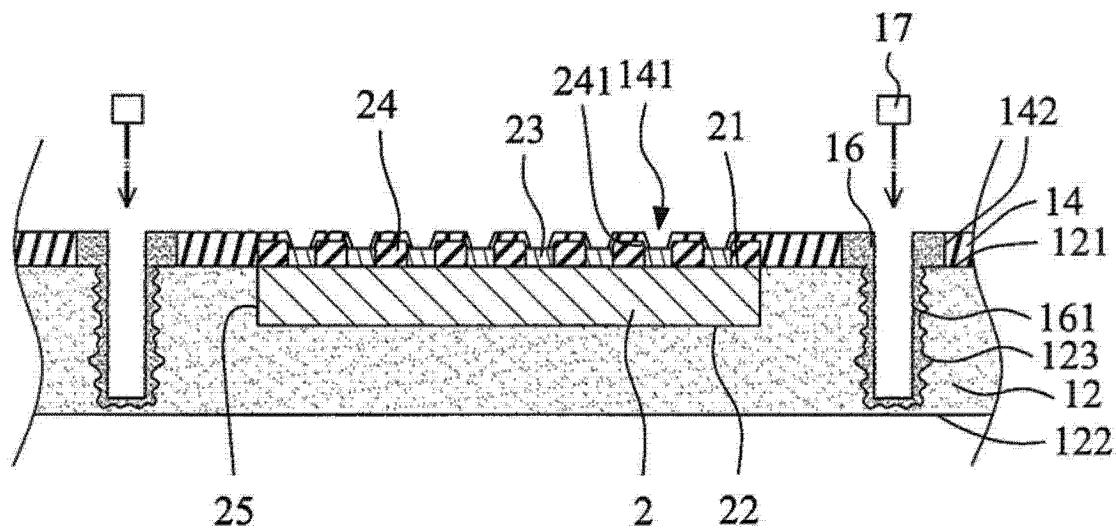


图 15

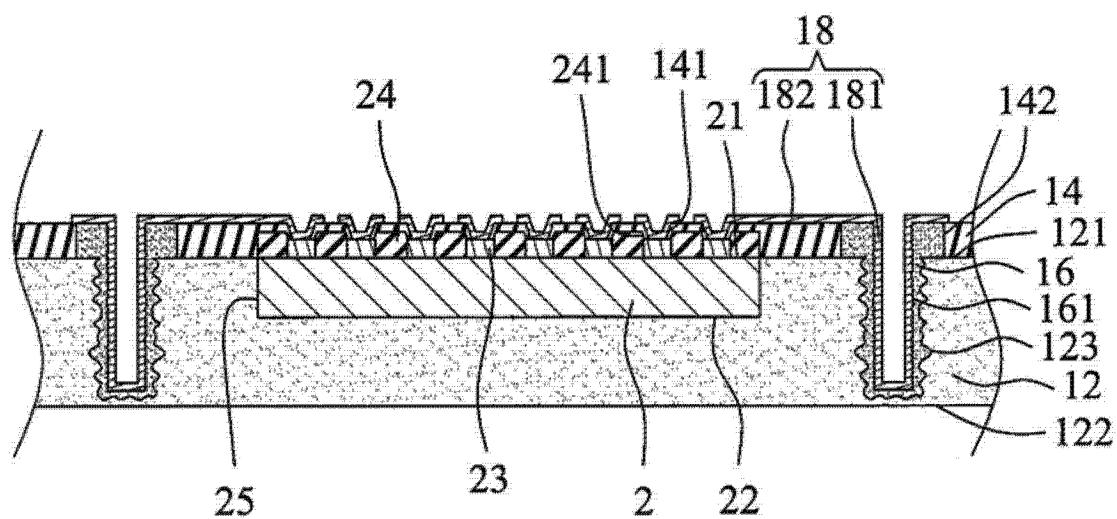


图 16

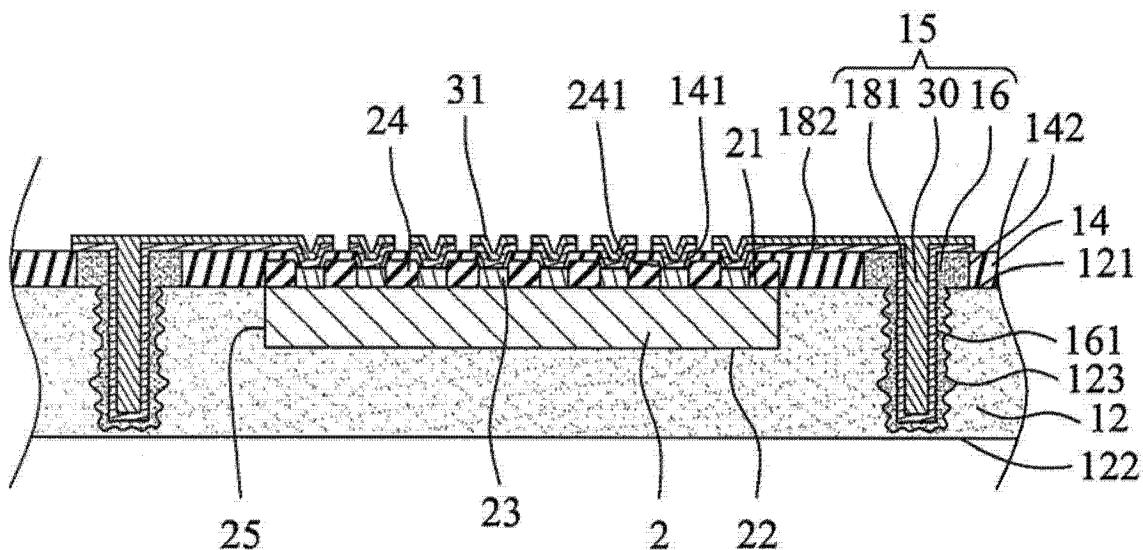


图 17

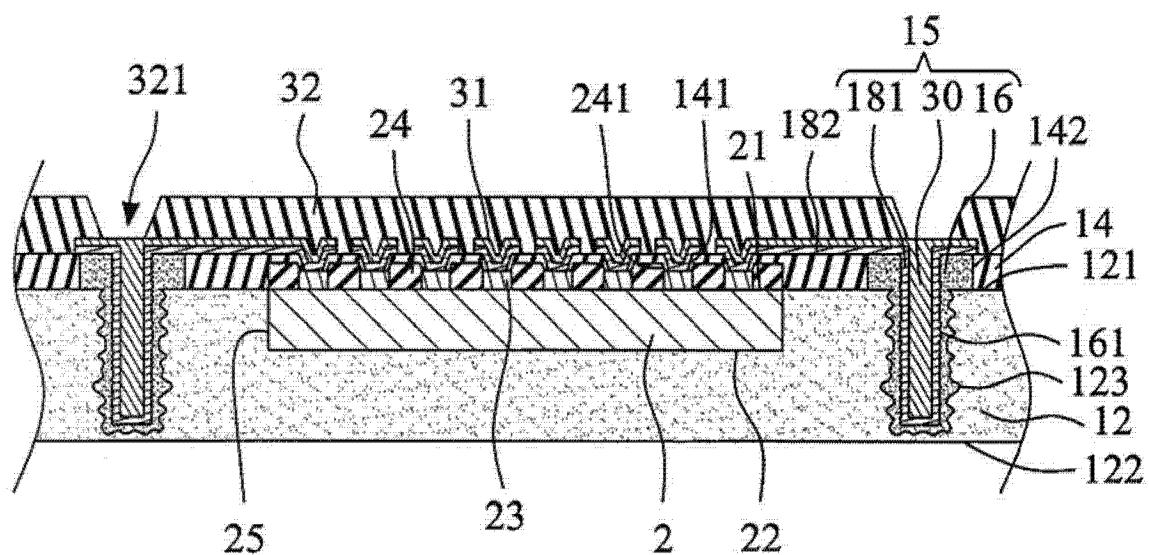


图 18

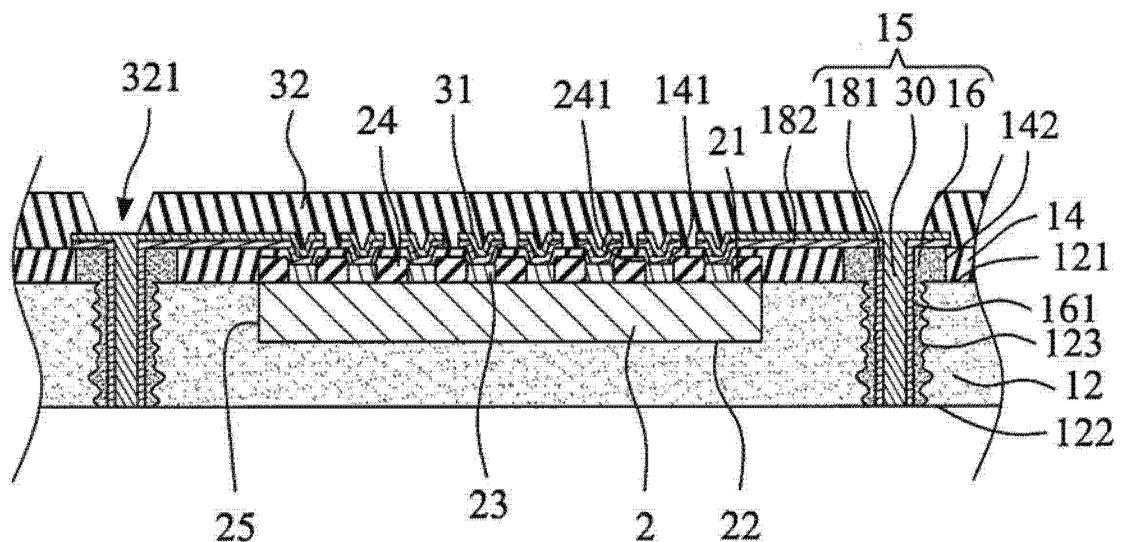


图 19

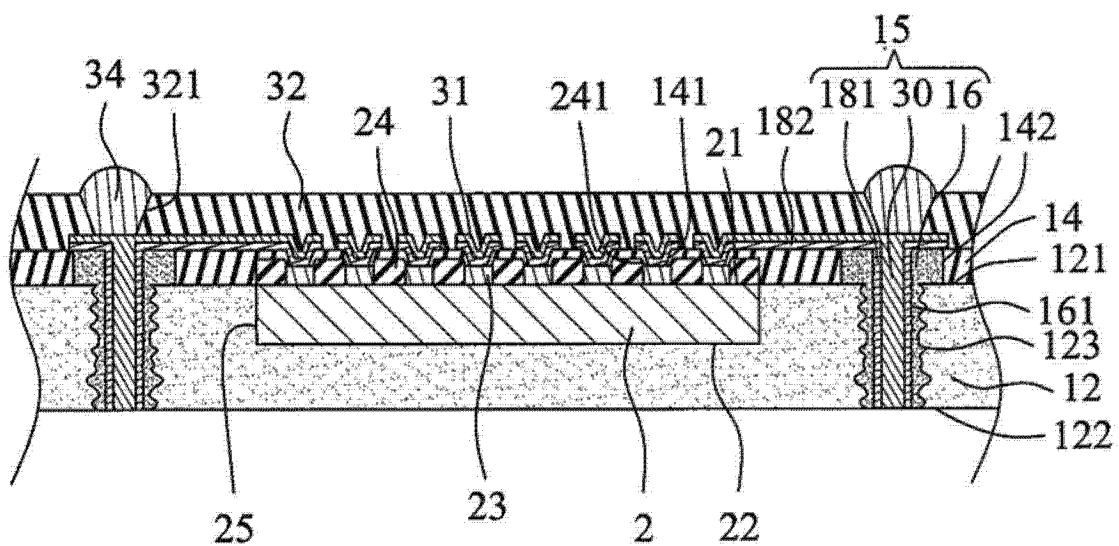


图 20

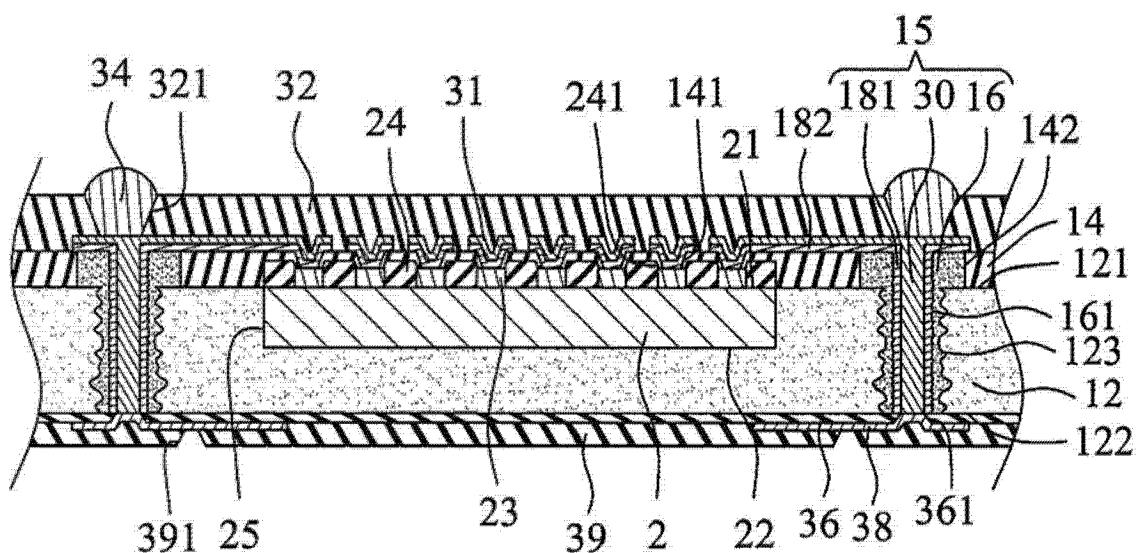


图 21

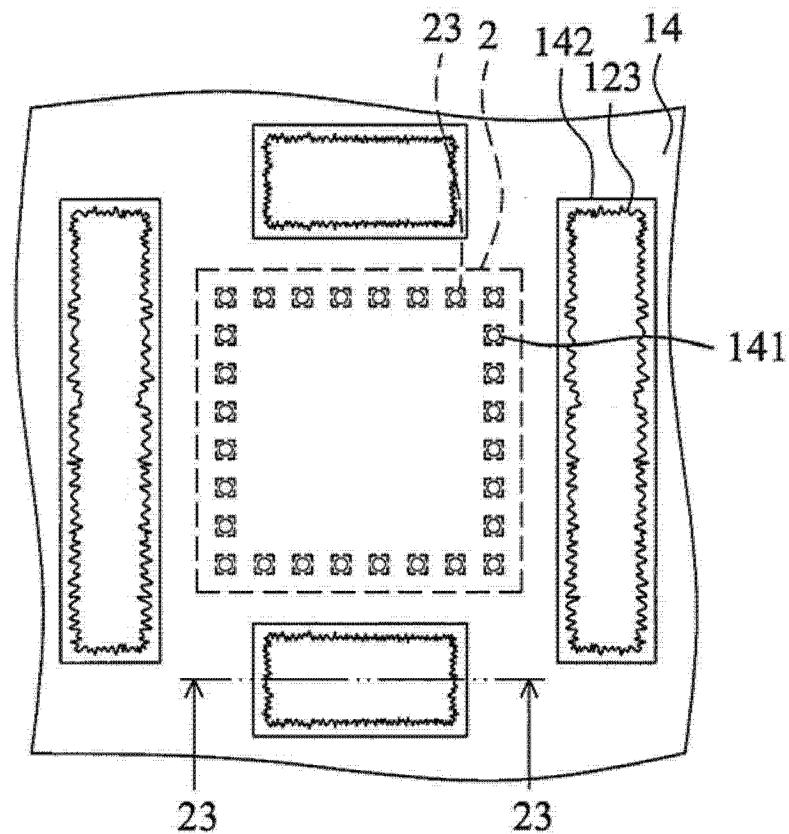


图 22

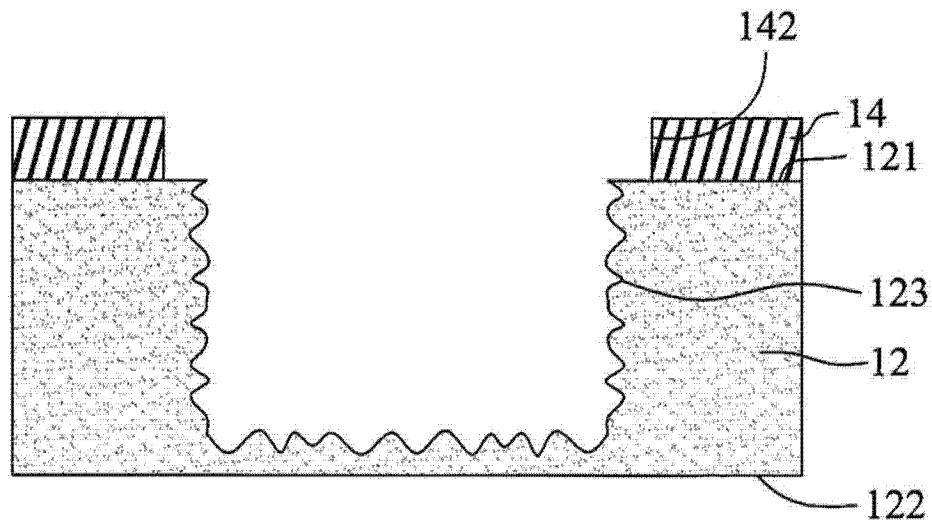


图 23

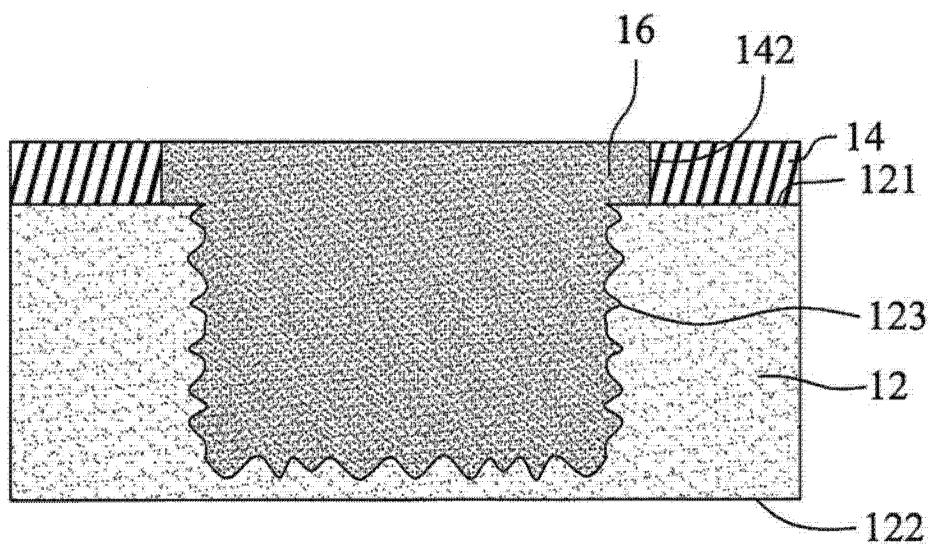


图 24

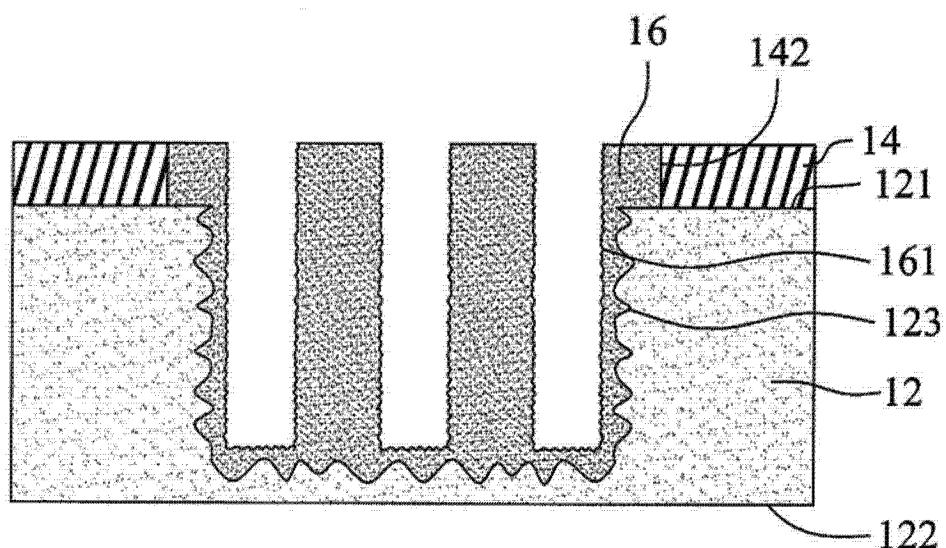


图 25

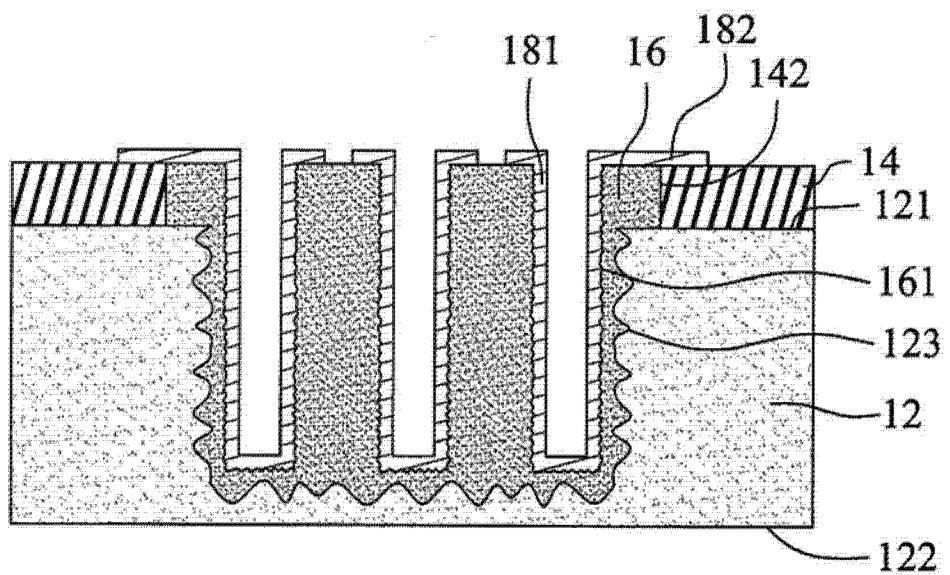


图 26

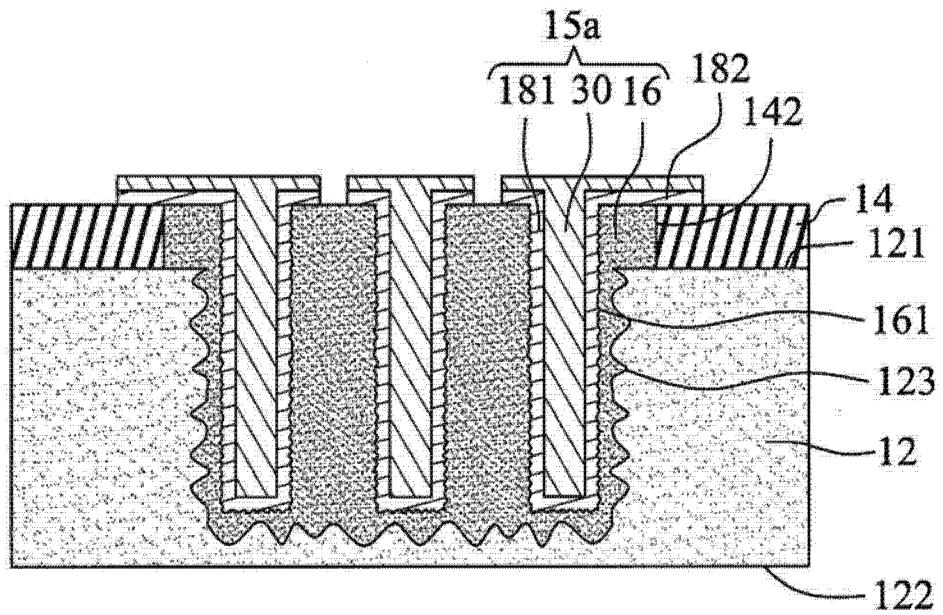


图 27