



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2018-0098309  
(43) 공개일자 2018년09월03일

- (51) 국제특허분류(Int. Cl.)  
*G11C 13/00* (2006.01) *G11C 11/38* (2006.01)  
*G11C 17/12* (2006.01) *H03M 1/78* (2006.01)  
*H03M 1/80* (2006.01)
- (52) CPC특허분류  
*G11C 13/0069* (2013.01)  
*G11C 11/38* (2013.01)
- (21) 출원번호 10-2018-7020703
- (22) 출원일자(국제) 2016년12월14일  
 심사청구일자 없음
- (85) 번역문제출일자 2018년07월18일
- (86) 국제출원번호 PCT/GB2016/053931
- (87) 국제공개번호 WO 2017/109460  
 국제공개일자 2017년06월29일
- (30) 우선권주장  
 14/979,156 2015년12월22일 미국(US)

- (71) 출원인  
**에이알엠 리미티드**  
 영국 캠브리지 씨비1 9엔제이 체리턴 폴번로드 110
- (72) 발명자  
**바브나가르와라 아지즈 첸누딘**  
 영국 캠브리지 씨비1 9엔제이 폴번로드 110  
**찬드라 비카스**  
 영국 캠브리지 폴번로드 110  
**클라인 브라이언 트레이시**  
 영국 캠브리지 씨비1 9엔제이 폴번로드 110
- (74) 대리인  
**특허법인와이에스장**

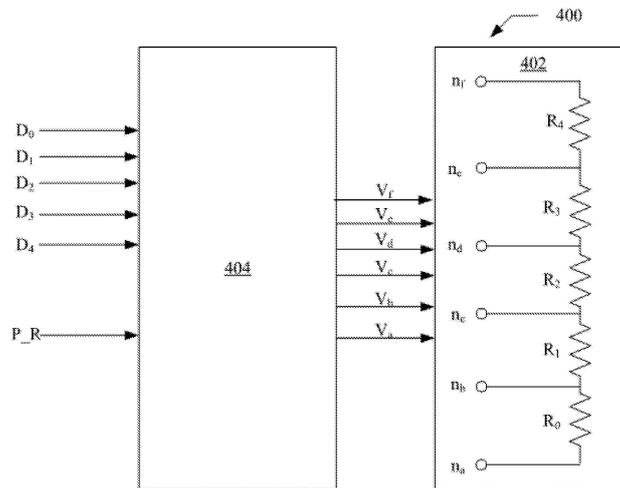
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **설정 가능한 임피던스 어레이를 위한 회로 및 방법**

**(57) 요약**

설정 가능한 임피던스가 제공된다. 설정 가능한 임피던스는 다수의 상관 전자 스위치(CES)를 포함한다. 각 CES는 복수의 임피던스 상태 중 하나로 구성될 수 있다. 또한, 프로그래밍 회로가 제공된다. 프로그래밍 회로는 입력 신호에 따라 복수의 프로그래밍 신호를 제공한다. 각각의 프로그래밍 신호는 복수의 CES로부터 각각의 CES의 임피던스 상태를 구성한다.

**대표도** - 도7



(52) CPC특허분류

*G11C 13/0002* (2018.05)

*G11C 13/0004* (2013.01)

*G11C 13/003* (2013.01)

*G11C 13/004* (2013.01)

*G11C 17/12* (2013.01)

*H03M 1/78* (2013.01)

*H03M 1/808* (2013.01)

*G11C 2213/75* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

설정 가능한 임피던스를 형성하도록 배열된 복수의 상관 전자 스위치(CES)로서, 각각의 CES는 복수의 임피던스 상태 중 하나로 구성될 수 있는 상기 복수의 상관 전자 스위치; 및

적어도 하나의 입력 신호에 각각 따르는 복수의 프로그래밍 신호를 제공하도록 구성된 적어도 하나의 프로그래밍 회로로서, 상기 각각의 프로그래밍 신호는 CES의 임피던스 상태를 구성하는 상기 프로그래밍 회로;

를 포함하는 것을 특징으로 하는 회로.

#### 청구항 2

제1 항에 있어서, 상기 적어도 하나의 프로그래밍 회로는 복수의 프로그래밍 회로를 포함하고, 각각의 프로그래밍 회로는 상기 복수의 프로그래밍 신호 중 하나를 제공하도록 구성되는 것을 특징으로 하는 회로.

#### 청구항 3

제2 항에 있어서, 상기 복수의 임피던스 상태는 제1 임피던스 상태 및 제2 임피던스 상태를 포함하고, 각각의 프로그래밍 회로는:

상기 CES를 상기 제1 임피던스 상태로 구성하기 위한 제1 프로그래밍 신호를 제공하는 제1 구동 회로; 및

상기 CES를 상기 제2 임피던스 상태로 구성하기 위한 제2 프로그래밍 신호를 제공하는 제2 구동 회로;

를 포함하고,

상기 제1 프로그래밍 신호 및 상기 제2 프로그래밍 신호 중 하나는 상기 적어도 하나의 입력 신호에 따르는 것을 특징으로 하는 회로.

#### 청구항 4

제2 항 또는 제3 항에 있어서, 상기 또는 각각의 프로그래밍 회로에 결합되고, 상기 프로그래밍 회로가 상기 적어도 하나의 입력 신호에 따르는 각각의 프로그래밍 신호를 제공할 수 있도록 배열되는 논리 회로를 더 포함하는 것을 특징으로 하는 회로.

#### 청구항 5

제1 항 내지 제4 항 중 어느 한 항에 있어서, 제어 회로를 더 포함하고, 상기 제어 회로는:

상기 적어도 하나의 입력 신호를 수신하고; 및

상기 적어도 하나의 입력 신호에 따라 적어도 하나의 제어 신호를 상기 적어도 하나의 프로그래밍 회로에 제공하도록;

구성되고,

상기 적어도 하나의 프로그래밍 회로는 상기 적어도 하나의 제어 신호에 따르는 상기 복수의 프로그래밍 신호를 제공하는 것을 특징으로 하는 회로.

#### 청구항 6

제1 항 내지 제5 항 중 어느 한 항에 있어서, 상기 적어도 하나의 프로그래밍 회로는 적어도 하나의 다른 CES의 임피던스 상태가 변하지 않게 유지하면서 하나의 CES의 임피던스 상태가 구성되도록 상기 복수의 프로그래밍 신호를 제공하는 것을 특징으로 하는 회로.

#### 청구항 7

제1 항 내지 제6 항 중 어느 한 항에 있어서, 상기 적어도 하나의 프로그래밍 회로는 상기 복수의 CES의 나머지 CES의 임피던스 상태가 변하지 않게 유지하면서 2개 이상의 CES의 임피던스 상태가 구성되도록 상기 복수의 프로그래밍 신호를 제공하는 것을 특징으로 하는 회로.

**청구항 8**

제1 항 내지 제7 항 중 어느 한 항에 있어서, 상기 복수의 임피던스 상태는 적어도 고 임피던스 상태 및 저 임피던스 상태를 포함하는 것을 특징으로 하는 회로.

**청구항 9**

복수의 상관 전자 스위치(CES)를 포함하는 설정 가능한 임피더의 임피던스를 구성하는 방법으로서,

적어도 하나의 입력 신호를 수신하는 단계;

상기 적어도 하나의 입력 신호에 따르는 적어도 하나의 프로그래밍 신호를 판정하는 단계로서, 상기 프로그래밍 신호 또는 상기 각각의 프로그래밍 신호는 상기 복수의 CES 중 하나 이상의 CES의 임피던스 상태를 구성하는 상기 판정하는 단계; 및

상기 CES 또는 각각의 CES의 상기 임피던스 상태를 구성하기 위해 상기 프로그래밍 신호를 상기 복수의 CES 중 하나 이상의 CES에 인가하는 단계;

를 포함하는 것을 특징으로 하는 설정 가능한 임피더의 임피던스를 구성하는 방법.

**청구항 10**

제9 항에 있어서, 상기 프로그래밍 신호를 CES에 인가하는 단계는 상기 복수의 CES 중 적어도 하나의 다른 CES의 임피던스 상태를 변경하지 않게 유지하는 단계를 포함하는 것을 특징으로 하는 설정 가능한 임피더의 임피던스를 구성하는 방법

**청구항 11**

제9 항 또는 제10 항에 있어서, 상기 프로그래밍 신호를 CES에 인가하는 단계는 나머지 CES의 상기 임피던스 상태를 변경하지 않게 유지하는 단계를 포함하는 것을 특징으로 하는 설정 가능한 임피더의 임피던스를 구성하는 방법.

**청구항 12**

제9 항 내지 제11 항 중 어느 한 항에 있어서, 상기 프로그래밍 신호를 인가하는 단계는 복수의 임피던스 상태 중 하나의 상태로 CES를 구성하는 단계를 포함하는 것을 특징으로 하는 설정 가능한 임피더의 임피던스를 구성하는 방법.

**청구항 13**

제12 항에 있어서, 상기 복수의 임피던스 상태는 고 임피던스 상태 및 저 임피던스 상태를 포함하는 것을 특징으로 하는 설정 가능한 임피더의 임피던스를 구성하는 방법.

**청구항 14**

디지털-아날로그 컨버터(DAC) 회로에 있어서,

복수의 디지털 입력 신호를 수신하도록 구성된 복수의 데이터 입력;

복수의 상관 전자 스위치(CES) 중 각각의 CES가 상기 복수의 디지털 입력 신호에 따르는 복수의 임피던스 상태 중 하나의 임피던스 상태로 설정 가능한 복수의 CES; 및

적어도 하나의 아날로그 출력 신호를 출력하도록 구성된 적어도 하나의 출력으로서, 상기 아날로그 출력 신호 또는 각각의 아날로그 출력 신호는 상기 복수의 CES의 임피던스 상태들에 따르는 상기 적어도 하나의 출력;

을 포함하는 것을 특징으로 하는 디지털-아날로그 컨버터.

**청구항 15**

제14 항에 있어서, 제어 회로를 더 포함하고, 상기 제어 회로는:

기록 신호인 적어도 하나의 입력 신호를 수신하고;

각각의 프로그래밍 신호가 CES의 상기 임피던스 상태를 구성하는, 상기 복수의 디지털 입력 신호에 따라 상기 복수의 CES에 복수의 프로그래밍 신호를 제공하도록;

구성되는 것을 특징으로 하는 디지털-아날로그 컨버터.

**청구항 16**

제14 항 또는 제15 항에 있어서, 제어 회로를 더 포함하고, 상기 제어 회로는:

판독 신호인 적어도 하나의 입력 신호를 수신하고; 및

상기 적어도 하나의 아날로그 출력 신호를 출력하기 위해 상기 복수의 CES에 기준 신호를 제공하도록;

구성되는 것을 특징으로 하는 디지털-아날로그 컨버터.

**청구항 17**

제14 항, 제15 항, 및 제16 항 중 어느 한 항에 있어서, 상기 복수의 임피던스 상태는 적어도 저 임피던스 상태 및 고 임피던스 상태를 포함하는 것을 특징으로 하는 디지털-아날로그 컨버터.

**발명의 설명**

**기술 분야**

[0001] 본 기술은 일반적으로 설정 가능한 임피던스에 관한 것으로, 특히, 적어도 하나의 상관 전자 스위치(CES)로 구성된 설정 가능한 임피던스에 관한 것이다.

**배경 기술**

[0002] 레지스터 체인과 같은 프로그램 가능 임피던스는 디지털 아날로그 컨버터의 저항 래더 및 신경 회로망의 저항 어레이와 같은 다수의 아날로그 신호 처리 애플리케이션에 활용할 수 있다. 레지스터 체인을 프로그래밍하기 위한 다양한 기술이 제공되었다. 그러나, 프로그래밍 전압 및 전류의 불확실성은 그러한 프로그래밍 기술에서 흔히 발생한다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명에 따르면, 적어도 하나의 상관 전자 스위치(CES)로 구성된 설정 가능한 임피던스를 제공할 수 있다.

**과제의 해결 수단**

[0004] 본 기술의 제1 양태에 따르면, 설정 가능한 임피던스를 형성하도록 배치된 복수의 상관 전자 스위치(CES)로서, 각각의 CES는 복수의 임피던스 상태 중 하나로 구성될 수 있는 상기 복수의 상관 전자 스위치; 및 각각 적어도 하나의 입력 신호에 따르는 복수의 프로그래밍 신호를 제공하도록 구성된 적어도 하나의 프로그래밍 회로로서, 각각의 프로그래밍 신호는 CES의 임피던스 상태를 구성하는 상기 프로그래밍 회로;를 포함하는 회로가 제공된다.

[0005] 실시 예에서, 상기 적어도 하나의 프로그래밍 회로는 복수의 프로그래밍 회로를 포함하고, 각각의 프로그래밍 회로는 복수의 프로그래밍 신호 중 하나를 제공하도록 구성된다.

[0006] 상기 복수의 임피던스 상태는 제1 임피던스 상태 및 제2 임피던스 상태를 포함할 수 있다. 실시 예에서, 각각의 프로그래밍 회로는: 상기 CES를 상기 제1 임피던스 상태로 구성하기 위해 제1 프로그래밍 신호를 제공하는 제1 구동 회로; 및 상기 CES를 상기 제2 임피던스 상태로 구성하기 위해 제2 프로그래밍 신호를 제공하는 제2 구동 회로;를 포함하고, 상기 제1 프로그래밍 신호 및 상기 제2 프로그래밍 신호 중 하나는 상기 적어도 하나의 입력 신호에 따른다.

- [0007] 상기 회로는 상기 또는 각각의 프로그래밍 회로에 결합되고 상기 프로그래밍 회로가 상기 적어도 하나의 입력 신호에 따른 각각의 프로그래밍 신호를 제공할 수 있도록 배열된 논리 회로를 더 포함할 수 있다.
- [0008] 상기 회로는, 상기 적어도 하나의 입력 신호를 수신하고; 상기 적어도 하나의 입력 신호에 따라 적어도 하나의 제어 신호를 상기 적어도 하나의 프로그래밍 회로에 제공하도록; 구성되는 제어 회로를 더 포함하고, 상기 적어도 하나의 프로그래밍 회로는 상기 적어도 하나의 제어 신호에 따르는 상기 복수의 프로그래밍 신호를 제공한다.
- [0009] 실시 예에서, 적어도 하나의 프로그래밍 회로는 적어도 하나의 다른 CES의 임피던스 상태를 변경하지 않게 유지 하면서 하나의 CES의 임피던스 상태가 구성되도록 상기 복수의 프로그래밍 신호를 제공한다. 부가적으로 또는 대안으로, 상기 적어도 하나의 프로그래밍 회로는 상기 복수의 CES의 나머지 CES의 임피던스 상태를 변경하지 않게 유지하면서 2개 이상의 CES의 임피던스 상태가 구성되도록 상기 복수의 프로그래밍 신호를 제공한다.
- [0010] 상기 복수의 임피던스 상태는 (적어도) 고 임피던스 상태 및 저 임피던스 상태를 포함할 수 있다.
- [0011] 본 기술의 제2 양태에서, 복수의 상관 전자 스위치(CES)를 포함하는 설정 가능한 임피더의 임피던스를 구성하는 방법이 제공되며, 상기 방법은: 적어도 하나의 입력 신호를 수신하는 단계; 상기 적어도 하나의 입력 신호에 따르는 적어도 하나의 프로그래밍 신호를 판정하는 단계로서, 상기 프로그래밍 신호 또는 상기 각각의 프로그래밍 신호는 상기 복수의 CES 중 하나 이상의 CES의 임피던스 상태를 구성 하는 상기 판정하는 단계; 및 상기 CES 또는 각각의 CES의 상기 임피던스 상태를 구성하기 위해 상기 프로그래밍 신호를 상기 복수의 CES 중 하나 이상의 CES에 인가하는 단계;를 포함한다.
- [0012] 상기 프로그래밍 신호를 CES에 인가하는 단계는 상기 복수의 CES 중 적어도 하나의 다른 CES의 임피던스 상태를 변경하지 않게 유지하는 단계를 포함할 수 있다. 부가적으로 또는 대안으로, 상기 프로그래밍 신호를 CES에 인가하는 단계는 나머지 CES의 임피던스 상태를 변경하지 않게 유지하는 단계를 포함할 수 있다.
- [0013] 실시 예에서, 상기 프로그래밍 신호를 인가하는 단계는 복수의 임피던스 상태 중 하나로 CES를 구성하는 단계를 포함한다. 상기 복수의 임피던스 상태는 고 임피던스 상태 및 저 임피던스 상태를 포함할 수 있다.
- [0014] 본 기술의 제3 양태에서, 복수의 디지털 입력 신호를 수신하도록 구성된 복수의 데이터 입력; 각각의 상관 전자 스위치(CES)가 상기 복수의 디지털 입력 신호에 따르는 복수의 임피던스 상태 중 하나의 임피던스 상태로 설정 가능한 상기 복수의 CES; 및 적어도 하나의 아날로그 출력 신호를 출력하도록 구성된 적어도 하나의 출력으로서, 상기 아날로그 출력 신호 또는 각각의 아날로그 출력 신호는 상기 복수의 CES의 임피던스 상태에 따르는 상기 적어도 하나의 출력;을 포함하는 디지털-아날로그 컨버터(DAC)가 제공된다.
- [0015] 상기 DAC는: 기록 신호인 적어도 하나의 입력 신호를 수신하고; 각각의 프로그래밍 신호가 CES의 상기 임피던스 상태를 구성하는, 상기 복수의 디지털 입력 신호에 따르는 상기 복수의 CES에 복수의 프로그래밍 신호를 제공하도록; 구성되는 제어 회로를 포함할 수 있다.
- [0016] 상기 DAC는: 판독 신호인 적어도 하나의 입력 신호를 수신하고; 상기 적어도 하나의 아날로그 출력 신호를 출력하기 위해 상기 복수의 CES에 기준 신호를 제공하도록; 구성되는 제어 회로를 포함할 수 있다.
- [0017] 상기 복수의 임피던스 상태는 적어도 저 임피던스 상태 및 고 임피던스 상태를 포함한다.

**도면의 간단한 설명**

- [0018] 상기 기술들은 첨부 도면들에 예시적으로 도식적으로 도시되어 있다:
  - 도 1은 상관 전자 스위치(CES) 엘리먼트에 대한 전류 밀도 대 전압의 플롯을 도시한다.
  - 도 2는 CES 장치에 대한 등가 회로의 개략도이다.
  - 도 3은 설정 가능한 임피더 회로의 예를 개략적으로 도시한다.
  - 도 4는 설정 가능한 임피더의 예시적인 구성을 도시한다.
  - 도 5는 복수의 CES를 사용하여 CES를 프로그래밍하기 위한 예시적인 회로를 도시한다.
  - 도 6은 예시적인 OR 게이트 어레이를 도시한다.
  - 도 7은 다수의 CES를 동시에 프로그래밍하기 위한 예시적인 회로를 도시한다.

도 8은 설정 가능한 임피던스를 제공하기 위한 예시적인 방법을 도시한다.

도 9는 예시적인 디지털-아날로그 컨버터(DAC)를 도시한다.

도 10은 하나 이상의 CES 엘리먼트를 포함하는 예시적인 메모리 어레이를 도시한다.

**발명을 실시하기 위한 구체적인 내용**

- [0019] 광범위하게 말하면, 본 기술의 실시 예는 상관 전자 재료(CEM)를 포함하는 상관 전자 스위치(CES) 엘리먼트를 제공할 수 있다. CES는 회로 내에서 연결을 가능하게 하는 회로 소자뿐만 아니라 비휘발성 저장소로서 모두 사용될 수 있다. 아래에서 더 상세히 설명하는 바와 같이, CES 엘리먼트는 도전성 상태와 절연성 상태 사이에서 재료(적어도 일부분)의 트랜지션에 적어도 부분적으로 기초하여 미리 결정된 검출 가능한 메모리 상태를 사이에서 트랜지션할 수 있는 재료를 포함한다. CES 엘리먼트는 구성을 비휘발성 방식으로 저장하고 자신의 임피던스 상태를 사용하여 연결을 가능하게 할 수 있도록 프로그래밍할 수 있다.
- [0020] "상관 전자 스위치"라는 용어는 본 명세서에서 "CES", "CES 엘리먼트", "CES 장치", "상관 전자 랜덤 액세스 메모리", "CeRAM" 및 "CeRAM 장치"와 교환 가능하게 사용된다.
- [0021] 비휘발성 메모리는 메모리 셀 또는 엘리먼트가 장치에 공급된 전력이 제거된 후에 자신의 상태를 잃지 않는 클래스의 메모리이다. 플래시 메모리 장치에서, 속도와 비트 밀도를 높이기 위해 랜덤 액세스(소거/기록 단일 비트) 유지 기능을 희생했다. 플래시는 여전히 비휘발성 메모리의 선택을 유지한다. 그럼에도 불구하고 일반적으로 플래시 메모리 기술은 40 나노 미터(nm) 이하로 쉽게 스케일링되지 않을 수 있고; 따라서, 보다 작은 크기로 스케일링될 수 있는 새로운 비휘발성 메모리 장치가 활발히 연구되고 있다는 것이 인지된다.
- [0022] CES는 CEM으로부터(전체적으로 또는 부분적으로) 형성된 특정 유형의 스위치이다. 일반적으로 말해서, CES는 고체 상태 구조 위상 변화보다는 전자 상관 관계에서 발생하는 급격한 도전성 또는 절연성 상태 트랜지션을 나타낼 수 있다.(고체 상태 구조 위상 변화의 예로는 상 변화 메모리(PCM) 장치에서의 결정/비정질, 또는 앞서 논의된 저항성 RAM 장치에서의 필라멘트 형성 및 전도가 포함된다). CES에서 급격한 도전체/절연체 트랜지션은 용융/응고 또는 필라멘트 형성과 달리 양자 역학 현상에 반응할 수 있다.
- [0023] 절연성 상태와 도전성 상태 사이에서 CES의 양자 역학적 트랜지션은 모트(MOTT) 트랜지션의 관점에서 이해될 수 있다. 모트 트랜지션에서, 모트 트랜지션 조건이 발생하면, 재료가 절연성 상태에서 도전성 상태로 전환될 수 있다. 모트 기준이 충족되도록 임계 캐리어 농도가 달성되면, 모트 트랜지션이 발생하고 상태는 고 저항/임피던스(또는 커패시턴스)에서 저 저항/임피던스(또는 커패시턴스)로 바뀔 것이다.
- [0024] CES 엘리먼트의 "상태" 또는 "메모리 상태"는 CES 엘리먼트의 임피던스 상태 또는 도전성 상태에 따를 수 있다. 이 문맥에서, "상태" 또는 "메모리 상태"는 단지 몇 가지 예를 제공하기 위해 값, 심볼, 파라미터 또는 조건을 나타내는 메모리 장치의 감지 가능한 상태를 의미한다. 하나의 특정 구현 예에서, 후술되는 바와 같이, 메모리 장치의 메모리 상태는 관독 동작에서 메모리 장치의 단자에서 검출된 신호에 적어도 부분적으로 기초하여 검출될 수 있다. 후술되는 바와 같이, 다른 특정 구현 예에서, 메모리 장치는 "기록 동작"에서 메모리 장치의 단자를 가로지르는 하나 이상의 신호를 인가함으로써 특정 값, 심볼 또는 파라미터를 나타내거나 저장하기 위해 특정 메모리 상태에 배치될 수 있다.
- [0025] 특정 실시 예에서, CES 엘리먼트는 도전성 단자 사이에 개재된 재료를 포함할 수 있다. 단자들 사이에 특정 전압 및 전류를 인가함으로써, 재료는 상술한 도전성 상태와 절연성 상태 사이에서 트랜지션할 수 있다. 아래의 특정 예시적 구현 예에서 논의된 바와 같이, 도전성 단자들 사이에 개재된 CES 엘리먼트의 재료는 전류 밀도  $J_{reset}$ 에서 전압  $V_{reset}$  및 전류  $I_{reset}$ 을 갖는 단자를 가로지르는 제1 프로그래밍 신호의 인가에 의해 절연성 상태로 놓일 수 있거나, 전류 밀도  $J_{set}$ 에서 전압  $V_{set}$  및 전류  $I_{set}$ 를 갖는 단자를 가로지르는 제2 프로그래밍 신호의 인가에 의해 도전성 상태로 놓일 수 있다.
- [0026] 부가적으로 또는 대안적으로, CES 엘리먼트는 교차점 메모리 어레이에서 메모리 셀로서 제공될 수 있고, CES 엘리먼트는 반도체 상에 형성된 금속/CEM/금속(M/CEM/M) 스택을 포함할 수 있다. 이러한 M/CEM/M 스택은 예를 들어 다이오드 상에 형성될 수 있다. 예시적인 구현에서, 그러한 다이오드는 접합 다이오드 및 쇼트키 다이오드로 구성된 그룹으로부터 선택될 수 있다. 이러한 맥락에서, "금속"은 도전체, 즉, 예를 들어 폴리실리콘 또는 도핑된 반도체를 포함하여 금속과 같이 작용하는 임의의 재료를 의미하는 것으로 이해되어야 한다.
- [0027] 도 1은 CES 엘리먼트에 대한 단자(도시되지 않음)를 가로지르는 전압 대 전류 밀도의 플롯을 도시한다. CES 엘

리먼트의 단자에 인가되는 전압(예를 들어, 기록 동작시)에 적어도 부분적으로 기초하여, CES는 도전성 상태 또는 절연성 상태에 놓일 수 있다. 예를 들어, 전압  $V_{set}$  및 전류 밀도  $J_{set}$ 의 인가는 CES 엘리먼트를 도전성 메모리 상태로 놓을 수 있고, 전압  $V_{reset}$  및 전류 밀도  $J_{reset}$ 의 인가는 CES 엘리먼트를 절연성 메모리 상태로 놓을 수 있다.

[0028] 절연성 상태 또는 도전성 상태의 CES의 배치에 후속하여, CES 엘리먼트의 특정 상태는 전압  $V_{read}$ 의 인가(예를 들어, 판독 동작에서) 및 예를 들어, 단자에서의 전류 또는 전류 밀도 또는 CES 엘리먼트의 단자를 가로지르는 바이어스의 검출에 의해 검출될 수 있다.

[0029] CES 엘리먼트 상태를 스위칭하기 위해서 CES 엘리먼트의 전류 및 전압을 모두 제어해야 한다. 예를 들어, CES 엘리먼트가 도전성 상태에 있고, 장치를 절연성 메모리 상태로 두기 위해 요구되는 전압  $V_{reset}$ 이 그에 인가되면, 전류 밀도가 또한  $J_{reset}$ 의 필수 값에 있을 때까지 CES 엘리먼트는 절연성 상태로 스위칭되지 않을 것이다. 이것은 CES 엘리먼트가 메모리로부터 판독/기록에 사용되는 경우, CES 엘리먼트에 충분한 전압이 인가되더라도 필요한 전류 밀도가 적용될 경우에만 메모리 상태가 변경되기 때문에 의도하지 않은 재기록을 방지할 수 있음을 의미한다.

[0030] 도 1의 CES 엘리먼트는 예를 들어 페로브스카이트(perovskites), 모트 절연체, 전하 교환 절연체 및 안데르센 장애 절연체(Anderson disorder insulators)와 같은 임의의 전이 금속 산화물(TMO)을 포함할 수 있다. 특정 구현 예에서, CES 엘리먼트는 단지 몇 가지 예를 제공하면 산화 니켈, 산화 코발트, 산화철, 산화이트륨 및, Cr 도핑된 스트론튬 티타네이트, 란타넘 티타네이트와 같은 페로브스카이트, 및 프라세디움 칼슘 망가나이트 및 프라세디움 란타넘 망가나이트를 포함하는 망가나이트 패밀리와 같은 스위칭 재료로 형성될 수 있다. 특히, 불완전  $d$  및  $f$  오비탈 껍질을 갖는 원소를 함유하는 산화물은 CES 장치에서 사용하기에 충분한 저항성 스위칭 특성을 나타낼 수 있다. 일 실시 예에서, CES 엘리먼트는 전기 주조없이 제조될 수 있다. 다른 구현 예는 청구된 주제를 벗어나지 않고 다른 전이 금속 화합물을 사용할 수 있다. 예를 들어,  $\{M(chxn)2Br\}Br2$ (여기서, M은 Pt, Pd 또는 Ni를 포함할 수 있고, chxn은 1R, 2R-사이클로헥산디아민을 포함) 및 이러한 다른 금속 화합물이 청구된 주제를 벗어나지 않고 사용될 수 있다.

[0031] 충분한 바이어스가 인가되고(예를 들어, 밴드 분할 전위를 초과하는) 상기 모트 조건이 충족되면(주입 전자 정공 = 스위칭 영역 내의 전자), CES 엘리먼트는 모트 트랜지션을 통해 도전성 상태에서 절연성 상태로 빠르게 전환될 수 있다. 이것은 도 1의 플롯의 108 지점에서 발생할 수 있다. 이 지점에서, 전자는 더 이상 차폐되지 않고 로컬화된다. 이러한 상관 관계는 밴드를 분할하여 절연체를 형성하는 강한 전자-전자 상호 작용 전위를 가져올 수 있다. CES 엘리먼트가 여전히 절연성 상태에 있는 동안, 전류는 전자 정공의 이송에 의해 생성될 수 있다. 충분한 바이어스가 CES의 단자를 가로질러 인가되면, 전자는 금속-절연체-금속(MIM: metal-insulator-metal) 장치의 전위 장벽을 넘어서는 MIM 다이오드로 주입될 수 있다. 충분한 전자가 주입되고 충분한 전위 단자들을 가로질러 인가되어 CES 엘리먼트를 설정 상태로 놓으면, 전자의 증가는 전자를 스크린하고 전자의 로컬화를 제거하여, 이는 금속을 형성하는 밴드 분할 전위를 붕괴시킬 수 있다.

[0032] CES 엘리먼트의 전류는 CES 엘리먼트를 도전성 상태로 놓기 위해 기록 동작 중에 제한된 외부 전류에 적어도 부분적으로 기초하여 판정된 외부적으로 인가된 "컴플라이언스" 상태에 의해 제어될 수 있다. 이 외부적으로 인가된 컴플라이언스 전류는 또한 CES를 절연성 상태로 두기 위해 후속하는 리셋 동작에 대한 전류 밀도의 조건을 설정할 수 있다.

[0033] 도 1의 특정 구현 예에서 도시된 바와 같이, CES 엘리먼트를 도전성 상태로 두기 위해 포인트(116)에서의 기록 동작 중에 인가되는 전류 밀도  $J_{comp}$ 는 CES 엘리먼트를 후속하는 기록 동작에서 절연성 상태로 놓기 위한 컴플라이언스 조건을 판정할 수 있다. 예를 들어, CES 엘리먼트는 후속하여  $J_{comp}$ 가 외부적으로 인가되는 포인트(108)에서 전압  $V_{reset}$ 에서 전류 밀도  $J_{reset} \geq J_{comp}$ 의 인가에 의해 절연성 상태에 배치될 수 있다.

[0034] 따라서 컴플라이언스 조건은 모트 트랜지션을 위한 정공에 의해 "캡처"될 CES 엘리먼트 내의 다수의 전자를 설정할 수 있다. 즉, CES 엘리먼트를 도전성 메모리 상태로 두기 위해 기록 동작에 인가된 전류는 CES 엘리먼트에 주입되어서 후속하여 CES 엘리먼트를 절연성 메모리 상태로 트랜지션하기 위한 정공의 수를 판정할 수 있다.

[0035] 위에서 지적한 바와 같이, 리셋 조건은 포인트(108)에서의 모트 트랜지션에 응답하여 발생할 수 있다. 상술한 바와 같이, 이러한 모트 트랜지션은 전자들의 농도  $n$ 이 전자 정공의 농도  $p$ 와 동일한 CES 엘리먼트에서의 조건

에서 발생할 수 있다.

[0036] 도 1에 도시된 플롯의 영역(104) 내의 전류 또는 전류 밀도는 CES 엘리먼트의 단자들을 가로질러 인가된 전압 신호로부터의 정공 주입에 응답하여 존재할 수 있다. 여기서, 정공 주입은 임계 전압 VMI가 CES 엘리먼트의 단자들을 가로질러 인가됨에 따라 전류 IMI에서 도전성 상태-절연성 상태의 트랜지션에 대한 모트 트랜지션 기준을 충족시킬 수 있다.

[0037] 판독 동작에서 CES 엘리먼트의 메모리 상태를 검출하기 위한 "판독 윈도우(read window)"(102)는 판독 전압  $V_{read}$ 에서 CES 엘리먼트가 절연성 상태에 있는 동안 도 1의 플롯의 부분(106)과 CES 엘리먼트가 도전성 상태에 있는 도 1의 플롯의 부분(104) 사이의 차이로서 설정될 수 있다.

[0038] 유사하게, 기록 동작에서 CES 엘리먼트를 절연성 또는 도전성 메모리 상태로두기 위한 "기록 윈도우"(110)는  $V_{reset}$  ( $J_{reset}$ 에서)과  $V_{set}$  ( $J_{set}$ 에서) 사이의 차이로 설정될 수 있다.  $|V_{set}| > |V_{reset}|$ 를 구축하는 것은 도전성 상태와 절연성 상태 사이를 스위칭할 수 있다.  $V_{reset}$ 은 대략적으로 상관 관계로부터 발생하는 대역 분할 전위에서일 수 있고,  $V_{set}$ 은 대략적으로 대역 분할 전위의 2배일 수 있다. 특정 구현 예에서, 기록 윈도우(110)의 크기는 CES 엘리먼트의 재료 및 도핑에 의해 적어도 부분적으로 판정될 수 있다. 고 저항(또는 고 커패시턴스)에서 저 저항(또는 저 커패시턴스)로의 트랜지션은 장치의 단일 임피던스로 나타낼 수 있다.

[0039] 도 2는 가변 임피던스 장치(124)와 같은 예시적인 가변 임피던스 장치(CES 장치와 같은)의 등가 회로의 개략도를 도시한다. 언급된 바와 같이, 가변 임피던스 장치(124)는 가변 저항과 가변 커패시턴스의 특성을 모두 포함할 수 있다. 예를 들어, 가변 임피던스 장치에 대한 등가 회로는 일 실시 예에서 가변 커패시터(128)와 같은 가변 커패시터와 병렬인 가변 레지스터(126)과 같은 가변 레지스터를 포함할 수 있다. 가변 레지스터(126) 및 가변 커패시터(128)가 이산 컴포넌트로서 도 2에 도시되지만, 가변 임피던스 장치(124)는 실질적으로 동질인 CES 엘리먼트를 동등하게 포함할 수 있고, CES 엘리먼트는 가변 커패시턴스 및 가변 저항의 특성을 포함한다. 아래의 표 1은 가변 임피던스 장치(124)와 같은 예시적인 가변 임피던스 장치에 대한 예시적 진리표를 나타낸다.

표 1

저항	커패시턴스	임피던스
$R_{high}(V_{applied})$	$C_{high}(V_{applied})$	$Z_{high}(V_{applied})$
$R_{low}(V_{applied})$	$C_{low}(V_{applied}) \sim 0$	$Z_{low}(V_{applied})$

(상관 전자 스위치 진리표)

[0040]

[0041] 도 3은 본 발명의 일 실시 예에 따른 예시적인 설정 가능한 임피던스 회로(200)의 개요를 도시한다. 회로(200)는 설정 가능한 임피던스(202), 프로그래밍 회로(204), 및 제어 회로(206)를 포함한다. 일 실시 예에서, 설정 가능한 임피던스(202)는 설정 가능한 임피던스를 제공하도록 배열된 복수의 상관 전자 스위치(CES)(202-1 내지 202-N)(집합적으로 복수의 CES(202)로서 지칭됨)를 포함할 수 있다. 일 예시적 구현 예에 따라, CES(202-1 내지 202-N)는 직렬로 연결되어 어레이를 형성한다. CES(202-1 내지 202-N)는 또한 임의의 다른 구성으로 배치되어 원하는 설정 가능한 임피던스 회로를 얻을 수 있음을 이해해야 한다. 도 3에 도시된 실시 예에서, 단일 프로그래밍 회로는 복수의 CES에 결합될 수 있다. 그러나, 대안적인 실시 예에서, 각 CES는 각각의 프로그래밍 회로에 결합될 수 있다.

[0042] 도 3을 다시 참조하면, 제어 회로(206)는 적어도 하나의 입력 신호(208)를 수신할 수 있다. 예를 들어, 입력 신호(208)는 복수의 CES(20) 중 하나 이상을 복수의 임피던스 상태 중 하나로 프로그래밍할 때 복수의 CES(202) 중 하나 이상에 기록될 바이너리 신호일 수 있다. 다른 예에서, 입력 신호(208)는 복수의 CES(202) 중 각각의 하나의 CES(202)를 복수의 임피던스 상태 중 하나로 프로그래밍하는 것을 제어하기 위한 복수의 바이너리 신호를 포함할 수 있다. 일 예에서, 임피던스 상태는 저항성 상태, 용량성 상태 또는 이들의 조합일 수 있다. 저항성 상태는 저 저항성 상태(SET 상태) 및 고 저항성 상태(RESET 상태) 중 하나일 수 있다.

[0043] 추가로 도시된 바와 같이, 프로그래밍 회로(204)는 제어 회로(206)로부터 제어 신호(210)를 수신할 수 있다. 프

로그래밍 회로(204)는 제어 신호(210)에 기초하여 복수의 프로그래밍 신호(212)를 복수의 CES(202)에 제공할 수 있다. 복수의 프로그래밍 신호(208)는 복수의 임피던스 상태 중 하나에서 복수의 CES(202) 중 하나 이상을 프로그램하도록 구성될 수 있다. 일 구현 예에서, 프로그래밍 신호(212)는 입력 신호(208)에 기초하여 하나 이상의 CES(202)를 프로그램할 수 있다.

[0044] 도 4는 본 발명의 일 실시 예에 따라, 복수의 CES(202)가 어떻게 설정 가능한 임피더(202)를 형성하도록 배열될 수 있는지에 대한 2개의 예시적인 구성을 도시한다. 도시된 바와 같이, 제1 구성(214)은 2개의 노드들 사이에 연결된 각 CES( $R_0$ - $R_{N-1}$ 로 표시)를 나타낸다. 예를 들어,  $R_0$ 는 노드  $n_0$ 과  $n_1$  사이에 연결된 것으로 표시된다. 또한 CES에는 다른 CES와의 공통 노드가 없다. 따라서, 제1 구성(214)은 N개의 CES를 연결하는 총 2N개의 노드를 가질 수 있다. 이러한 구성에서, CES는 각 노드를 가로지르는 적절한 프로그래밍 신호를 제공함으로써 프로그램될 수 있다. 또한, 프로그래밍된 CES는 출력시 설정 가능한 임피던스 값을 얻도록 바람직한 구성으로 연결될 수 있다.

[0045] 도시된 바와 같은 제2 구성(216)은 하나의 노드가 2개의 연결된 CES들 사이에서 항상 공통이 되도록 2개의 노드들 사이의 각 CES를 연결한다. 예를 들어, CES  $R_0$ 은 노드  $n_0$ 과  $n_1$  사이에 연결되어 있고  $R_1$ 은 노드  $n_1$ 과 노드  $n_2$  사이에 연결되어 있는 것으로 도시된다. 따라서,  $R_0$  및  $R_1$ 은 공통 노드, 즉  $n_1$ 을 갖는다. 따라서, 이러한 구성은 N개의 CES를 연결하기 위한 N개의 노드를 가질 수 있다.

[0046] 도 5는 본 발명의 실시 예에 따라, 복수의 CES로부터 CES를 프로그램하기 위한 예시적인 회로(300)를 도시한다. 예시된 예는 집합적으로 CES(302)로 지칭되는 N개의 CES(302-1 ... 302-N)를 포함하는 회로 배열(300)을 도시한다. 예시에서, CES(302)는 도 4에서 제2 구성(216)에 의해 도시된 바와 같이 전기적으로 배열될 수 있다.

[0047] 각각의 CeRAM 엘리먼트(302)는 집합적으로 프로그래밍 회로(304)로 지칭되는 프로그래밍 회로(304)(304-1 ... 304-N으로 표시)로 결합된다. 도시된 바와 같이, 각각의 프로그래밍 회로(304)는 노드(1), 노드(2), 노드(N)까지 표시된 각각의 노드들을 통해 논리 회로(306)에 결합될 수 있다. 논리 회로(306)는 디코더(308) 및 OR 게이트 어레이(310)를 포함할 수 있다. 일 구현 예에서, 디코더(308)는  $\log_2 N$  입력을 수신할 수 있다. 디코더(308)는  $\log_2 N$  입력들에 기초하여 N 개의 디지털 출력들을 생성할 수 있다. N 개의 디지털 출력은 OR 게이트 어레이(310)에 N 개의 입력으로서 공급될 수 있다. OR 게이트 어레이(310)는 N 개의 입력에 기초하여 N 개의 선택 신호를 생성할 수 있다.

[0048] 각 프로그래밍 회로(304-N)는 제1 구동 회로(312-N) 및 제2 구동 회로(314-N)를 포함할 수 있다. 제1 구동 회로(312)는 각각의 CES를 제1 저항 상태로 프로그래밍하도록 구성될 수 있다. 제2 구동 회로(314)는 CES를 제2 저항 상태로 프로그래밍하도록 구성될 수 있다. 도시된 바와 같이, 제1 구동 회로(312)는 전송 게이트들(316, 318) 및 제1 레벨 시프터(320)를 포함한다. 유사하게, 제2 구동 회로(314)는 전송 게이트들(322, 324) 및 제2 레벨 시프터(326)를 포함한다.

[0049] 일 실시 예에서, 각각의 CES(302)를 프로그램하기 위해 제1 구동 회로(312) 또는 제2 구동 회로(314) 중 하나를 활성화하는 프로그래밍 신호는 제어 회로(328)에 의해 제어될 수 있다. 제어 회로(328)는 제1 AND 게이트(330) 및 제2 AND 게이트(332)를 포함할 수 있다. 제1 AND 게이트(330)의 출력은 레벨 시프터(334)에 결합되고, 제2 AND 게이트(332)의 출력은 레벨 시프터(336)에 결합된다. 레벨 시프터(334, 336)는 CES를 원하는 임피던스 상태로 프로그래밍하기 위해 충분한 전압을 제공하도록 구성될 수 있다. 제어 회로(328)의 논리 구현 예는 표 2에 대해 더 설명된다. 일 구현 예에서, 표에 도시된 바와 같이, 데이터 입력(D\_IN)은도 3을 참조하여 기술된 바와 같이 입력 신호(208)일 수 있다. 또한, P\_R은 프로그램/판독 신호일 수 있다.

표 2

동작	P_R	D_IN	a	b
리셋	1	0	0	1
설정	1	1	1	0
판독	0	0	0	0
판독	0	1	0	0

(제어 회로(328)의 동작)

[0050]

- [0051] 표 2에 도시된 바와 같이, CES(302)를 리셋 상태로 프로그래밍하기 위해, P\_R은 논리 1로 설정될 수 있고 D\_IN은 논리 0으로 설정될 수 있다. 도시된 바와 같이, AND 게이트(330)(a'로 표시됨)의 출력은 논리 0이고 AND 게이트(332)(b'로 표시됨)의 출력은 논리 1이다. 결과적으로, 전송 게이트들(322 및 324)이 활성화되고, 레벨 시프터(326)는 CES(302)를 리셋 상태, 즉 고 저항 상태로 프로그래밍하기 위해 적절한 프로그래밍 신호(예를 들어, 적절한 전압 및/또는 전류)를 제공한다.
- [0052] 또한, CES(302)를 설정 상태, 즉 저 저항 상태로 프로그래밍하기 위해, P\_R을 논리 1로 설정하고 D\_IN을 논리 1로 설정할 수도 있다. 상기 표에 기초하여, AND 게이트(330)의 출력은 논리 1로 주어지고, AND 게이트(332)의 출력은 논리 0으로 주어진다. 따라서, 전송 게이트들(316 및 318)이 활성화되어, 레벨 시프터(320)가 CES(302)를 설정 상태, 즉 저 저항 상태로 프로그래밍하도록 적절한 프로그래밍 전압을 제공할 수 있게 한다. 표 2에 더 도시된 바와 같이, CES(302)가 판독 프로세스를 겪을 때, P\_R 입력은 제어 회로(328)의 AND 게이트 모두에 대해 0으로 설정되어, 프로그래밍 회로(304)의 모든 전송 게이트를 비활성화시킨다.
- [0053] 도 5에 도시된 바와 같이, 각 CES(302)는 각각의 노드를 통해 프로그래밍 회로(304)에 결합된다. 일 구현 예에서, OR 게이트 어레이(310)로부터의 출력은 프로그래밍 회로들(304) 중 하나를 선택하여 각각의 CES(302)를 프로그래밍하여 다른 모든 CES의 저항 상태가 변경되지 않고 유지되도록 할 수 있다. 즉, CES들(304)로부터 단지 하나의 CES만이 고 저항 상태 또는 저 저항 상태로 프로그래밍될 수 있고, 다른 CES들의 저항 상태는 변하지 않게 유지될 수 있다.
- [0054] 도 6은 본 발명의 일 실시 예에 따른 OR 게이트 어레이(310)를 상세히 도시한다. 도시된 바와 같이, OR 게이트 어레이(310)는 N개의 OR 게이트들(310-1, 310-2, 310-3, 등등)을 포함할 수 있다. 각 OR 게이트가 도 5에서 설명된 디코더(308)와 같은 디코더로부터 신호를 수신하도록 OR 게이트가 결합된다. 예를 들어, 디코더(308)는 디코더(308)가 N 비트 출력을 선택 신호에 기초하여 OR 게이트 어레이(310)에 제공하도록 N 비트 디코더일 수 있다. 또한, OR 게이트 어레이(310)는 디코더(308)로부터의 N 비트 출력의 각 논리 비트가 각각의 OR 게이트에 의해 수신될 수 있도록 N 비트 입력(숫자 1-N으로 표시됨)을 포함할 수 있다. 일 구현 예에서, 디코더(308)의 N 비트 출력은 OR 게이트 어레이(310)의 N 비트 입력을 구동하여, 선택된 출력 위에 있는 모든 출력 단자가 하이이고 다른 출력 단자가 접지에 있도록 할 수 있다. 액티브 출력에 의해 수신된 논리 비트에 기초하여, 프로그래밍 회로(304)는 각각의 CES를 저 저항 상태 또는 고 저항 상태로 프로그래밍할 수 있다.
- [0055] 예를 들어, CES(302-3)(도시되지 않음)가 표 2에 기초하여 고 저항 상태로 프로그래밍되어야한다면, P\_R 신호는 논리 1로 설정될 수 있고, D\_IN 신호는 논리 0으로 설정될 수 있다. 제어 회로(328)의 출력에 기초하여, 제2 구동 회로(314-3)가 활성화될 수 있다. 즉, 전송 게이트들(322-3 및 324-3)은 레벨 시프터(326-3)(미도시)가 활성화될 수 있다. 따라서, CES(302-3)는 고 저항 상태로 프로그래밍될 수 있다. 또한, 이를 위해, 프로그래밍 회로(304-3)(도시되지 않음)의 선택이 필요할 수 있다. 또한, 다른 모든 프로그래밍 회로의 회로 배열은 각각의 CES가 그들의 임피던스 상태를 변경하지 않을 수 있는 방식으로 선택될 수 있다. 이를 달성하기 위해, 상술한 바와 같이, 적절한 입력 신호가 디코더(308)에 공급될 수 있다. 입력 신호에 기초하여, OR 게이트 어레이(310)는 CES(302-3)가 고 저항 상태로 프로그래밍되고, 다른 모든 CES 상태는 변경되지 않게 되도록 적절한 선택 신호를 생성할 수 있다.
- [0056] 도 7은 본 발명의 일 실시 예에 따라 다수의 CES를 동시에 프로그래밍하기 위한 회로 배열(400)을 도시한다. 도시된 바와 같이, 회로 배열(400)은 R<sub>0</sub>-R<sub>4</sub>로 도시된 바와 같이 5개의 프로그램 가능한 CES를 포함하는 설정 가능한 임피던스(402)를 포함한다. CES는 각 CES가 노드를 통해 다른 CES에 결합되는 방식으로 서로 직렬로 결합될 수 있다. 노드는 n<sub>a</sub> - n<sub>l</sub>에 의해 도면에 표시되어 있다. 각 노드는 노드 전압(V<sub>a</sub> - V<sub>l</sub>)에 연결될 수 있다. 또한, 각각의 CES는 2개의 노드 사이에 연결되어 2개의 노드의 노드 전압의 차이가 CES를 가로지르는 전압 강하를 나타내도록 할 수 있다. 예를 들어, 노드 n<sub>a</sub> 및 n<sub>b</sub>에 대한 노드 전압 사이의 차이는 CES R<sub>0</sub>를 가로지르는 전압 강하를 제공한다. CES를 가로지르는 전압 강하는 CES에 대한 프로그래밍 전압으로 작용한다.
- [0057] 일 실시 예에서, 설정 가능한 임피던스(402)는 프로그래밍 회로(404)에 연결되어, 설정 가능한 임피던스(402)의 복수의 프로그램 가능한 CES가 프로그래밍 회로(404)로부터 수신된 신호에 기초하여 동시에 프로그래밍될 수 있도록 한다. 또한, CES가 동시에 프로그래밍되더라도, 각각의 CES는 저 저항 상태 또는 고 저항 상태로 프로그래밍될 수 있다. 일 구현 예에서, 프로그래밍 회로(404)는 (D<sub>0</sub>-D<sub>4</sub>로 표시되는) 복수의 데이터 입력에 기초하여 프로그래밍 가능한 신호를 설정 가능한 임피던스(402)에 제공할 수 있다. 일 예에서, 프로그램/판독 입력(P\_R)은 CES를

프로그래밍하는 동안 논리 1로 유지될 수 있다. 복수의 데이터 입력은 프로그래밍 회로(402)에 공급되어 적절한 노드 전압으로 변환되어 설정 가능한 임피더(402)의 복수의 프로그램 가능한 CES를 프로그래밍할 수 있다. 복수의 프로그램 가능 CES를 프로그래밍하는데 필요한 노드 전압의 예시적인 세트는 하기의 표 3에 주어진다.

[0058] 표 3에 도시된 바와 같이, 각각의 노드에는 특정 노드 전압이 제공될 수 있지만, 도시된 전압은 단지 예시적이고 비한정적인 것으로 이해될 것이다. 일례에 도시된 바와 같이, 각 CES에 대해, CES는 대응 디지털 입력 신호가 논리 0에 있을 때 고 저항 상태로 프로그래밍될 수 있고, 대응 디지털 입력 신호가 논리 1에 있을 때 저 저항 상태로 프로그래밍될 수 있다. 이 예는 단지 예시적인 목적으로 설명되며, 논리 0은 저 저항 상태로 표현될 수 있고 논리 1은 고 저항 상태로 표시될 수 있다. 이 경우 노드 전압이 그에 따라 생성된다. 또한, 설정 상태에서 CES를 프로그래밍하기 위해 대략 1.2 볼트의 전압( $V_{set}$ )이 요구될 수 있고 리셋 상태에서 CES를 프로그래밍하기 위해 대략 0.6 볼트의 전압( $V_{reset}$ )이 필요할 수 있다고 가정될 수 있다.

표 3

상태 #	노드 전압						상태				
	$n_f$	$n_e$	$n_d$	$n_c$	$n_b$	$n_a$	$R_4$	$R_3$	$R_2$	$R_1$	$R_0$
0	0	0.6	0	0.6	0	0.6	0	0	0	0	0
1	0	0.6	0	0.6	0	1.2	0	0	0	0	1
2	0.6	1.2	0.6	1.2	0	0.6	0	0	0	1	0
3	0.6	1.2	0.6	1.2	0	1.2	0	0	0	1	1
4	0	0.6	0	1.2	0.6	1.2	0	0	1	0	0
5	0	0.6	0	1.2	0.6	1.8	0	0	1	0	1
6	0	0.6	0	1.2	0	0.6	0	0	1	1	0
7	0	0.6	0	1.2	0	1.2	0	0	1	1	1
8	0.6	1.2	0	0.6	0	0.6	0	1	0	0	0
9	0.6	1.2	0	0.6	0	1.2	0	1	0	0	1
10	1.2	1.8	0.6	1.2	0	0.6	0	1	0	1	0
11	1.2	1.8	0.6	1.2	0	1.2	0	1	0	1	1
12	0.6	1.2	0	1.2	0.6	1.2	0	1	1	0	0
13	0.6	1.2	0	1.2	0.6	1.8	0	1	1	0	1
14	0.6	1.2	0	1.2	0	0.6	0	1	1	1	0
15	0.6	1.2	0	1.2	0	1.2	0	1	1	1	1
16	0	1.2	0.6	1.2	0.6	1.2	1	0	0	0	0
17	0	1.2	0.6	1.2	0.6	1.8	1	0	0	0	1
18	0	1.2	0.6	1.2	0	0.6	1	0	0	1	0
19	0	1.2	0.6	1.2	0	1.2	1	0	0	1	1
20	0	1.2	0.6	1.8	1.2	1.8	1	0	1	0	0
21	0	1.2	0.6	1.8	1.2	2.4	1	0	1	0	1
22	0	1.2	0.6	1.8	0.6	1.2	1	0	1	1	0
23	0	1.2	0.6	1.8	0.6	1.8	1	0	1	1	1
24	0	1.2	0	0.6	0	0.6	1	1	0	0	0
25	0	1.2	0	0.6	0	1.2	1	1	0	0	1
26	0.6	1.8	0.6	1.2	0	0.6	1	1	0	1	0
27	0.6	1.8	0.6	1.2	0	1.2	1	1	0	1	1
28	0	1.2	0	1.2	0.6	1.2	1	1	1	0	0
29	0	1.2	0	1.2	0.6	1.8	1	1	1	0	1
30	0	1.2	0	1.2	0	0.6	1	1	1	1	0
31	0	1.2	0	1.2	0	1.2	1	1	1	1	1

(다수의 CES를 동시에 프로그래밍)

[0059]

[0060] 도 7을 다시 참조하면, 2개의 노드의 노드 전압의 차이가 CES를 가로지르는 전압 강하를 나타내도록 각 CES가 2개의 노드 사이에 연결될 수 있다. 예를 들어, 노드  $n_a$  및  $n_b$ 에 대한 노드 전압 사이의 차이는 CES  $R_0$ 를 가로지르는 전압 강하를 제공한다. CES를 가로지르는 전압 강하는 CES에 대한 프로그래밍 전압으로 작용한다.

[0061] 표 3에 도시된 예시에서, 상태 # 0은 각각의 CES가 고 저항 상태에 있음을 나타낸다. 상태 # 0에서 프로그래밍

되는 CES의 경우, 노드  $n_a$ - $n_f$ 에 대해 해당하는 노드 전압은 각각 0.6V, 0V, 0.6V, 0V, 0.6V 및 0V로 표시된다. 상태 # 1에서  $R_0$ 은 저 저항 상태에 있고 다른 모든 CES는 고 저항 상태에 있다. 노드  $n_a$ - $n_f$ 에 대해 해당하는 노드 전압은 각각 1.2V, 0V, 0.6V, 0V, 0.6V 및 0V로 주어진다. 따라서, 노드에 인가된 적절한 노드 전압 및 노드 전류를 선택함으로써, 다수의 CES가 상이한 저항 상태로 동시에 프로그래밍될 수 있다.

[0062] 표 3에 도시된 바와 같이, CES에 대한 모든 상이한 프로그래밍 상태를 실현하기 위해 총 5개의 공급 전압, 즉, 0V, 0.6V, 1.2V, 1.8V 및 2.4V가 요구된다. 일 실시 예에서, 프로그래밍될 CES의 수가 홀수일 때, 프로그래밍 상태들 중 하나를 무효화함으로써 하나의 공급 전압이 절약될 수 있고, 따라서 공급 전압을 생성하는데 사용되는 회로에 대해 절약할 수 있다. 표 3을 다시 참조하면, 상태 # 21은 노드  $n_a$ 에서의 노드 전압을 2.4V로 나타낸다. 구현 예에서, 상태 # 21이 제거되면, 2.4 볼트의 노드 전압은 더 이상 필요하지 않을 수 있다. 따라서 노드 전압을 생성하는 데 사용되는 회로에 필요한 전력 및 면적을 절약할 수 있다. 또한, 다른 실시 예에서, 노드  $n_a$ 에서의 노드 전압을 2.4 볼트에서 0 볼트로 변경함으로써,  $R_0$ 은 여전히 저 저항 상태로 프로그래밍될 수 있다. 이것은 2.4V가 노드  $n_a$ 에 인가될 때 이전에 사용된 음의  $V_{set}$  차이보다는 노드  $n_b$  및  $n_a$ 의 노드 전압에 대해 양의  $V_{set}$  전압 차를 사용함으로써 수행될 수 있다.

[0063] 여기에 설명된 예는 설정 가능한 임피더를 구현하기 위해 단방향 CES를 사용하여 설명한다. 일 실시 예에서, 설정 가능한 임피더는 양방향 CES를 사용하여 구현될 수 있다. 양방향 스위칭 CES 프로그래밍은 프로그래밍 전압 및 전류의 값에만 의존하며 프로그래밍에 사용되는 전압의 극성 및 전류 방향과는 독립적이다. 프로그래밍 전압 및 전류의 극성에 대한 비종속성은 CES를 프로그래밍하기 위한 제어 구조를 단순화할 수 있다. 일 실시 예에서, 단방향 및 양방향 CES의 조합은 적절한 제어 전압 및 전류와 함께 사용될 수 있다.

[0064] 일 실시 예에서, 노드 전압을 제어하기 위한 전압 제어는 멀티플렉서를 사용하여 실현될 수 있다. 일 예에서, 다수의 CES를 동시에 프로그래밍하기 위해, 8-1 멀티플렉서가 각 노드에 결합될 수 있다. 노드 전압을 제어하기 위한 8-1 멀티플렉서에 대한 디지털 선택 신호는 아래 표 4에 자세히 나와 있다.

표 4

멀티플렉서를 위한 선택 신호	관련 전압
000	$V_{SS}$ (0V)
001	$V_{reset}$ (0.6V)
010	$V_{set1}$ (1.2V)
011	$V_{set2}$ (1.8V)
100	$V_{read}$ (0.4 V)
101	개방
110	개방
111	개방

(노드 전압 제어를 위한 8-1 멀티플렉서 선택 신호)

[0065]

[0066] 표 4에 나타낸 바와 같이, 8-1 멀티플렉서는 다수의 CES를 동시에 프로그래밍하는데 필요한 4개의 상이한 전압을 제공할 수 있지만, 도시된 전압은 단지 예시이고 비제한적인 것을 이해할 것이다. 일 구현 예에서, 각 노드는 멀티플렉서가 노드에 필요한 노드 전압을 제공할 수 있도록 멀티플렉서에 결합될 수 있다. 예를 들어, 표 4에 기초하여, 노드에서 0.6 볼트의 노드 전압에 대해, 멀티플렉서는 바이너리 001에 의해 주어진 선택 신호를 노드에 제공할 수 있다. 유사하게, 바이너리 000은 0 볼트와 동일한 노드 전압을 제공할 수 있다. 표 5는 멀티플렉서로부터 수신된 선택 신호를 사용하여 4개의 CES가 동시에 프로그래밍되는 예를 보여준다.

표 5

상태 #	노드 전압					CES 저항 상태				디지털 입력				멀티플렉서 선택 신호	
	n <sub>e</sub>	n <sub>d</sub>	n <sub>c</sub>	n <sub>b</sub>	n <sub>a</sub>	R <sub>3</sub>	R <sub>2</sub>	R <sub>1</sub>	R <sub>0</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	n <sub>a</sub>	n <sub>b</sub>
1	0.6	0	0.6	0	0.6	1	1	1	1	0	0	0	0	001	000
2	0.6	0	0.6	0	1.2	1	1	1	0	0	0	0	1	010	000
3	1.2	0.6	1.2	0	0.6	1	1	0	1	0	0	1	0	001	000
4	1.2	0.6	1.2	0	1.2	1	1	0	0	0	0	1	1	010	000
5	0.6	0	1.2	0.6	1.2	1	0	1	1	0	1	0	0	010	001
6	0.6	0	1.2	0.6	1.8	1	0	1	0	0	1	0	1	011	001
7	0.6	0	1.2	0	0.6	1	0	0	1	0	1	1	0	001	000
8	0.6	0	1.2	0	1.2	1	0	0	0	0	1	1	1	010	000
9	1.2	0	0.6	0	0.6	0	1	1	1	1	0	0	0	001	000
10	1.2	0	0.6	0	1.2	0	1	1	0	1	0	0	1	010	000
11	1.8	0.6	1.2	0	0.6	0	1	0	1	1	0	1	0	001	000
12	1.8	0.6	1.2	0	1.2	0	1	0	0	1	0	1	1	010	000
13	1.2	0	1.2	0.6	1.2	0	0	1	1	1	1	0	0	010	001
14	1.2	0	1.2	0.6	1.8	0	0	1	0	1	1	0	1	011	001
15	1.2	0	1.2	0	0.6	0	0	0	1	1	1	1	0	001	000
16	1.2	0	1.2	0	1.2	0	0	0	0	1	1	1	1	010	000
17	0.4	Z	Z	Z	0	X	X	X	X	X	X	X	X	000	101

(다수의 CES를 동시에 프로그래밍 하기 위한 진리표)

[0067]

[0068]

표 5에 도시된 바와 같이, 고 저항 상태 또는 저 저항 상태에서 다수의 CES를 프로그래밍하기 위해, 적절한 노드 전압을 얻기 위해 멀티플렉서로부터의 상이한 선택 신호가 각 노드에 공급될 수 있지만, 도시된 전압은 단지 예시적이고 비한정적이라는 것이 이해될 것이다. 예를 들어, 상태 # 1에 도시된 바와 같이, 4개의 CES, 즉 R<sub>0</sub>, R<sub>1</sub>, R<sub>2</sub> 및 R<sub>3</sub> 각각은 고 저항 상태로 프로그래밍된다. 또한, 표 4에 따르면, R<sub>0</sub> 엘리먼트를 고 저항 상태로 프로그래밍하기 위해, 노드 a(n<sub>a</sub>)는 0.6 볼트의 노드 전압을 가져야 하고 노드 b(n<sub>b</sub>)는 0 볼트의 노드 전압을 가져야 한다. 이들 전압을 제공하기 위해, 바이너리 001의 선택 신호는 노드 n<sub>a</sub>와 관련된 8-1 멀티플렉서에 공급될 수 있고, 바이너리 000의 선택 신호는 노드 n<sub>b</sub>와 관련된 8-1 멀티플렉서에 공급될 수 있다. 노드 n<sub>a</sub> 및 n<sub>b</sub>상의 노드 전압은 표 4에 나타난 방식에 기초할 수 있다. 알 수 있는 바와 같이, 바이너리 001은 0.6 볼트의 출력을 제공할 수 있고 바이너리 000은 0볼트의 출력을 제공할 수 있다. 노드 n<sub>b</sub> 및 n<sub>a</sub>의 노드 전압의 차이는 CES R<sub>0</sub>를 고 저항 상태로 프로그래밍하는데 필요한 프로그래밍 전압을 제공할 수 있다. 표 5는 노드 전압을 생성하기 위해 노드 n<sub>a</sub> 및 n<sub>b</sub>에 공급되는 선택 신호를 나타낸 것이다. 다른 노드들, 즉 n<sub>c</sub>, n<sub>d</sub> 및 n<sub>e</sub>에 대한 선택 신호들이 유사한 방식으로 생성될 수 있다. 또한, 다수의 CES를 동시에 프로그래밍하는 상기 배열은 서로 결합된 4개의 CES에 대하여 설명된다. 그러나, 대안적인 실시 예에서, 4개 이상의 CES가 동시에 프로그래밍될 수도 있다.

[0069]

일 예시에서, 판독 동작에 대해, 표 5의 상태 # 17에 도시된 바와 같이, 적절한 노드 전압이 CES에 인가될 수 있다. 도시된 바와 같이, 판독 동작에 대해, 노드 n<sub>a</sub>는 0볼트의 전압이어야 하고 노드 n<sub>c</sub>는 0.4 볼트의 전압을 가져야 한다. 표 3에 도시된 방식에 기초하여, 이들 전압을 제공하기 위해, 바이너리 000의 선택 신호는 노드 n<sub>a</sub>와 연관된 8-1 멀티플렉서에 공급될 수 있고, 바이너리 100의 선택 신호는 노드 n<sub>c</sub>에 연관된 8-1 멀티플렉서로 공급될 수 있다. 또한 표 5에서 "Z"로 표시된 바와 같이 다른 모든 노드는 연결이 연결해제되거나 개방될 수 있다. 또한 CES에 대한 디지털 입력 및 결과적으로 CES의 저항 상태는 표 5에서 "X"로 표시된 것처럼 모든 값을 가정할 수 있다. 일 구현 예에서, n<sub>a</sub>와 n<sub>c</sub> 사이의 전압 강하가 판독될 수 있다. 다른 구현 예에서, 고정 전압이 인가될 수 있고 노드 n<sub>a</sub> 및 n<sub>c</sub> 사이의 전류가 판독될 수 있다.

[0070]

일 실시 예에서, 디지털 논리 변환은 다수의 CES를 프로그래밍하기 위해 상기 표로부터 프로그래밍 회로를 생성하는데 사용될 수 있다. 다른 실시 예에서, 노드 전압에 대한 전압 제어는 레지스터-전달 로직(RTL: register-transfer logic)에 내장될 수 있다. 이러한 구현 예에서 제어는 "항상" RTL 블록에 내장되고, 조건부 "if" 및/

또는 "switch"문에 의해 시작될 수 있다.

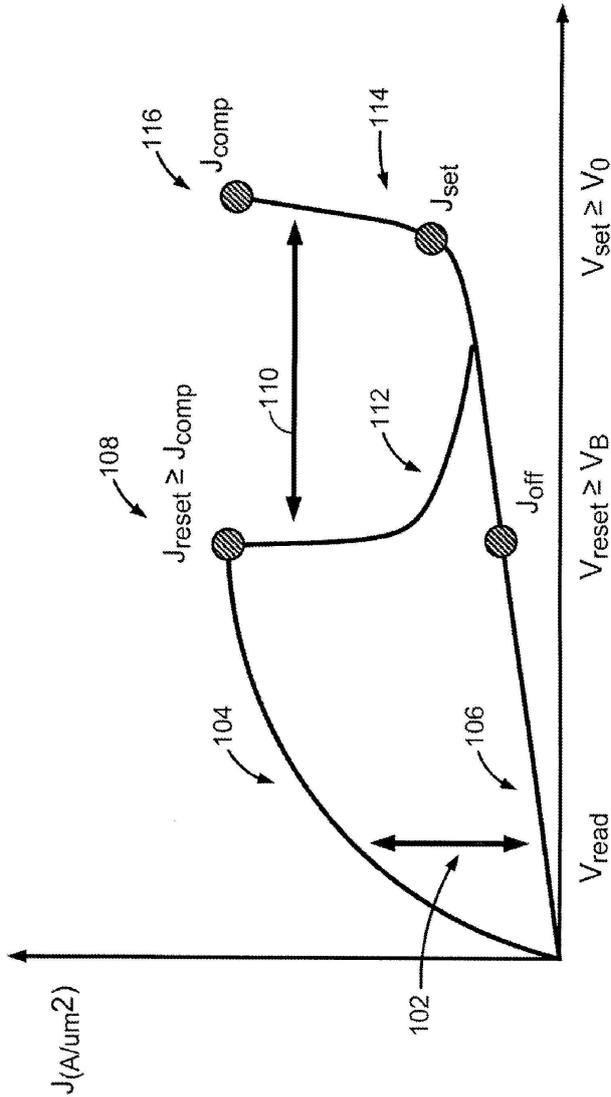
- [0071] 도 8은 본 발명의 일 실시 예에 따라, 설정 가능한 임피던스를 프로그램하기 위한 예시적인 방법(500)을 도시한다. 상기 방법은 설정 가능한 임피던스를 형성하도록 배치된 복수의 CES를 제공함으로써 시작될 수 있다. 일 예시에서, 복수의 CES는 도 3 및 도 4에 도시된 구성 중 하나에 배치될 수 있다. 또한, 일 실시 예에서, 구성 가능한 임피던스는 복수의 CES를 포함하는 프로그램 가능한 레지스터 체인일 수 있다. 또한, 복수의 CES 각각은 복수의 임피던스 상태 중 하나로 구성될 수 있다. 복수의 임피던스 상태는 저항 상태, 용량성 상태, 또는 이들의 조합을 포함할 수 있다. 저항 상태는 고 저항 상태와 저 저항 상태를 포함할 수 있다. 용량성 상태는 고 용량성 상태 및 저 용량성 상태를 포함할 수 있다.
- [0072] 상기 방법은 적어도 하나의 입력 신호를 수신함으로써 시작한다(단계 800). 선택적으로, 여기에 설명된 바와 같이, 임피던스의 임피던스 상태를 구성하는 프로그래밍 신호는 적어도 하나의 입력 신호에 따르거나, 제어 신호(이는 적어도 하나의 입력 신호에 종속적임)에 따를 수 있다. 따라서, 선택적으로, 제어 신호가 제공될 수 있다(단계 802). 이 방법은 입력 신호 또는 제어 신호에 따르는 프로그래밍 신호를 판정하는 단계를 포함한다(단계 804). 일단 판정되면, 프로그래밍 신호는 상기 또는 각 CES의 임피던스 상태를 구성하기 위해 상기 임피던스를 형성하는 복수의 CES 중 적어도 하나의 CES에 인가된다(단계 806). 선택적으로, 하나 이상의 CES의 임피던스 상태는 프로그래밍 신호가 인가되는 동안 일정하게 유지되거나 변경되지 않고 유지된다(단계 810). CES는 적어도 하나의 입력 신호에 따라 임피던스 상태로 프로그래밍된다(단계 812). 일 예시에서, 입력 신호는 디지털 입력 신호일 수 있다. 예를 들어, 디지털 입력 신호가 논리 0일 때, 대응하는 CES가 저 임피던스 상태로 프로그래밍될 수 있고(프로그래밍 신호를 인가함으로써), 디지털 입력 신호가 논리 1일 때, 대응하는 CES가 고 임피던스 상태로 프로그래밍될 수 있다(프로그래밍 신호를 인가함으로써).
- [0073] 도 9는 본 발명의 일 실시 예에 따른 예시적인 디지털-아날로그 컨버터(DAC)(600)를 도시한다. 일 구현 예에서, DAC는 함께 결합된 N개의 CES(도시되지 않음)를 포함할 수 있다. N개의 CES는 도 3 또는 도 4에 도시된 임의의 하나의 구성을 사용하여 서로 결합될 수 있다.
- [0074] DAC(600)는  $D_0$ - $D_{N-1}$ 로 표시된 N개의 데이터 입력을 더 포함할 수 있다. 데이터 입력은 디지털 입력 신호에 연결될 수 있다. 디지털 입력 신호는 바이너리일 수 있다. 또한, 프로그램/판독(P\_R) 입력은 대응하는 디지털 입력 신호에 따라 복수의 CES를 프로그램하거나 또는 DAC(600)의 아날로그 신호의 적어도 하나의 출력(예를 들어, OUT+ 및 OUT-에서의 차동 출력 신호)을 판독하도록 제공될 수 있다. 예를 들어, P\_R 입력이 바이너리 1로 설정되면, 기록 프로세스가 수행될 수 있고, P\_R 입력이 바이너리 0으로 설정될 때, 판독 프로세스가 수행될 수 있다. 또한, CES를 프로그래밍하는데 필요한  $V_0$ - $V_N$ 로 표시된 적절한 전압 소스가 제공될 수 있다. 유사하게,  $I_0$ - $I_L$ 로 표시된 적절한 전류 소스가 제공될 수 있다. 일 예시에서 적절한 전압 및 전류는 도 7에 설명된 8-1 멀티플렉서를 사용하여 제공될 수 있다.
- [0075] 일 구현 예에서, 판독 프로세스 동안, 고정된 전류 값이 제1 노드 및 최종 노드(예를 들어, 각각  $n_0$  및  $n_N$ )를 통해 모든 CES로부터 전달될 수 있다. 또한, 다른 모든 노드는 "연결해제" 상태에 연결될 수 있으며, 제1 노드와 마지막 노드 사이의 전압 강하가 판독될 수 있다. 다른 구현 예에서, 고정 전압이 설정될 수 있고 제1 노드 및 최종 노드를 통과하는 전류가 측정될 수 있다. 측정된 전류 또는 전압의 값은 예를 들어 아날로그 출력 핀(OUT+ 및 OUT-으로 표시)에 제공될 수 있다.
- [0076] 도 10은 본 발명의 일 실시 예에 따른 예시적인 메모리 어레이(700)를 도시한다. 이 경우, 메모리 어레이(700)는 데이터를 아날로그 포맷으로 저장한다. 메모리 어레이(700)는 도시된 바와 같이 N 비트 셀을 포함할 수 있다. 각 비트 셀은 설정 가능한 레지스터 체인을 형성하기 위해 노드 사이(예를 들어,  $n_a$ - $n_e$ )에 연결된 CES 세트(예를 들어,  $R_0$ - $R_3$ )를 포함할 수 있다. 메모리 어레이(700)의 비트 셀들을 프로그래밍하기 위해, 디지털 데이터는 노드 전압들에 기초하여 CES에 의해 형성되고, 따라서 각각의 비트 셀 내에 형성된 설정 가능한 레지스터 체인의 레지스터 값의 형태로 디지털 데이터가 프로그램 가능 CES들 내에 저장될 수 있도록 적절한 노드 전압들( $V_a$ - $V_e$ )로 변환될 수 있고 노드들에 공급될 수 있다. 설정 가능한 레지스터 체인은 상술한 실시 예 중 하나를 사용하여 프로그래밍될 수 있다. 따라서, 메모리 어레이(700)는 비트 셀 내에 데이터를 저장하기 위해 다수의 CES의 동시 프로그래밍을 사용할 수 있다.
- [0077] 일 실시 예에서, 디지털 데이터가 비트 셀 내에 기록될 때, 프로그램/판독 신호(P\_R)는 바이너리 1에 있을 수 있고, 디지털 데이터가 비트 셀로부터 판독될 때, P\_R 신호는 바이너리 0에 있을 수 있다. 상기에서 기술된 바

와 같이, 데이터는 비트 셀로부터 아날로그 데이터로서 판독될 수 있다. 또한, 제어 엘리먼트(702)는 메모리 어레이(700) 내의 데이터 저장을 제어할 수 있다.

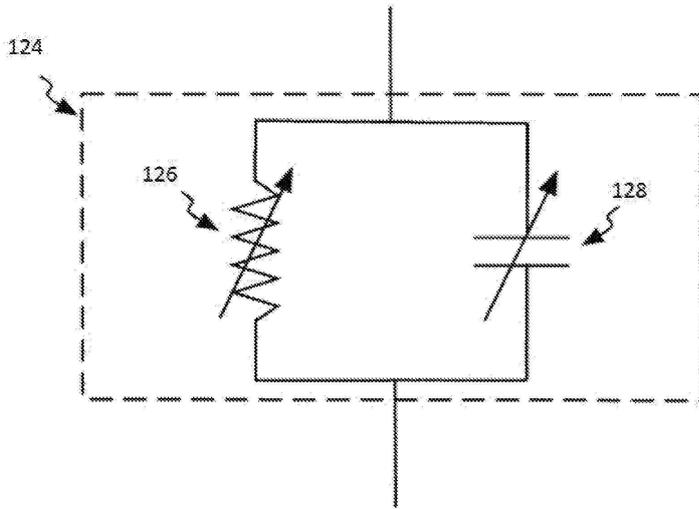
[0078] 본 개시물의 예시적인 실시 예가 첨부된 도면을 참조하여 본원에 상세히 설명되었지만, 본 개시물은 이들 정확한 실시 예에 한정되지 않고 다양한 변경 및 수정이 첨부된 청구범위에 의해 정의된 바와 같은 본 개시물의 취지 및 범위를 벗어나지 않고 당업자에 의해 이루어질 수 있음을 이해해야 한다.

도면

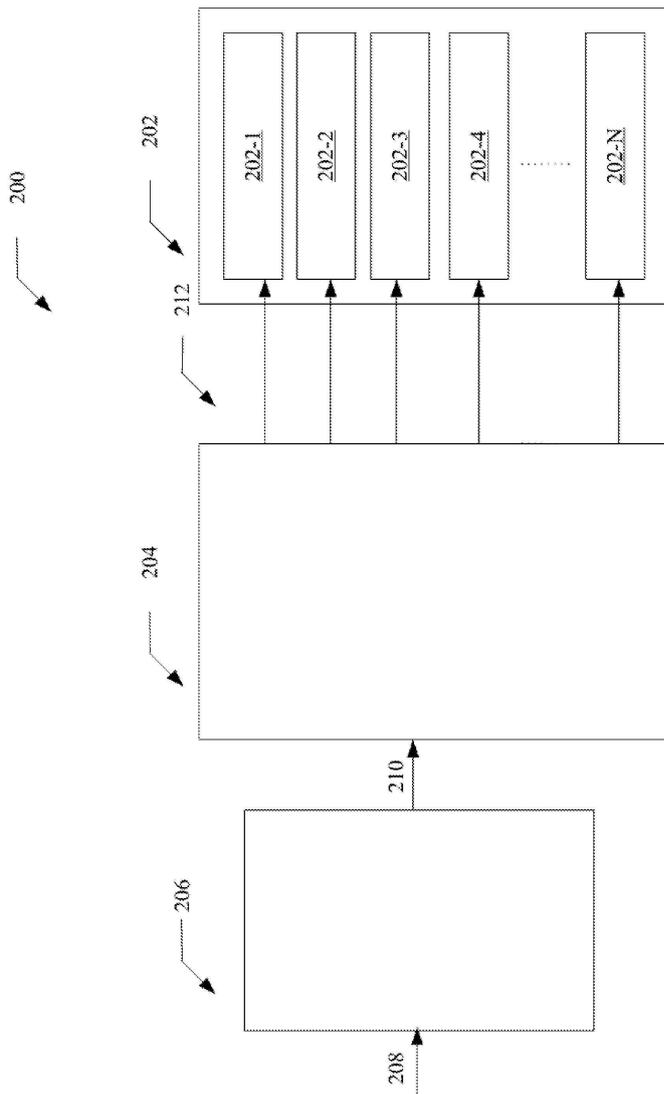
도면1



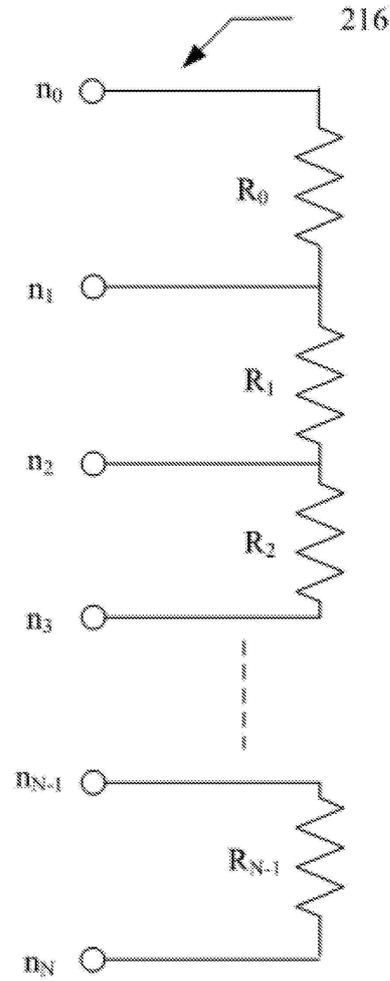
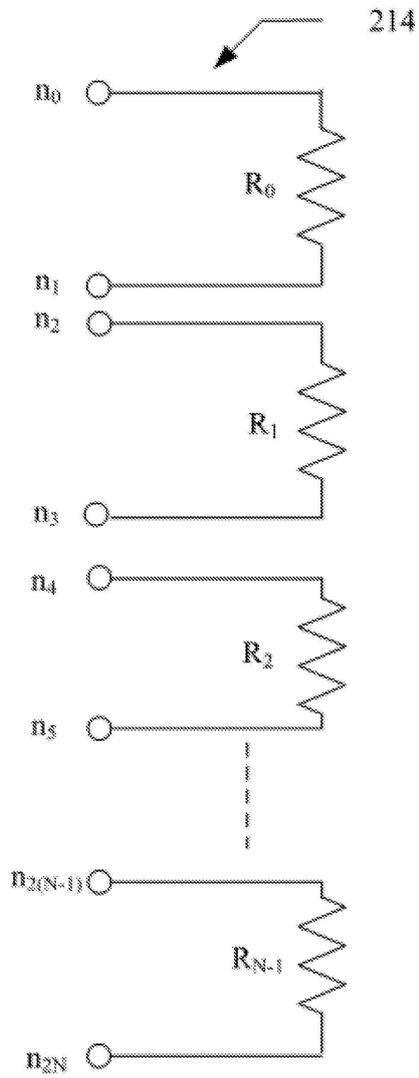
도면2



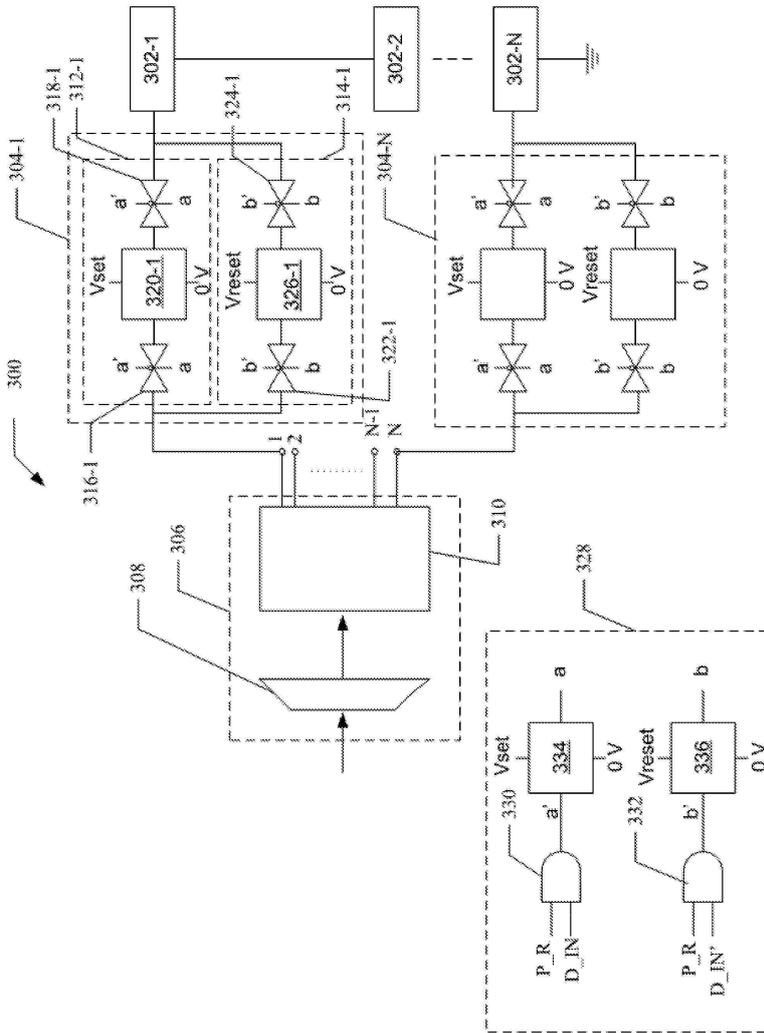
도면3



도면4

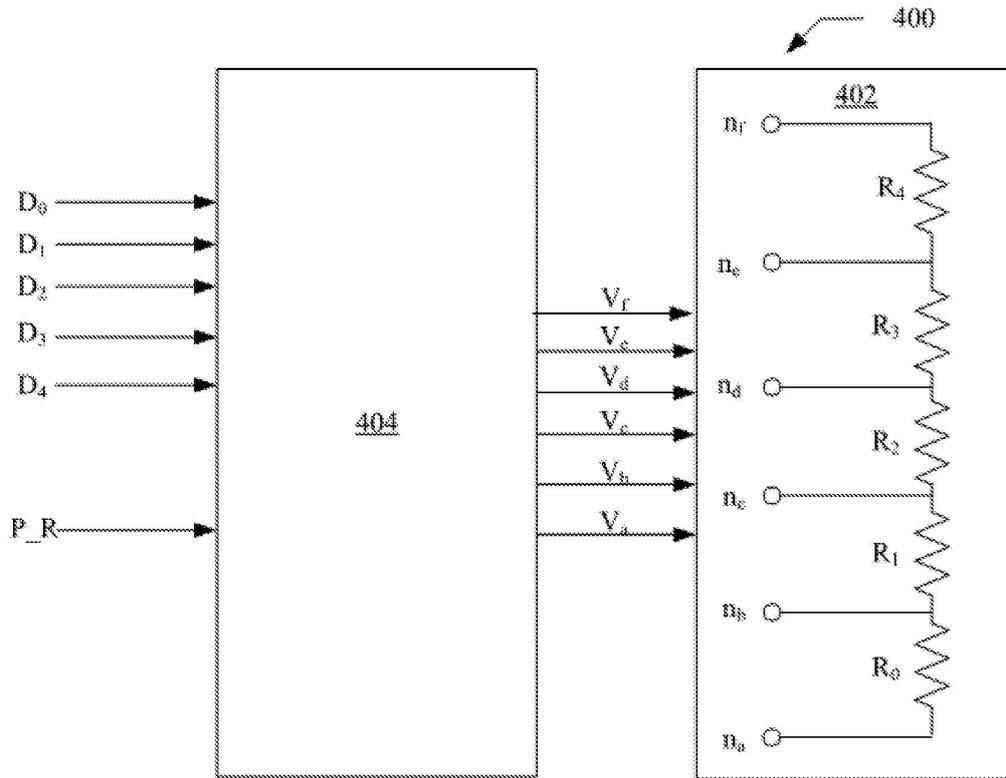


도면5

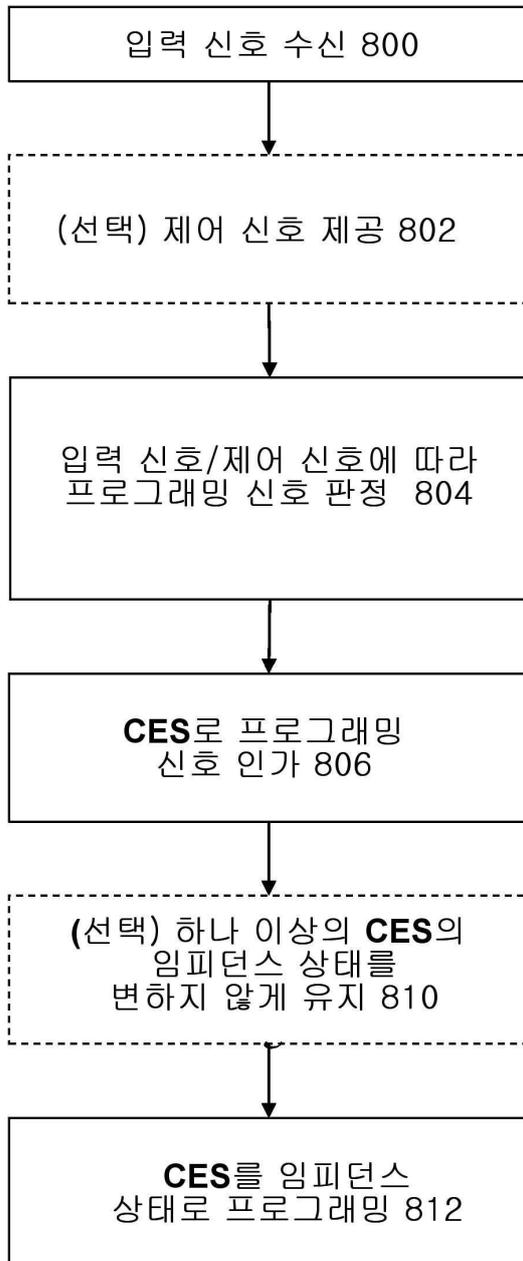




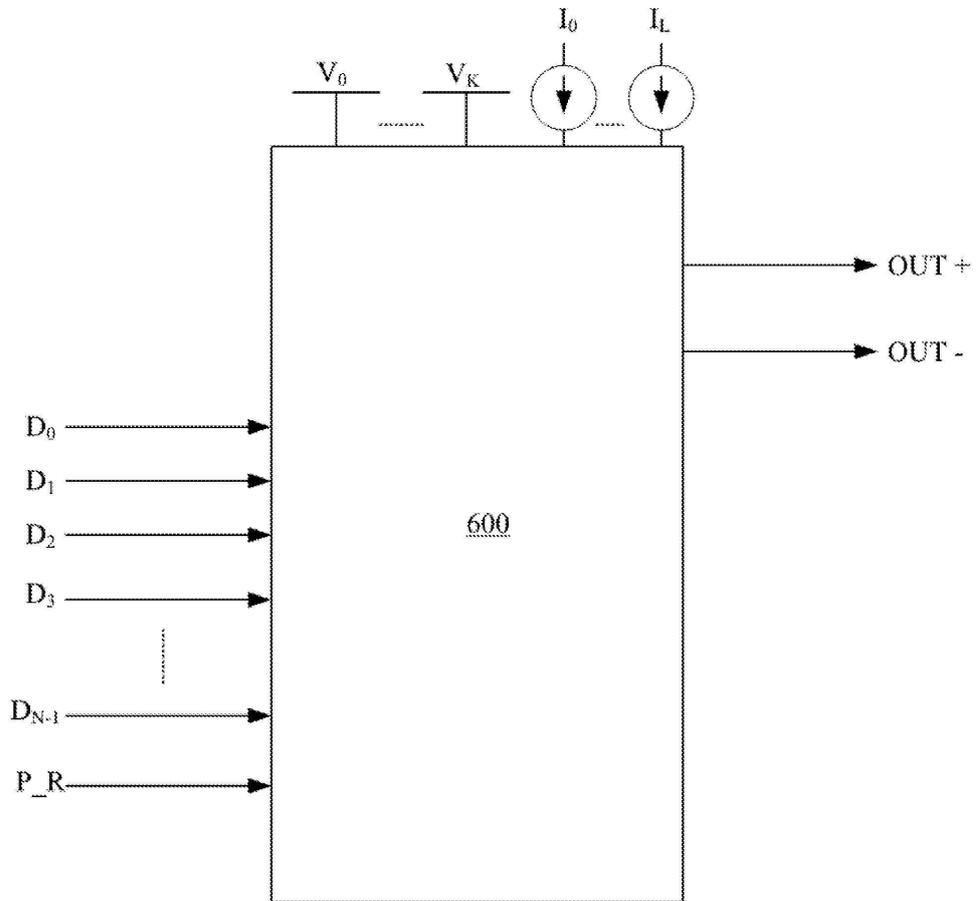
도면7



도면8



도면9



도면10

