



등록특허 10-2489851



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년01월19일
(11) 등록번호 10-2489851
(24) 등록일자 2023년01월13일

- (51) 국제특허분류(Int. Cl.)
G01S 7/52 (2006.01) *G01S 15/89* (2006.01)
- (52) CPC특허분류
G01S 7/52019 (2013.01)
G01S 15/8915 (2013.01)
- (21) 출원번호 10-2019-7006321
- (22) 출원일자(국제) 2017년08월03일
심사청구일자 2020년07월30일
- (85) 번역문제출일자 2019년03월04일
- (65) 공개번호 10-2019-0035851
- (43) 공개일자 2019년04월03일
- (86) 국제출원번호 PCT/EP2017/069686
- (87) 국제공개번호 WO 2018/024834
국제공개일자 2018년02월08일
- (30) 우선권주장
62/370,841 2016년08월04일 미국(US)

(56) 선행기술조사문헌

US06028484 A*

(뒷면에 계속)

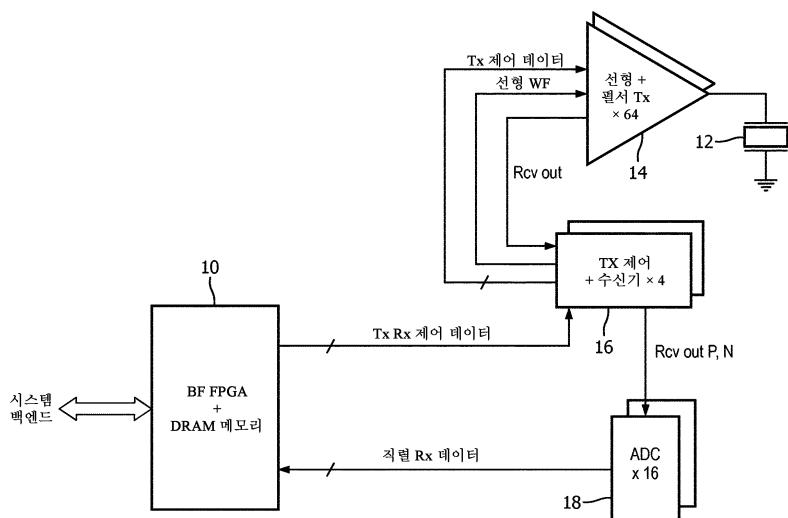
전체 청구항 수 : 총 9 항

심사관 : 김민성

(54) 발명의 명칭 128-엘리먼트 어레이 프로브를 위한 초음파 시스템 프론트엔드 회로

(57) 요약

초음파 시스템을 위한 프론트엔드 회로는 범 형성기 FPGA 집적 회로, 펄스 송신기들 및 선형 파형 송신기들 둘 모두 및 T/R 스위치들을 갖는 송신 IC들, 송신 제어 및 수신기 IC들, 및 아날로그/디지털 컨버터(ADC) IC들을 포함한다. 송신 IC들만이 고전압들을 요구하며, 송신/수신 스위치들은 송신 IC들에 통합되어, 수신기 IC들을 고전압들로부터 격리시킨다. 송신기들은 펄스 상승 및 하강 레이트들을 조정하도록 트리밍되어, 낮은 고조파 주파수 콘텐츠 및 이에 따라 더 나은 고조파 이미지들을 갖는 펄스들의 송신을 가능하게 할 수 있다.

대 표 도 - 도1

(72) 발명자

사볼드 티모시

네덜란드 아인트호벤 5656 에이이 하이 테크 캠퍼스 5

옹우엔 제이슨 판호

네덜란드 아인트호벤 5656 에이이 하이 테크 캠퍼스 5

바츠 만프레드

네덜란드 아인트호벤 5656 에이이 하이 테크 캠퍼스 5

옹우엔 쯔엉 후이

네덜란드 아인트호벤 5656 에이이 하이 테크 캠퍼스 5

(56) 선행기술조사문현

US06540682 B1*

US20050154300 A1*

US20160097846 A1*

WO2010021709 A1

US20050171431 A1

KR1020160021354 A

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

프론트엔드 회로를 갖는 초음파 시스템 프론트엔드 회로로서,

공통 출력에서 함께 결합된 펄서 및 선형 송신기, 및 상기 펄서 및 선형 송신기와 동일한 접적 회로 상에 위치하는 송신/수신 스위치를 포함하는 고전압 송신기 접적 회로;

상기 공통 출력에 신호를 제공하기 위해 상기 펄서 또는 상기 선형 송신기를 선택적으로 인에이블하도록 구성된 송신 제어 논리 회로로서, 상기 펄서 및 상기 선형 송신기의 상기 공통 출력 및 상기 송신/수신 스위치는 트랜스듀서 어레이의 트랜스듀서 엘리먼트(transducer element)에 결합되도록 구성되는, 상기 송신 제어 논리 회로; 및

상기 고전압 송신기 접적 회로의 상기 송신/수신 스위치에 결합된 저전압 수신 신호 경로를 포함하는, 초음파 시스템 프론트엔드 회로.

청구항 2

제1항에 있어서, 상기 저전압 수신 신호 경로는 별개의 저전압 접적 회로 상에 위치하는, 초음파 시스템 프론트엔드 회로.

청구항 3

제1항에 있어서, 상기 저전압 수신 신호 경로에 결합된 빔 형성기 FPGA를 추가로 포함하는, 초음파 시스템 프론트엔드 회로.

청구항 4

제3항에 있어서, 상기 초음파 시스템 프론트엔드 회로는 상기 펄서 및 선형 송신기에 대한 송신 데이터를 저장하는 디지털 송신 데이터 메모리를 추가로 포함하며,

상기 디지털 송신 데이터 메모리는 상기 FPGA와는 상이한 접적 회로 상에 위치하는, 초음파 시스템 프론트엔드 회로.

청구항 5

제4항에 있어서, 상기 디지털 송신 데이터 메모리와 상기 펄서에 대한 입력 사이에 결합된 펄서 논리, 및 상기 디지털 송신 데이터 메모리와 상기 선형 송신기에 대한 입력 사이에 결합된 DAC를 추가로 포함하는, 초음파 시스템 프론트엔드 회로.

청구항 6

제5항에 있어서, 상기 저전압 수신 신호 경로와 상기 빔 형성기 FPGA 사이에 결합된 아날로그/디지털 컨버터를 추가로 포함하는, 초음파 시스템 프론트엔드 회로.

청구항 7

제6항에 있어서, 상기 저전압 수신 신호 경로는 하나 이상의 TGC 전치 증폭기들을 추가로 포함하는, 초음파 시스템 프론트엔드 회로.

청구항 8

제2항에 있어서, 상기 별개의 저전압 접적 회로 상에 위치하는 디지털 송신 데이터 메모리를 추가로 포함하는, 초음파 시스템 프론트엔드 회로.

청구항 9

제1항에 있어서,

쌍을 이루고 출력이 접속된 128개의 펄서들 및 선형 송신기들, 및 상기 펄서들 및 선형 송신기들과 동일한 접적 회로들 상에 위치하는 128개의 송신/수신 스위치들을 포함하는 복수의 고전압 송신기 접적 회로들; 및 단일 빔 형성기 FPGA를 추가로 포함하는, 초음파 시스템 프론트엔드 회로.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명**기술 분야**

[0001] 본 발명은 의료용 진단 초음파 시스템에 관한 것이며, 특히 128개 이상의 트랜스듀서 엘리먼트(transducer element)를 갖는 초음파 어레이 프로브를 위한 프론트엔드 회로에 관한 것이다.

배경 기술

[0002] 초음파 시스템의 프론트엔드는 초음파 프로브와 통신하여, 프로브 트랜스듀서로부터의 초음파의 송신을 제어하고 트랜스듀서로부터의 복귀 에코 신호를 수신하여 최초로 처리하는 상기 시스템의 그 일부이다. 프론트엔드 회로는 또한 에코 신호의 TGC 증폭, 디지털화 및 빔 형성 프로세스의 적어도 소정 부분과 같은 관련 처리를 제어한다. 이러한 회로의 대부분은 시스템 크기 및 무게 그리고 바라건대 비용을 줄이기 위해 접적 회로(IC) 형태로 제조되는 것이 바람직하다. 그러나 오늘날의 초음파 시스템은 빔을 전자식으로 조종 및 포커싱하여, 프로브 내의 기계적 부품을 제거하기 위해 다중 엘리먼트 어레이 트랜스듀서를 갖는 프로브를 사용한다. 종래의 1D(1차원) 어레이 크기는 128개 엘리먼트이지만, 192개 및 256개 엘리먼트를 갖는 프로브가 사용되고 있고, 3D 이미징을 위한 2D 프로브는 수천 개의 트랜스듀서 엘리먼트를 갖는다. 2D 어레이 프로브의 경우, 효율적인 크기의 케이블의 사용을 가능하게 하기 위해 마이크로 빔 형성기가 필수품이지만, 프로브 제어 및 최종 빔 형성을 위해 프론트엔드 회로가 여전히 일반적으로 사용된다.

[0003] 프론트엔드 회로가 펄스 송신을 요구하는 프로브 및 형상화된 파형 송신을 사용하는 프로브뿐만 아니라, 멀티라인 능력을 갖춘 프로브를 동작시킬 수 있는 전방위 능력을 제공하는 것이 또한 바람직하다. 디지털 빔 형성기가 모든 이미징 응용에 사용될 수 있도록 빔 형성 전에 디지털화가 수행되는 것이 또한 바람직하다. 이러한 요구들은 접적 회로 컴포넌트들의 수 및 레이아웃에 대한 난제를 부과하는데, 왜냐하면 그들이 다수의 접적 회로 컴포넌트를 상호 접속하는 데 필요한 IC 핀 카운트의 증가를 유발하기 때문이다. 이러한 요구들은 더 적은 수의 트랜스듀서 엘리먼트를 갖는 프로브 및 다중화를 사용하는 프로브에 대해서는 줄어들 것이지만, 다중화는 일반적으로 성능을 저하시키며 따라서 128-엘리먼트 어레이 프로브를 효율적으로 동작시킬 필요성은 최소한도로

요망되는 요건이다.

발명의 내용

[0004] 효율적인 구성, 패키징 및 p.c. 보드 레이아웃을 위해 감소된 핀 카운트를 갖는 IC 패키지들을 이용하여, 그리고 상이한 전압들 및 능력들의 IC들에 대해 요구되는 다양한 타입의 제조를 고려하여, 128-엘리먼트 어레이 트랜스듀서 프로브를 위한 우수한 성능을 제공하는 초음파 시스템을 위한 집적 회로 프론트엔드를 제공하는 것이 본 발명의 목적이다.

[0005] 본 발명의 원리들에 따르면, 범 형성기 FPGA 집적 회로, 펄스 송신기들 및 선형 파형 송신기들 둘 모두를 갖는 송신 IC들, 송신 제어 및 수신기 IC들, 및 아날로그/디지털 컨버터(ADC) IC들을 포함하는 초음파 시스템을 위한 프론트엔드 회로가 설명된다. 송신 IC들만이 고전압들을 요구하며, 송신/수신 스위치들은 송신 IC들에 통합되어, 수신기 IC들을 고전압들로부터 격리시킨다. 송신기들은 펄스 상승 및 하강 레이트들을 조정하도록 트리밍되어, 낮은 고조파 주파수 콘텐츠 및 이에 따라 더 나은 고조파 이미지들을 갖는 펄스들의 송신을 가능하게 할 수 있다. 선형 및 펄스 송신기들 둘 모두에 대한 파형 데이터가 송신 제어 및 수신기 IC들에 저장되어, 이러한 데이터의 종래의 소스인 FPGA 상의 핀들을 줄인다. ADC들은 직렬 버스 라인들을 통한 범 형성을 위해 FPGA에 디지털 에코 데이터를 결합하여, 종래의 병렬 데이터 구성에 비해 추가적인 FPGA 핀들을 줄인다. 펄스 및 선형 파형 송신 능력들 둘 모두를 송신 IC들에 포함시키는 것은 컬러플로우 이미지(colorflow image)의 형성에서의 도플러 범들을 위한 펄스 송신기들 및 B 모드 범들을 위한 선형 송신기들의 사용과 같은, 각종 모드 이미지의 형성에서의 둘 모두의 타입의 송신기들의 사용을 가능하게 한다.

도면의 간단한 설명

[0006] 도면들에서:

도 1은 본 발명의 원리들에 따라 구성된 초음파 시스템 프론트엔드의 IC들의 구성을 블록도 형태로 예시한다.

도 2는 본 발명의 원리들에 따른 펄서 및 선형 파형 송신기 둘 모두를 집적한 송신 IC와 동일 IC 상의 송신-수신 스위치의 개략적 예시이다.

도 3은 본 발명의 원리들에 따라 구성된 송신 제어 및 수신기 IC의 블록도 및 개략적 예시이다.

도 4는 도 1의 초음파 시스템 프론트엔드 회로의 동작을 예시하는 흐름도이다.

도 5는 도 1 내지 도 3의 초음파 시스템 프론트엔드 회로의 펄서 및 선형 파형 송신기들 둘 모두를 사용하는 컬러플로우 이미지에 대한 에코 신호들의 획득을 예시하는 흐름도이다.

도 6은 도 1 내지 도 3의 프론트엔드 회로를 사용하는 초음파 시스템을 블록도 형태로 예시한다.

발명을 실시하기 위한 구체적인 내용

[0007] 먼저 도 1을 참조하면, 본 발명의 원리들에 따라 구성된 초음파 시스템 프론트엔드의 IC들이 블록도 형태로 도시된다. 범 형성기 FPGA(field programmable gate array)(10)는 시스템 백엔드와 통신하여, 어레이 트랜스듀서를 갖는 프로브에 대한 송신-수신 이미징 시퀀스를 위한 커맨드들을 수신하고, 백엔드에서의 이미지 형성을 위해 디지털 방식으로 범 형성된 에코 데이터를 다시 전송한다. FPGA(10)는 당업계에 공지된 바와 같이 수신된 에코 신호들의 디지털 범 형성을 수행하도록 구성된다. 범 형성은 트랜스듀서 어레이의 엘리먼트들에 의해 수신된 에코 신호들을 수신하고, 에코들을 각각 지연시켜 이들이 시간 및 위상 코히런시(coherency)를 갖게 한 후에, 이들을 합산하는 것을 포함한다. 본질적으로, 이미지 필드 내의 공통 포인트로부터 어레이 트랜스듀서의 상이한 엘리먼트들에 의해 수신된 에코들은 코히런트 범 형성 에코 신호를 생성하도록 결합된다. 아날로그 범 형성기들은 지연 라인들을 사용하여 결합을 위해 에코 신호들을 지연시키지만, 디지털 범 형성기는 에코 신호들의 샘플링(디지털화)의 상대적 시간들, 시프트 레지스터를 통해 디지털 에코 신호 샘플들의 시퀀스를 클럭킹하기 위한 시간, 또는 랜덤 액세스 메모리에 저장된 에코들의 기입-판독 시간을 포함한 다양한 지연 기술들을 사용할 수 있다. 이러한 기술들은 예를 들어 미국 특허 제4,173,007호(맥케이건(McKeighen) 등)에 설명되어 있다. FPGA(10)에서 구현될 수 있는 대표적인 디지털 범 형성기들이 미국 특허 제8,137,272호(쿠리(Cooley) 등) 및 미국 특허 제6,315,723호(로빈슨(Robinson) 등)에 나타나 있다.

[0008] FPGA(10)에 의해 범 형성되는 에코 신호들은 ADC들(18)에 의해 생성되고 DRAM 메모리에 저장된다. FPGA는 이어서 필요에 따라 메모리로부터 데이터를 추출하고, 데이터를 디지털 코히런트 에코 신호들로 범 형성하며, 이들

은 이어서 추가 처리 및 이미지 형성을 위해 초음파 시스템 백엔드로 통신된다. DRAM 메모리는 FPGA(10)에 전기적으로 결합되는 별개의 메모리 IC들을 포함할 수 있다. 바람직하게는, DRAM 메모리는 FPGA와 동일한 IC 패키지에 통합된다. 그러한 집적 IC 디바이스들은 다수의 집적 회로가 통합 기판 상에 패키징되는 전자 패키지로서 제조될 수 있어서, 훨씬 더 작은 볼륨의 다수의 집적 회로 디바이스의 기능 및 능력을 포함하는 단일 컴포넌트로서의 그들의 사용을 용이하게 할 수 있다. 다른 패키징 접근법은 FPGA 칩과 메모리 칩(들)을 p.c. 보드 상에 수직으로 적층하는 것이며, 이는 패키징 크기(즉, 길이 및 폭) 및 회로 보드 상의 칩들에 의해 점유되는 풋프린트(footprint)를 최소화한다. 이러한 접근법은 보드 크기 감소의 목적을 달성하지만, IC 패키지에 필요한 펈들의 수를 감소시키는 것인 본 발명의 목적들 중 하나를 달성하지 못할 것인데, 이는 FPGA와 메모리 IC들 사이의 데이터 버스, 클럭 신호 및 제어 라인들(예를 들어, 어드레스 라인들)을 위해 외부 패키지 펈들이 여전히 필요할 것이기 때문이다. 본 발명의 바람직한 구현은 FPGA 디바이스 및 DRAM 칩들 둘 모두를 동일한 IC 패키지 내에 패키징하여, 이들 사이의 접속들이 패키지 내부에서 이루어질 수 있게 하여서, 프론트엔드의 다른 IC들에 대한 접속들과 같은 다른 사용들을 위해 FPGA 패키지 상의 외부 펈들을 줄이고 제거하는 것이다.

[0009]

특정 송신-수신 이미징 시퀀스를 위한 커맨드들에 응답하여, FPGA는 송신 및 수신 제어 데이터(TxRx 제어 데이터)를 송신 제어 및 수신기 IC들(16)로 통신한다. 128-엘리먼트 트랜스듀서 어레이에 대한 바람직한 구현에서, 각각의 송신 제어 및 수신기 IC(16)는 트랜스듀서 어레이의 32개의 엘리먼트의 동작을 위한 제어 데이터를 수신한다. 따라서, 128-엘리먼트 어레이의 동작을 위해 4개의 송신 제어 및 수신기 IC(16)가 필요하다. 각각의 송신 제어 및 수신기 IC(16)는 어레이의 32개의 엘리먼트에 대한 송신 데이터를 생성함으로써 응답한다. 각각의 IC(16)는 또한 동일한 32개의 엘리먼트에 대한 전치 증폭기들 및 TCG 제어를 포함하는 32개의 수신 신호 경로를 포함한다. 송신 제어 및 수신기 IC들은 각각의 트랜스듀서 엘리먼트에 대한 펄스 제어 신호들 및 선형 파형 신호들 둘 모두를 생성한다. 송신 제어 및 수신기 IC들은 선형 송신기에 대한 선형 파형 신호, 및 선형 및 펄서 송신기 IC들(14)에 결합되는 각각의 트랜스듀서 엘리먼트에 대한 펄서에 대한 송신 제어 데이터를 출력한다. 송신기 이득 및 인에이블 신호들과 같은 송신기 파라미터들을 제어하기 위한 제어 신호들이 또한 선형 및 펄서 송신기 IC들에 결합된다. 신호 라인들이 또한 송신 제어 및 수신기 IC들(16)과 선형 및 펄서 송신기 IC들(14) 사이에 접속되어, 수신된 에코 신호들을 IC들(16) 내의 수신 신호 경로의 TGC 제어 전치 증폭기들에 다시 결합시킨다.

[0010]

바람직한 구현에서, 각각의 선형 및 펄서 송신기 IC(14)는 2개의 트랜스듀서 엘리먼트(12)에 대한 펄서 및 선형 송신기와 송신/수신(T/R) 스위치를 포함한다. 따라서, 128-엘리먼트 트랜스듀서 어레이를 위해서는 64개의 선형 및 펄서 송신기 IC(14)가 필요하다. 송신-수신 사이클의 수신 부분 동안, T/R 스위치들은 수신된 신호들을 송신 제어 및 수신기 IC들의 수신 신호 경로들에 다시 결합하도록 폐쇄된다. 송신-수신 사이클의 송신 부분 동안, T/R 스위치들은 수신 신호 경로를 송신 고전압들로부터 격리시키도록 개방된다. 따라서, 선형 및 펄서 송신기 IC들(14)에 대해서만 고전압들이 필요하고, 송신 제어 및 수신기 IC들은 전적으로 저전압 IC들인데, 왜냐하면 그들이 송신의 고전압들로부터 완전히 격리되고 어떠한 고전압 요구도 갖지 않기 때문이다.

[0011]

선형 및 펄서 송신기 IC들(14)로부터 수신된 에코 신호들은 송신 제어 및 수신기 IC들(16)의 수신 신호 경로들 내의 전치 증폭기들에 의해 TGC 이득 제어로 증폭되고, ADC IC들(18)에 결합된다. 128-엘리먼트 트랜스듀서 어레이에 대한 바람직한 구현에서, 각각의 ADC IC(18)는 어레이의 8개의 엘리먼트로부터 수신된 에코 신호들에 대한 8개의 ADC를 포함한다. 따라서, 각각의 송신 제어 및 수신기 IC(16)는 4개의 ADC IC(18)에 결합된다. 8개의 트랜스듀서 엘리먼트의 디지털화된 에코 신호들은 직렬 수신 데이터 라인(직렬 Rx 데이터)을 통한 시간 다중화에 의해 각각의 ADC IC(18)로부터 FPGA(10)에 다시 결합되며, 여기서 디지털화된 에코 신호 데이터는 빔 형성에서 FPGA에 의한 사용을 위해 DRAM 메모리에 저장된다. 별별 데이터 라인들 대신에 직렬 데이터 라인들을 사용함으로써, FPGA IC 상에 필요한 펈들의 수가 감소되고, 각각의 ADC IC에 대해 동일한 직렬 데이터 라인 상에 8개의 ADC의 디지털화된 에코 신호들을 시간 다중화함으로써, FPGA 상에 필요한 펈들의 수가 더욱 감소된다; 128-엘리먼트 어레이에 대한 바람직한 구현을 위해 16개의 직렬 데이터 라인만이 필요하다. 바람직한 구현에서, 각각의 직렬 데이터 라인은 JESD204B 직렬 데이터 버스 포맷에 따라 동작하는 도체들의 차동 쌍으로서 구현된다.

[0012]

도 2는 선형 및 펄서 송신기 IC(14)의 회로를 도식적으로 상세히 예시한다. 바람직한 구현에서 각각의 IC(14)가 2개의 트랜스듀서 엘리먼트(12)를 동작시키기 때문에, 도 2의 회로는 2개의 트랜스듀서 엘리먼트에 대해 IC에서 두 번 반복된다. IC 패키지의 경계들은 파선들에 의해 묘사되며, 이때 파선들 상의 작은 박스들은 IC 패키지의 외부 접속 펈들을 나타낸다. 디지털 데이터 Dig. In은 트랜스듀서 엘리먼트(12)에 의한 펄스 송신을 위해 펄서(50)에 의해 생성되는 고전압 구동 펄스들의 특성들을 정의하며, 특정 엘리먼트로부터의 신호들이 기

여하는 송신 범의 조종 및 포커싱에 적절한 타이밍으로 인가된다. Dig. In 데이터는 2 레벨 펄스(예를 들어, 0 및 1), 3 레벨 펄스, 또는 7 레벨 펄스의 생성을 위해 펄서(50)를 제어하기 위해 펄스 논리(52)에 의해 해석된다. Dig. In 데이터는 2 레벨 펄스에 대해 1 비트(0 또는 1), 3 레벨 펄스에 대해 2 비트, 그리고 7 레벨 펄스에 대해 3 비트를 포함한다. 펄서(50)는 IC(14)의 핀들(도시되지 않음)에 인가된 고전압 +HVP 및 -HVP에 의해 전력을 공급받는다. 아날로그 과형 DAC In은, 다시 특정 엘리먼트가 기여하는 송신 범에 적절한 타이밍으로, 트랜스듀서 엘리먼트(12)를 구동하기 위해 형상화된 사인파와 같은 선형 과형의 송신을 위해 IC(14)의 핀에 결합된다. 저전압 DAC In 과형은 선택 가능한 이득으로 증폭기(56)에 의해 증폭되며, 트랜스듀서 엘리먼트를 구동하는 고전력 선형 송신기(54)에 의해 더욱 증폭된 과형을 생성한다. 선형 송신기(54)는 IC(14)의 핀들(도시되지 않음)에 인가된 고전압 +HVL 및 -HVL에 의해 전력을 공급받는다. 펄서(50) 및 선형 송신기(54) 둘 모두의 출력들은 트랜스듀서 엘리먼트(12)가 접속되는 IC(14)의 동일한 출력 핀에 결합된다. 송신 제어 논리(58)에 의한 송신 주기 전에 수신된 송신 제어 데이터(Tx 제어 데이터)는 각각의 송신기에 대한 인에이블 신호 Pen 및 Len의 생성에 의해 어느 송신기가 사용될지, 즉 펄서(50) 또는 선형 송신기(54)를 결정한다. 펄서 인에이블 신호 Pen은 펄스 논리(52)에 결합되고, 선형 송신기 인에이블 신호 Len은 증폭기(56)에 결합된다. 송신 제어 논리에 의해 생성된 이득 제어 신호가 또한 이득 결정을 위해 증폭기(56)에 인가된다.

[0013] T/R 스위치(60)가 또한 각각의 트랜스듀서 엘리먼트(12)에 대해 IC(14) 상에 접속된다. 바람직한 T/R 스위치는 트랜스듀서 엘리먼트(12)로부터의 수신 신호 경로와 직렬인 하나의 단일 극, 단일 스로우 스위치 TR₀와, 신호 경로를 접지로 전환하는 다른 단일 극, 단일 스로우 스위치 TR₁을 포함한다. 스위치들은 송신 제어 논리(58)에 의해 생성된 TR 제어 신호에 의해 상보적인 방식으로 동작된다. 송신 동안, 고전압 펄서 또는 선형 송신기가 트랜스듀서 엘리먼트(12)를 구동하고 있을 때, TR₀ 스위치는 개방되고 TR₁ 스위치는 폐쇄되어 송신 제어 및 수신 기 IC(16)의 수신 신호 경로를 고전압들로부터 격리시킨다. 에코 수신 동안, 송신기들이 디스에이블되고 에코 신호들이 트랜스듀서 엘리먼트(12)에 의해 수신될 때, TR₀ 스위치는 폐쇄되고 TR₁ 스위치는 개방되어 수신된 에코 신호들을 출력 라인 RcvOut을 통해 수신 신호 경로에 결합한다.

[0014] 바람직한 구현에서 펄서(50)는 일반적으로 고조파 신호 동작에 사용되며, 여기서 조작 또는 조영제에 의해 신체에서 생성된 고조파 주파수 신호들이 펄스 송신에 의해 자극되고 이미징 또는 다른 진단을 위해 트랜스듀서 어레이에 의해 수신된다. 트랜스듀서 어레이에 의해 수신된 고조파 신호들이 가능한 한 깨끗하기 위해서는, 송신된 펄스들 자체가 가능한 한 적은 고주파수 콘텐츠를 포함하는 것이 바람직하며, 그렇지 않으면 신체가 아니라 초음파 시스템으로부터 유래하는 고조파 주파수 대역의 신호들의 수신을 유발할 것이다. 초음파 시스템에 의한 고조파 주파수 생성을 줄이기 위해, 송신된 펄스들이 그들의 상승 및 하강 시간들, 즉 하나의 펄스 레벨로부터 다른 펄스 레벨로의 그들의 슬루 레이트(slew rate)들에서 가능한 한 대칭인 것이 바람직하다. 반도체 처리는 대부분의 응용들에 대해 정밀하지만, 그럼에도 불구하고 상보적인 구동 펄서 구성의 포지티브 구동과 네거티브 구동 MOSFET들(76, 78) 사이의 전류 및/또는 임피던스 차이들을 유발할 수 있다. 예를 들어 포지티브 구동 트랜지스터(76)가 주어진 구동 신호에 대해 네거티브 구동 트랜지스터(78)보다 도전성이 큰 경우, 송신 펄스들은 예를 들어 하강 에지들에서의 하강 레이트보다 더 빠른 상승 에지들에서의 상승 시간(더 큰 슬루 레이트)을 가질 것이다. 동일한 효과가 하강 에지들에 관하여 발생할 수 있다. 본 발명의 추가적인 태양에 따르면, 펄서(50)의 구동 트랜지스터들은 송신된 펄스들의 상승 특성과 하강 특성을 등화하도록 제어 가능하게 트리밍될 수 있다. 이것을 행하는 한 가지 방법이 72에 나타나 있으며, 이는 구동 트랜지스터의 크기를 제어 가능하게 변경하는 것이다. 도면에 나타내어진 바와 같이, 구동 트랜지스터들은 MOSFET의 소스 전극과 드레인 전극 사이의, 그리고 또한 게이트 전극에 대한 병렬 스위칭 가능 채널 경로들을 갖도록 제조될 수 있다. 추가적인 병렬 반도체 경로들이 스위치 인팀에 따라, 트랜지스터의 유효 크기가 증가하기 때문에 트랜지스터의 도전율이 증가된다. 예를 들어 포지티브 구동 트랜지스터(76)의 크기가 증가될 때, 포지티브 전압 레일을 향한 상승 시간은 증가되고, 크기가 감소될 때, 상승 시간은 느려진다. 구동 트랜지스터들의 크기들은 초음파 시스템의 제조 또는 테스트 동안 제어 가능하게 조정될 수 있으며, 최소 고조파 주파수 콘텐츠를 갖는 대칭적으로 균형화된 펄스들이 생성될 때까지 테스트 펄스들이 인가되고 측정될 수 있다. 원하는 경우, 슬루 레이트 특성들이 또한 현장에서 조정될 수 있다. 예를 들어, 펄서에 의해 인식되는 트랜스듀서 엘리먼트의 전기적 부하가 또한 인가된 구동 펄스들의 상승 및 하강 특성들에 영향을 줄 수 있다. 새로 개발된 프로브가 최상의 고조파 성능을 달성하기 위해 펄서 트랜지스터들의 상이한 트리밍을 요구하는 트랜스듀서 어레이를 가질 수 있다. 새로운 프로브가 스캐닝 절차를 위해 시스템에 접속될 때, 프로브 EEPROM 내의 데이터가 FPGA에 의해 판독되고 선형 및 펄서 송신기 IC(14)에 결합되어, 새로운 프로브에 의한 더 양호한 고조파 성능을 위해 펄서 트랜지스터들의 트리밍을 리셋할 수 있다.

[0015]

균형화된 슬루 레이트 성능을 위해 펠서 트랜지스터들을 트리밍하는 다른 방법은 고전압 MOSFET들을 구동하는데 사용되는 제1 스테이지 트랜지스터들의 제어 가능한 조정에 의한 것이다. 도 2의 MOSFET들(76, 78)과 같은 전력 트랜지스터들의 상보적인 쌍은 일반적으로 균형화된 쌍으로서 동작되는 그들의 게이트 전극들에 결합되는 한 쌍의 저전력 구동 트랜지스터들에 의해 일반적으로 구동된다. 본 발명에 따르면, 그러한 구동 트랜지스터들은 도 2에 도시된 바와 같이 트랜지스터 전압 공급원에 결합된 스위칭 가능한 별별 저항기들(74)을 사용하여 트리밍될 수 있는 바이어스 전류들을 갖는다. 공급 전압과 구동 트랜지스터의 전극 사이에 별별로 더 많은 저항기를 추가함으로써, 구동 신호에 응답하여 더 큰 도전성을 갖거나 더 일찍 더 큰 도전성을 갖게 되도록 트랜지스터 동작이 변경된다. 따라서, 더 이른 또는 더 큰 도전성을 위해 포지티브 공급 구동 트랜지스터를 바이어싱 함으로써, 포지티브 전력 트랜지스터(76)의 상승 시간이 대응하여 증가되어, 포지티브 진행 송신 펄스의 슬루 레이트를 증가시킨다. 이러한 방식으로 전력 트랜지스터들(76, 78)에 대한 구동 트랜지스터들 중 하나 또는 둘 모두의 바이어스 공급들을 트리밍함으로써, 펠서의 성능이 포지티브 진행 및 네거티브 진행 펄스들 및 펄스 에지들 둘 모두에 대해 실질적으로 동일한 상승 시간들을 나타내도록 조정될 수 있다.

[0016]

도 3은 도 1의 송신 제어 및 수신기 IC들(16) 중 하나의 회로의 블록도 및 개략도이다. 도 1의 각각의 IC(16)는 32개의 트랜스듀서 엘리먼트에 대해 도 3에 예시된 컴포넌트들을 포함하고, 따라서 도 3의 회로는 128-엘리먼트 어레이 트랜스듀서에 대해 각각의 IC에서 32번 반복된다. 도면의 상부에 도시된 송신 회로는 복수의 상이한 펠서 펄스 시퀀스 및 선형 송신 파형에 대한 데이터 시퀀스들을 포함하는 n-바이트 디지털 메모리(82)인 송신 데이터 메모리를 포함한다. 송신 및 수신 제어 논리(80)는 프론트엔드 회로의 송신 컴포넌트들 및 수신 신호 경로에 대한 송신 펄스들 및 파형들 및 TGC 제어 특성을 정의하는 제어 데이터(TxRx 제어 데이터, 도 1)를 FPGA(10)로부터 수신한다. 이 정보에 응답하여, 어드레스 레지스터(84)가 메모리(82)에 저장된 적절한 송신 펄스 또는 파형의 n 바이트에 대한 메모리 위치들을 어드레싱한다. 펄스 또는 파형 데이터의 시퀀스는 메모리(82)로부터 판독되어 펠서 논리(86)에 그리고 디지털/아날로그 컨버터(DAC)(88)에 인가된다. 펠서 논리(86)는 원하는 펠서 파형에 대한 적절한 비트 길이의 디지털 데이터 바이트들의 시퀀스를 출력함으로써 이 데이터에 응답하며, 이는 선형 및 펠서 송신기 IC(14)의 펠서 입력에 인가된다(Dig. In). 클럭 주파수 및 원하는 송신 펄스 해상도에 따라, 일반적으로 수백 바이트의 길이를 갖는, 이러한 데이터 시퀀스는 펠서가 원하는 펄스 형상 및 지속 시간을 송신하게 한다. 선형 파형에 대한 데이터가 메모리(82)로부터 판독될 때, 데이터 바이트들의 시퀀스는 DAC(88)에 의해 선형적으로 변하는 아날로그 파형으로 변환되며, 이는 선형 송신기에 인가된다(DAC In). 송신 및 수신 제어 논리(80)는 또한 펠서 또는 선형 송신기 동작의 제어를 위한 인에이블 비트들 및 T/R 스위치(60)의 제어를 위한 비트들을 포함한, 송신 펄스 또는 파형의 다른 파라미터들의 제어를 위한 제어 데이터(Tx 제어 데이터)를 출력한다.

[0017]

트랜스듀서 엘리먼트(12)에 의해 수신되고 T/R 스위치(60)에 의해 결합되는 에코 신호들에 대한 수신 신호 경로가 도 3의 하부에 도시되어 있다. 에코 신호들(RcvOut)은 송신 및 수신 제어 논리(80)에 의해 수신된 제어 데이터에 의해 결정된 시간에 스위치(92)에 의해 회로 안으로 스위칭되는 이득 제어 TGC₁ 저항기를 갖는 제1 전치 증폭기(90)에 인가된다. 전치 증폭기(90)의 출력은 TGC 제어의 제2 스테이지를 위한 제2 스위칭 가능 피드백 저항기 TGC₂를 포함하는 제2 이득 스테이지(94)에 결합된다. TGC₂ 저항기는 송신 및 수신 제어 논리(80)에 의해 생성된 신호에 의해 또한 제어되는 스위치(96)에 의해 회로 안으로 스위칭된다. 이것에 이어서 제3 전치 증폭기(98)가 뒤따른다. 전치 증폭기(98)의 출력에서의 증폭된 에코 신호들은 상보적인 쌍, 즉 추가적인 반전 전치 증폭기(99)에 의해 생성된 RcvOut P 및 전치 증폭기(98)에 의해 생성된 RcvOut N의 형태로 디지털화를 위해 ADC IC(18)에 결합된다. IC 칩들(18) 중 하나의 ADC에 의한 디지털화 후에, 디지털화된 에코 데이터는 직렬 데이터 버스(직렬 Rx 데이터)에 의한 빔 형성을 위해 FPGA(10)에 결합된다. 송신 제어 및 수신기 IC들(16)의 컴포넌트들 및 신호들은 모두 저전압 컴포넌트들 및 신호들이어서, 이러한 IC들이 효율적인 저전압 CMOS 프로세스를 사용하여 제조되는 것을 가능하게 한다는 것을 알 수 있다.

[0018]

초음파 송신-수신 스캐닝 시퀀스에 대한 이전 도면들의 프론트엔드 IC 회로를 동작시키는 방법이 도 4에 예시되어 있다. 단계 102의 시작에서, 스캐닝 시퀀스를 정의하는 정보가 초음파 시스템의 백엔드로부터 FPGA(10)로 전송된다. 단계 102에서, FPGA(10)는 송신 및 수신 제어 데이터를 송신 제어 및 수신기 IC들(16)에 전송한다. 이어서 단계 106에서 IC들(16)은 송신 제어 데이터를 선형 및 펠서 송신기 IC들(14)에 전송하고, 또한 단계 108에서 원하는 TGC 동작을 위해 수신 신호 경로를 컨디셔닝한다. 송신 파형들은 송신 제어 및 수신기 IC들(16)에서 생성되고 선형 및 펠서 송신기 IC의 인에이블된 펠서 또는 선형 송신기에 인가되어, 단계 110에서의 트랜스듀서 엘리먼트들에 의한 원하는 펄스 또는 선형 파형의 송신, 및 에코 신호들의 결과적인 수신을 유발한다. 에코 신호들은 T/R 스위치들(60)을 통해 송신 제어 및 수신기 IC들(16)의 수신 신호 경로들에 결합되며, 여기서

TGC 증폭이 적용된다. 이어서 증폭된 에코 신호들은 ADC IC들에 인가되고, 이 ADC IC들은 단계 112에서 증폭된 에코 신호들을 디지털 신호 샘플들로 변환한다. 이어서 디지털 에코 신호 샘플들은 FPGA에서의 빔 형성을 위해 직렬 데이터 라인들을 통해 단계 114에서 FPGA(10)로 전송된다.

[0019]

도 4의 스캐닝 시퀀스는, 도 5에 도시된 바와 같이 에코 신호들의 상이한 모드들을 획득하기 위해 펄서들 및 선형 송신기들 둘 모두를 사용하여, 컬러플로우 이미지와 같은 다중 모드 이미지를 생성하도록 추가로 정의될 수 있다. 컬러플로우 이미지에 대한 에코 신호들의 획득을 위해, 단계 122에서 초음파 시스템의 백엔드로부터 FPGA(10)로의 원하는 컬러플로우 스캐닝 시퀀스의 통신으로 동작이 시작된다. 단계 124에서, 도플러 (모션) 에코 데이터에 대한 도플러 빔들 및 B 모드 (구조) 에코 데이터에 대한 B 모드 빔들의 송신 및 수신을 위한 제어 데이터(TxRx 제어 데이터)가 송신 제어 및 수신기 IC들(16)에 전송된다. 단계 126에서, 펄서들 및 선형 증폭기들에 대한 송신 제어 데이터(Tx 제어 데이터)가 선형 및 펄서 송신기 IC들(14)에 전송된다. 수신 제어 데이터는 송신 제어 및 수신기 IC들의 수신 신호 경로에서 수신된 에코들에 적용되는 TGC 특성을 제어하는 데 사용된다. 단계 128에서, n-바이트 메모리들(82)로부터의 디지털 데이터가 IC들(16)의 펄서 논리에 의해 처리되고, 어레이 엘리먼트들(12)에 의한 펄성된 도플러 빔의 송신을 위해 IC들(14) 내의 펄서들(50)의 입력들에 결합된다. 도플러 빔에 응답하여 수신된 에코들은 트랜스듀서 엘리먼트들로부터 IC들(14)의 T/R 스위치들(60)을 통해 IC들(16)의 수신 신호 경로들의 TGC 전치 증폭기들에 결합된다. 증폭된 에코 신호들(RcvOut P, N)은 ADC IC들(18)에 결합되며, 여기서 증폭된 에코 신호들은 단계 132에서 디지털 신호 샘플들로 변환된다. 디지털 도플러 에코 신호 샘플들은 각각의 도플러 스캔 라인을 따라 수신되는 코히런트 에코 신호들로의 FPGA에 의한 빔 형성을 위한 준비로 단계 134에서 임시 저장을 위해 FPGA DRAM 메모리에 전송된다(직렬 Rx 데이터).

[0020]

B 모드 스캔 라인들에 대해, 디지털 과형 바이트들의 시퀀스가 n-바이트 메모리들로부터 DAC들(88)에 결합되며, 이들은 B 모드 송신을 위해 선형적으로 변하는 과형들을 생성한다. 과형들(DAC In)은 IC들(14)의 선형 송신기들(54)에 대한 증폭기들(56)의 입력들에 적절한 시간에 인가되며, 이는 단계 130에서 B 모드 과형 빔을 송신하도록 트랜스듀서 어레이의 엘리먼트들을 구동한다. B 모드 빔에 응답하여, 에코들은 대상의 구조적(예를 들어, 조직) 물질로부터 복귀되어 트랜스듀서 엘리먼트들(12)에 의해 수신된다. 수신된 B 모드 에코 신호들은 도플러 에코 신호들에 대해 사용된 것과 동일한 또는 상이한 TGC 이득 특성으로 T/R 스위치들(60)을 통해 IC들(16)의 수신 신호 경로들에 결합된다. 증폭된 B 모드 에코들(RcvOut P, N)은 ADC IC들(18)에 결합되며, 여기서 이들은 단계 132에서 디지털 B 모드 에코 신호 샘플들로 변환되고 임시 저장 및 빔 형성을 위해 FPGA(10)의 DRAM 메모리로 전달된다(직렬 Rx 데이터).

[0021]

본질적으로 동일한 순간에 주어진 스캔 라인에 대한 도플러 및 B 모드 에코 신호들을 획득하는 것이 요구되기 때문에, 도플러 펄스들 및 B 모드 과형들의 송신과 결과적인 에코 수신은 일반적으로 어레이에 걸쳐 교번한다. 도플러 처리는 이미지 필드 내의 각각의 포인트로부터 시간에 걸쳐 획득된 에코 신호들의 양상들을 요구하기 때문에, 도플러 펄스들의 수는 B 모드 펄스들의 수를 초과하며, 이때 각각의 스캔 라인 방향을 따라 상이한 시간들에 다수의 도플러 빔이 송신된다. 도 5의 우측에 화살표로 표시된, 도플러 및 B 모드 인터리브의 타이밍 및 정도는 검출될 조직 모션 또는 혈액 흐름 속도들의 범위를 고려하여 당업계에 공지된 바와 같이 결정되며(즉, 나이퀴스트(Nyquist) 샘플링 규칙), 이때 양상들의 도플러 에코들이 더 낮은 속도의 측정을 위해 더 큰 시간 간격들에 걸쳐 획득된다. 도플러 양상들을 획득하는 데 사용되는 도플러 송신들의 수는 흐름 및 모션 정보의 원하는 정확도와 같은 고려 사항들에 의존한다.

[0022]

컬러플로우 이미지들을 포함한 초음파 이미지들의 생성을 위해 전술한 프론트엔드 IC들을 이용하는 초음파 시스템이 도 6에 블록도 형태로 도시된다. 이 예에서 128개의 엘리먼트의 트랜스듀서 어레이(12)를 갖는 프로브(100)는 도 1에 도시된 IC 프론트엔드에, 특히 선형 및 펄서 송신기 IC들(14)의 트랜스듀서 엘리먼트 핀들에 결합된다. FPGA의 빔 형성기는 이미지 필드에 걸쳐 송신된 펄스 및 과형 빔들에 응답하여 코히런트 에코 신호들의 스캔 라인들을 생성한다. 일부 구현들에서, 제2 시스템 빔 형성기(140)가 FPGA 빔 형성기에 의해 생성된 부분 빔 형성 합들로부터의 빔 형성의 완료와 같은, 빔 형성의 일부 또는 특수화된 빔 형성을 수행하는 데 사용될 수 있다. 그러나, 대부분의 경우에 FPGA 빔 형성기는 다중 라인 빔 형성과 같은 복잡한 계산을 요구하는 것들에 대해서도 모든 빔 형성에 충분할 것이다. 이것은 특히, 도 1의 예시적인 프론트엔드 구성에서와 같이, 펄스 및 과형 특성들의 저장 및 그들의 처리와 같은, FPGA에서 일반적으로 수행되는 기능들이 다른 컴포넌트들로 오프로딩되는 경우에 그러하다. 도 1의 구현에서, 펄스 및 과형 데이터는 송신 제어 및 수신기 IC들의 n-바이트 메모리들(82)에 저장되며, 여기서 이들은 FPGA로부터 이러한 기능을 제거할 뿐만 아니라 그것이 사용되는 송신기 IC들에 그것을 더 가깝게 한다. FPGA는 그의 이름이 말하듯이 현장에서 프로그래밍 가능할 수 있기 때문에, 펌웨어가 FPGA 내의 논리 소자들을 일부 이미징 절차들을 위한 단일 128 채널 빔 형성기로, 또는 다른 이미징

절차들에서 단일 송신 이벤트에 응답하여 다수의 수신 빔을 생성하기 위한 2x, 4x, 8x 또는 훨씬 더 높은 차수의 다중 라인 빔 형성기들로 재구성하는 데 사용될 수 있다. 또한, 위에서 설명된 FPGA 구성의 사용은 전술한 능력을 갖는 프리미엄 성능의 초음파 시스템 프론트엔드가 도 1에 예시된 바와 같이 단일 FPGA IC의 사용만으로 실현될 수 있다는 것을 입증하였다.

[0023] 빔 형성으로부터 기인하는 디지털 코히런트 에코 신호들은 도플러 처리를 위해 데시메이션, 필터링, 공간 또는 주파수 합성 및 직교 검출과 같은 기능들을 수행하는 신호 프로세서(142)에 의해 처리된다. 처리된 신호들은 B 모드 프로세서(144)에 인가되며, 여기서 B 모드 에코 신호들은 B 모드 이미지 형성을 위해 진폭 검출되고 추가로 처리된다. 처리된 신호들은 또한 도플러 프로세서에 인가되며, 여기서 도플러 에코 신호들의 양상들들이 이미지 필드 내의 포인트들에서의 흐름 또는 모션의 도플러 시프트(주파수)를 추정하기 위해 처리된다. 컬러플로우 이미지에 대해, 도플러 주파수들은 컬러 데이터 표에서 컬러 값들을 탐색하는 데 사용되며, 따라서 도플러 측정 모션이 대응하는 컬러들로 표시될 수 있다. 도플러 및 B 모드 스캔 라인들은 이미지 프로세서(150)에 결합되며, 여기서 이들은 스캔 변환에 의해 원하는 디스플레이 포맷, 예를 들어 섹터, 선형 또는 3D의 이미지에 대한 오버레이들로 결합된다. 결과적인 B 모드, 컬러플로우, 컬러 도플러, 또는 다른 다중 모드 이미지가 이미지 디스플레이(40) 상에 표시된다.

[0024] 초음파 시스템의 사용자 제어는 사용자 제어(20)를 통해 실시된다. 사용자 제어와의 사용자 상호 작용으로부터 기인하는 신호들은 시스템 제어기(160)에 결합되며, 이 시스템 제어기는 프론트엔드 회로에게 원하는 이미징 스캔 시퀀스 정의를 위한 B 모드 및 도플러 에코 신호들을 획득하도록 명령하고, 이러한 에코 신호들을 처리하고 표시되는 컬러플로우 또는 다른 이미지로 결합하도록 백엔드의 B 모드 프로세서, 도플러 프로세서, 및 이미지 프로세서를 제어하는 것과 같은, 초음파 시스템의 전반적인 제어를 조정한다.

[0025] 위에서 설명되고 도 6의 예시적인 초음파 시스템에 의해 예시된 다양한 실시예들은 하드웨어, 소프트웨어 또는 이들의 조합으로 구현될 수 있음에 유의해야 한다. 초음파 시스템의 다양한 실시예들 및/또는 컴포넌트들, 예를 들어 모듈들, 또는 그 안의 컴포넌트들 및 제어기들은 또한 하나 이상의 컴퓨터 또는 마이크로프로세서의 일부로서 구현될 수 있다. 컴퓨터 또는 프로세서는 컴퓨팅 디바이스, 입력 디바이스, 디스플레이 유닛, 및 예를 들어 인터넷에 액세스하기 위한 인터페이스를 포함할 수 있다. 컴퓨터 또는 프로세서는 마이크로프로세서를 포함할 수 있다. 마이크로프로세서는 예를 들어 PACS 시스템에 액세스하기 위해 통신 버스에 접속될 수 있다. 컴퓨터 또는 프로세서는 또한 메모리를 포함할 수 있다. 전술한 메모리 디바이스들은 랜덤 액세스 메모리(RAM) 및 판독 전용 메모리(ROM)를 포함할 수 있다. 컴퓨터 또는 프로세서는 하드 디스크 드라이브 또는 이동식 저장 드라이브, 예컨대 플로피 디스크 드라이브, 광 디스크 드라이브, 솔리드 스테이트 썬드 드라이브(solid-state thumb drive) 등일 수 있는 저장 디바이스를 추가로 포함할 수 있다. 저장 디바이스는 또한 컴퓨터 프로그램들 또는 다른 명령어들을 컴퓨터 또는 프로세서에 로딩하기 위한 다른 유사한 수단일 수 있다.

[0026] 본 명세서에서 사용되는 바와 같이, 용어 "컴퓨터" 또는 "모듈" 또는 "프로세서"는 마이크로컨트롤러, RISC(reduced instruction set computer), ASIC, 논리 회로, 및 본 명세서에서 설명된 기능들을 실행할 수 있는 임의의 다른 회로 또는 프로세서를 사용하는 시스템들을 포함하는 임의의 프로세서 기반 또는 마이크로프로세서 기반 시스템을 포함할 수 있다. 상기 예들은 단지 예시적인 것이며, 이에 따라 이를 용어의 정의 및/또는 의미를 어떤 식으로도 제한하도록 의도되지 않는다.

[0027] 컴퓨터 또는 프로세서는 입력 데이터를 처리하기 위해 하나 이상의 저장 요소에 저장된 명령어들의 세트를 실행한다. 저장 요소들은 또한 원하는 바에 따라 또는 필요에 따라 데이터 또는 다른 정보를 저장할 수 있다. 저장 요소는 처리 기계 내의 정보 소스 또는 물리적 메모리 요소의 형태일 수 있다.

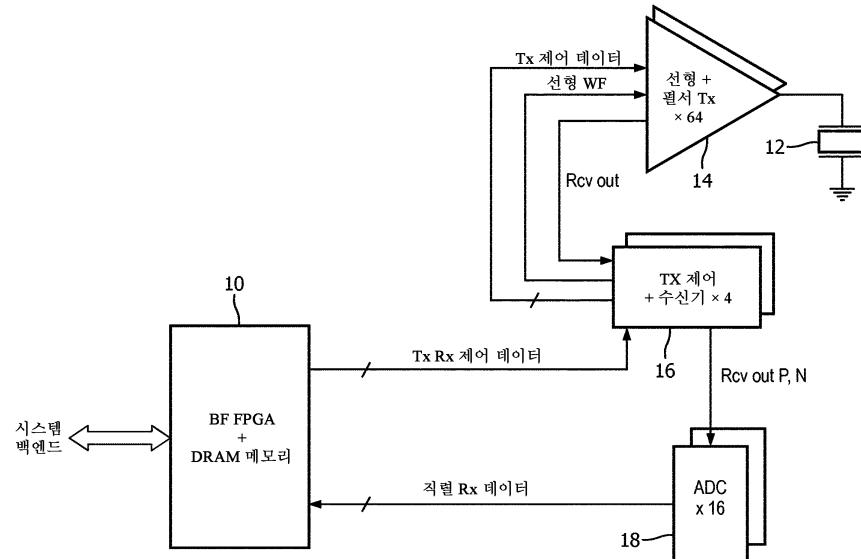
[0028] 초음파 시스템의 명령어들의 세트는 본 발명의 다양한 실시예들의 방법들 및 프로세스들과 같은 특정 동작들을 수행하도록 처리 기계로서의 컴퓨터 또는 프로세서에 명령하는 다양한 커맨드들을 포함할 수 있다. 명령어들의 세트는 소프트웨어 프로그램의 형태일 수 있다. 소프트웨어는 시스템 소프트웨어 또는 애플리케이션 소프트웨어와 같은 다양한 형태일 수 있으며, 유형적이고 비일시적인 컴퓨터 판독 가능 매체로서 구현될 수 있다. 또한, 소프트웨어는 별개의 프로그램들 또는 모듈들의 집합, 더 큰 프로그램 내의 프로그램 모듈, 또는 프로그램 모듈의 일부의 형태일 수 있다. 소프트웨어는 또한 객체 지향 프로그래밍 형태의 모듈 프로그래밍을 포함할 수 있다. 처리 기계에 의한 입력 데이터의 처리는 오퍼레이터 커맨드들에 응답하여, 또는 이전 처리의 결과에 응답하여, 또는 다른 처리 기계에 의해 이루어진 요청에 응답하여 이루어질 수 있다.

[0029] 또한, 이하의 청구항들의 제한들은 수단 플러스 기능 포맷(means-plus-function format)으로 작성되지 않았으며, 그러한 청구항 제한들이 추가의 구조 없는 기능의 기술이 이어지는 문구 " ~하기 위한 수단"을 명시적

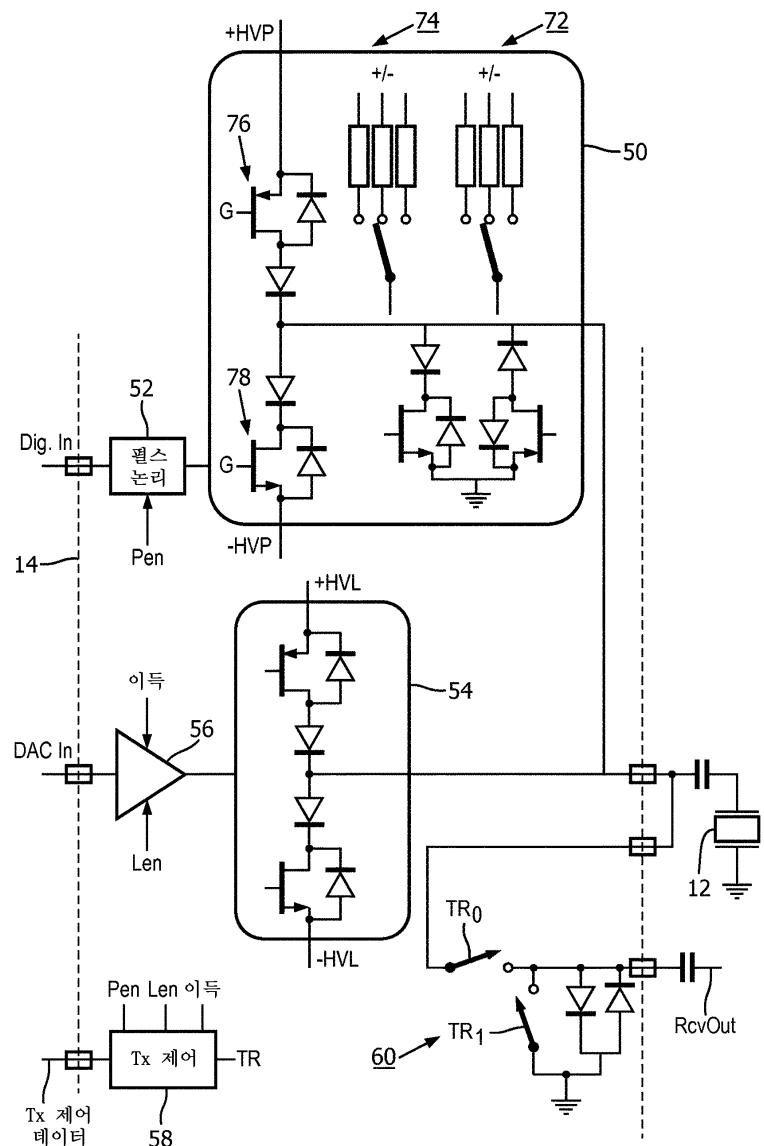
으로 사용하지 않는 한 그리고 사용할 때까지는, 35 U.S.C. 112, 제6절에 기초하여 해석되도록 의도되지 않는다.

도면

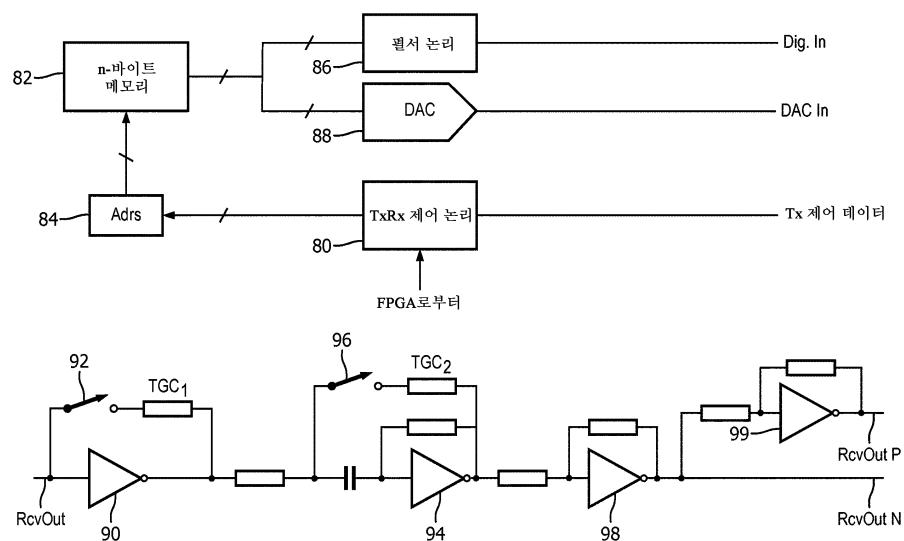
도면1



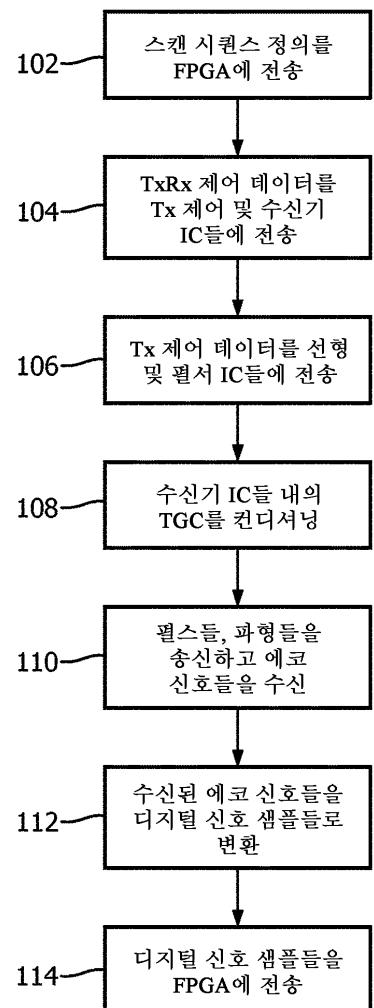
도면2



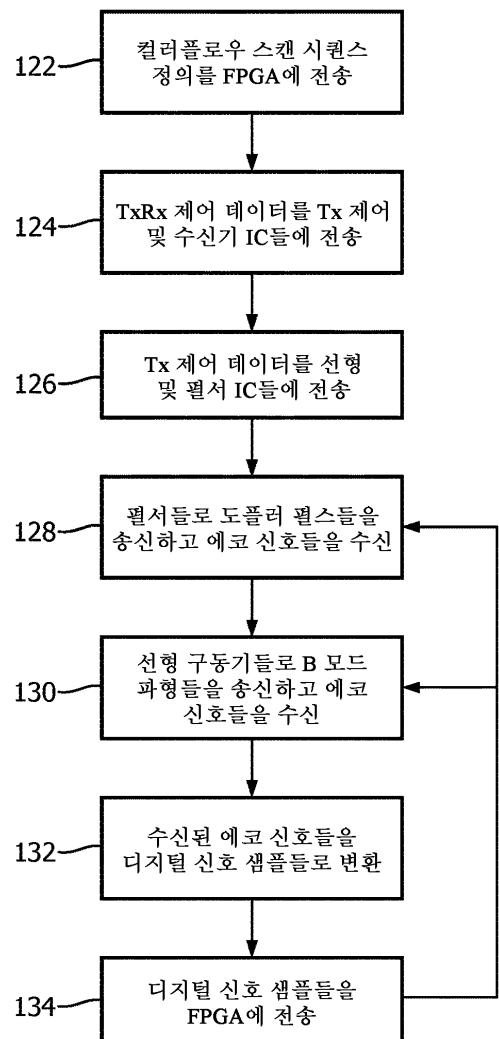
도면3



도면4



도면5



도면6

