[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 11/413
G11C 29/00

[12] 发明专利说明书

[21] ZL 专利号 96100432.0

[43] 授权公告日 2003 年 4 月 2 日

[11] 授权公告号 CN 1104728C

[22] 申请日 1996.1.16 [21] 申请号 96100432.0
[30] 优先权
[32] 1995. 6. 7 [33] JP [31] 140605/1995
[71] 专利权人 三菱电机株式会社
地址 日本东京都
[72] 发明人 前野秀史
审查员 齐 霁

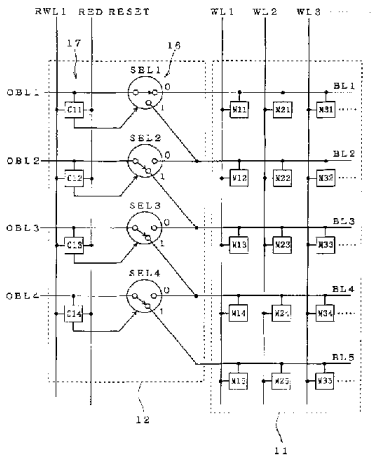
[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 王以平

权利要求书 11 页 说明书 92 页 附图 55 页

[54] 发明名称 存储电路，其数据控制电路及其地址分配电路

[57] 摘要

通过部件本身如半导体单元或带有半导体的计算机单元执行测试以便无须使用昂贵的激光装置便可适当地切换冗余电路。 通过借助分别和多条外部位线 OBL1 至 OBL4 连接的控制存储单元 C11 至 C14 控制选择器 SEL1 至 SEL4 以及通过切换外部位线 OBL1 至 OBL4 和内部位线 BL1 至 BL5 之间的对应关系来排除故障。 控制存储单元 C11 至 C14 的数据是从外部位线 OBL1 至 OBL4 上给出的。




ISSN1008-4274

1. 一种存储电路，包括：

由多个排列成矩阵形式的存储单元构成的存储单元阵列；

至少在所述存储单元阵列的行方向和列方向的一个方向上和多条内部连接线连接的多条外部连接线，用于从外部为所述存储单元阵列交换数据；以及

安置在所述存储单元阵列和所述外部连接线之间的冗余控制电路，用于在所述存储单元阵列里出现任何故障的情况下以一种方式至少补偿一个故障数据，

其中所述外部连接线的导线数被置为少于所述内部连接线的导线数，并且

其中所述冗余控制电路包括：

控制存储单元组，由数量和所述外部连接线一样多的控制存储单元构成，其存储一个二进制值，该二进制值把排列在一个方向一侧的所述外部连接线看作为来自具有所述故障数据的内部连接线，并且其存储另一个二进制值，该值把排列在另一个具有故障数据的内部连接线的一个方向一侧的所述外部连接线看作为边界；以及

选择器组，由多个分别和所述控制存储单元组的控制存储单元对应的选择器构成，根据存储在所述控制存储单元组里的值，其除具有故障数据的内部连接线和与所涉及的内部连接线处于对应关系的所述外部连接线之间的连接，把作为边界排列在具有故

障数据的内部连接线的一个方向一侧上的和各外部连接线和与所涉及的外部连接线处于对应关系的各内部连接线连接起来，并且顺序地把作为边界排列在具有故障数据的内部连接线的另一方向一侧上的各外部连接线和在另一方向一侧上与所涉及的外部连接线处于对应关系的内部连接线相邻的其它内部连接线连接起来。

2. 如权利要求 1 所定义的存储电路，其中所述控制存储单元组的所述控制存储单元的数据输入端子或者各自地和对应的所述外部连接线连接或者各自地和对应的所述内部连接线连接。

3. 如权利要求 1 所定义的存储电路，

其中所述控制存储单元组的所述控制存储单元的数据输入端子分别和对应于所述外部连接线的所述内部连接线相连接，被控制的所述选择器组的所述各个选择器和所述外部连接线相连接，并且

其中用于选择允许或不允许由所述控制存储单元组进行控制的开关部件分别被安置在所述控制存储单元组的所述各个控制存储单元和所述选择器组的所述各个选择器之间。

4. 如权利要求 1 所定义的存储电路，其中所述控制存储单元组的所述控制存储单元是带着置位端子具有置位功能或者带着复位端子具有复位功能的控制存储单元；并且

所述控制存储单元的所述置位端子或所述复位端子和在所述存储单元阵列的行方向和列方向上控制其它内部连接线的译码器的多余端子连接。

5. 一种如权利要求 2 中所述的存储电路，还包括为该存储电路的各条所述外部连接线提供的数据控制电路，所述数据控制电

路包括期待值比较装置，其用于通过比较来判断存储单元阵列的至少一个输出端口上的读出数据是否和规定的期待值不一致，并且根据比较的结果产生一个给到所述控制存储单元组的所述控制存储单元的所述数据输入端子上的控制值。

6. 如权利要求 5 所定义的存储电路的数据控制电路，其还包括第一选择装置，用于对至少两个不同种类的信息即由所述期待值比较装置生成的所述控制值以及来自外部的要写到所述存储单元阵列的所述存储单元上的写入数据进行选择。

7. 如权利要求 6 所定义的存储电路的数据控制电路，其还包括一个寄存器，用于存储由所述第一选择装置选择的一种信息。

8. 如权利要求 7 所定义的存储电路的数据控制电路，其中所述第一选择装置以一种方式连接成对至少 3 种不同的信息即由所述期待值比较装置产生的控制值、来自外部的所述存储单元阵列的所述存储单元的写入数据以及来自和有关的数据控制电路相邻的其它数据控制电路的输出信息进行选择。

9. 如权利要求 7 所定义的存储电路的数据控制电路，其还包括第二选择装置，用于对至少 2 种不同的信息即来自有关的数据控制电路里的所述寄存器的输出信息以及来自外部的测试数据进行选择。

10. 一种如权利要求 2 中所述的存储电路，还包括为该存储电路的各条所述外部连接线提供的数据控制电路，所述数据控制电路包括

期待值比较装置，用于通过比较来判断存储单元阵列的至少一个输出端口上的读出数据是否和规定的期待值不一致，并且根

据比较结果产生一个给到所述控制存储单元组的所述控制存储单元的所述数据输入端子上的控制值；

第一选择装置，用于对至少 2 种不同的信息即由所述期待值比较装置产生的控制值以及来自所述存储单元阵列的所述存储单元的所述读出数据进行选择；

一个寄存器，用于存储由所述第一选择装置选择的信息；以及

第二选择装置，用于对至少 2 种不同的信息即来自所述寄存器的输出信息以及来自外部的要写到所述存储单元阵列的所述存储单元上的写入数据进行选择。

11. 如权利要求 10 所定义的存储电路的数据控制电路，其中所述第一选择装置以一种方式连接为可对至少 3 种不同的信息即由所述期待值比较装置产生的所述控制值、来自所述存储单元阵列的所述存储单元的读出数据以及来自和有关的数据控制电路相邻的其它数据控制电路的输出信息进行选择。

12. 一种如权利要求 2 中所述的存储电路，还包括该存储电路的所述各条外部连接线提供的数据控制电路，所述数据控制电路包括：

期待值比较装置，用于通过比较来判断存储单元阵列的至少一个输出端口上的读出数据是否和规定的期待值不一致，并且根据比较结果产生一个给到所述控制存储单元组的所述控制存储单元的所述数据输入端子上的控制值；

第一选择装置，用于对至少 2 种不同的信息即由所述期待值比较装置产生的控制值以及来自所述存储单元阵列的所述存储单

元的读出数据进行选择；

第一寄存器，用于存储由所述第一选择装置选择的信息；以及

第二选择装置，用于对至少 2 种不同的信息即来自所述第一寄存器的输出信息以及来自外部的要写到所述存储单元阵列的所述存储单元上的写入数据；以及

第二寄存器，用于存储由所述第二选择装置选择的信息。

13. 如权利要求 12 所定义的存储电路的数据控制电路，其中所述第二选择装置以一种方式构造成可对至少 3 种不同的信息即来自外部的要写到所述存储单元阵列的所述存储单元上的写入数据、来自所述第一寄存器的输出信息以及所述测试数据进行选择。

14. 如权利要求 12 所定义的存储电路的数据控制电路，其中所述第二选择装置以一种方式构造成可对至少 3 种不同的信息即来自有关的数据控制电路里的所述第一寄存器的输出信息、来自和有关的数据控制电路相邻的其它数据控制电路的输出信息以及来自外部的要写到所述存储单元阵列的所述存储单元里的写入数据进行选择。

15. 一种如权利要求 2 所述的存储电路，还包括为该存储电路的所述的各个外部连接线提供的数据控制电路，所述数据控制电路还包括期待值比较装置，用于在所述存储电路以一种方式构造成可输出多个读出数据的情况下，通过比较来判断所述存储单元阵列的所述存储单元的所有读出数据是否和规定的期待值不一致，并且根据比较结果产生一个给到所述控制存储单元组的所述控制存储单元的所述数据输入端子上的控制值。

16. 一种如权利要求 2 所述的存储电路，还包括沿该存储电路的所述存储单元阵列的所述存储单元的行方向上和列方向上和所述外部连接线连接的数据控制电路，所述数据控制电路包括：

在存储单元阵列的行方向和列方向上的一个方向上和外部连接线连接的第一控制单元；以及

在存储单元阵列的行方向和列方向上的另一个方向上和外部连接线连接和第二控制单元，

其中所述第一控制单元包括：

期待值比较装置，用于通过比较来判断存储单元阵列的至少一个输出端口上的读出数据是否和规定的期待值不一致，并且根据比较结果产生一个给到所述控制存储单元组的所述控制存储单元的所述数据输入端子上的控制值；以及

第一寄存器，用于存储来自所述期待值比较装置的输出信息和把该输出信息输出到所述外部连接线的一侧上，并且

所述第二控制单元包括第二寄存器，其用于存储来自所述第一控制单元的所述期待值比较装置的输出信息和把该输出信息输出到所述外部连接线的另一侧上。

17. 一种如权利要求 1 所述的存储电路，还包括地址分配电路，其和所述多个外部连接线连接，用于沿着所述存储电路从一端到另一端的方向顺序地分配所述外部连接线，所述地址分配电路包括：

一个全循环串行数据输出电路，用于根据预置的操作公式把全循环串行数据输出为具有某循环的伪随机数；以及

一个译码器，用于根据来自所述全循环串行数据输出电路的

输出信息顺序地分配所述外部连接线，

其中所述译码器包括：

输出位数规定的输出端子，它们根据从所述全循环串行数据输出电路输出的全循环串行数据的次序顺序地排列在从一端到另一端的方向上。

一个逻辑电路单元，用于把所述输入端子的所述输入位数值变换为所述输出端子的所述输出位数值；以及

在所述逻辑电路单元和所述输出端子之间连接的位次序改变装置，用于按照所述输出端子的次序重新排列来自所述逻辑电路单元的所述规定的输出位数的信号。

18. 一种存储电路，包括：

由多个排列成矩阵形式的存储单元构成的存储单元阵列；

至少在所述存储单元阵列的行方向和列方向的一个方向上和多条内部连接线连接的多条外部连接线，用于从外部为所述存储单元阵列交换数据；以及

安置在所述存储单元阵列和所述外部连接线之间的冗余控制电路，用于控制在所述存储单元阵列里出现任何故障的情况下以一种方式补偿两个故障数据，

其中所述外部连接线的导线数被置为要比所述内部连接线的导线数少两条，并且

其中所述冗余控制电路包括：

由多个选择器构成的选择器组，用于分别地对和所述各条外部连接线相对应的各个 3 条连续相邻的所述内部连接线进行选择地切换；以及

由多个控制存储单元构成的控制存储单元组，用于以一种方式选择存储各条所述内部连接线的一个三进制值以便执行所述选择器组的所述各个选择器的切换控制。

19. 如权利要求 18 所定义的存储电路，其中所述控制存储单元组的所述控制存储单元的数据输入端子或者和对应的所述外部连接线连接或者和对应的所述内部连接线连接。

20. 如权利要求 18 所定义的存储电路，其中所述控制存储单元组的所述控制存储单元是带着置位端子具有置位功能或者带着复位端子具有复位功能的控制存储单元；并且

所述控制存储单元的所述置位端子或所述复位端子和在所述存储单元阵列的行方向和列方向上控制其它内部连接线的译码器的多余端子连接。

21. 如权利要求 18 所定义的存储电路，

其中所述控制存储单元组的所述控制存储单元是带着置位端子具有置位功能或者带着复位端子具有复位功能的控制存储单元；并且

其中所述控制存储单元的所述置位端子或所述复位端子和专用译码器的控制端子连接。

22. 一种如权利要求 19 中所述的存储电路，还包括为该存储电路的各条所述外部连接线提供的数据控制电路，所述数据控制电路包括：

期待值比较装置，用于通过比较来判断存储单元阵列的至少一个输出端口上的读出数据是否和规定的期待值不一致，并且根据比较结果产生一个给到所述控制存储单元组的所述控制存储单

元的所述数据输入端子上的控制值；以及

控制数据生成装置，用于：当所述期待值比较装置所得到的结果为来自所述存储单元阵列的所述存储单元的读出数据与所述规定的期待值一致时向所述控制存储单元组的所述控制存储单元输出所述三进制数据的第一值；当所述期待值比较装置第一次所得到的结果为来自所述存储单元阵列的所述存储单元的读出数据与所述规定的期待值不一致时向所述控制存储单元组的所述控制存储单元输出所述三进制数据的第二值；以及当所述期待值比较装置第二次所得到的结果为来自所述存储单元阵列的所述存储单元的读出数据与所述规定的期待值不一致时向所述控制存储单元组的所述控制存储单元输出所述三进制数据的第三值。

23. 如权利要求 22 里所定义的存储电路的数据控制电路，其中所述控制数据生成装置包括：

第一寄存器，其中存储所述期待值比较装置的输出信息；

不一致值输出装置，用于当存储在所述第一寄存器里的信息和所述期待值比较装置的输出信息都表示一个说明来自所述存储单元阵列的所述存储单元的读出数据和所述规定的期待值不一致时输出一个表示不一致的值；并且

第二寄存器，其中存储来自所述不一致值输出装置的输出信息。

24. 如权利要求 22 里所定义的存储电路的数据控制电路，其还包括选择装置，用于对至少 2 种不同的信息即外部给出的或内部生成的测试数据及来自所述控制数据生成装置的输出信息进行选择。

25. 一种如权利要求 19 中所述的存储电路，还包括为该存储电路的所述的各个外部连接线提供的数据控制电路，所述数据控制电路还包括期待值比较装置，用于在所述存储电路以一种方式构造成可输出多个读出数据的情况下，通过比较来判断所述存储单元阵列的所述存储单元的所有读出数据是否和规定的期待值不一致，并且根据比较结果产生一个给到所述控制存储单元组的所述控制存储单元的所述数据输入端子上的控制值。

26. 一种如权利要求 19 所述的存储电路，还包括沿该存储电路的所述存储单元阵列的所述存储单元的行方向上和列方向上和所述外部连接线连接的数据控制电路，所述数据控制电路包括：

在存储单元阵列的行方向和列方向上的一个方向上和外部连接线连接的第一控制单元；以及

在存储单元阵列的行方向和列方向上的另一个方向上和外部连接线连接的第二控制单元，

其中所述第一控制单元包括：

期待值比较装置，用于通过比较来判断存储单元阵列的至少一个输出端口上的读出数据是否和规定的期待值不一致，并且根据比较结果产生一个给到所述控制存储单元组的所述控制存储单元的所述数据输入端子上的控制值；以及

第一寄存器，用于存储来自所述期待值比较装置的输出信息和把该输出信息输出到所述外部连接线的一侧上，并且

所述第二控制单元包括第二寄存器，其用于存储来自所述第一控制单元的所述期待值比较装置的输出信息和把该输出信息输出到所述外部连接线的另一侧上。

27. 一种如权利要求 18 所述的存储电路，还包括地址分配电路，其和所述多个外部连接线连接，用于沿着所述存储电路从一端到另一端的方向顺序地分配所述外部连接线，所述地址分配电路包括：

一个全循环串行数据输出电路，用于根据预置的操作公式把全循环串行数据输出为具有某循环的伪随机数；以及

一个译码器，用于根据来自所述全循环串行数据输出电路的输出信息顺序地分配所述外部连接线，

其中所述译码器包括：

输出位数规定的输出端子，它们根据从所述全循环串行数据输出电路输出的全循环串行数据的次序顺序地排列在从一端到另一端的方向上；

一个逻辑电路单元，用于把所述输入端子的所述输入位数值变换为所述输出端子的所述输出位数值；以及

在所述逻辑电路单元和所述输出端子之间连接的位次序改变装置，用于按照所述输出端子的次序重新排列来自所述逻辑电路单元的所述规定的输出位数的信号。

# 存储电路、其数据控制电路及其地址分配电路

本发明涉及带有冗余功能的存储电路、和存储电路有关的数据控制电路以及和存储电路有关的地址分配电路。

图54是一个电路图，表示第一种现有技术的存储电路。其存储单元阵列1和列冗余控制电路(*COL—RED—CTRL*)2相连接的第一种现有技术的存储电路以一种方式通过由列冗余控制电路2内的断路熔丝*F*1至*F*4来控制选择器*SEL*1至*SEL*4以及通过切换外部位线*OBL*1至*OBL*4和存储单元阵列1内的内部位线*BL*1至*BL*5之间的对应关系来排除存储单元*M*11至*M*15、*M*21至*M*25、*M*31至*M*35、…里的故障构造的。

也就是说，例如，在内部位线*BL*2出现断线或短路或者和内部位线*BL*2连接的存储单元*M*12、*M*22、*M*32…内出现故障的情况下，(存储电路)把(各个节点)设置为节点*N*1="0"、*N*2="1"、*N*3="1"、*N*4="1"并且借助激光的照射切断图54中所示的熔丝*F*2把选择器*SEL*2至选择器*SEL*4的触点从"0"切换到"1"。而且(存储电路)相应地分别使得外部位线*OBL*1对应于内部位线*BL*1、外部位线*OBL*2对应于内部位线*BL*3、外部位线*OBL*3对应于内部位线*BL*4、外部位线*OBL*4对应于内部位线*BL*5。

通常，造成对外部位线*OBL*1至*OBL*4访问的对*M*11至

*M*15、*M*21 至 *M*25、*M*31 至 *M*35 、…的操作和存储单元的内部位线 *BL*2 有关的任何故障是观察不到的 ，因此可以使(存储电路)工作为仿佛它是不具有故障的一个存储电路。

此外 ，在图 54 中为了方便起见外部位线 *OBL*1 至 *OBL*4、熔丝 *F*1 至 *F*4 和选择器 *SEL*1 至 *SEL*4 的数量为 4，实际上它们是以很大的数量存在的。

图 55 是一个电路图，表示第二种现有技术的存储电路。在图 55 中，和图 54 所示第一种现有技术里具有相同功能的部件采用相同的符号。其存储单元阵列 1 和行冗余控制电路(*ROW*—*RED*—*CTRL*)3 相连接的第二种现 有技术的存储电路在一种方式下通过由行冗余控制电路 3 内的切断 熔 丝 *F*1 至 *F*4 来控制选择器 *SEL*1 至 *SEL*4 以及通过切换外部字线 *OWL*1 至 *OWL*4 和存储单元阵列 1 内的内部字线 *WL*1 至 *WL*5 以及内部位线 *BL*1 至 *BL*5 之间的对应关系来排除存储单元 *M*11 至 *M*13…、*M*21 至 *M*23…、*M*31 至 *M*33…、*M*41 至 *M*43…、*M*51 至 *M*53…中的故障构造的。

也就是说，例如，在字线 *WL*2 出现断线或短路或者在和字线 *WL*2 连接的存储单元 *M*21 至 *M*23…里出现故障的情况下 ，(存储电路)把(各个节点 )设置为节点 *N*1＝“0”、*N*2＝“1”、*N*3＝“1”、*N*4＝“1”并且借助激光的照射切断图 55 中的熔丝 *F*2 ，把选择器 *SEL*2 至选择器 *SEL*4 的触点从 “0 ”切换到“1”。而且(存储电路)相应地使得外部字线 *OWL*1 对应于内部字线 *WL*1 、外部字线 *OWL*2 对应于内部字线 *WL*3、外部字线 *OWL*3 对应于内部字线 *WL*4、外部字线 *OWL*4 对应于内部字线 *WL*5。

通常，造成对外部字线 *OWL1* 至 *OWL4* 访问的对 *M11* 至 *M13*…、*M21* 至 *M23*…、*M31* 至 *M33*…、*M41* 至 *M43*…、*M51* 至 *M53*…的操作和存储单元的内部字线 *WL2* 有关的任何故障是观察不到的，因此可以使(存储电路)工作为仿佛它是不会有故障的存储电路。

此外，在图 55 中为了方便起见外部字线 *OWL1* 至 *OWL4*、熔丝 *F1* 至 *F4* 和选择器 *SEL1* 至 *SEL4* 的数量为 4，实际上它们是以很大的数量存在的。

虽然，在第一种现有技术中和第二种现有技术中，通过利用列冗余控制电路 2 或行冗余控制电路 3 中的一种电路里的熔丝 *F1* 至 *F4*，在出现故障的情况下由激光来熔断熔丝 *F1* 至 *F4*，该方法不可避免地需要在生产线上在测试存储器之后安装激光装置。但是，由于考虑到激光装置仅在出现故障的情况下得到使用（即低使用频率）激光装置非常贵，因而出现了高生产成本的问题。

根据本发明，一种存储电路包括：由多个存储单元构成的以矩阵的形式排列的存储单元阵列；至少在存储单元阵列的行方向和列方向中一个方向上和多条内部连接线连接的多条外部连接线，用于从外部为存储单元阵列交换数据；安装在存储单元阵列和各外部连接线之间的冗余控制电路，用于在存储单元阵列里出现任何故障的情况下以一种方式控制对至少一个故障数据的补偿。

而且，外部连接线的导线数被设置为少于内部连接线的导线数。

而冗余控制电路包括一组控制存储单元和一组选择器，控制存储单元组包括由数量和外部连接线一样多的控制存储单元，控

制存储单元组存储一个二进制值，该二进制值把排列在具有故障数据的内部连接线的一个方向一侧上的外部连接线看作为边界，并且控制存储单元组存储另一个进制值，该值把排列在另一个具有故障数据的内部连接线的一个方向一侧上的外部连接线看作为边界；选择器组包括多个分别和控制存储单元组的控制存储单元对应的选择器，根据存储在该组控制存储单元里的值，选择器组解除具有故障数据的内部连 接线和处于所涉及的内部连接线对应的外部连接线之间的连接，把排列在具有故障数据的内部连接线的一个方向一侧上的作为边界的各外部连接线和与所涉及的外部连接线处于对应关系的各内部连接线连接起来，并且顺序地把作为边界排列在具有故障数据的内部连接线的另一方向一侧上的各外部连接线和在另一方向一侧上与所涉及的外部连接线处于对应关系的内部连接线相邻的其它内部连接线连接起来。

根据本发明，有可能无须如在第一种现有技术和第二种现有技术中通过激光来切断熔丝而是通过利用存储在该组控制存储单元的各个控制存储单元里的值切换该组选择器里的各个选择器来执行冗余电路的适当切换。从而，不存在使用任何昂贵的激光装置的要求，这使得不仅降低了生产线上的设备成本并且能够在特别短的时间内有效地切换冗余电路。

最好把该组控制存储单元的控制存储单元的数据输入端子或者和它们分别对应的外部连接线相连接或者和它们分别对应的内部连接线相连接。

根据本发明，向控制存储单元组的控制存储单元写入数据可以按把数据写入到存储单元阵列的存储单元里的相同方式只是从

外部连接线上给出数据来实现。从而，不需要提供任何专门的数据写入端子这样防止了端子数量的增加。

最好把控制存储单元组的控制存储单元的数据输入端子分别和连接着要控制的选择器组的各个选择器的外部连接线相对应的内部连接线连接起来，并且把用于选择是否允许控制存储单元组进行控制的切换装置分别安装在控制存储单元组的各个控制存储单元和选择器组的各个选择器之间。

根据本发明，例如通过把控制存储单元组的各个控制存储单元分别和存储单元阵列的内部连接线连接起来并且进而把存储单元阵列多余列的部分用作为控制存储单元组，有可能同时地并且通过把它们互相并列地排列以一种相同的标准构成控制存储单元组和存储单元阵列。

在这种情况下，取决于控制存储单元的值，随着选择器的切换存在着外部连接线和控制存储单元处于不连接状态的情形，从而在这种状态下存在着这样的危险，即可能变为永久性地不能通过从外部连接线上给出数据来使控制存储单元组的各个存储单元重新存储数据和执行选择器的切换，甚至例如在修复过存储单元阵列的故障之后。

但是，借助切换装置通过是否允许控制切换和切换选择器，有可能经从外部连接线上给出数据来重新存储控制存储单元组的各个控制存储单元的数据。

在本方面的一个方面里，一种存储电路包括：由多个以矩阵的形式排列的存储单元组成的存储单元阵列；至少在存储单元阵列的行方向和列方向中一个方向上和多条内部连接线连接的多条外

部连接线，用于从外部向存储单元阵列交换数据；以及安装在所述存储单元阵列和所述外部连接线之间的冗余控制电路，用于在所述存储单元阵列里出现任何故障的情况下在一种方式下控制对两个故障数据的补偿。

而且，外部连接线的导线数被置为比内部连接线的导线数少二条。

并且，冗余控制电路包括：由多个选择器构成的选择器组和由多个控制存储单元构成的控制存储单元组，选择器组用于选择性地切换与各条外部连接线对应的各3条连续相邻的内部连接线，控制存储单元组用于为各条内部连接线存储一个三进位制的值以在一种方式下执行选择器组的各个选择器的切换控制。

根据本发明，控制存储单元组的控制存储单元选择性地为各条外部连接线向选择器组中的各自选择器输出一个三进制数据的值，并且根据这个输出，选择器组的各个选择器选择性地分别地切换连续相邻的三条内部连接线。

从而，不需要采用任何昂贵的激光装置，这样不仅使得降低生产线上的设备成本并且能在特别短的时间内有效地切换冗余电路。

最好把控制存储单元组的控制存储单元的数据输入端子或者和各外部连接线连接起来或者和与外部连接线分别对应的各内部连接线连接起来。

根据本发明，在当电路具有本发明所公开的2位的冗余功能的情况下，向控制存储单元组的控制存储单元写数据可以只通过从外部连接线上给出数据来进行，和向存储单元阵列的存储单元写数据的方式一样。从而不需要提供任何专门的数据写入端子，因

此防止了端子数量的增加。

最好控制存储单元组的控制存储单元是带有置位端子而备有置位功能的或者带有复位端子而备有复位功能的那些控制存储单元，并且控制存储单元的置位端子或复位端子和控制存储单元阵列的行方向及列方向上的其它内部连接线的译码器的多余端子相连接。

根据本发明，有可能通过利用分配地址的译码器的多余端子执行控制存储单元的置位或复位，和借助专用的控制电路执行控制存储单元的置位和复位的情况相比这样有助于提高电路的效率。

最好控制存储单元组的控制存储单元是带有置位端子而备有置位功能的或者带有复位端子而备有复位功能的那些控制存储单元，并且控制存储单元的置位端子或复位端子和专用译码器的控制端子相连接。

根据本发明，有可能通过利用专用译码器执行控制存储单元的置位或复位，并且这样便于诸如对指派给专用译码器的信号的控制的等等控制。

最好为存储电路的各条外部连接线提供的存储电路的数据控制电路包括期待值比较装置，其通过比较判断在存储单元阵列的至少一个输出端口上的读出数据是否不符合规定的期待值，并且根据比较的结果产生一个给到控制存储单元组的控制存储单元的数据输入端子上的控制值。

根据本发明，期待值比较装置判断存储单元阵列的至少一个输出端口上的读出数据和规定的期待值之间的任何不一致情况，并且根据该结果可以产生一个给到控制存储单元组的控制存储单

元的数据输入端子上的控制值。

按这种方式，有可能通过自动地检测故障数据来控制存储电路以及执行有效的冗余切换。

最好存储电路的数据控制电路还包括第一选择装置，用于选择至少两个不同种类型的信息，即由期待值比较装置产生的控制值和从外部写入到存储单元阵列的存储单元里的写入数据。

根据本发明，有可能借助第一选择装置的切换很容易地选择并且把写入到存储单元阵列的存储单元里的写入数据和控制存储单元组的控制存储单元的控制值给到外部连接线上，因此不需要为控制存储单元组提供任何专用的数据写入端子，从而防止了端子数量的增加。

最好控制电路的数据控制电路还包括存储由第一选择装置选择出的一种信息的寄存器。

根据本发明，借助寄存器把第一选择装置选择的信息保持在一边从而数据的处理变得很方便。

最好 把第一选择装置以一种方式连接成选择至少 3 种不同种类的信息，即由期待值比较装置产生的控制值、来自外部的存储单元阵列的存储单元的写入数据和来自与有关的数据控制电路相邻的其它数据控制电路的输出信息。

根据本发明，有可能借助第一选择装置的切换，当靠逐个地连接多个数据控制电路构成扫描路径时，在数据扫描时刻选择及输出来自和有关的数据控制电路相邻的其它数据控制电路的输出信息。这样允许有效地馈送扫描数据。

最好存储电路的一个数据控制电路还包括第二选择装置，用

于选择至少2个不同种类的信息，即来自有关的数据控制电路的寄存器的输出信息和来自外部的测试数据。

根据本发明，有可能借助第二选择装置根据需要为外部连接线选择和输出供测试的写入数据以及来自期待值比较装置的输出信息。这样不再需要向存储电路输入上述多种种类信息的任何专用的和单个的输入端子，从而防止了端子数量的增加。

最好为存储电路的各条外部连接线提供的存储电路的一个数据控制电路包括：期待值比较装置，用于通过比较判断存储单元阵列的至少一个输出端口的读出数据是否和规定的期待值不一致，并且根据比较的结果产生给到控制存储单元组的控制存储单元的数据输入端子上的控制值；第一选择装置，用于选择至少2个不同种类的信息即由期待值比较装置产生的控制值和来自存储单元阵列的存储单元的读出数据；一个寄存器，用于存储第一选择装置的选择的信息；以及第二选择装置，用于选择至少2个不同种类的信息即来自寄存器的输出信息和来自外部的写入到存储单元阵列的存储单元里的写入数据。

根据本发明，有可能利用第一选择装置选择至少两个不同种类的信息即由期待值比较装置产生的控制值和来自存储单元阵列的读出数据，并且把它们存储到寄存器里；还有可能利用第二存储装置选择至少两个不同种类的信息即从该寄存器的输出信息以及写入到存储单元阵列的存储单元里的写入数据，并且把它们输出到外部连接线上。

这使得不必需要向存储电路输入上述多种种类的信息的任何专用的和单个的输入端子，从而防止了端子数量的增加。

在本发明的另一方面上，第一选择装置以一种方式连接成选择至少3种不同种类的信息即由期待值比较装置产生的控制值、来自存储单元阵列的存储单元的读出数据以及来自和有关的数据控制电路相邻的其它数据控制电路的输出信息。

根据本发明，有可能借助第一选择装置向外部连接线选择和输出至少3个不同种类的信息即由期待值比较装置产生的控制值、来自存储单元阵列的存储单元上的读出数据以及来自有关的数据控制电路相邻的其它数据控制电路的输出信息。

由于这个原因，不需要为向存储电路输入上述多种类的信息提供任何专用的和单个的输入端子，从而防止了端子数量的增加。

最好对存储电路的各条外部连接线提供的存储电路的一个数据控制电路包括：期待值比较装置，用于通过比较判断存储单元阵列的至少一个输出端口上的读出数据是否和规定的期待值不一致，并且根据比较结果产生给到控制存储单元组的控制存储单元的数据输入端子上的控制值；第一选择装置，用于选择至少2个不同种类的信息即由期待值比较装置产生的控制值及来自存储单元阵列的存储单元的读出数据；第一寄存器，用于存储第一选择装置选择的信息；第二选择装置，用于选择至少两个不同种类的信息即来自第一寄存器的输出信息及从外部写入到存储单元阵列的存储单元上的写入数据；以及第二寄存器，用于存储第二选择装置选择的信息。

根据本发明，有可能借助第一选择装置对至少2个不同种类的信息即由期待值比较装置产生的控制值及来自存储单元阵列的读出数据进行选择，并且有可能借助第二选择装置对来自第一选择

装置和第一寄存器的输出信息及写入到存储单元阵列里的写入数据进行选择。也就是说，一个数据控制电路即可以处理写入数据又可以处理读出数据，和分别利用专用电路的情况相比这样提高了电路效率。在这种情况下，可以容易地进行冗余控制，因为有可能借助第一选择装置和第二选择装置之间的切换把期待值比较装置产生的控制值给到控制存储单元组上，尤其在读出数据中存在任何故障的情况下。

最好 以某种方式把第二选择装置构造成对至少 3 个不同种类的信息即从外部写入到存储单元阵列的存储单元上的写入数据、第一寄存器及测试数据进行选择。

根据本发明，有可能借助第二选择装置对至少 3 个不同种类的信息即从外部写入到存储单元阵列的存储单元上的写入数据、来自第一寄存器的输出信息及来自外部的测试数据进行选择并且输出到外部连接线上 。由于这个原因，不需要为向存储电路输入上述多种类的信息而提供任何专用的和单个的输入端子 ，从而防止了端子数量的增加。

最好 以某种方式把第二选择装置构造成可对至少 3 个不同种类的信息即来自所涉及的数据控制电路里的第一寄存器中的输出信息、来自和所涉及的数据控制电路相邻的其它数据控制电路的输出信息及从外部写入到存储单元阵列的存储单元上的写入数据进行选择。

根据本发明，有可能借助第二选择装置的切换，当通过逐个连接多个数据控制电路构成扫描路径时 ，在数据扫描的时刻选择和输出来自和所涉及的数据控制电路相邻的其它数据控制电路的输

出信息。这样允许有效的扫描数据馈送。并且，由于有可能根据需要对外部连接线选择和输出所涉及的扫描数据、来自所涉及的数据控制单元里的第一选择装置和寄存器里的输出信息和来自外部的写入到存储单元阵列的存储单元里的写入数据，不需要为向存储电路输入上述多种类的信息提供任何专用的和单个的输入端子，从而防止了端子数量的增加。

最好为存储电路的各条外部连接线提供的存储电路的一个数据控制电路包括：期待值比较装置，用于通过比较判断存储单元阵列的至少一个输出端口上的读出数据是否和预定的期待值不一致，并且根据该比较结果产生给到控制存储单元组的控制存储单元的数据输入端子的控制值；控制数据生成装置，用于当期待值比较装置得到的结果为来自存储单元阵列的存储单元的读出数据和所规定的期待值相同时向控制存储单元组的控制存储单元输出三进制数据的第一值，用于当期待值比较装置第一次得到的结果为来自存储单元阵列的存储单元的读出数据和所规定的期待值不一致时向控制存储单元组的控制存储单元输出三进制数据的第二值，以及用于当期待值比较装置第二次得到的结果为来自存储单元阵列的存储单元的读出数据和所规定的期待值不一致时向控制存储单元组的控制存储单元输出三进制数据的第三值。

根据本发明，有可能借助期待值比较装置比较和判断存储单元阵列的至少一个输出端口上的读出数据是否和规定的期待值不一致，并且根据比较的结果产生给到控制存储单元组的控制存储单元的数据输入端子上的控制值。而且根据这样的控制值，控制数据生成装置可以正确地控制具有2位冗余函数的存储电路。也就是

说，当期待值比较装置得到的结果为来自存储单元阵列的存储单元的读出数据和所规定的期待值相同时，期待值比较装置可以向控制存储单元组的控制存储单元输出三进制数据的一值。

并且，当期待值比较装置得到的结果第一次为来自存储单元阵列的存储单元的读出数据和所规定的期待值不一致时，期待值比较装置可以向控制存储单元组的控制存储单元输出三进制数据的第二值。

而且，当期待值比较装置得到的结果第二次为来自存储单元阵列的存储单元的读出数据和所规定的期待值不一致时，期待值比较装置可以向控制存储单元组的控制存储单元输出三进制数据的第三值。这样允许容易地解除2位故障。

最好控制数据生成装置包括第一寄存器、不一致值输出装置和第二寄存器，第一寄存器中存储着期待值比较装置的输出信息，不一致值输出装置用于当存储在第一寄存器的信息和期待值比较装置的输出信息都指示一个表明来自存储单元阵列的存储单元的读出数据和规定的期待值不一致的值时输出一个指示不一致的值，第二寄存器中存储着不一致值输出装置的输出信息。

根据本发明，有可能在第一次检测到故障时把控制值存储到第一寄存器里，并且从其中向控制存储单元组给出数据。

此外，在第二次检测到故障时，仍有可能借助不一致值输出装置检测出第一寄存器已经指示一个指示不一致的值并且期待值比较装置指示一个表示输出信息的不一致的值，并且从那里把输出信息存储到第二寄存器里而且然后向存储电路的控制存储单元组给出这个输出信息。这样允许在存储电路里容易地解除2位故障。

最好 存储电路的一个数据控制电路还包括用于对至少 2 个不同种类的信息即从外部给出的或内部生成的测试数据及控制数据生成装置的输出信息进行选择的选择装置。

根据本发明，选择装置可以对外部连接线选择和输出至少 2 个不同种类的信息即外部给出的或内部生成的测试数据及控制数据生成装置的输出信息，从而不需要为向存储电路输入上述多种类的信息设置任何专用的和独立的输入端子，这样避免了端子数量的增加。

最好为存储电路各条外部连接线提供的存储电路的一个数据控制电路还包括期待值的比较装置，用于在存储电路的一种方式构造为输出多个读出数据的情况下通过比较判断来自存储单元阵列的存储单元的所有读出数据是否和规定的期待值不一致，并且根据比较的结果产生一个给到控制存储单元组的控制存储单元的数据输入端子上的控制值。

根据本发明，因为在存储单元阵列的行方向和列方向上的一个方面上的所有内部连接线上检测故障数据，在存储单元阵列的行方向和列方向的任一个方向上的内部连接线上出现任何故障的情况下，有可能对来自期待值比较装置的输出信息和来自存储电路的对应读出数据进行比较，并且当作为该比较的结果发现所有数据不同时，判断出存储单元阵列的行方向和列方向的另一个方向上存在着故障，这样从而便利了另一侧上此后内部连接导线的适当切换控制。

最好与存储电路的存储单元阵列的存储单元的行方向和列方向上的外部连接线连接的存储电路的一个数据控制电路包括：在

存储单元阵列的行方向和列方向的一个方向上和外部连接线连接的第一控制单元以及在存储单元阵列的行方向和列方向的另一个方向上和外部连接线连接的第二控制单元，并且第一控制单元包括期待值比较装置和第一寄存器，期待值比较装置通过比较判存储单元阵列的至少一个输出端口上的读出数据是否和规定期待值不一致，并且根据比较的结果产生给到控制存储单元组的控制存储单元的数据输入端子上的控制值，而第一寄存器用于存储期待值比较装置的输出信息并且把该输出信息输出到外部连接线的一侧上。

此外，第二控制单元包括第二寄存器，其用于存储来自第一控制单元的期待值比较装置的输出信息并且把输出信息输出到外部连接线的另一侧上。

根据本发明，由第一控制单元和第二控制单元共享的期待值比较装置，这样允许减少电路的规模。

最好和存储电路的多条外部连接线连接的用于沿从存储电路的一端到另一端的方向上顺序地分配外部连接线的地址分配电路包括：全周期串行数据输出电路和译码器，全周期串行数据输出电路用于根据预置的操作公式把全周期串行数据输出为具有一定周期的伪随机数，而译码器用于根据来自全周期串行数据输出电路的输出信息顺序地分配外部连接线。

并且译码器包括：输出位数被规定的多个输出端子、逻辑电路单元和位次序改变装置，根据从全周期串行数据输出电路输出的全周期串行数据的次序输出位数被规定的输出端子顺序地沿一端到另一端的方向得到设置；逻辑电路单元用于把输入端子的输入

位数的值变换为输出端子的输出位数的值，而连接在逻辑电路单元和输出端子之间的位次序改变装置用于按输出端子的次序重新排列来自逻辑电路单元的已规定输出位数的信号。

根据本发明，有可能借助全周期串行数据输出电路根据预置的操作公式把全周期串行数据输出为具有确定周期的伪随机数，借助译码器的逻辑电路单元把输入端子的输入位数值变换为对应于输出端子的输出位数信号，并且然后借助位次序改变装置按输出端子的次序重新排列(这些信号)。

这使得有可能把从全周期串行数据输出电路输出的全周期串行数据按从一端到另一端的输出方向的次序进行输出，而不考虑它们是伪随机数的这个事实。

从而，可以在测试时刻等等容易地增加或减少数据。

考虑前面提到的问题，本发明的目的是提供一种能够通过靠自身的诸如半导体单元或包括半导体单元的计算机等等的设备执行测试以适当地切换冗余电路的存储电路并且不需要使用任何昂贵的激光装置。

通过本发明的下述连带附图详细地说明本发明的这些和其它的目的、特性、方面和优点会变得更明确。

图1是一个电路图，表示本发明的第一实施方式的存储电路；

图2是一个电路图，表示本发明的第二实施方式的存储电路；

图3是一个电路图，表示本发明的第三实施方式的存储电路；

图4是一个电路图，表示本发明的第四实施方式的存储电路；

图5是一个电路图，表示本发明的第四实施方式的存储电路里的存储单元阵列的内部结构；

图 6 是一个电路图，表示本发明的第四实施方式的存储电路里的冗余控制电路；

图 7 是一个电路图，表示本发明的第四实施方式的存储电路的总体结构；

图 8 是一个电路图，表示本发明的第五实施方式的存储电路的总体结构；

图 9 是一个电路图，表示本发明的第六实施方式的存储电路的总体结构；

图 10 是一个电路图，表示本发明的第七实施方式的存储电路的总体结构；

图 11 是一个电路图，表示本发明的第八实施方式的数据控制电路；

图 12 是一个电路图，表示本发明的第九实施方式的数据控制电路；

图 13 是一个电路图，表示本发明的第九实施方式的数据控制电路构成扫描路径的一种状态；

图 14 是一个电路图，表示本发明的第十实施方式的数据控制电路；

图 15 是一个电路图，表示本发明和第十一实施方式的数据控制电路；

图 16 是一个电路图，表示本发明的第十一实施方式的数据控制电路构成扫描路径的一种状态；

图 17 是一个电路图，表示本发明的第十二实施方式的存储电路的总体结构；

图 18 是一个电路图，表示本发明的第十三实施方式的数据控制电路；

图 19 是一个电路图，表示本发明的第十四实施方式的数据控制电路；

图 20 是一个电路图，表示本发明的第十五实施方式的数据控制电路；

图 21 是一个电路图，表示本发明的第十六实施方式的数据控制电路；

图 22 是一个电路图，表示本发明的第十六实施方式的数据控制电路；

图 23 是一个电路图，表示本发明的第十七实施方式的数据控制电路；

图 24 是一个电路图，表示本发明的第十八实施方式的数据控制电路；

图 25 是一个电路图，表示本发明的第十九实施方式的数据控制电路；

图 26 是一个电路图，表示本发明的第二十实施方式的存储电路；

图 27 是一个电路图，表示本发明的第二十一实施方式的存储电路里的冗余控制电路；

图 28 是一个电路图，表示本发明的第二十一实施方式的数据控制电路；

图 29 是一个电路图，表示本发明的第二十二实施方式的数据控制电路；

图 30 是一个电路图，表示本发明的第二十二实施方式的数据控制电路构成扫描路径的一种状态；

图 31 是一个电路图，表示本发明的第二十三实施方式的数据控制电路；

图 32 是一个电路图，表示作为本发明的第二十四实施方式和第二十五实施方式的存储电路的扫描路径的数据控制电路构成一条扫描路径。

图 33 是一个电路图，表示本发明的第二十六实施方式的存储电路；

图 34 是一个电路图，表示本发明的第二十七实施方式的存储电路；

图 35 是一个电路图，表示本发明的第二十八实施方式的存储电路；

图 36 是一个电路图，表示本发明的第二十九实施方式的存储电路；

图 37 是一个电路图，表示本发明的第三十实施方式的存储电路里的冗余控制电路；

图 38 是一个电路图，表示本发明的第三十实施方式的存储电路的总体结构；

图 39 是一个电路图，表示本发明的第三十一实施方式的存储电路的总体结构；

图 40 是一个电路图，表示本发明的第三十二实施方式的存储电路的总体结构；

图 41 是一个电路图，表示本发表的第三十三实施方式的数据

控制电路；

图 42 是一个电路图，表示本发明的第三十四、第三十五和第三十六实施方式的数据控制电路里的期待值比较装置；

图 43 是一个电路图，表示本发明的第三十七实施方式的数据控制电路；

图 44 是一个电路图，表示本发明的第三十八实施方式的数据控制电路；

图 45 是一个电路图，表示本发明的第三十八实施方式的存储电路的总体结构；

图 46 是一个电路图，表示本发明的第三十九实施方式的数据控制电路；

图 47 是一个电路图，表示本发明的第三十九实施方式的数据控制电路；

图 48 是一个电路图，表示本发明的第四十实施方式的数据控制电路；

图 49 是一个电路图，表示本发明的第四十一实施方式的数据控制电路；

图 50 是一个电路图，表示本发明的第四十二实施方式的地址分配电路；

图 51 是一个电路图，表示本发明的第四十三实施方式的地址分配电路里的译码器的内部结构；

图 52 是一个电路图，表示本发明的第四十三实施方式的地址分配电路；

图 53 是一个电路图，表示本发明的第四十四实施方式的地址

分配电路；

图 54 是一个电路图，表示第一种现有技术的存储电路；以及

图 55 是一个电路图，表示第二种现有技术的存储电路。

图 1 表示本发明的第一实施方式的存储电路 。本实施方式的存储电路的意图是借助分别和多条外部位线 *OBL*1 至 *OBL*4 连接的控制存储单元 *C*11 至 *C*14 控 制选择器 *SEL*1 至 *SEL*4 并且通过切换外部位线 *OBL*1 至 *OBL*4 和内部位线 *BL*1 至 *BL*5 之间的对应关系排除故障。

出于具体化 ，本实施方式的存储电路具备由按列的形状排列的按常规动作的多个存储单元 (*RAM*)*M*11 至 *M*15、*M*21 至 *M*25、*M*31 至 *M*35、…实现的作为通用单端口 *RAM* 的存储单元阵列 11，具备用于和存储单元阵列 11 的五条内部位线 (内部连接线)*BL*1 至 *BL*5 交换数据的 4 条外部位线 (外部连接线)*OBL*1 至 *OBL*4 并且具备列冗余控制电路(*COL—RED—CTRL*)12，列冗余控制电路 12 用于当在存储单元阵列的一个内部位线 *BL*2 本身上或者在和内部位线 *BL*2 相连的存储单元 *M*11 至 *M*15 、*M*21 至 *M*25、*M*31 至 *M*35、…上出现任何故障的情况下补偿故障数据。

在存储单元阵列 11 中，分别地存储单元 *M*11、*M*21、*M*31、…和第一内部位线 *BL*1 连接，存储单元 *M*12、*M*22、*M*32、…和第二内部位线 *BL*2 连接，存储单元 *M*13、*M*23、*M*33、…和第三内部位线 *BL*3 连接，存储单元 *M*14 、*M*24、*M*34、…和第四内部位线 *BL*4 连接，存储单元 *M*15、*M*25、*M*35、…和第五内部位线 *BL*5 连接。而且，

分别地，存储单元 *M*11 至 *M*15 和第一内部字线 *WL*1 连接，存储单元 *M*21 至 *M*25 和第二内部字线 *WL*2 连接，存储单元 *M*31 至 *M*35 和第三内部字线 *WL*3 连接。

这里，把内部位线 *BL*1 至 *BL*5 的条数（5 条）置为大于外部位线 *OBL*1 至 *OBL*4 的条数（4 条）的原因在于，为了取消和故障数据有关系的内部位线 *BL*1 至 *BL*4 中的一条并且然后切换到另一条内部位线上必须事先设置一条备用的内部位线 *BL*5 。从而，如果在第一内部位线 *BL*1 至第四内部位线 *BL*4 中任一条都不产生故障，备用内部位线 *BL*5 是不使用的。

各条内部位线 *BL*1 至 *BL*5 和各条外部位线 *OBL*1 至 *OBL*4 包括由多条信号线（未示出）构成的位线。例如，通用的静态 *RAM* 具有反向位线和非反向位线两种，但是在本发明中它们被通称为位线。在这种情况下，例如第 一内部位线 *BL*1 和第一外部位线 *OBL*1 是由两条信号线即反向位线和非反向位线组成的。以同样的方式，多端口 *RAM* 具有和多个端口的位线有关的多条信号线，而它们被通称为内部位线 *BL*1 至 *BL*5 或外部位线 *OBL*1 至 *OBL*4。例如，在具有 1 个只写端口和 2 个读出端口的 3 端口 *RAM* 里，内部位线 *BL* 或外部位线 *OBL*1 至 *OBL*4 是由至少 3 条信号线构成的（分别地）并且当（*RAM*）具有用于各端口的反向位线和非反向位线的两条线时其还由 6 条信号线构成。但是为了方便起见在图 1 中这些信号线将用单根信号线表示。

而冗余控制电路 12 是由选择器组 16 和控制存储单元组 17 构成的，选择器组 16 由 4 个选择器 *SEL*1 至 *SEL*4 构成，用于对彼此相邻的内部位线 *BL*1 至 *BL*5 进行选择然后连接到外部位线

*OBL*1 至 *OBL*4 上，控制存储单元组 17 由 4 个控制存储单元 *C*11 至 *C*14 构成，用于给出有关各个选择器 *SEL*1 至 *SEL*4 里的选择指令。

选择器组 16 的各个选择器 *SEL*1 至 *SEL*4 是利用如晶体管等的半导体器件的继电器并且是以这种方式构造的：当存储在控制存储单元组 17 的各个控制存储单元 *C*11 至 *C*14 里的值为“0”时，为了和事先置成和各个选择器 *SEL*1 至 *SEL*4 相对应的内部位线 *BL*1 至 *BL*4 连接，各个选择器 *SEL*1 和 *SEL*4 可切换成在低位侧上和端子连接，并且当存储在控制存储单元组 17 的各个控制存储单元 *C*11 至 *C*14 里的值为“1”时，为了和事 先置成和各个选择器 *SEL*1 至 *SEL*4 相对应的并且邻接在高位侧的内部位线 *BL*2 至 *BL*5 连接，各个选择器 *SEL*1 至 *SEL*4 可切换成在高位侧上和端子连接。借助这种构造，选择器组 16 具有顺序切换功能，从而根据下面说明的存储在各个控制存储单元 *C*11 至 *C*14 里的值，解除具有故障数据的内部位线 *BL*1 至 *BL*4 和与其对应的外部位线 *OBL*1 至 *OBL*4 之间的连接，从内部位线 *BL*1 至 *BL*4 具有有关的故障数据时起把排列在低位侧上的外部位线连接到其所对应的内部位线 *BL*1 至 *BL*4 上，并且还把排列在高位侧上的外部位线从内部位线 *BL*1 至 *BL*4 具有有关的故障 数 据时起连接到与有关的各个的外部位线所对应的内部位线 *BL*1 至 *BL*4 上。

控制存储单元组 17 的各个控制存储单元 *C*11 至 *C*14 是具有复位功能的 1 位 寄 存器，并且它们的复位端子通常和复位信号线 *RED—RESET* 连接 。而且各个控制存储单元 *C*11 至 *C*14 是以这样的方式构造的：当字线 *RWL*1 有效时它们存储各个输入端子给

出的数据。并且，分别地第一控制存储单元C11的数据输入端子和第一外部位线OBL1连接，第二控制存储单元C12的数据输入端子和第二外部位线OBL2连接，第三控制存储单元C13的数据输入端子和第三外部位线OBL3连接，而第四控制存储单元C14的数据输入端子和第四外部位线OBL4连接。此外，各个控制存储单元C11至C14的数据输出端子和各个对应的选择器SEL1和SEL4的切换信号输入端子连接。并且，根据各个外部位线OBL1至OBL4给出的数据，各个控制存储单元C11至C14从内部位线BL1至BL4具有故障数据时起，存储"0"值把外部位线OBL1至OBL4对待为排列在低位侧，和存储"1"值把外部位线OBL1至OBL4对待为排列在高位侧，从内部位线BL1至BL4具有故障数据时起。如同各个控制存储单元C11至C14，可以采用和存储单元阵列11的各个存储单元M11至M15、M21至M25、M31至M35、…相类似的存储单元，并且也可以对ROM采用电子上可编程存储单元。在存储单元阵列11具有分开的只写端口和读出端口的情况下，控制存储单元C11至C14必须连接到写端口的位线上。

现对上述结构的存储电路的动作给予说明。例如，在出现任何诸如第二内部位线BL2断线或短路的故障或者在和第二内部位线BL2连接的存储单元M12、M22、M32、…里出现任何故障的情况下，选择器SEL1至SEL4以一种方式切换以保持第一外部位线OBL1和第一内部位线BL1之间、第二外部位线OBL2和第三内部位线BL3之间，第三外部位线OBL3和第四内部位线BL4之间以及第四外部位线OBL4和第五内部位线BL5之间的对应，如图

1 中所示。该切换是通过分别向控制存储单元 C11 至 C14 写入“0”、“1”、“1”、“1”完成的。

图为对存储单元 M11 至 M15、M21 至 M25、M31 至 M35、…的正常动作访问是从外部位线 OBL1 至 OBL4 产生的，从外部观察不到和第二内部位线 BL2 有关的任何故障从而（存储电路）可以工作为仿佛在存储电路里不存在着故障。

在对控制存储单元组 17 的所有控制存储单元 C11 至 C14 复位之后，对正常动作的存储单元 M11 至 M15、M21 至 M25、M31 至 M35 进行测试，并且如果检测出任何故障，按上面所说明的那样切换选择器 SEL1 至 SEL4 以排除故障。

以这种方式，有可能甚至在不采用任何激光装置下容易地排除半导体系统的故障数据，并且和第一种现有技术以及第二种现有技术相比降低了生产成本。

图 2 表示本发明的第二实施方式的存储电路。在图 2 中，和第一实施方式中具有相同功能的部件赋予相同的符号。本实施方式的存储电路和第一实施方式的相同之处在于，它借助控制存储单元 C11 至 C14 控制和外部位线 OBL1 至 OBL4 连接的选择器 SEL1 至 SEL4 并且切换外部位线 OBL1 至 OBL4 和内部位线 BL1 至 BL5 之间的对应关系，而和第一实施方式的不同之处在于控制存储单元组 17 的连接设计。

也就是说，控制存储单元组 17 排列成要比选择器组 16 更靠近存储单元阵列 11，并且分别地第一控制存储单元 C11 的数据输

入端子和控制存储单元组 17 的第一内部位线 *BL*1 连接，第二控制存储单元 *C*12 的数据输入端子和第二内部位线 *BL*2 连接，第三控制存储单元 *C*13 的数据输入端子和第三内部位线 *BL*3 连接，第四控制存储单元 *C*14 的数据输入端子和第四内部位线 *BL*4 连接。省略了对其它结构的说明，因为它们和第一实施方式相同。

现对上述结构的存储电路的动作给予说明。例如，在第二内部位线 *BL*2 上出现诸如断线或短路的任何故障或者在和第二内部位线 *BL*2 连接的存储单元 *M*12、*M*22、*M*32、…里出现任何故障的情况下，以一种方式切换选择器 *SEL*1 至 *SEL*4 以保持第一外部位线 *OBL*1 和第一内部位线 *BL*1 之间、第二外部位线 *OBL*2 和第三内部位线 *BL*3 之间、第三外部位线 *OBL*3 和第四内部位线 *BL*4 之间、第四外部位线 *OBL*4 和第五内部位线 *BL*5 之间的对应，如图 2 中所示。该切换是通过分别向控制存储单元 *C*11 至 *C*14 写入“0”、“1”、“1”、“1”完成的。

控制存储单元 *C*11 至 *C*14 应该最好具备复位功能。这是因为在采用不具有复位功能的控制存储单元的情况下，对控制存储单元写可能变成不可能。在没有复位功能的情况下，如果当电源接通时把控制存储单元 *C*11 至 *C*14 置为“0”、“1”、“1”、“1”，例如，在图 2 的状态下切断电源之后第二控制存储单元 *C*12 不和任何一条外部位线 *OBL*1 至 *OBL*4 连接并且在以后的动作中永远处于图 2 的状态。从而，没有手段把第二存储单元 *C*12 置为“0”并且它变成不可能执行冗余电路的适当切换。考虑到这种情形为了把处于图 2 状态下的第二控制存储单元 *C*12 置成“0”，所需要做的只是从复位

信号线 *RED—RESET* 馈入复位信号。

将省略掉对复位之后的动作的说明，因为它们和第一实施方式是相同的。本实施方式也使得有可能甚至在不采用激光装置的情况下容易地排除半导体系统的故障数据，并且和第一现有技术以及第二现有技术相比降低了生产成本。

图 3 表示本发明的第三实施方式的存储电路。在图 3 中，和第二实施方式中具有相同功能的部件赋予相同的符号。本实施方式和第二实施方式的相同之处在于，它借助控制存储单元 *C*11 至 *C*14 通过对和外部位线 *OBL*1 至 *OBL*4 连接的选择器 *SEL*1 至 *SEL*4 的控制以及通过切换外部位线 *OBL*1 至 *OBL*4 和内部位线 *BL*1 至 *BL*5 之间的对应关系排除故障，但和第二实施方式的不同之处在于它被构造成为能够发送表示对选择器组 16 的选择器的切换意愿的冗余允许信号。

也就是说，分别在各个控制存储单元 *C*11 至 *C*14 的数据输出端子和各个选择器 *SEL*1 至 *SEL*4 的切换信号输入端子之间安装 2 输入逻辑积(*AND*)电路 18*a* 至 18*d*。具体地，各个 2 输入逻辑积(*AND*)电路 18*a* 至 18*d* 的输出端子和对应的选择器 *SEL*1 至 *SEL*4 的切换信号输入端子连接，各个逻辑积电路 18*a* 至 18*d* 的输入端子一方面和对应的控制存储单元 *C*11 至 *C*14 的数据输出端子连接并且各个逻辑积电路 18*a* 至 18*d* 的输入端子另一方面和提供冗余允许信号的冗余允许信号线 *RED—EN* 连接。将省略掉对其它结构的说明，因为它们和第一实施方式相同。

现给出对上述结构的存储电路的动作的说明。首先，在选择器组 16 的选择器 *SEL*1 至 *SEL*4 的初始化阶段，通过从复位信号线 *RDE—RESET* 提供复位信号或者从冗余允许信号线 *RED—EN* 给出数据“0”，各个选择器 *SEL*1 至 *SEL*4 被切换到“0”侧。

并且，例如当在第二内部位线 *BL*2 上出现任何诸如断线或短路的故障或者在连接到第二内部位线 *BL*2 的存储单元 *M*12、*M*22、*M*32 中出现任何故障的情况下，从冗余允许信号线 *RED—EN* 提供“1”并且外部位线 *OBL*1 至 *OBL*4 向各个控制存储单元 *C*11 至 *C*14 提供对应于故障数据的数据，而逻辑积电路 18*a* 至 18*d* 计算控制存储单元 *C*11 至 *C*14 的值和由冗余允许信号线 *RED—EN* 给出的数据“1”的逻辑积并且切换选择器组 16 的选择器 *SEL*1 至 *SEL*4。具体地，选择器 *SEL*1 至 *SEL*4 以一种方式切换以保持第一外部位线 *OBL*1 和第一内部位线 *BL*1 之间、第二外部位线 *OBL*2 和第三内部位线 *BL*3 之间、第三外部位线 *OBL*3 和第四内部位线 *BL*4 之间以及第四外部位线 *OBL*4 和第五内部位线 *BL*5 之间的对应，如图 3 中所示。这种切换是通过把“0”、“1”、“1”、“1”分别写到控制存储单元 *C*11 至 *C*14 中完成的。

本实施方式也使得有可能甚至在不采用激光装置的情况下容易地排除半导体系统的故障数据，并且和第一种现有技术及第二种现有技术相比降低了生产成本。

在本实施方式下，有可能和第一和第二实施方式不同，通过调整给到冗余允许信号线 *RED—EN* 的冗余允许信号，不必考虑控制存储单元 17 的各个控制存储单元的值，独立地切换选择器组的

各个选择器 *SEL*1 至 *SEL*4。从而，不仅存储单元阵列 11 的各个存储单元 *M*11 至 *M*15、*M*21 至 *M*25 、*M*31 至 *M*35、…而且各个控制存储单元 *C*11 至 *C*14 本身都能得到容易地测试。

图 4 表示本发明的第四实施方式的存储电路 。在图 4 中，对和第三实施方式中具有相同功能的部件赋予相同的符号。本实施方式的存储电路实现了排除内部位线 *BL*1 至 *BL*5 的最多 2 个故障的能力，并且出于这个目的，如图 4 中所示，内部位线 *BL*0 至 *BL*5 的导线数(6 条)置成比外部位线 *OBL*1 至 *OBL*4 的导线数 (4 条)多二条。图 5 是一个电路图，表示存储 单 元 阵列 11 的内部结构 ，在这个结构里各个存储单元 *M*00 至 *M*05 、*M*10 至 *M*15、*M*20 至 *M*25、*M*30 至 *M*35、…是用互补位线系统的通用静态 *RAM* 构成的。

并且 ，如图 4 中所示，到冗余控制电路 12 是由 4 个 3 触点型选择器 *SEL*1 至 *SEL*4 组成的选择器组 16 和 8 个 1 位控制存储单元 *C*11 至 *C*14、*C*21 至 *C*24 组成的控制存储单元组构成的。

选择器组 16 的各个选择器 *SEL*1 至 *SEL*4 和对应的外部位线 *OBL*1 至 *OBL*4 连接 并且以一种方式构成为分别可选择地和 3 条连续相邻的内部位线 *BLO* 至 *BL*5 切换 。具体地 ，当把 “00”输入到各个选择器 *SEL*1 至 *SEL*4 的切换信号输入端子上时 ，(各个选择器 *SEL*1 至 *SEL*4)和相对地位于 中 心处的并和有关的外部位线 *OBL*1 至 *OBL*4 相对应的内部位线 *BL*1 至 *BL*4 连接 ；当把“01”输入到切换信号输入端子上时，(各个选择器 *SEL*1 至 *SEL*4 )连接到与和有关的外部位线 *OBL*1 至 *OBL*4 对应的内部位 线 *BL*1 至 *BL*4

相比相对地位于低位侧上的内部位线 *BL*0 至 *BL*3 上；并且当把“10”输入到切换信号输入端子上时，(各个选择器 *SEL*1 至 *SEL*4 ) 连接到与和有关的外部位线 *OBL*1 至 *OBL*4 对应的内部位线 *BL*1 至 *BL*4 相比相对地位于高位侧上的内部位线 *BL*2 至 *BL*5 上。

对于控制存储单元组 17 的控制存储单元 *C*11 至 *C*14、*C*21 至 *C*24、控制存储单元 *C*11、*C*21 都连接到第一外部位线 *OBL*1 以便构成一个对并且存储要给到第一选择器 *SEL*1 的切换信号输入端子上的 2 位数据 。控制存储单元 *C*12、*C*22 都连接到第二外部位线 *OBL*2 上以构成一个对并且存 储要给到第二选择器 *SEL*2 的切换信号输入端子上的 2 位数据。控制存储单元 *C*13、*C*23 都连接到第三外部位线 *OBL*3 上以构成一个对并且 存 储 要给到第三选择器 *SEL*3 的切换信号输入端子上的 2 位数据。控制存储单元 *C*14、*C*24 都连接到第四外部位线 *OBL*4 上以构成一个对 并且存储要给到第四选择器 *SEL*4 的切换信号输入端子的 2 位数据。

而且，控制存储单元 *C*11 至 *C*14、*C*21 至 *C*24 还以一种方式构造为当字线 *RWL*1、*RWL*2 启动时可存储由对应的外部位线 *OBL*1 至 *OBL*4 给出的数据。此外，借助来自复位信号线 *RED—RESET* 的复位信号控制存储单元 *C*11 至 *C*14、*C*21 至 *C*24 得到复位。

分别 按 对 和各个外部位线 *OBL*1 至 *OBL*4 连接的 2 位控制单元 (*C*11,*C*21 )、(*C*12,*C*22)、(*C*13,*C*23)、(*C*14,*C*24)按一种方式构造从而允许写入 4 个不同的数据 (0,0)、(0,1)、(1,0)、(1,1)，但只有 3 个数据或 (0 ,0 )、(0,1)、(1,0)用于选择器组 16 的各个选择器 *SEL*1 至 *SEL*4 的切换控制，而(1,1)被忽略。

图 6 上一个电路图，表示本实施方式的冗余控制电路。如图 6

中所示，外部位线 *OBL*1 至 *OBL*4 是由非反向外部位线 *OBIT*1 至 *OBIT*4 以及反向外部位线 *OBIT*1*B* 至 *OBIT*4*B* 构成 。例如，外部位线 *OBL*1 由非反向外部位线 *OBIT*1 和反向外部位线 *OBIT*1*B* 组成。

类似地 ，内部位线 *BL*0 至 *BL*5 由非反向内部位线 *BIT*0 至 *BIT*5 以及反向内部位线 *BIT*0*B* 至 *BIT*5*B* 构成。例如，内部位线 *BL*1 由非反向内部位线 *BIT*1 和反向内部位线 *BIT*1*B* 组成。

选择器 *SEL*1 至 *SEL*4 （分别由）6 个晶体管和 1 个 *NOR*（“或非”）电路构成 ，并且各个选择器 *SEL*1 至 *SEL*4 由 2 个控制存储单元 *C*11 至 *C*14、*C*21 至 *C*24 控制。

具体地，例如选择器 *SEL*1 如图 6 中所示由 2 位控制存储单元（*C*11，*C*21）控制。当有关的控制存储单元（*C*11，*C*21）设置为（0，0）时，如选择器 1 对应的 *NOR* 电路的输出变为“1”，并且由该 *NOR* 电路控制的那部分晶体管置为欠压，则 *OBIT*1 和 *BIT*1、*OBIT*1*B* 和 *BIT*1*B* 分别互相连接起来。而且 ，当有关的控制存储单元 （*C*11 ，*C*21 ）置为 （0，1），则 *OBIT*1 和 *BIT*0 、*OBIT*1*B* 和 *BIT*0 相连接 。而且，当有关的控制存储单元（*C*11，*C*21）置为（1，0），则 *OBIT*1 和 *BIT*2、*OBIT*1*B* 和 *BIT*2*B* 相连接。

这里 ，图 7 是一个电路图，表示本实施方式的存储电路的总体结构。图中 ，分别提供了 2 个存储单元阵列 11 和 2 个列冗余控制电路 12。此外 ，图 7 中符号 21 代表 2 个写部件和读出放大器（*WD*&*SA*），而符号 22 表示 2 个列选择器（*COL*—*SEL*），并且按 1：1 它们和各个列冗余控制电路 12 对应 。并且，各个列冗余控制电路 12 的控制数据以一种方式构成为是从各个位的写入数据输入端子

*DI*<1>、*DI*<2>输入的。此外，符号23是用于切换存储单元阵列11的字线的行译码器(字线译码器:*ROW—DEC*)，符号24是用于切换存储单元阵列11的位线的列译码器(位线译码器:*COL—DEC*)，*ROW—EN*是冗余允许信号，*COL—ADDR*和*ROW—ADOR*是地址分配信号，而*RED—EN*是冗余允许信号线，例如图3中第三实施方式中所指示的那样当允许传输作为对选择器组16的选择器的切换意愿的指示的冗余允许信号时使用冗余允许信号线。在图4的结构中冗余允许信号线*RED—EN*不是特别需要的，因此，从而可被略去。

现说明上述结构的存储电路的动作。例如，当在第二内部位线*BL2*及内部位线*B3*的2条内部位线上出现诸如断线或短路等任何故障或者在和内部位线*BL2*、*BL3*连接的存储单元*M12*、*M13*、*M22*、*M23*、*M32*、*M33*、…里出现任何故障的情况下，以一种方式切换选择器*SEL1*至*SEL4*以保持第一外部位线*OBL1*和第"0"条内部位线*BL0*之间、第二外部位线*OBL2*和第一内部位线*BL1*之间、第三外部位线*OBL3*和第四内部位线*BL4*之间以及第四外部位线*OBL4*和第五内部位线*BL5*之间的对应，如图4中所示。该切换是通过外部位线*OBL1*至*OBL4*分别把"0,1"、"0,1"、"1,0"、"1,0"写到各个控制存储单元(*C11*,*C21*)、(*C12*,*C22*)、(*C13*,*C23*),(*C14*,*C24*)完成的。

以这种方式，有可能在甚至不采用激光装置下容易地排除二条内部位线的故障数据，并且和第一种现有技术及第二种现有技术相比降低了生产成本。

图 8 表示本发明的第五实施方式的存储电路 。在图 8 中，和第四实施方式里的具有相同功能的部件用相同的符号表示。本实施方式的存储电路是通过把多个(在图 8 中 2 个)列选择器分配给一个列冗余控制电路 12 实现的。

也就是说，从 2 对写数据输入端子(*DI*<1>，*DI*<2>)、(*DI*<3>，*DI*<4>)向各个列冗余控制电路 12 输入控制数据，并且从互相相邻的 2 对数据读出端子(*DO*<1>，*DO*<2>)、(*DO*<3>，*DO*<4>)上输出存储单元阵列 11 的读出数据。

其它结构和第四实施方式相类似，尤其列冗余控制电路 12 和存储单元阵列 11 的结构和图 4 中所示的结构相同。所以，在这里不重复这种结构的说明。

现说明按上述构造的存储电路的动作 。例如，为了排除存储单元阵列 11 里存在的对应于 *DI*<1>和 *DI*<2>的某些故障，(存储电路)从 *DI*<1>把 (0 ，1 )(0,1)写到图 4 中所示的控制存储单元(*C*11,*C*21)、(*C*12,*C*22 )里 ，并且同时从 *DI*<2>把 (1,0)(1,0)写到图 4 中控制存储单元(*C*13,*C*23)，(*C*14,*C*24)里。对后继动作的说明将略去，因为它们和第四实施方式中的这些动作相同 。同样在本实施方式里，有可能甚至在不采用任何激光装置下容易地排除二条内部位线的故障数据 ，并且和第一种现有技术及第二种现有技术相比降低了生产成本。

图 9 表示本发明的第六实施方式的存储电路 。本实施方式的存储电路是通过把多个(在图 9 中 2 个)冗余控制电路 12c 分配给 1 个列选择器 22 实现的。

也就是说 ,从一个写数据输入端子 *DI*＜1＞向互相相邻的 2 个列冗余控制电路 12 输入控制数据 ,并且用列地址控制信号 *COL—ADDR* 对把控制数据写到这些冗余控制电路 12 里进行控制 。此外,从一个读出端子 *DO*＜1＞输出来自存储单元阵列 11 的读出数据。

其它的结构和第五实施方式的结构相同 ,而且尤其存储单元阵列 11 及列冗余控制电路 12 的结构和图 4 中所示的结构相同 。所以略去了对这些结构的说明。

同样在本实施方式里 ,有可能甚至在不使用任何激光装置下容易地排除二条内部位线的故障数据 ,并且和第一种现有技术及第二种现有技术相比降低了生产成本。

图 10 表示本发明的第七实施方式的存储电路。本实施方式的存储电路是通过把用于常规动作的行译码器 23 的多余的位单元转用为控制列冗余控制电路 12 的字线 *RWL*1、*RWL*2 的选择电路而实现的。也就是说 ,如果即使行译码器 23 在理论上具有 $2^7=128$ 位的输出端子但存储单元阵列 11 的内部字线只能适用于 120 个字 ,则存在 8 个多余位。从而,为减少电路的浪费,把行译码器 23 的输出端子中 127 号和 126 号(预译码器,例如)分配给字线 *RWL*1、*RWL*2。

其它 结 构类似于第四实施方式的结构 ,从而略去对这些结构

的说明。同样在本实施方式里，有可能甚至在不采用任何激光装置下排除二条内部位线的故障数据，并且和第一种现有技术及第二种现有技术相比降低了生产成本。

图 11 表示本发明的第八实施方式的与具有如图 1 中所示的 1 个相对冗余的列冗余控制电路的存储电路有关的数据控制电路 29（用于控制存储单元的数据生成电路）。本实施方式的数据控制电路 29 是为图 1 所示的存储电路的各条外部位线 *OBL*1 至 *OBL*4 提供的并且包括一个互斥的逻辑和（*exclusive logical sum*，*Ex. OR*）电路 31，一个逻辑积（*AND*）电路 32，一个触发器 33 和一个选择器 34（第一选择装置）。

互斥的逻辑和电路 31 和逻辑积电路 32 起期待值比较装置的作用，用于通过比较判断各个输出端口 *DO*<1>至 *DO*<4>上的读出数据是否和从外部给出的规定的期待值信号 *EXP* 不一致，并且根据该比较的结果产生一个给到控制存储单元组的控制存储单元的数据输入端子上的控制值 *PF*。互斥的逻辑和电路 31 的一个端子和给出期待值信号 *EXP* 的期待值输入端子连接，而另一个端子和存储电路 30 的各个输出端口 *DO*<1>连接。逻辑积电路 32 的一个端子和给出比较允许信号 *CMPEN* 的比较允许信号输入端子连接，而另一个端子和互斥的逻辑和电路 31 的输出端子连接。

带有复位功能的触发器 33 靠来自外部的复位信号 *FF*—*RESET* 复位。此外，触发器 33 的数据输入端子 *D* 通过逻辑和（*OR*）电路 35 与逻辑积电路 32 的输出端子连接，以供数据反馈，触

发器 33 保持值“1”，除非在逻辑积电路 32 的输出变为“1”之后通过逻辑和电路 35 的数据反馈用复位信号 *FF—RESET* 进行任意复位。触发器 33 可以是异步复位型或是同步复位型。图 11 中 *T* 代表时钟信号。

选择器 34 “0”侧输入端子和来自外部的写数据输入端子 *XDI*＜1＞至 *XDI*＜4＞连接，而其“1”侧输入端子和触发器 33 的数据输出端子 *Q* 连接。并且，根据来自外部的选择信号 *SELCTR*，它具有从来自外部的写入数据、来自互斥的逻辑和电路 31 及逻辑积电路 32 的控制值 *PF* 中进行选择的功能。

现对上述结构的数据控制电路 29 的动作中给出说明。首先，借助复位信号 *FF—RESET* 它把触发器 33 复位到“0”。

接着，通过顺序地切换内部位线 *BL*1 至 *BL*5 互斥的逻辑和电路 31 比较期待值信号 *EXP* 和各个 *DO*＜1＞至 *DO*＜4＞的输出数据，并且如果存在不同，把“1”输出为控制值 *PF*。如果在这种状态下，当比较允许信号 *CMPEN* 为“1”时给出时钟 *T*，把触发器 33 置为“1”。如果在这个时刻，给出的选择信号 *SELCTRL* 为“1”，通过各个 *DO*＜1＞至 *DO*＜4＞向图 1 中所示的控制存储单元组 17 的各个控制存储单元 *C*11 至 *C*14 写入值“1”。相反，在各个内部位线 *BL*0 至 *BL*5 里没有任何故障数据的情况下，各个控制存储单元 *C*11 至 *C*14 保持值“0”。根据控制存储单元 *C*11 至 *C*14 的这样的值，选择器组 16 的选择器 *SEL*1 至 *SEL*4 执行规定的选择和切换。

例如，在图 1 中所示规定第二内部位线 *BL*2 或存储单元 *M*12、*M*22、*M*32 出现故障的情况下，把“0”、“1”、“1”、“1”写入到各个控

制存储单元 $C11$ 至 $C14$，从而允许适当地切换冗余电路。

在选择信号 $SELCTRL$＝“0”的状态下在测试时刻可以从写数据输入端子 $XDI<1>$至 $XDI<4>$向存储单元阵列 11 给出写入数据。

本实施方式同样使得有可能甚至在不使用任何激光装置下容易地排除和一条内部位线有关的故障数据，并且和第一种现有技术及第二种现有技术相比降低了生产成本。

图 12 表示本发明的第九实施方式的数据控制电路 29（用于控制存储单元的数据生成电路）。在图 12 中，用相同的符号表示和第八实施方式中的部件具有相同功能的部件，本实施方式的数据控制电路 29 使得触发器存储来自期待值比较装置的输出信息并且还能存储写入数据，并且如图 13 中所示把多个数据控制电路 29 串联起来以形成一条扫描路径。

也就是说，各个数据控制电路 29 带有如第八实施方式中说明的同样的作为期待值比较装置的互斥的逻辑和电路 31 和逻辑积电路 32；带有一个用于复位信号输入的逻辑积电路 41，其通过一个逻辑和电路 35 与逻辑积电路 32 的输出端子连接以供数据反馈；带有第一选择装置 42，其用于选择和输出 3 种不同种类的信息即来自逻辑积电路 41 的信号、后面所说明的移入信号 $SI$ 以及从写入数据输入端子 $XDI<i>$输入的写入数据中的一种；带有用于存储来自第一选择器 42 的输出信息的一个触发器 43，及带有一个第二选择装置 44，用于选择 2 个不同种类的信息即来自触发器 43 的输

出信息和来自外部的测试数据（在存储器测试时的写入数据）*TD* 中的一种。

当使用不带有复位功能的触发器 43 时逻辑积电路 41 的目的是执行对触发器的“0”复位，并且如果输入作为复位信号 *FF—RESET* 的“0”时，不管来自逻辑积电路 35 的值是什么，逻辑积电路 41 具有输出“0”的功能。

第一选择装置 42 由 2 个选择器 42*a*、42*b* 组成。

一个选择器 42*a* 的“1”侧输入端子和逻辑积电路 41 的输出端子连接，并且移入信号 *SI* 输入到其“0”侧输入端子上。这里在图 13 中所示的扫描路径里，只要涉及到最前端的数据控制电路 29*a* 移入信号 *SI* 指的是来自外部的信号但是在下一级（高位侧）如更后面级的数据控制电路 29*b* 至 29*d* 的情况下移入信号指的是由如相对的前一级侧（低位侧）相邻的数据控制电路给出的数据。

另一个选择器 42*b* 的“1”侧输入端子和选择器 42*a* 的一侧上的输出端子连接，而其“0”侧输入端子和写入数据输入端子 *XDI*＜*i*＞连接。

选择器 42*a* 和 42*b* 分别根据来自外部的预定信息 *SINHDO*、*SM* 执行选择和切换。

在另一侧上触发器 43 的数据输入端子和选择器 42*b* 的输出端子连接。而且触发器 43 的数据输出端子 Q 被传送到第二选择装置 44 并且还输出传送到相对下一级的数据控制电路 29 上的移出信号 *SO*。

第二选择装置 44 由一个选择器组成，来自外部的测试数据输入到它的“0”侧输入端子上，而它的“1”侧输入端子和触发器 43 的

数据输出端子 Q 连接，并根据来自外部的选择信号 *SELCTRL* 它执行选择和切换。

将略去对其它结构的说明，因为它是和第八实施方式中一样的。

现对上述构造的数据控制电路 29 给予说明。在图 12 中，在信号 *SINHDO*＝“1”、信号 *SM*＝“1”的情况下，在 Q 上输出和图 11 的电路一样的控制数据。

在信号 *SM*＝“0”的状态下，从写入数据输入端子 *XDI*<*i*>得到的写入数据提供到数据输入端子 D 上。从而，在常规的操作期间，有可能设定 *SM*＝“0”、*SELCTRL*＝“1”并且把触发器 43 转用为 *RAM* 的数据输入 *FF*。

在本实施方式里，如图 13 所示应用了扫描设计，它有可能通过设定 *SM*＝“1”、*SINHDO*＝“0”来执行串行动作。例如，借助串行移动操作可以容易地读出测试结果，以允许容易地识别故障数据位。

在测试时刻对存储单元阵列 11 的写入数据当在 *SELCTRL*＝“0”的状态下被提供作为测试数据 *TD*。

通过在 *SINHDO*＝“1”、*SM*＝“1”、*FF*－*RESET*＝“0”的状态下给出时钟信号 T 可以执行触发器 43 的复位操作。但是，因为通过串行移动运动靠“移入”“0”也可以进行复位，因此取消掉复位信号 *FF*－*RESET* 以及该信号输入到的逻辑积电路 41 也是可以的。

并且，也可以取消逻辑积电路 41 和借助异步复位功能和同步复位功能使用触发器 43。

本实施方式同样使得有可能甚至在不使用任何激光装置下容易地排除和一条内部位线有关的故障数据，并且和第一种现有技术及第二种现有技术相比降低了生产成本。

图 14 表示本发明第十实施方式的存储电路的数据控制电路 29。本实施方式的数据控制电路 29 使触发器存储期待值比较装置的输出信息并且还使它能存储电路的读出数据。和第九实施方式相同，它把多个数据控制电路 29 串联起来以构成如图 13 中所示的扫描路径。

也就是说，如在第九实施方式中所说明的那样，每个数据控制电路 29 带有互斥的逻辑和电路 31、逻辑积电路 32、逻辑和电路 35、逻辑积电路 41 和选择器 42*a*，此外它还带有一个选择器 42*c*、一个触发器 46 和一个选择器 47。

选择器 42*c* 和第九实施方式之中的选择器 42*b* 的相同处在于其“1”侧输入端子和选择器 42*a* 连接，而不同之处在于选择器 42*c* 的“0”侧输入端子和数据读出端子 *DO*<*i*>连接。

触发器 46 和第九实施方式中的触发器的相同之处在于其数据输入端子和选择器 42*b* 的输出端子连接，但不同之处在于其数据输出端子 *Q* 不仅输出移出信号 *SO* 而且还负责向选择器 47 输出及向外部输出读出数据。

选择器 47 的“1”侧输入端子和触发器 46 的数据输出端子连接，而其“0”侧输入端子和写入数据输入端子 *XDI*<*i*>连接。

现对如上述构造的数据控制电路 29 作出说明。例如，在 *SINHDO*＝“1”、*SM*＝“1”的状态下，在触发器 46 的数据输出端子 *Q* 上输出和图 11 的电路相同的数据。

另一方面，在 *SM*＝“0”的状态下，读出信号 *DO*<*i*>被提供到触发器 46 的数据输入端子 *D* 上。从而，在常规操作期间，有可能设定 *SM*＝“0”并且把触发器 46 转用为输出到 *RAM* 的数据的寄存器。在常规操作期间借助设置 *SELCTRL*＝“0”从写入数据输入端子 *XDI*<*i*>上把写入数据给到存储单元阵列 11 上。

在本实施方式中应用了扫描设计，有可能通过设置 *SM*＝“1”、*SINHDO*＝“0”执行串行动作。例如，借助串行移动操作可以容易地读出测试结果，以允许容易地识别故障数据位。在 *SELCTRL*＝“0”的状态下从写入数据输入端子 *XDI*<*i*>向存储单元阵列 11 提供写入数据。

通过在 *SINHDO*＝“1”、*SM*＝“1”、*FF*－*RESET*＝“0”的状态下给出时钟信号 *T* 可以执行触发器 46 的复位动作。

图 15 表示本发明的第十一实施方式的存储电路的数据控制电路 29。在图 15 中，用相同符号表示和第九及第十实施方式中功能相同的部件。

本实施方式的数据控制电路 29 带有 2 个触发器(寄存器)，它们用于存储期待值比较装置的输出信息以使得触发器还能分别存储写入数据和读出数据。此外，多个数据控制电路 29(29*a* 至 29*d*)串联连接以构成图 16 中所示的扫描路径。

如图 16 中所示扫描路径是通过把多个图 15 的电路串联连接起来构成的 。可以采用图 16(*a*)、(*b*)中的任一种连接方式，并且可以按任何其它的次序构造扫描路径。在图 16(*a*)中，只要涉及的是处于最高位侧的 数据控制电路 29*d* 移入信号 *SI*1 指的是同一个数据控制电路 29*d* 的移出信号 *SO*0，但是在处于下一级(低位侧)或更后面的级的数据控制电 路 29*a* 至 29*c* 的情况下移入信号 *SI*1 指的是来自相对较高位侧上的相邻数据控制电路中的移出信号 *SO*1。

另一方面，在图 16 (*b* )中，只要涉及在最低位侧上的数据控制电路 29*d*，移入信号 *SI*0 指的是来自外部的信号 *SID*，但是在下一级(较高位侧)用更后面级的数据控制电路 29*b* 至 29*d* 的情况下移入信号 *SI*0 指的是来自相对较低位侧上的相邻数据控制电路的移出信号 *SO*1。而且，图 16(*b*)里的移入信号 *SI*1 指的是同一数据控制电路 29*a* 至 29*d* 的移出信号 *SO*0 。也就是说，在图 16(*b*)里，在各个数据控制电路 29*a* 至 9*d* 的扫描路径动作中，扫描路径数据按 *SI*0——*SO*0——*SI*1——*SO*1 的次序发送。

这里 ，互斥的逻辑和电路 31、逻辑积电路 32、逻辑和电路 35 以及逻辑积 电 路 41 和第九实施方式及第十实施方式中所示的这些电路相同。

并且，本实施方式的数据控制电路 29 还带有第一选择装置 51，用于选择 3 个不同种类的信息即由逻辑积电路 41 给出的控制值 *PF* 、和从所涉及的数据控制电路 29 的低位侧上相邻的其它数据控制电路中给出的移 入 信号 *SI*1 以及来自存储单元阵列 11 的读出数据 *DO*<*i*>中的一种；还带有第一触发器(*FF*1)46*a*，用于存储第一选择装置 51 选择的信息 ；还带有第二选择装置 52，用于选

择4个不同种类的信息即来自所涉及的数据控制电路29里的第一触发器46*a*的输出信息、测试数据、从所涉及的数据控制电路29的低位侧上相邻的其它数据控制电路中给出的移入信号*SI*0以及来自外部的要写到存储单元阵列11里的写入数据*XD*1中的一种；并且还带有第二触发器(*FF*0)46*b*，用于存储第二选择装置52所选择的信息。

第一选择装置51由2个选择器51*a*、51*b*组成。在这两个选择器的一个选择器51*a*的"0"侧输入端子上输入来自和涉及的数据控制电路29的低位侧上相邻的其它数据控制电路中给出的移入信号*SI*1(移出信号*SO*1)，而在"1"侧输入端子上输入由逻辑积电路41给出的控制值*PF*。此外，在别一个选择器51*b*的"0"侧输入端子上输入来自存储单元阵列11的读出数据*DO*<*i*>，而在"1"侧输入端子上输入由一个选择器51*a*所选择的信息。根据来自外部的规定信号*SINHDO*、*SM*选择器51*a*、51*b*分别执行选择和切换。

在第一触发器46*a*的数据输入端子*D*1上输入另一个选择器51*b*所选择的信息，而数据输出信息*Q*1被输出到读出数据输出端子*XDO*<*i*>及第二选择装置52上并还输出到在和所涉及的数据控制电路29的高位侧上相邻的其它数据控制电路中以作为移出信号*SO*1。图15中的*T*1代表时钟信号和用于输入该(时钟信号)的端子。

第二选择装置52由3个选择器52*a*至52*c*组成。在选择器52*a*的"0"侧输入端子上输入外部给出的测试数据*TD*，而在"1"侧输入端子上输入来自所涉及的数据控制电路29里的触发器46*a*的输出信息。而在选择器52*b*的"0"侧输入端子上输入从和涉及的数

据控制电路 29 的低 位 侧 上相邻的其它数据控制电路给出的移入信号 *SI0* ，而在“1 ”侧输入端子上输入由选择器 52*a* 所选择的信息。此外，在选择器 52*c* 的 “0”侧输入端子上输入外部给出的写入数据 *XDI*<*i*>，而在“1”侧输入端子上输入由选择器 52*b* 所选择的信息。根据来自外部的规定信号 *SELCTRL* 、*SINHDI*、*SM* 选择器 52*a* 至 52*c* 分别执行选择和切换。

在第二触发器 46*b* 的数据输入端子 *D0* 上输入由选择器 52*c* 所选择的信息，并且数据输出信息 *Q0* 被发送到存储电路的写入数据输入端子 *DI*<*i*> 上并且从所涉及的数据控制电路 29 上作为移出信号 *SO0* 输出到其它的数据控制电路上 。图 15 中的 *T0* 表示时钟信号和用于输入该(时钟信号 )的端子。并且，在测试和串行移动期间，对时钟 *T0*、*T1* 采用相同定时的波形。

现对上述构造的数据控制电路 29 给出说明。首先在 *SINHDO* =“1”、*SM*= “1”的状态下，在 *Q1* 处输出和图 11 里所表示的电路的控制数据相类似的控制数据。如果若在这里设置是 *SELCTRL*= “1”、*SINHDI*=“1 ”则在 *Q0* 处以一个时钟的滞后输出这个控制数据。在等待直到控制数据传输到 *Q0* 之后 ，(数据控制电路 29)把(该控制数据)写入到控制存储单元 *C11* 至 *C14* ，并且然后切换存储电路的列冗余控制电路 12。

在常规操作期间用 *SM*= “0”置位。在 *SM*=“0”的状态下，通过选择器 51*b* 把 *DO*<*i*>的信号作为输入数据 *D1* 提供给第一触发器 46*a* 。在常规操作期间 ，有可能设定 *SM*=“0”并且把触发器 46*a* 转用为 *RAM* 数据输出和寄存器 。此外，在 *SM*“0”的状态下，当把

*XDI*<*i*>的信号作为输入数据 *D0* 提供给第二触发器 46*b* 时，第二触发器 46*b* 用作为 *RAM* 数据输出的寄存器。

此外，在本实施方式里应用了扫描设计，有可能通过设定 *SM*＝"1"、*SINHDO*＝"0"及 *SINHDI*＝"0"执行串行动作。例如，借助串行移动操作可以读出测试结果，以允许容易地识别故障数据位。

在图 12 或图 14 的电路里，数据位数的增加将增加测试数据 *TD* 及信号 *SELCTRL* 的延迟，并且作为结果，对写入数据输入端子 *DI*<*i*>的信号改变的定时是由数据位数确定的。从而，曾经存在对常规操作及对测试必须产生不同光脉冲定时的担心。相反，在本实施方式里，在测试期间在 *SELCTRL*＝"0"的状态下从外部把写入数据作为测试数据 *TD* 提供给存储单元阵列 11。因为测试数据 *TD* 还要通过触发器 46*b*，定时的设计是非常容易的。也就是说，给到存储单元阵列 11 的写入数据输入端子 *DI*<*i*>的输入数据随时钟 *T0* 同步改变，并且这种定时甚至不随数据位数的增加而改变。因此，不存在对常规操作及对测试具有不同光脉冲定时的需要。

触发器 46*a* 的复位动作可以在 *SINHDO*＝"1"、*SM*＝"1"、*FF*—*RESET*＝"0"的状态下通过给出时钟信号 *T1* 来执行。

图 17 表示第十二实施方式的存储电路。本实施方式的存储电路是通过为 图 7 所示的带有列冗余功能的存储电路的整个电路增加一个用来选择控制存储单元的专用行译码器(*ROW*—*DEC2*)54 实现的电路。但是，如图 4 中所示，到冗余控制电路 12 的冗余必须为"2"。

根据 来自外部的地址信号 *RED*—*ROW*—*ADDR* 行译码器 54

选择并启动2字线*RWL1*、*RWL2*中的一条。但是，在允许信号*RED—ROW—EN*不有效地情况下，2字线*RWL1*、*RWL2*之中的任一条都不能得到启动。

在本实施方式中，增添行译码器54方便了借助地址信号*RED—ROW—ADDR*选择控制存储单元并且还方便了把列冗余度为“2”的数据控制电路29应用在以下所说明的第十三实施方式(图18)等等里。

图18表示本发明的第十三实施方式的存储电路的数据控制电路29。本实施方式的数据控制电路29是一个数据生成电路，用于如第十二实施方式中在图17里表示的具有“2”冗余列冗余控制电路12的控制存储单元。

存储电路30的行冗余地址端子*RED—ROW—ADDR*接收外部提供的信号*CHDIR*。作为结果，在*CHDIR*=“1”的情况下选择图17中的一条字线*RWL1*。另一方面，在*CHDIR*=“0”的情况下选择另一条字线*RWL2*、存储电路30就是以这种方式构造的。

本实施方式的数据控制电路29除了带有如上面各个实施方式中已说明过的相同方式构成期待值比较装置的互斥的逻辑和电路31、逻辑积电路32和逻辑和电路35之外，还带有控制数据生成装置56和第一选择器57，控制数据生成装置56用于根据由互斥的逻辑和电路31产生的控制值*PF*产生存储电路30的控制数据，在第一选择器57用于选择和输出从控制数据生成装置56输出的控制数据及从外部给出的写入数据*XDI*<*i*>中的一个。

当期待值比较装置(31,32)得到的结果为来自存储单元阵列11的读出数据*DO*<1>至*DO*<4>和预定的期待值信号*EXP*一致时,控制数据生成装置56向图4所示的列冗余控制电路12的控制存储单元组17输出第一值(0,0),当期待值比较装置(31,32)第一次得到的结果为来自存储单元阵列11的读出数据*DO*<1>至*DO*<4>和预定的期待值*EXP*不一致时,控制数据生成装置56向控制存储单元组17输出第二值(0,1),当期待值比较装置(31,32)第二次得到的结果为来自存储单元阵列11的读出数据*DO*<1>至*DO*<4>和预定的期待值*EXP*不一致时,控制数据生成装置56向控制存储单元17输出第三值(1,0)。

具体地,控制数据生成装置56带有第一触发器(*FF*1:第一寄存器)61,用于存储期待值比较装置(31,32)的输出信息;带有第二触发器(*FF*0:第二寄存器)64,用于存储来自第一触发器61的通过一个逻辑积(*AND*)电路62(不一致值输出装置)和逻辑和(*OR*)电路63的输出信息;以及带有第二选择器65,用于选择和输出来自第一触发器61及第二触发器64的输出信息。

触发器61是具有复位功能类型的,在其中事先存储着作为初始值的"0",当期待值比较装置(31,32)第一次得到的结果为来自存储单元阵列11的读出数据*DO*<1>至*DO*<4>和预定的期待值*EXP*不一致时,存储在第一触发器61里的值从"0"改变到"1"。

只有当逻辑积电路62得到的结果为存储在第一触发器61里的值及来自存储单元阵列11的读出数据*DO*<1>至*DO*<4>都和预定的期待值*EXP*不一致时它才输出"0"。逻辑积电路62为3输入类型,而在剩下的1个输入端子上输入比较允许信号

*CMPEN*。

逻辑和电路 63 用于和第二触发器 64 有关的数据反馈，和用于第一触发器 61 的逻辑和电路 35 的方式相同。

第二触发器 64 是带有复位功能型的，在其中事先存储着作为初始值的“0”，并且当期待值比较装置(31,32)第二次得到的结果为来自存储单元阵列 11 的读出数据 *DO*＜1＞至 *DO*＜4＞和预定的期待值 *EXP* 不一致时，随着来自逻辑积电路 62 的输出从“0”改变到“1”，存储在第二触发器 64 里的值从“0”改变到“1”。第一触发器 61 和第二触发器 64 是由来自外部的时钟信号 *T* 驱动的并且靠来自外部的复位信号 *FF—RESET* 复位。

第二选择器 65 用于依靠来自外部的信号 *CHDIR* 执行选择和切换，并且它的“0”侧输入端子和第二触发器 64 的输出端子 *Q*0 连接，而它的“1”侧输入端子和第一触发器 61 的输出端子 *Q*1 连接。

第一选择器 57 用于依靠来自外部的信号 *SELCTRL* 执行选择和切换，并且它的“0”侧输入端子和外部写入数据输入端子 *XDI*＜1＞至 *XDI*＜4＞连接，而它的“1”侧输入端子和第二选择器 65 的输出端子连接。

现参照图 4 和图 17 说明如上述构造的数据控制电路 29。这里，在假定在图 4 的内部位线 *BL*2 和内部内线 *BL*3 出现故障下给出说明。

当把数据控制电路 29 用在 *CGDIR* 固定为“1”时，它可以排除一条位线上的故障。但是，在涉及 2 条字线 *REL*1、*RWL*2 的故障的

情况下是不可能靠固定在*CHDIR*="1"的动作下排除故障的，要按下面说明的动作排除故障。

因为假定故障为位线的短路或断开，只对图 4 中离选择器 *SEL*1 至 *SEL*4 最远的存储单元阵列 11 进行测试。例如，对图 4 的 *BL*1 只测试 *M*31。从而，该测试是通过固定行地址信号 *ROW*—*ADDR* 的值执行的。

首先，在图 4 中用复位信号 *RED*—*RESET* 复位控制存储单元 *C*11 至 *C*14、*C*21 至 *C*24。此外，在图 18 中用复位信号 *RED*—*RESET* 把第一触发器 61 和第二触发器 64 都复位到"0"。

接着，在 *CHDIR*="0"的状态下(数据控制电路 29)适当地控制图 4 中的各个信号，例如期待值信号 *EXP*、比较允许信号 *CMPEN*、其它规定的信号诸如 *WE*、*SELCTRL* 等等以在和内部位线 *BL*4 连接的各个存储单元中测试离得最远的存储单元 *M*34。在测试期间在 *SELCTRL*="0"的状态下从写入数据输入端子 *XDI*<*i*>向存储单元阵列 11 给出写入数据。

并且，在图 18 中，互斥的逻辑和电路 31 对期待值信号 *EXP* 和读出数据 *DO*<*i*>进行比较并且，当检测出它们第一次不相同时它输出"1"作为控制值 *PF*。如果，在该状态下当比较允许信号 *CMPEN* 为"1"时给出时钟 *T*，则在第一触发器 61 里置"1"并且其输出数据 *Q*1 变为"1"。也就是说，如果检测出第一故障，第一触发器 61 的输出 *Q*1 从"0"改变到"1"。

如果在第一触发器 61 的输出 *Q*1 为"1"、控制值 *PF* 为"1"以及比较允许信号 *CMPEN* 为"1"的情况下给出时钟 *T*，则在第二触发器 64 里置"1"并且其输出数据 *Q*0 变为"1"。也就是说，如果检测出

第二故障，第二触发器64的输出Q0从“0”改变到“1”。

并且，当信号*CHDIR*为“0”时第二选择器65选择第二触发器64的输出，但是当信号*CHDIR*为“1”时第二选择器65选择第一触发器61的输出，而且在*SELCTRL*=“1”的状态下把控制数据写入到图4中对应的控制存储单元*C*24里。

以这种方式，(数据控制电路29)通过按*BL*3、*BL*2、*BL*1的次序切换位线目标即通过按序切换控制存储单元组17的控制存储单元*C*23、*C*22、*C*21进行类似的动作。

借助上述动作，如果判断2个存储单元*M*33、*M*32是有故障的把“1”、“1”、“0”、“0”写到控制存储单元组17的控制存储单元*C*21至*C*24中。在这个阶段里，分别把第一外部位线*OBL*1连接到第“0”条内部位线*BL*0、把第二外部位线*OBL*2连接到第一内部位线*BL*1、把第三外部位线*OBL*3连接到第三内部位线*BL*3、把第四外部位线*OBL*4连接到第四内部位线*BL*4，并且从而只排除了2条内部位线的第二内部位线*BL*2的故障。

接着，图18里的第一触发器61复位。在*CHDIR*=“1”的状态下(数据控制电路29)适当地控制各个信号，例如期待值信号*EXP*、比较允许信号*CMPEN*、其它规定信号诸如*WE*、*SELCTRL*等等以测试和外部位线*OBL*1连接的存储单元*M*30。并且，在*SELCTRL*=“1”的状态下，(数据控制电路29)把控制数据写入到对应的存储单元*C*11里。以这种方式，(数据控制电路29)通过按*OBL*2、*OBL*3、*OBL*4的次序切换位线目标即通过按序切换控制存储单元*C*12、*C*13、*C*14进行类似的动作。

靠上述的动作，在判断出存储单元*M*33有故障之后，控制数

据改变到“1”。作为结果，把“0”、“0”、“1”、“1”写入到 *C*11 至 *C*14。

在这个阶段里，分别把第一外部位线 *OBL*1 和第“0”条内部位线 *BL*0 连接起来，把第二外部位线 *OBL*2 和第一内部位线 *BL*1 连接起来，把第三外部位线 *OBL*3 和第四内部位线 *BL*4 连接起来，把第四外部位线 *OBL*4 和第五内部位线 *BL*5 连接起来，并且排除了 *BL*2 和 *BL*3 两者的故障。

图 19 表示本发明的第十四实施方式的存储电路的数据控制电路 29。本实施方式的数据控制电路 29 具有的功能和对图 18 中的第十三实施方式所说明的功能相同，但是采用一个逻辑和(*OR*)电路 67 来代替由外部信号 *CHDIR* 控制的选择器，从而通过把 *CHDIR* 置为“1”借助第一触发器(*FF*1)61 以及第二触发器(*FF*0)64 来检测第一故障。在本实施方式中和图 18 电路相比电路的尺寸变为更小。

图 20 表示本发明的第十五实施方式的存储电路的数据控制电路 29。在图 20 中，用相同的符号表示和第十三实施方式中的部件具有相同功能的部件。本实施方式的数据控制电路 29 是通过把图 18 所示的数据控制电路按图 16(*a*)、(*b*)所示的数据控制电路以扫描寄存器的形式构造而实现的。可以采用图 16(*a*)或 16(*b*)的连接方式，并且扫描路径可以按任何一种次序构造。

这里图 20 中的互斥的逻辑和电路 31、逻辑积电路 32、逻辑和电路 35、逻辑积电路 62、逻辑和电路 63 及选择器 65 与图 18 中所

示的第十三实施方式里的这些电路相同。

此外，在第十三实施方式中用于选择和输出给到存储电路的存储单元组 17 上的控制数据的第一选择器 57 以及从外部给出的写入数据 *XDI*<*i*>是设置在第二选择器 65 和写入数据输入端子 *DI*<*i*>之间的，但在本实施方式中设置了安装在逻辑积电路 63 和第二触发器 64 之间的选择装置 69 以代替第十三实施方式中的第一选择器 57 。这里，选择装置 69 由 2 个选择器 69*a*、69*b* 构成。一个选择器 69*a* 是靠来自外部的信号 *SINHDI* 切换和控制的，它的“1”侧输入端子和逻辑积电路 63 的输出端子连接，而在它的“0”侧输入端子上输入相邻数据控制电路 29 给出的移入信号 *SI*0。另一个选择器 69*b* 靠来自外部的信号 *SM* 切换和控制，它的“0”侧输入端子和写入数据输入端子 *XDI*<*i*>连接，而它的“1”侧输入端子和选择器 69*a* 的输出端子连接。

此外，在逻辑和电路 35 和第一触发器 61 之间设置了选择装置 71，用于对来自相邻数据控制电路 29 的移入信号 *SI*1 、存储电路的读出数据 *DO*<*i*>以及逻辑和电路 35 给出的控制值 *PF* 进行选择。选择装置 71 由 2 个选择器 71*a* 、71*b* 构成。一个选择器 71*a* 靠来自外部的信号 *SINIIDO* 切换和控制，它的“1”侧输入端子和逻辑和电路 35 的输出端子连接，而在“0”侧输入端子上输入相邻数据控制电路 29 给出的移入信号 *SI*1 。另一个选择器 71*b* 靠来自外部的信号 *SM* 切换和控制，并且读出数据 *DO*<*i*>输入到它的“0”侧输入端子上，而它的“1”侧输入端子和选择器 71*a* 的输出端子连接。

并且，本实施方式的数据控制电路 29 带有选择器 72，用于靠信号 *SELCTRL* 选择和控制来自选择器 65 的输出信息及来自外

部的测试数据 $TD$ 中的一个。

此外，本实施方式的第一触发器 61 和第二触发器 64 具有第十三实施方式中差不多的功能，但备有复位功能，即在复位端子 $R$ 上输入复位信号 $FF-RESET$。为了复位，当 $SM$="1"、$SINHDI$="1"、$SINHDO$="1"、$FF-RESET$="0"并且给出时钟 $T0$、$T1$ 可进行复位。

当把不具有复位功能的触发器用作第一触发器 61 和第二触发器 64 时，作为本实施方式的一种变异可采用图 21 中所示的触发器。这里，可以把逻辑积($AND$)电路 73、74 插入到由第一触发器 61—逻辑和电路 35— 选择装置 71 以及由第二触发器 64—逻辑积电路 63—选择装置 69 分别构成的存储环路里，并且执行同步复位。

现对图 20 和图 21 所示的数据控制电路 29 的动作作出说明。首先，在设置 $SM$= "1"、$SINHDI$="1"、$SINHDO$="1"的状态下，数据控制电路 29 完成和图 18 中所示的第十三实施方式的数据控制电路 29 相同的动作。

另一方面，在常规操作期间，通过设定 $SM$= "0"、$CHDIR$= "0"、$SELCTRL$= "1"有可能利用第一触发器 61 把数据输出到读出数据输出端子 $XDO<i>$和利用第二触发器 64 从写入数据输入端子 $XDI<i>$输入数据。这使得可能构造一种对数据为同步型的 $RAM$。

并且，通过设定 $SM$="1"、$SINHDO$="0"、$SINHDI$="0"并且给出一个相同定时波形的时钟信号 $T0$、$T1$，(数据控制电路 29)执行移位操作。

图 22 表示本发明的第十六实施方式的存储电路的数据控制电路 29。在图 22 中，和第十三实施方式(尤其是图 21)中的部件具有相同功能的部件是用相同的符号表示的。图 22 所示的本实施方式的数据控制电路 29 的图 21 的电路的一种变异，在图 22 中第一触发器 61 和第二触发器 64 之间的从属关系和图 21 中电路的从属关系相反。从而，第二触发器 64 的数据输出 *Q0* 不仅给到选择器 65 的“1”侧输入端子上而且还给到构成比较装置的逻辑积电路 32 上，而第一触发器 61 的数据输出 *Q1* 给到第二选择器的“0”侧输入端子上而不给到逻辑积电路 62 上。

现对上述构造的数据控制电路 29 的动作作出说明。首先，第二触发器 64 检测第一故障，而第一触发器 61 检测第二故障。

在设定 *SM*＝“1”、*SINHDI*＝“1”、*SINHDO*＝“1”的情况下，(数据控制电路 29)完成和图 18 的用于冗余控制的数据生成电路相同的动作。

并且，在常规操作期间通过设定 *SM*＝“0”、*CHDIR*＝“1”、*SELCTRL*＝“1”，有可能利用第一触发器 61 把数据输出到读出数据输出端子 *XDO*＜*i*＞上和利用第二触发器 64 从写入数据输入端子 *XDI*＜*i*＞输入数据。这使得有可能构成对数据为同步类型的 *RAM*。

此外，通过设定 *SM*＝“1”、*SINHDO*＝“0”、*SINHDI*＝“0”以及给出一个相同定时波形的时钟信号 *T0*、*T1* 可以执行移位操作。

图 23 表示本发明的第十七实施方式的存储电路的数据控制电路 29。在图 23 中，和第十四实施方式的部件具有相同功能的部件具有相同的符号。本实施方式的数据控制电路 29 是通过把图 19 所示的第十四实施方式的数据控制电路 29 按扫描寄存器的方式构造而实现的。

具体地，(数据控制电路 29)带有在第十四实施方式中所说明的相同的互斥逻辑和电路 31、逻辑积电路 32、逻辑和电路 35、第一触发器 61 、逻辑积电路 62 和第二触发器 64，并且还带有和图 21 和图 22 中相同的选择装置 69(69*a*，69*b*)、71(71*a*，71*b*)、选择器 72 和逻辑积电路 73、74。

本实施方式里的扫描路径是通过如图 16 所示串联连接图 23 的多个电路构成的 。可以采用图 16(*a*)或 16(*b*)中任一种连接方式，并且可按任何次序构造扫描路径 。同样还把 *CHDIR* 信号连接到各个数据控制电路 29 上。

现对上述构造的数据控制电路 29 的动作作出说明。首先，在设定 *SM*＝“1”、*SINHDI*＝“1”、*SINHDO*＝“1”的情况下，(数据控制电路 29)完成图 18 的用于冗余控制的数据生成电路的相同动作。

并且，在常规操作下，通过设定 *SM*＝“0”、*SELCTRL*＝“1”，有可能利用第一触发器 61 把数据输出到读出数据输出端子 *XDO*＜*i*＞上以及利用第二触发器 64 从写入数据输入端子 *XDI*＜*i*＞输入数据。这使得有可能构造对数据为同步型的 *RAM*。

此外，通过设定 $SM$＝“1”、$SINHDO$＝“0”、$SINHDI$＝“0”以及给出一个相同定时波形的时钟 $T0$、$T1$，(数据控制电路 29)执行移位操作。

测试时刻的写入数据是在 $SELCTRL$＝ “0”的状态下从外部给出的测试数据 $TD$。

在本实施方式里，有可能通过利用构造简单的逻辑和电路 67 代替图 21 和图 22 中的选择器 65 减少电路的尺寸。

图 24 表示本发明的第十八实施方式的存储电路的数据控制电路 29。在图 24 中，和图 23 中所示的第十七实施方式的部件具有相同功能的部件用相同的符号表示。本实施的数据控制电路 29 是通过省略掉在测试时刻用来从外部给出写入数据(测试数据 $TD$)的端子($TD$ 端子)并且在期待值信号的输入端子($EXP$ 端子)和选择器 72 的“0”侧输入端子之间设置一个反相器 76，以一种方式把期待值信号 $EXP$ 的反向信号用作为测试数据来构造的 。不用说，不是绝对需要采用期待值信号 $EXP$ 的反向信号的，并且非反向的信号也是可用的。在该情况下，通过略去图 24 的反相器 76 把 $EXP$ 端子直接连接到选择器 72 的“0”侧输入端子上也是可以的。对测试数据 $TD$ 的端子的这种省略也可应用到图 20、21 和 22 的电路里。

图 25 表示本发明的第十九实施方式的存储电路的数据控制电路 29。在图 25 中和第十五至第十八实施方式中的部件具有相同功能的部件是用相同的符号表示的。在第十五至第十八实施方式里在

测试时刻对存储单元阵列 11 的写入数据是从 *TD* 端子或是从 *EXP* 端子给出的，而在本实施方式中写入数据“0”是从第二触发器 64 的数据输出端子 *Q0* 上配备的而写入数据“1”是从第一触发器 61 的数据输出端子 *Q1* 上配备的 。从而，出于从第一触发器 61 的数据输出端子 *Q1* 上配备数据“1”的目的，在第一触发器 61 的数据输出端子 *Q1* 和选择器 65 之间设置一个反相器 77。

此外，因为不使用任何 *TD* 信号去掉了对应于信号 *TD* 的选择器(图 20 至图 24 中的选择器 74)。

在上述结构中 ，在对第二触发器 64 和第一触发器 61 复位之后直到检测出任何故障之前，可以借助对信号 *CHDIR* 的控制改变写入数据。在 *CHDIR*=“0”的状态下第二触发器 64 的数据输出端子 *Q0* 的数据“0”提供到写入数据输入端子 *DI*<*i*>而且 *CHDIR*=“0”的状态下第一触发器 61 的数据输出端子 *Q1* 上的反向数据“1”提供到写入数据输入端子 *DI*<*i*>，以作为存储单元阵列 11 的写入数据。

根据信号 *CHDIR* 的控制固定写入数据时，有可能得到和图 18 的动作相同的动作。

但是，因为在 *CHDIR*=“1”的状态下控制存储单元 *C*11 至 *C*14 的控制数据也反向了 ，有必要如第二十实施方式(图 26)中那样颠倒列冗余控制电路 12 的控制存储单元 *C*11 至 *C*14 的数据 *I/O* 端子。

图 26 表示本发明的第二十实施方式的存储电路。在图 26 中和图 25 所示的第十九实施方式中的部件功能相同的部件是用同样的

符号表示的。本实施方式的存储电路是对应于图 25 中所示的第十九实施方式的数据控制电路 29 的存储电路，并且列冗余控制电路 12 的控制存储单元组 17 的存储单元 *C*11 至 *C*14 构造成对于外部位线 *OBL*1 至 *OBL*4 为反向的输入及输出的存储单元。

也就是说，假定在图 25 里的 *CHDIR*＝“1”的状态下选择 *RWL*1 的情况下，在 *CHDIR*＝“1”的时刻控制数据也反向了，并且从而控制存储单元 *C*11 至 *C*14 的数据的逻辑随各条字线 *RWL*1、*RWL*2 所选择的数据也被反向。

图 27 是用于通用静态 *RAM* 的图 26 的一个具体例子。和图 6 比较，与图 26 的不同之处在于复位晶体管的位置的选择器取出控制信号的位置，但从理论上图 6 等同于图 26。

图 28 表示本发明的第二十一实施方式的存储电路的数据控制电路 29。在图 28 中，用相同的符号表示和图 23 所示的第十七实施方式里的部件具有相同功能的部件。在第十七实施方式里在测试时刻存储单元阵列 11 的写入数据是从外部给出的测试数据 *TD*，而在本实施方式里是通过把来自第二触发器 64 的数据输出端子 Q0 的输出数据在反向状态下或者不在反向状态下传送到写入数据输入端子 *DI*<*i*>上来向存储单元阵列 11 配备写入数据的。对反向或不反向的控制是靠期待值信号 *EXP* 进行的。按这种方式，作为借助期待值信号 *EXP* 执行反向/不反向控制的部件，设置了一个互斥的逻辑和电路 78，它的一侧上的输入端子和 *EXP* 端子连接并且它的另一个输入端子和第二触发器 64 的数据输出端子 Q0 连接。但是可以用反向互斥的逻辑和（*EX*. *NOR*）电路来代替

互斥的逻辑和电路78。在本实施方式里，因为其中不使用测试数据*TD*，取消了对应于测试数据*D*的选择器。

在上面的结构里，在复位第二触发器64之后直至用第二触发器64检测出任何故障之前，可以靠期待值信号*EXP*改变写入数据。在*EXP*＝“0”的状态下，向写入数据输入端子*DI*＜*i*＞提供第二触发器64的数据输出端子*Q*0的反向数据“0”，在*EXP*＝“1”的状态下，向写入数据输入端子*DI*＜*i*＞提供第二触发器64的数据输出端子*Q*0的反向数据“1”，以用作为存储单元阵列11的写入数据，借助这些动作，可以完成和图18相同的动作。

但是，当控制存储单元*C*11至*C*14写入控制数据时，所需做只是设定*EXP*＝“0”。

图29表示本发明的第二十二实施方式的存储电路的数据控制电路29。在图29中用相同的符号表示和图23中所示的第十七实施方式的部件具有相同功能的部件。本实施方式的数据控制电路29是通过把图23的电路改进为可应用到3端口的*RAM*实现的。也就是说，本实施方式的数据控制电路29是一种适用于3端口*RAM*的电路，其具有对应于只写端口的一个写入数据端子*DI*0＜*i*＞和对应于只读端口的二个读出端子*DO*1＜*i*＞、*DO*2＜*i*＞。

具体地，在第十七实施方式里(数据控制电路29)只带有一个由互斥的逻辑和电路31、逻辑积电路32、逻辑和电路35、逻辑积电路73、选择装置71以及第一触发器61组成的一个电路（以下你为“适用于读出数据的电路”)，在本实施方式里为了适应于读出数据*DO*＜*i*＞提供二个适用于读出数据的电路79*A*、79*B*以适应于读出

数据 $DO1<i>$、$DO2<i>$。各个适用于读出数据的电路 79A 及 79B、互斥的逻辑和电路 31A 及 31B、逻辑积电路 32A 及 32B、逻辑和电路 35A 及 35B、逻辑积电路 73A 及 73B、选择装置 71A 及 71B、选择器 71c 及 71e 、选择器 71d 及 71f、第一触发器 61A(FF1)及 61B(FF2)以及控制值 PF1 及 PF2 分别对应于图 23 中的互斥的逻辑和电路 31、逻辑积电路 32 、逻辑和电路 35、逻辑积电路 73、选择装置 71、选择器 71a、71b、第一触发器 61(FF1)以及控制值 PF。

此外 ,在两个互斥的逻辑和电路 31A、31B 和逻辑积电路 62 之间还设置了一个逻辑和 (OR )电路 80 ,从而当至少一个互斥的逻辑和电路 31A 、31B 检测出任何故障数据时可以向逻辑积电路 62 发送控制值 PF。

在本实施方式中,如图 30 中所示,以前面说明的某些其它实施方式中的相同方式通过连接多个图 29 的电路构成扫描路径 。这里,可以采用图 30 (a)或 30(b)中的任一种连接方法,并且可按任何次序构造扫描路径。

现对如上构造的数据控制电路 29 的动作作出说明 。首先,在测试时刻通过对各个端口给出一个相同地址 ,(数据控制电路 29)和单端口 RAM 的情况下一样执行测试。

对一 对 只读端口的故障测试结果存储在各个适用于读出数据电路 79A、79B 的各个触发器 61A、61B。

如果一个读出数据端子检测出第一故障,PF1 变成"1",并且第一触发器 61 的输出 Q1 从"0"改变到"1"。

以相同的方式，如果只读端口的另一个读出数据端子 $DO2<i>$ 检测出第一故障，$PF2$ 变为“1”，而且第一触发器 61 的输出 $Q2$ 从“0”改变到“1”。

如果在 $CHDIR$=“0”的情况下在 $Q1$ 或 $Q2$ 中的一个从“0”改变到“1”之后检测出第一故障(即第二故障)，第一触发器 61 的数据输出端子 $Q0$ 从“0”改变到“1”。

如果在 $CHDIR$=“1”的情况下由读出数据端子 $DO1<i>$、$DO2<i>$ 中的一个检测出第一故障，$PF$ 变为“1”并且第二触发器 64 的数据输出端子 $Q0$ 从“0”改变到“1”。

也就是说，在 $CHDIR$=“1”情况下检测出第一故障的时刻把控制数据从“0”改变到“1”，但是在 $CHDIR$=“0”的情况下检测出第二故障的时刻把控制数据从“0”改变到“1”。从而，有可能用图 18 中所示的相同动作执行冗余电路的适当切换。

图 31 表示本发明的第二十三实施方式的存储电路的数据控制电路 29。在图 31 中用相同的符号表示和图 12 所示的第九实施方式里的部件具有相同功能的部件。本实施方式的数据控制电路 29 是通过把图 12 的用于控制存储单元的数据生成电路改进为可应用到 3 端口的 $RAM$ 实现的。从而，它是对应于如图 1、2 和 3 带有列冗余度“1”的列冗余控制电路 12 设置的。在本实施方式里，它是准备用于具有一个只写端口和二个只读端口的 3 端口 $RAM$ 的。

写入数据输入端子 $DI0<i>$ 和存储电路的只写端口连接，而一对读出数据端子 $DO1<i>$、$DO2<i>$ 分别和一对只读端口连接。

并且，在本实施方式里设置了一对互斥的逻辑和电路 31*A* 及 31*B*、一逻辑积电路 32、41 和一个通过计算这些逻辑和以产生控制值 *PF* 的逻辑和电路 81，来代替第九实施方式的互斥逻辑和电路 31。

现对如上构造的数据控制电路 29 的动作作出说明。首先，在测试时刻，(数据控制电路 29)通过对各个端口的地址信号给出一个相同的地址执行和单端口 *RAM* 情况下相同的测试。并且，如果通过至少一个只读端口检测出和期待值信号不同的任何值，互斥的逻辑和电路 31*A*、31*B* 的输出 *PF*1、*PF*2 中的一个改变到“1”并且从而逻辑和电路 81 的输出(控制值)*PF* 变为“1”。

如果，在这个状态下，在 *CMPEN*＝“1”、*SM*＝“1”、*SINHDO*＝“1”、*FF*－*RESET*＝“1”的时刻给出时钟信号 *T*，则在触发器 43 里置“1”。也就是说，如果检测出任何故障，*FF* 的输出 *Q* 从“0”改变到“1”。其它的动作和图 12 的电路的动作相同。以这种方式，(数据控制电路 29)可以适当地执行 3 端口 *RAM* 的冗余切换。

图 32 (*a*)表示用图 31 所示的第二十三实施方式的数据控制电路 29 构造的一种扫描路径，以作为本发明的第二十四实施方式。本实施方式的数据控制电路 29 在访问存储单元阵列 11 的各个存储单元时不造成扫描路径的任何串行移位动作，从而不使用扫描路径的串行输入端子 *SID*(以下称为 *SID*)。因此，可以从 *SID* 端子输入测试数据 *TD*。

在该情况下，用于常规动作的存储单元的写入数据可以从 *SID*

端子上给出。还可以提供*SID*端子的反向数据以作为测试数据*TD*。在该情况下，从*SID*端子向存储单元阵列11给出写入数据。

图32(*b*)表示用图31所示的第二十三实施方式的数据控制电路29构成的扫描路径，以作为本发明的第二十五实施方式。本实施方式的数据控制电路29在访问存储单元阵列11的各个存储单元时不造成扫描路径的任何串行移位动作，从而不使用扫描路径的串行输入端子*SID*(以下称为*SID*)。从而，可以从*SID*端子输入期待值信号*EXP*。尽管在本实施方式中*SID*端子数据是以反向的形式作为期待值信号*EXP*的，仍可以以本实施方式的一种变异提供*SID*端子的不反向数据。

此外，可以同时应用本实施方式的结构和图32(*a*)(第二十四实施方式)的结构。

图33表示本发明的第二十六实施方式的存储电路。图1中所示的第一实施方式的存储电路的意图是排除内部位线*BL*1至*BL*5的任一条中的故障，而本实施方式中的存储电路以一种方式构造为排除内部字线*WL*i至*WL*5中任一条的故障。也就是说，本实施方式的数据控制电路29借助和外部字线*OWL*1至*OWL*4连接的控制存储单元*R*11至*R*41控制选择器*SEL*1至*SEL*4，并且通过切换外部字线*OWL*1至*OWL*4和内部字线*WL*1至*WL*5之间的对应关系排除故障。在图33中符号91代表行冗余控制电路(*ROW—RED—CTRL*)，符号92代表选择器组而符号93代表控制存储单元组。

例如，在出现第二内部字线 *WL2* 本身上的任何故障(断线或短路)或者出现与第二内部字线 *WL2* 相连接的存储单元 *M21*、*M22*、*M23*、…的任何故障的情况下，以一种方式切换选择器 *SEL1* 至 *SEL4* 以保持第一外部字线 *OWL1* 和第一内部字线 *WL1* 之间、第二外部字线 *OWL2* 和第三内部字线 *WL3* 之间、第三外部字线 *OWL3* 和第四内部字线 *WL4* 之间以及第四外部字线 *OWL4* 和第五内部字线 *WL5* 之间的对应，如图 33 中所示。该切换是通过分别把“0”、“1”、“1”、“1”写到控制存储单元 *R11*、*R21*、*R31*、*R41* 中完成的。

由于对存储单元阵列 11 的访问是从外部字线 *OWL1* 至 *OWL4* 上进行的，从外部观察不到和第二内部字线 *WL2* 有关的任何故障并且(存储电路)可以工作为仿佛它是没有故障的存储电路。

控制存储单元 *R11* 至 *R41* 可能带有也可能不带有复位功能。在不带有复位功能的情况下，通过当位线 *RBL1* 有效时从外部字线 *OWL1* 至 *OWL4* 分别向各个控制存储单元 *R11* 至 *R41* 写入“0”进行复位。在复位之后，所有的选择器切换到输入“0”侧上，从而分别建立了第一外部字线 *OWL1* 和第一内部字线 *WL1* 之间、第二外部字线 *OWL2* 和第二内部字线 *WL2* 之间、第三外部字线 *OWL3* 和第三内部字线 *WL3* 之间及第四外部字线 *OWL4* 和第四内部字线 *WL4* 之间的对应。

在复位之后，对存储单元阵列 11 进行测试，并且如果检测出任何故障，借助进行上面所说明的选择器切换排除故障。

至于控制存储单元 *R11* 至 *R41*，它们可以是类似于单端口

*RAM* 的存储单元或者是电子可编程 *ROM* 存储单元中的一种。

各条字线和各条外部字线也包括用多条信号线构造的字线。例如，一个多端口 *RAM* 具有和多个端口的字线有关的信号线，并且这些信号线通称为字线 *WL* 或外部字线 *OWL*。例如，在具有一个只写端口和二个读出端口的 3 端口 *RAM* 里，用至少 3 条信号线构成字线或外部字线。即使在这种情况下，基本功能仍保持不变。

图 34 表示本发明的第二十七实施方式的存储电路。图 2 中所示的第二实施方式的存储电路意图是排除内部位线 *BL*1 至 *BL*5 中任一条的故障，而本发明实施方式的存储电路以一种方式构造为排除内部字线 *WL*1 至 *WL*5 中任一条的故障。也就是说，本实施方式的存储电路借助和字线 *WL*1 至 *WL*4 连接的控制存储单元 *R*11 至 *R*41 控制选择器 *SEL*1 至 *SEL*4，并且通过切换外部字线 *OWL*1 至 *OWL*4 和内部字线 *WL*1 至 *WL*5 之间的对应关系排除故障。

例如，在第二内部字线 *WL*2 本身上出现任何故障(断线或短路)或在和第二内部字线 *WL*2 相连接的存储单元 *M*21、*M*22、*M*23…里出现任何故障的情况下，以一种方式切换选择器 *SEL*1 至 *SEL*4 以保持第一外部字线 *OWL*1 和第一内部字线 *WL*1 之间、第二外部字线 *OWL*2 和第三内部字线 *WL*3 之间。第三外部字线 *OWL*3 和第四内部字线 *WL*4 之间及第四外部字线 *OWL*4 和第五内部字线 *WL*5 之间的对应关系，如图 34 所示。该切换是通过分别把“0”、“1”、“1”、“1”写入到控制存储单元 *R*11、*R*21、*R*31、*R*41 里完成的。

在本实施方式里，如果在接通电源的时刻不幸地把“0”、“1”、

“1 ”、“1”置到控制存储单元 *R*11、*R*21、*R*31、*R*41 里，如图 34 中所示控制存储单元 *R*21 不和任何一条外部字线 *OWL*1 至 *OWL*4 连接 。并且 ，如果各个控制存储单元 *R*11 至 *R*41 不具备复位功能 ，不存在可把“0 ”置到控制存储单元 *R*21 中的装置。因此，没有办法完成冗余电路的任何适当切换 。从而，在本实施方式里，各个控制存储单元 *R*11 至 *R*41 最好是带有复位功能的存储单元。但是，不需要固定的复位功能 。例 如 ，可以把存储单元本身设计成在接通电源时全部置成“0 ” 。例如，通过改变晶体管的尺寸等把存储单元电路设计成对“0 ”、“1”是不对称的，在接通电源时可以把所有的存储单元置为“0”。

此外 ，在 存 储单元为可由光照射 （紫外线 ）擦除的可编程 *ROM*(*UVEPROM*)存储单元的情况下，通过光照射进行复位是可能的。

对复位之后的动作的说明将被略去 ，因为它们和图 33 所示的电路和动作相同。

图 35 表 示 本发明的第二十八实施方式的存储电路的数据控制电路 29。图 3 所示的第三实施方式的存储电路的意图是排除内部位线 *BL*1 至 *BL*5 中任一条的故障，而本实施方式的存储电路以一种方式构造成排除内部字线 *WL*1 至 *WL*5 中任一条上的故障 。也就是说，本实施方式的存储电路借助和内部字线 *WL*1 至 *WL*5 连接的控制存储单元 *R*11 至 *R*41 控制选择器 *SEL*1 至 *SEL*4 ，并且通过切换外部字线 *OWL*1 至 *OWL*4 和内部字线 *WL*1 至 *WL*5 之间的对应关系排除故障。图 35 里的符号 94 代表逻辑积电路组。

例如，在第二内部字线 *WL2* 本身上出现任何故障(断线等)或在与第二内部字线 *WL2* 相连接的存储单元 *M21*、*M22*、*M23*、…上出现任何故障的情况下，按一种方式切换选择器 *SEL1* 至 *SEL4* 以保持第一外部字线 *OWL1* 和第一内部字线 *WL1* 之间、第二外部字线 *OWL2* 和第三内部字线 *WL3* 之间、第三外部字线 *OWL3* 和第四内部字线 *WL4* 之间及第四外部字线 *OWL4* 和第五内部字线 *WL5* 之间的对应，如图 34 中所示。该切换是通过分别把“0”、“1”、“1”、“1”写到控制存储单元 *R11*、*R21*、*R31*、*R41* 中完成的。

控制存储单元 *R11* 至 *R41* 可能带有或者可能不带有复位功能。在不带有复位功能的情况下，通过在冗余允许信号线 *RED—EN* 上置“0”并且在依次启动外部字线 *OWL1*、*OWL2*、*OWL3*、*OWL4* 的同时从位线 *RBL1* 把“0”写到控制存储单元 *R11*、*R21*、*R31*、*R41* 来进行复位。

通过把“0”设置在冗余允许信号线 *RED—EN*，使得固定外部字线 *OWL1* 至 *OWL4* 和控制存储单元 *R11* 至 *R41* 之间的对应关系成为可能。也就是说，因为建立了第一外部字线 *OWL1* 和第一控制存储单元 *R11* 之间、第二外部字线 *OWL2* 和第二控制存储单元 *R21* 之间、第三外部字线 *OWL3* 和第三控制存储单元 *R31* 之间及第四外部字线 *OWL4* 和第四控制存储单元 *R41* 之间的对应，和图 34 的电路相比更容易对控制存储单元本身的测试。

图 36 表示本发明的第二十九实施方式的存储电路的数据控制电路 29。图 4 的第四实施方式的存储电路意图是排除内部位线 *BL1* 至 *BL5* 的任二条中的故障，而本实施方式的存储电路以一种

方式构造成排除内部字线 *WL*1 至 *WL*5 的任二条中的故障 。也就是说，本实施方式的数据控制电路 29 所带有的字线 *WL*0 至 *WL*5 (6 位)要比外部字线 *OWL*1 至 *OWL*4 的位数 (4 位)多 2 位，并且通过 3 触点选择器 *SEL*1 至 *SEL*4 从 3 条字线(例如 *WL*0、*WL*1、*WL*2)中选择连接到 1 位外部字线(例如 *OWL*1)的信号 。各个 3 触点选择器由两个控制存储单元控制的(例如 *SEL*1 由 *R*11 和 *R*12 控制)。

借助这种构造，有可能排除 2 条字线上的故障。

例如 ，在第二内部字线 *WL*2 及第三内部字线 *WL*3 的本身上出现任何故障(断线等)或在和第二内部字线 *WL*2 及第三内部字线 *WL*3 相连接的存储单元 *M*21、*M*22、*M*23、…、*M*31、*M*32、*M*33、…里出现任何故障的情况 下 ，按一种方式切换选择器 *SEL*1 至 *SEL*4 以保持第一外部字线 *OWL*1 和第“0”条内部字线 *WL*0 之间、第二外部字线 *OWL*2 第一内部字线 *WL*1 之间、第三外部字线 *OWL*3 和第四内部字线 *WL*4 之间及第四外部字线 *OWL*4 和第五内部字线 *WL*5 之间的对应，如图 36 中所示。该切换是借助把“0，1”、“0，1”、“1，0”、“1，0”写入到控制存储单元(*R*11，*R*12)、(*R*21，*R*22)、(*R*31，*R*32)、(*R*41，*R*42)里完成的。

在图 36 中 ，控制存储单元 *R*11 至 *R*41 可能带有或者可能不带有复位功能 。在不带有复位功能的情况下，通过在顺序启动外部字线 *OWL*1、*OWL*2 、*OWL*3、*OWL*4 的同时从位线 *RBL*1、*RBL*2 把“0”写入到控制存储单元 *R*11 至 *R*41 来进行复位。

图 37 的一种情况的具体化电路图，如第十三实施方式，图 36 中所示的第二十九实施方式的行冗余控制电路(*ROW*－*RED*－

*CTRL*)91 是用 *CMOS* 电路构造的。例如，如果如图 36 所示切换选择器 *SEL*1 至 *SEL*4 并且把“0，1”、“0,1”、“1,0”、“1,0”写到控制存储单元(*R*11,*R*12)、(*R*21,*R*22)、(*R*31,*R*32)、(*R*41,*R*42)里，在图 36 中字线 *WL*2、*WL*3 进入不连接状态并且可能变成一种不稳定电平。如果它们进入不稳定电平，*RAM* 产生运行错误。

为了避免这种可能事件，在图 37 里对行冗余控制电路 91 增加了字线电平固定电路 95。

例如，字线电平固定电路 95 是用 3 个晶体管构成的，即由控制存储单元 *R*11 控制的 *P* 沟道晶体管、由控制存储单元 *R*32 控制的 *P* 沟道晶体管和由来自控制存储单元 *R*21 和 *R*22 的“或非”逻辑输出控制的 *P* 的沟道晶体管。

当作为内部字线 *WL*0 至 *WL*5 的驱动器的反相器电路 96 的输入达到不和任一条外部字线 *OWL*1 至 *OWL*4 连接的状态时，这 3 个晶体管都进入 *ON* 状态，并且把该反相器电路 96 的输入固定到“1”。作为结果，字线固定在不活动值“0”上。这使得有可能避免 *RAM* 的任何操作错误。

图 38 是由采用行冗余控制电路 91 构造的带有行冗余功能的存储电路的总电路图。在图 38 里，符号 97 代表写入驱动器和读出放大器(以下简称为 *WD*&*SA*)，而符号 98 是列选择器(*COL*—*SEL*)。相对于存储单元阵列 11，*WD*&*SA*97 和列选择器 98 按 1:1 对应。

在图 38 里，只要涉及到控制存储单元 *R*11 至 *R*41，*WD*&*SA*97 的独立于不带有列选择器的各对位线 *RBL*1、*RBL*2 提供的。

从而，和一条位线 *RBL*1 有关的控制存储单元 *R*11、*R*21、*R*31、

*R*41 的控制数据是从 *RED—DI*1 写入的，而和另一条位线 *RBL*2 有关的控制存储单元 *R*12、*R*22、*R*32、*R*42 的控制数据是从 *RED—DI*2 写入的。

尽管在图 38 中表示了另一条位线 *RBL*2，在采用冗余度为“1”的行冗余控制电路(*ROW—RED—CTRL*)91 的情况下(例如，图 33、34、35)该信号是不存在的。

此外，尽管在图 38 中表示了由冗余允许信号线给出的信号，取决于例如如图 33 、图 34、图 36 的类型的行冗余控制电路(*ROW—RED—CTRL*)91 该信号是不存在的。

并且 ，尽管在图 38 中表示了复位信号 *RED—RESET*，取决于例如采用图 33、35、36 的不带有复位功能的控制存储单元的类型的行冗余控制电路(*ROW—RED—CTRL*)91 该信号是不存在的。

为了测试控制存储单元 *R*11 至 *R*41，需要设置如图 38 中的读出放大器，当不是必须时可以去掉它。在这种情况下，输出信号 *RED—DO*1、*RED—DO*2 也是不需要的。

图 39 是一个总体结构图 ，表示本发明的第三十一实施方式的存储电路 。在图 39 中，用相同的符号表示和图 38 中所示的第三十实施方式的部件具有相同功能的部件。本实施方式的存储电路是通过把用于图 36 所示的行冗余控制电路(*ROW—RED—CTRL*)91 的带有行冗余功能的 *RAM* 改进成冗余度为“2”或更大而实现的。

为选择一对位线 *RBL*1 、*RBL*2 设置了列选择器(*COL—SEL*2)101 和列译码器(*COL—DEC*2)102。由于采用了这种机构，和图 38 的结构相比写入驱动器和读出放大器(*WD&SA*)97 的数量

减少了一个。

如图 39 中所示，在本实施方式里，对于位线 *RBL*1、*RBL*2 仅仅一个选择信号 *RED—COL—ADDR* 就够了。从而和图 38 相比，总数上减少了 2 条信号线。

图 40 表示本发明的第三十二实施方式的存储电路。在图 40 中用相同的符号表示和图 39 所示的第三十一实施方式的部件具有相同功能的部件。本实施方式的数据控制电路 29 是一个带有行冗余功能的 *RAM* 的总电路图，从而它也可以解决至少和字线有关的 3 个故障的情况。

在图 39 所示的第三十一实施方式里为一个行译码器(*ROW—DEC*)23 设置了一个行冗余控制电路 (*ROW—RED—CTRL*)91，而在本实施方式里为一个行译码器(*ROW—DEC*)23 设置了多个(2 个)行冗余控制电路(*ROW—RED—CTRL*)91。

因为一个行冗余控制电路(*ROW—RED—CTRL*)91 可以排除和它连接的存储单元阵列 11 中的最多 2 条字线的故障，通过设置多个行冗余控制电路 (*ROW—RED—CTRL*)也使得解决不少于 3 条字线的故障成为可能。具体地，对于各个行冗余控制电路 91 存在着 64 条各来自行译码器 23 的外部字线 *OWL*(总共 128 条)以便排除每个行冗余控制电路 91 的内部字线 *WL* 的 2 个故障，各个行冗余控制电路 91 可以连接 64＋2＝66(条)线(总共 132 条线)。也就是说，在本实施方式里，排除 132—128＝4(条)字线的故障是可能的。

尽管本实施方式是通过改进第三十一实施方式 (图 39 )的电

路实现的，也可以在第三十实施方式(图 38)的电路的基础上进行这种改进。

图 41 表示本发明的第三十三实施方式的存储电路的行冗余控制的数据控制电路 100。在图 41 中，用相同的符号表示和图 11 所示的第八实施方 式的部件具有相同功能的部件 。本实施方式的数据控制电路 100 表示例如第二十六实施方式 (图 33)的存储电路 30 和与其对应的数据控制电路 100 (用于控制存储单元的数据生成电路)之间的连接关系的电路图。

本实施方式的数据控制电路 100 带有期待值比较装置 105 ，用于例如通过对 4 个读出数据端子 $DO<i>$ 的各个值与期待值信号进行比较输出控制值 $PF$ ，并且还带有和第八实施方式里所说明的相类似的逻辑和电路 35 信触以器 33。

期待值比较装置 105 由如下面在第三十四实施方式 、第三十五实施方式 及第三十六实施方式中说明的比较装置 106 和与第八实施方式中所说明的相类似的逻辑积电路 32 所组成。

触发器 33 可能是异步复位型的或同步复位型的。

现对如上说明构造的数据控制电路 100 的动作作出说明。首先，用复位信号 $FF—RESET$ 复位 $FF$ 至 0。

接着，比较装置 106 对期待值信号 $EXP$ 和存储电路 30 读出数据端子 $DO<i>$ 上的输出进行比较，如果不同则把“1”作为控制值 $PF$ 输出。如果在该装态下在比较允许信号 $CMPEN$ 为“1”时给出

时钟信号 $T$，则在触发器 33 中置“1”。即，如果检测出任何故障，触发器 33 的输出 $Q$ 从“0”改变到“1”。

接着，参照图 33 和图 38 现对作为例子的图 41 整个电路的动作作出说明。

（1）首先，在图 33 中通过复位信号 *RED—RESET* 等手段对控制存储单元 $R11$、$R21$、$R31$、$R41$ 复位。

（2）然后，在图 41 中通过复位信号 *FF—RESET* 等手段对数据控制电路 100 的触发器 33 复位。

(3)并且，(数据控制电路 100)在图 41 中适当地控制期待值信号 *EXP*、比较允许信号 *CMPEN*、其规定的信号 *WE*、*SEL* 等等，并且在它每次测试和图 33 中第一内部字线 $WL1$ 连接的各个存储单元 $M11$、$M12$、$M13$、…时把来自图 41 中的触发器 33 的数据输出端子 $Q$ 的数据（控制值 *PF*）写到图 33 中对应的控制存储单元 $R11$ 里。

（4）以这种方式(数据控制电路 100)按次序切换字线 $WL2$、$WL3$、$WL4$ 执行类似于上面(3)中的动作。

如上面所说明的那样，例如在第二内部字线 $WL2$ 自身出现任何故障或与第二内部字线 $WL2$ 相连接的存储单元 $M21$、$M22$、$M23$、…出现任何故障的情况下，在该实施方式中把“0”、“1”、“1”、“1”写入到控制存储单元 $R11$、$R21$、$R31$、$R41$ 中，如图 33 中所示。从而执行冗余电路的适当切换。

图 42 (*a*)表示一个用于图 41 中所示的第三十三实施方式的数据控制电路 100 里的比较装置 106 的一个例子（第三十四实施方

式)。只用于检测所有位线上故障的本实施方式的比较装置 106 带有 4 个对应于所有读出数据端子 *DO*<1>至 *DO*<4>的互斥的逻辑和电路 (*EX.OR* )31*a* 至 31*d* 和一个逻辑积(*AND*)电路 107。

在上面的结构里 ,例如在任何诸如内部导线 *WL*0 至 *WL*5 接地的短路故障情况下 ,所有的数据输出是和这些内部导线 *WL*0 至 *WL*5 的故障有关的。

在本实施方式里,在期待值信号 *EXP* 和各个数据输出 *DO*<1>、*DO*<2>、*DO*<3>、*DO*<4>之间进行比较,并且当它们全部发现为不同时,控制值 *P*1 变为"1"。这使得有可能检测内部导线 *WL*0 至 *WL*5 的短路故障。

不必把所有的数据输出都做为比较的对象。例如,考虑到在 *DO*<4>和 *DO*<1> 同时出现故障的情况下存在着字线 *WL*0 至 *WL*5 出现故障的高可能性时 ,可以略去和 *DO*<3>及 *DO*<2>有关的互斥逻辑和电路。以这种方式,可以减小电路尺寸。

图 42(*b*)表示用于图 41 所示第三十三实施方式的数据控制电路 100 里的比较装置 106 的一个例子。在图 42(*b*)中用相同的符号表示和图 42(*a* )所示的第三十四实施方式的部件具有相同功能的部件。其意图是用于检测和图 33 中各条内部字线 *WL*0 至 *WL*5 相连接的存储单元的故障的本实施方式的比较装置 106 例如带有一个 4 输入逻辑和(*OR*)电路 108,来代替图 42(*a*)中所示的第三十四实施方式的逻辑积电路 107。

在上面的结构里 ,在存储单元阵列 11 里的任一存储单元出现故障的情况下,仅仅对应的数据输出故障。

在本实施方式里，通过各个互斥的逻辑和电路 31*a* 至 31*d* 进行期待值信号 *EXP* 和各个数据输出值 *DO*<1>、*DO*<2>、*DO*<3>、*DO*<4>之间的比较，并且当不只一个值不同时，控制值 *P*1 变为"1"。这使得有可能容易地检测存储单元 *M* 中的任何故障。

图 42(*c*)表示用于图 41 所示第三十三实施方式的数据控制电路 100 里的比较装置 106 的一个例子（第三十六实施方式）。本实施方式的比较装置 106 带有一个互斥的逻辑和电路 31，用于只检测离行冗余控制电路 91 的最远位置上连接的存储单元有关的读出数据端子 *DO*<4>的故障，以考虑行冗余控制电路 91 和存储单元阵列 11 之间的连接导线。

在上面的结构里，在内部字线 *WL*0 至 *WL*5 断线的情况下故障点之外的所有存储单元失灵。因此，可以通过测试离行冗余控制电路 91 和行译码器 23 最远的存储单元检测断线故障。即，因为通过时离行冗余控制 电路 91 最远的读出数据端子 *DO*<4>的观察可以检测出离行冗余电路 91 最远的存储单元的故障，只有该数据输出(*DO*<4>)可用作图 42(*c*)中所示比较的对象。

借助图 42 (*c*)的电路，还可以检测内部字线 *WL*0 至 *WL*5 接地短路的故障。当把该电路用在这种目的上时，不必把离行冗余控制电路 91 最远的 数据输出作为比较的对象，任何数据输出诸如 *DO*<1>等可用于比较。

如在图 42(*d*)中也可以增加一个选择器用于对图 42(*a*)、(*b*)、(*c*)的功能的选择。

图 43 表 示本发明的第三十七实施方式的数据控制电路 100 的存储电路。在图 43 中用相同的符号表示和图 18 的第十三实施方式里的部件具有相同功能的部件。尽管类似于图 18 中所示第十三实施方式的电路，本实施方式的数据控制电路 100 略去在图 18 中的写入数据输入端子 *XDI*<1>至 *XD*<4>及选择器 57，并且还包括第三十四实施方式至第三十六实施方式中的任一比较装置 106 以代替互斥的逻辑和电路 31。

在本 实 施方式里 ，从外部向存储电路 30 的 *RED—COL—ADDR* 端子提供 *CHDIR* 信号。在 *CHDIR*＝“1”的情况下选择图 39 和图 36 中的一条位线 *RBL*1，而在 *CHDIR*＝“0”的情况下选择另一条位线 *RBL*2。

接着 ，对数据控制电路 100 的动作作出说明 。首先，(数据控制电路 100 )用复位信号 *FF—RESET* 把第二触发器 64 及第一触发器 61 复位为“0”。在此，比较装置 106 把期待值信号 *EXP* 分别和存储电路 30 的读出数据端子 *DO*<1>至 *DO*<4>进行比较 ，如果发现它们不同时，把“1”输出为控制值 *PF*。如果在这种状态下当比较允许信号 *CMPEN* 为“1”时给出时钟信号 *T* ，则把第一触发器 61 置为“1”并且它的输出数据变为 “1”。换句话说，如果检测出第一故障，第一触发器 61 的输出数据 *Q*1 从“0”改变到“1”。

如果当第一触发器 61 的输出数据 *Q*1 为 “1”时给出时钟信号 *T*，则控制值 *PF* 为“1”并且比较允许信号 *CMPEN* 为“1”，则把第二触发器 64 置为 “1”并且其输出数据 *Q*0 变为“1”。换句话说，如果检测出第二故障，第二触发器 64 的输出数据 *Q*0 从“0”改变到“1”。

第二选择器 65 在信号 *CHDIR* 为“0”时选择第二触发器 64 的

输出而在*CHDIR*为"1"时选择第一触发器61的输出，以作为控制存储单元*R*11至*R*41的控制数据(图36)。

当把*CHDIR*固定为"1"使用时，可以进行类似于图41的电路动作，以允许排除和一条字线有关的故障。但是，当*CHDIR*固定在"1"不能靠动作排除故障的情况下，即涉及2条字线的故障的情况下，可以按如下的动作排除故障。这里，假定故障为字线的短路或断开，为了测试例如把列地址*COL—ADDR*固定在"0"。

下面通过参照图36和图39对图43的总电路的动作的一个例子作出说明。这里，为进行说明假设具有字线*WL*2和*WL*3的故障。

(1)在图36中，(数据控制电路100)通过诸如复位信号*RED—RESET*等手段对控制存储单元*R*11、*R*21、*R*31、*R*41、*R*12、*R*22、*R*32、*R*42复位。

(2)在图43中，对数据控制电路100的第一触发器61和第二触发器64复位。

(3)(数据控制电路100)适当地控制期待值信号*EXP*、比较允许信号*CMPEN*、其它规定的信号*WE*等，并且在图36为常规操作测试和第四内部位线*WL*4连接的存储单元(*M*41)。而且，在图43里(数据控制电路100)把第二触发器64的数据输出端子*Q*0的数据(控制值*PF*)写到图36的对应的控制存储单元*R*2里。

(4)在按*WL*3、*WL*2、*WL*1的次序切换目标字线即按*R*32、*R*22、*R*12的次序切换控制存储单元下执行和上面(3)中相同的动作。

借助上述动作，在判断出和内部字线*WL*3、*WL*2相关的存储

单元 *M*31、*M*21 有故障之后控制数据改变到“1”。作为结果，把“1”、“1”、“0”、“0”写到 *R*12、*R*22、*R*32、*R*42 里。在这个阶段，分别地把第一外部字线 *OWL*1 第“0”条内部字线 *WL*0 连接，第二外部字线 *OWL*2 和第一内部字线 *WL*1 连接，第三外部字线 *OWL*3 和第三内部字线 *WL*3 连接，第四外部字线 *OWL*4 和第四内部字线 *WL*4 连接，并且排除第二内部字线 *WL*2 的故障。

(5)接着，复位数据控制电路 100 的第一触发器 61。

(6)(数据控制电路 100)适当地控制期待值信号 *EXP*、比较允许信号 *CMPEN*、其它的规定的信号 *WE* 等，在 *CHDIR*=“1”的状态下测试(图 36)和第一外部字线 *OWL*1 连接的存储单元 *MO*1，并且把第一触发器 61 的输出数据(控制值 *PF*)写到对应的控制存储单元 *R*11 里。

(7)按 *OWL*2、*OWL*3、*OWL*4 的次序切换外部字线即按 *R*21、*R*31、*R*41 的次序切换控制存储单元并依次执行和(6)中相同的动作。

借助上述动作，在判断出存储单元 *M*31 有故障之后控制数据改变到“1”。作为结果，把“0”、“0”、“1”、“1”写到 *R*11、*R*21、*R*31、*R*41 里。在这个阶段，分别地，第一外部字线 *OWL*1 和第“0”条内部字线 *WL*0 连接，第二外部字线 *OWL*2 和第一内部字线 *WL*1 连接，第三外部字线 *OWL*3 和第四内部字线 *WL*4 连接，第四外部字线 *OWL*4 和第五内部字线 *WL*5 连接，并且排除第二内部字线 *WL*2 和第三内部字线 *WL*3 的故障。

图 44 表示本发明的第三十八实施方式的存储电路的数据控

制电路100。在图44中用相同的符号表示和图19所示第十四实施方式的部件具有相同功能的部件。尽管和图19中所示的第十四实施方式的电路相类似，本实施方式的数据控制电路100略去了图19中的写入数据输入端子*XDI*<1>至*XDI*<4>及选择器57，并且还带有第三十四实施方式至 第三十六实施方式中的一个比较装置106来代替互斥的逻辑和电路31。换句话说，数据控制电路100是利用一个逻辑和电路(*OR*)67代替第三十七实施实施方式的选择器65而构造的。并且，若把*CHDIR*设定为1，第二触发器64和第一触发器61都检测第一故障。和图44的电路尺寸相比，本电路的尺寸更小。

图45是带有冗余功能的存储电路的总图，在本实施方式里该存储电路同时应用了列冗余控制电路12和行冗余控制电路*ROW—RED—CTRL*。在图45里，融合了图17的电路和图39的电路。

如图45中所示，在列冗余控制电路12和行冗余控制电路91里都存在着由冗余允许信号线*RED—EN*给出信号的情况下，该冗余允许信号线*RED—EN*可以公共地和冗余控制电路12、91两者相连接。

当顺序地执行列冗余控制电路12和行冗余控制电路91的切换时，复位信号*RED—RESET*（*RED—RESET—R*、*RED—RESET—C*)独立地提供到各个冗余控制电路12、91上。

当只排除两方面的一方面的故障时，可以从公共的连接线上提供复位信号*RED—RESET*(*RED—RESET—R*、*RED—RESET—C*)。

图 46 表 示 本发明的第三十九实施方式的存储电路的数据控制电路 100 。在图 46 里用相同的符号表示和图 18 所示的第十三实施方式的部件具有相同功能的部件。在本实施方式的数据控制电路 100 里，同时应用了列冗余控制电路 12 和行冗余控制电路 *ROW—RED—CTRL*。尽管和图 18 所示的第十三实施方式的电路相类似，但本实施方式的数据控制 电 路 100 和第十三实施方式的数据控制电路 100 的不同之处在于，选择器 65 的输出被提供到存储电路 30 的 *RED—DI* 端子并且比较允许信 号 *CMPEN* 不仅提供到行冗余地址端子 *RED—ROW—ADDR* 上还提供到列冗余地址端子 *RED—COL—ADDR*。

并且，在本实施方式里把图 42(*c*)所示的第三十六实施方式的比较装置 106 应用到第三十七实施方式(图 43)的行冗余控制电路上。

根据本实施方式，用于第四位写入数据输入端子 *DI*＜4＞和读出数据 *DO*＜4＞的数据控制电路 100 公共地用于列冗余控制电路 12 和行冗余控制电路 91。这能减小电路尺寸。

图 47 的数据控制电路 100 具有和图 46 的电路相同的功能，但是采用逻辑和（*OR*）电路 67 来代替由信号 *CHDIR* 控制的选择器 65，并且通过把 *CHDIR* 置定为“1”借助第二触发器 64 和第一触发器 61 一起检测第一故障。在本实施方式里，和图 46 的实施方式相比电路尺寸更小。

图 48 表 示 本 发 明的第四十实施方式的存储电路的数据控制电路 100 。在图 48 里用相同的符号表示和图 46 里的第三十九实

施方式的部件具有相同功能的部件。在本实施方式的数据控制电路100里，对列冗余控制电路29和行冗余控制电路100都应用了类似于图46所示第三十九实施方式的电路，但是为减小电路尺寸把互斥的逻辑和电路31转用为行冗余控制电路100的期待值比较装置的一部分。

图48里的符号110是一个与互斥的逻辑和电路31连接的和存储电路30的各个写入数据输入端子$DI<1>$至$DI<4>$有关的部件，并且在把逻辑积($AND$)电路用作为该部件的情况下构成了第三十四实施方式(图42($a$))的比较装置106。另一方面，当把逻辑和($OR$)电路用作为部件110时，构成了第三十四实施方式(图42($b$))的比较装置106。

此外，在行冗余控制电路100里略去了对应于行冗余控制电路29的选择器57的选择器。

图49表示本发明的第四十一实施方式的存储电路的数据控制电路29、100。在图49中用相同的符号表示和图48所示第四十实施方式的部件具有相同功能的部件。尽管类似于图48所示的第四十实施方式的电路，本实施方式的电路以一种方式构造成把列冗余控制电路29的互斥的逻辑和电路31转用为行冗余控制电路100的期待值比较装置的一部分，并且还通过切换模式把一个($29X$)列冗余控制电路29转用为行冗余控制电路100。可以通过借助来自外部的控制信号$COL-ROW$切换选择器111在该时刻完成模式切换。

依靠这种结构，有可能比图48的电路减小电路尺寸。

图 50 (*a*)表示本发明的第四十二实施方式的地址分配电路。本实施方式的地址分配电路是用于把地址分配信号 *ROW—ADDR* 给到带有在第三十实施方式(图 38)里或第三十一实施方式(图 39)里所说明的行冗余功能的存储电路的行译码器(*ROW—DEC*)23 上。换句话说,和多条(4 条 ) 存储电路 30 的外部字线 *OWL*1 至 *OWL*4 相连接的用于按从 *OWL*1 至 *OWL*4 的次序分配这些外部字线的本实施方式的地址分配电路带有一个全循环串行数据输出电路 115 和一个译码器 116 ,全循环串行数据输出 电路 115 用于把全循环串行数据输出为具有基于一预置计算公式的某循环的伪随机数,译码器 116 用于根据全循环串行数据输出电路 115 的输出信息一个接着一个地指定外部字线 *OWL*1 至 *OWL*4。

全循环串行数据输出电路 115 是一个 2 位串行移位寄存器(*SR*),其带有借助左移位执行移入的一个 *SIL* 端子和借助右移位执行移入的一个 *SIR* 端子,并且来自规定的随机数生成逻辑电路组(未示出)的数据“01100”周期性地移入该电路里。作为结果,全循环串行数据输出电路 115 在右移位 (*SIR*)的时刻按“00”—“10”—“11”—“01”的次序把 2 位数据给到译码器 116 ,而在左移位(*SIL*)的时刻按“01”—“11”—“10”—“00”的次序把 2 位数据给到译码器 116。

译码器 116 是一个 2 位输入 4 位输出的译码器,用于通过接收来自全循环串 行数据输出电路 115 的 2 位数据按次序分配 4 条外部字线 *OWL*1 至 *OWL*4,如图 51 所示它带有用于连接到全循环串行数据输出电路 115 的 2 位的输入端子 *AX*0 、*AX*1,用于和外部字

线 *OWL*1 至 *OWL*4 4 位连接的输出端子 *X*0 、*X*2、*X*3、*X*1，用于变换的逻辑电路单元 121，以及用于按输出端子 *X*0、*X*2、*X*3、*X*1 的次序重新排列来自逻辑电路单元 121 的 4 位信号的位次序改变线路 122。

逻辑电路单元 121 是通用类型的，由 4 个反相器 124*a* 至 124*d* 和 4 个逻辑积 (*AND*)电路 125*a* 至 125*d* 构成。这里，当按“00”—“01”—“10”—“11 ”的次序关于输入到输入端子 *AX*0、*AX*1 的值的数据时，逻辑电路单 元 121 串行地从最右端的第一逻辑积电路 125*a* 至最左端的第四逻辑积电路 125*d* 输出值“1”。

位次 序 改 变线路 122 在它接收到来自最右端上的第一逻辑积电路 125*a* 的值“1 ”时在(即对输入端子 *AX*0、*AX*1 给出值“00”时)在最左端的输出端子 *X*0 上输出数据，在它接收到来自逻辑电路单元 121 右起第二 位置上的第二逻辑积电路 125*b* 的值 “1 ”时(即对输入端子 *AX*0、*AX*1 给出值“01”时)在最右端的输出端子 *X*1 上输出数据，在它接收到来自右起第三位置上的第二逻辑积电路 125*c* 的值 “1”时(即对输入端子 *AX*0 、*AX*1 给出值“10”时)在右起的第三输出端子 *X*2 上输出数据，并且在它接收到来自逻辑电路单元 121 的最左端上的第四逻辑积电路 125*d* 的值“1”时(即对输入端子 *AX*0、*AX*1 给出值“11”时)在右起的第二输出端子 *X*3 上输出数据。

现对 如上构造的地址分配电路的动作作出说明 。当递增外部字线 *OWL*1 至 *OWL*4 即 按 *OWL*1—*OWL*2—*OWL*3—*OWL*4 的次序对这些字线定址时，(地址分配电路 )通过从 *SIR* 端子右移位在

全循环串行数据输出电路 115 里执行移位“00110”。在这时，来自全循环串行数据输出电路 115 的地址（*AX*1、*AX*0）按“00”、“10”、“11”、“01”的次序改变 。在十进制表达下，这意味着地址按 *NO*. 0、*NO*. 2、*NO*. 3、*NO*. 1 次序改变 。当 *NO*. 0 被指定时，第“0”条输出端子 *X*0 被启动；当 *NO*. 2 被指定时 ，第二输出端子 *X*2 被启动；当 *NO*. 3 被指定时，第三输出端子 *X*3 被启动；并当 *NO*. 1 被指定时，第一输出端子 *X*1 被启动。

这里在本实施方式里第一外部字线 *OWL*1 和第 “0”条输出端子 *X*0 连接、第二外部字线 *OWL*2 和第二输出端子 *X*2 连接、第三外部字线 *OWL*3 和第 三输出端子 *X*3 连接 、第四外部字线 *OWL*4 和第一输出端子 *X*1 连接，即使按 *X*0—*X*2—*X*3—*X*1 的次序分配地址，仍可以容易地按 *OWL*1—*OWL*2—*OWL*3—*OWL*4 的次序进行递增 。从而，有可能利用全循环序列在对冗余电路的切换的 *RAM* 测试时施行有效测试。具体地，它产生减少测试信号和测试模式的效果。

当递 减 外部字线 *OWL*4—*OWL*3—*OWL*2—*OWL*1 的次序对这些字线定址时，（地址分配电路 ）通过从 *SIL* 端子左移位在全循环串行数据输出电路 115 里执行移位“01100”。在这时，由全循环串行数据输出电路 115 规定的地址（*AX*1、*AX*0）按“01”、“11”、“10”、“00”的次序改这 。在十进制表达下，这意味着地址按 *NO*. 1、*NO*. 3、*NO*. 2、*NO*. 0 的次序改变。作为结果，实现了递减定址。当不需要递减定址时，不需要采用双向串行移位寄存器或双方扫描路径电路。

图52表示本发明的第四十三实施方式的地址分配电路。本实施方式的地址分配电路是一个对应于如在第三十二实施方式中(图40)说明的带有行冗余功能的存储电路的地址分配电路,并且采用一个4输入16输出型译码器作为译码器116。

这里,行地址*ROW—ADDR*是从两个(全循环串行数据输出电路)串行移位寄存器115*a*(*SR*1)、115*b*(*SR*2)提供高位地址(*AX*3,*AX*2)和低位地址(*AX*1,*AX*0)的。以一种方式把这2个串行移位寄存器构造成能够独立地控制移位运动。这2个串行移位寄存器可能是扫描路径电路。

高位地址(*AX*3,*AX*2)用于选择多个(4个)行冗余控制电路*ROW—RED—CTRL*—0至3中的一个。例如,分别地,当(*AX*3,*AX*2)为(0,0)时选择*ROW—RED—CTRL*—0,当(*AX*3,*AX*2)为(0,1)时选择*ROW—RED—CTRL*—1,当(*AX*3,*AX*2)为(1,0)时选择*ROW—RED—CTRL*—2,当(*AX*3,*AX*2)为(1,1)时选择*ROW—RED—CTRL*—3。换句话说,在本实施方式里,通过借助高位地址选择行冗余控制电路*ROW—RED—CTRL*并且控制和切换各个行冗余控制电路*ROW—RED—CTRL*,(地址分配电路)以一种方式进行控制以对各带有4条字线的4*RAM*组的各个*RAM*执行冗余电路的切换。

低位地址(*AX*1,*AX*0)用于在各个行冗余控制电路里的多条外部字线*OWL*1至*OWL*6中选择出一条字线。

(地址分配电路)通过从第一移位寄存器115*a*(*SR*1)的*SIR*端子的右移位移入全循环序列“00110”。这时,地址(*AX*1,*AX*0)按“00”—“10”—“11”—“01”的次序改变。

以相同的方式，(地址分配电路)通过从第二移位寄存器115*b*(*SR*2)的*SIR*端子的右移位移入全循环序列"00110"。这时，地址(*AX*3，*AX*2)按"00"—"10"—"11"—"01"的次序改变。

如果在由第一移位寄存器115*a*(*SR*1)全循环定址之后，用第二移位寄存器115*b*(*SR*2)重复更新地址的动作，地址(*AX*3、*AX*2、*AX*1、*AX*0)按如下变化：

(0，0，0，0)—(0，0，1，0)—(0，0，1，1)—(0，0，0，1)—(1，0，0，0)—(1，0，1，0)—(1，0，1，1)—(1，0，0，1)—(1，1，0，0)—(1，1，1，0)—(1，1，1，1，)—(1，1，0，1)—(0，1，0，0)—(0，1，1，0)—(0，1，1，1)—(0，1，0，1)

在十进制数下，这意味着地址以0—2—3—1—8—10—11—9—12—14—15—13—4—6—7—5的次序改变。译码器输出按*X*0，*X*2，*X*3，*X*1，*X*8，*X*10，*X*11，*X*9，*X*12，*X*14，15，*X*13，*X*4，*X*6，*X*7，*X*5的次序分配。

通过采用这种构造，变得有可能在对*RAM*的冗余电路切换测试时利用全循环序列施行有效地测试。具体地，它产生减少测试信号及测试模式的效果。

为了进行相反次序的定址，从*SIL*端子左移入全循环序列"00110"就行了。

可以按任何次序排列多个行冗余控制电路*ROW*—*RED*—*CTRL*。它们可能按图52中所示的由全循环序列生成的次序排列或者可能按高位地址的增加次序(*ROW*—*RED*—*CTRL*0，1，2，3)的次序排列。

图 53 表示本发明的第四十四实施方式的地址分配电路。在图 53 中用相同 的符号表示和图 50*A* 所示的第四十二实施方式里的部件具有相同功能的部件。本实施方式的地址分配电路对应地应用在图 7、8、9 或 10 中所示的具有列冗余功能的存储电路里，这是一个和在第四十二实施方式(图 50*A*)中所说明的译码器相同的 2 输入 4 输出译码器 116(列译码器 )。并且在译码器 116 和外部位线 *OBL*1 至 *OBL*4 之间连接了一个列选择器 117。

在本实施方式里，当对外部字线 *OWL*1 至 *OWL*4 进行递增即按 *OWL*1—*OWL*2—*OWL*3—*OWL*4 的次序对这些字线定址时，(本地址分配电路)通过从 *SIR* 端子右移位执行把“00110”移位到全循环串行数据 115 里。这时，地址 (*AY*1，*AY*0)按“00”、“10”、“11”、“01”的次序改变。在十进制表达下 ，这意味着地址按 *NO*. 0、*NO*. 2、*NO*. 3、*NO*. 1 的次序改变 。通过列选择器 117，当规定 *NO*. 0 时第“0”个输出端子 *Y*0 被启动；当规定 *NO*. 2 时第二输出端子 *Y*2 被启动；当规定 *NO*. 3 时第三输出端子被启动；当规定 *NO*. 1 时第一输出端子被启动。借助 *Y*0 选择 *OBL*1；借助 *Y*2 选择 *OBL*2；借助 *Y*3 选择 *OBL*3 并且并助 *Y*1 选择 *OBL*1。

靠这种结构，变得有可能在对 *RAM* 进行冗余电路切换测试时可利用全循环序列施行有效的测试。

具体地，(本结构)产生减少测试信号及测试模式的结果。

当对 外部字线 *OBL*1 至 *OBL*4 进行递减即按 *OWL*4—*OWL*3—*OWL*2—*OWL*1 的次序对这些字线定址时，(地址分配电路)通过从 *SIL* 端子左移位执行把“01100”移位到全循环串行数据输出电路 115 里。这时，地址(*AY*1，*AY*0)按“01”、“11”、“10”、“00”的次序

改变。在十进制表达下，这意味着地址按 *NO.* 1、*NO.* 3、*NO.* 2、*NO.* 0 的次序改变。结果，实现了递减定址 。当不需要递减定址时，不必采用任何双向串行移位寄存器或双向扫描路径电路。

（1）在第一实施方式、第二实施方式、第三实施方式、第四实施方式、第二十实施方式、第二十六实施方式、第二十七实施方式、第二十 八实施方式和第二十九实施方式里 ，其中控制存储单元 *C*11 至 *C*14 是带有复位功能的，但也可以用不带复位功能的控制存储单元来代替。在该情况下通过当启动字线 *RWL*1 时从外部位线 *OBL*1 至 *OBL*4 向所有的控制存储单元 *R*11 至 *R*41 写入“0”进行复位。在复位之后，所有的选择器切换到输入“0”侧，从而分别建立了第一外部位线 *OBL*1 和第一内部位线 *BL*1 之间、第二外部位线 *OBL*2 和第二内部位线 *BL*2 之间 、第三外部位线 *OBL*3 和第三内部位线 *BL*3 之间 、第四外部位线 *OBL*4 和第四内部位线 *BL*4 之间的对应。

并且，在第二实施方式、第三实施方式等中，也可以采用不必明显带有复位功能的控制存储单元 。例如，可以用这种方式设计存储单元本身 使 得 在 接通电源时所有的控制存储单元 *C*11 至 *C*14 可复位到“0”。例如，如果控制存储单元组 17 的各个控制存储单元 *C*11 至 *C*14 例如用晶体管尺寸的变化设计成对数据 “0”、“1”是不对称的，在接通电源时控制存储单元 *C*11 至 *C*14 可以全部复位到“0”。

此外 ，控制存储单元 *C*11 至 *C*14 还可以用能由照射光（紫外线）擦除的可编程 *ROM* (*UVEPROM*)存储单元构造。在本情况下，

可以通过光照射进行复位。

况且，当采用不带有复位功能的存储单元作为第三实施方式里的控制存储单元 *C*11 至 *C*14 时，通过把“0”置在冗余允许信号线 *RED—EN* 上、把选择器组 16 的选择器 *SEL*1 至 *SEL*4 切换到“0”侧、启动字线 *RWL*1 并从外部位线 *OBL*1 至 *OBL*4 把“0”写到控制存储单元 *C*11 至 *C*14 里，从而对各个控制存储单元 *C*11 至 *C*14 的复位成为可能。

而且，当在第四实施方式里采用不带有复位功能的存储单元时，可以通过当字线 *RWL*1、*RWL*2 被启动时从外部位线 *OBL*1 至 *OBL*4 向控制存储单元 *C*11 至 *C*14、*C*21 至 *C*24 写入“0”进行复位。

(2)甚至为不具备各个实施方式里所说明的控制数据生成电路时，只要可获得某些控制数据的写入装置仍有可能通过利用列冗余控制电路或行冗余控制电路完成冗余电路的切换。

例如，通过应用对图 45 的 *RAM* 的扫描路径系统的测试电路，对存储单元阵列 11 的测试变为可能。根据该测试的结果，通过利用扫描路径可以把切换冗余电路的控制数据写入到列冗余控制电路和行冗余控制电路里。在这种情况下，*RAM* 测试的扫描路径动作或写入控制数据变得复杂。从而，通过微控制器或微计算机可以进行这种测试及这种冗余电路的切换。通过用微控制器或微计算机的控制，使得应用高级 *RAM* 测试算法以及提高故障检测速度成为可能，并允许更适当地切换冗余电路。

根据本发明(图 12、15、20、21、22、23、24、25、28、29、31)借助微控制器或微计算机还可以利用带有控制数据生成功能的扫描寄存器控制扫描路径系统的测试电路。

此外，有可能通过扫描路径读出控制存储单元 *C*11 至 *C*14 里的控制数据 *R* 并且压缩这个信息以便把它存储在微控制器或微计算机中的一个里的可编程 *ROM* 里。在接通电源时通过根据该 *ROM* 数据控制扫描路径并且把它重新写到控制存储单元 *C*11 至 *C*14 里，使得有可能在接通电源时不必进行任何复位而完成冗余电路的切换。

（3）尽管在图 7 中所示的第四实施方式里的显示了 2 条字线 *RWL*1、*RWL*2，在采用例如图 1、图 2 和图 3 的冗余度为 1 的列冗余控制电路 12 的情况下仅仅一条字线 *RWL*1 是足够的。

(4)尽管在图 7 中所示的第四实施方式里显示了冗余允许信号线 *RED—EN*，根据例如如图 1、图 2、图 4 所示这种种类的列冗余控制电路 12 该信号是不存在的。

（5）尽管在图 7 中所示的第四实施方式里显示了复位信号线 *RED—RESET*，取决于列冗余控制电路 12 的种类该信号可以不存在，例如在图 1、图 3 或图 4 的电路里采用了不带有复位功能的控制存储单元。

(6)如果，在图 11 所示的第八实施方式里，通过检测内部位线 *BL*1 至 *BL*4 的断线故障进行冗余电路的切换，因此不存在需要对全部与内部位线 *BL*1 至 *BL*4 有关的存储单元 *M*11 至 *M*15、*M*21 至 *M*25、*M*31 至 *M*35、…进行测试。例如，对于图 1 中的第一内部位线 *BL*1 只检测 *M*31 就够了，并且，一般地说，测检离各个选择器 *SEL*1 至 *SEL*4 最远的存储单元 *M*31 至 *M*35 就足够了。

（7）因为在图 14 中所示的第十实施方式和图 15 中所示的第十一实施方式里可以通过串行移位动作移入“0”完成复位。所以可

以去掉输入复位信号 *FF—RESET* 的逻辑积电路 41 。当取消逻辑积电路 41 时，可能采用具有异步或同步复位功能的触发器 46、61。

此外，在第十一实施方式里不需要用于从读出数据输出端子 *XDO<i>* 输出数据的第一触发器 61 的情况下，前级上的两个选择器 51*a*、51*b* 可被去掉。

(8)作为对第三十四实施方式至第三十六实施方式的改进，可以带有图 42(*a*)、(*b*)、(*c*)的所有功能，如图 42(*d*)所示，并且还可以增加一个选择器 10*q* 以对这些功能进行选择。

(9)尽管第四十实施方式被说明为是用第三十四实施方式(图 42(*a*))或第三十五实施方式 (图 42 (*b*))的比较装置 106 作为图 48 中的部件 110 构造的，但是也可以用图 42(*d*)的比较装置 106 来构造。

(10)尽管在图 50*A* 中所示的第四十二实施方式是通过一个采用 2 位输入 4 位输出的例子以对应具有 4 条外部字线 *OWL*1 至 *OWL*4 的存储电路来说明的，但这不是受限制的。例如，也可以采用 4 输入 16 输出型的译码器以对应具有 16 条外部字线 *OWL*1 至 *OWL*16 的存储电路 。例如，把“0001001101011110000”作为全循环序列。

尽管在一个中位移位寄存器里借助该全循环序列的移入而生成的地址按照 “0000 ”— “1000 ”— “1100 ”— “1110”—“1111”—“0111 ”— “1011 ”— “0101”—“1010”—“1101”—“0110”—“0011 ”—“1001”—“0100”—“0010”—“0001”的次序改变，而对应于该地址次序译码器 116 的输出端子从左起按照 *X*0、*X*8、*X*12、*X*14 、*X*15、*X*7、*X*11、*X*5、*X*10、*X*13、*X*6、*X*3、*X*9、*X*4、*X*2、*X*1 的次序排列，并且

这使得有可能容易地执行递增和递减动作。

尽管本发明得到了详细的表示和说明，但上面的说明在各方面上是示意的并且是不受限制的。从而应该理解在不违背本发明的范围的前提下可以产生许多修改和变化。

图. 1

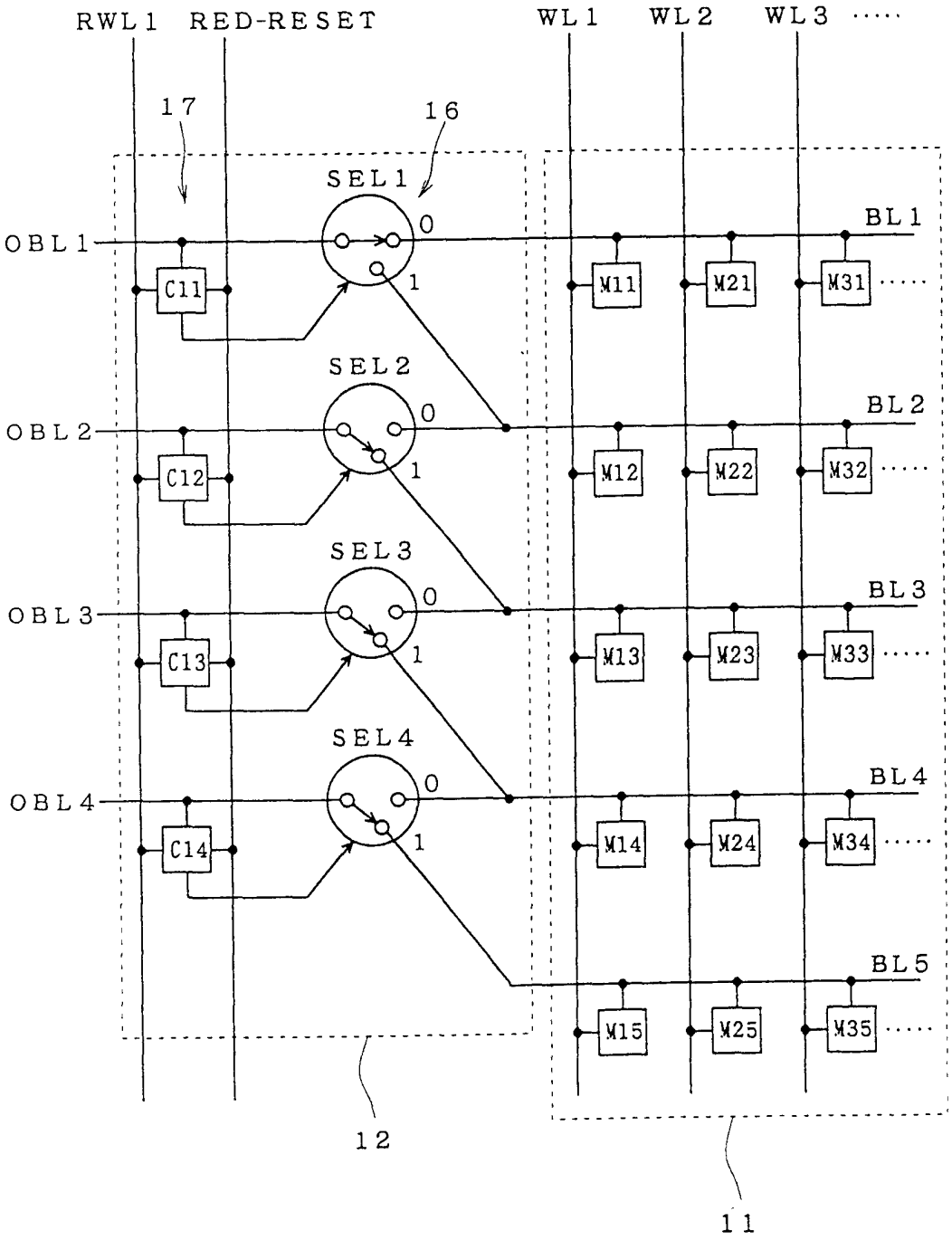

RWL1
RED-RESET
WL1
WL2
WL3 .....
17
16
SEL1
SEL2
SEL3
SEL4
0
1
OBL1
OBL2
OBL3
OBL4
BL1
BL2
BL3
BL4
BL5
C11
C12
C13
C14
M11
M21
M31 .....
M12
M22
M32 .....
M13
M23
M33 .....
M14
M24
M34 .....
M15
M25
M35 .....
12
11

图. 2

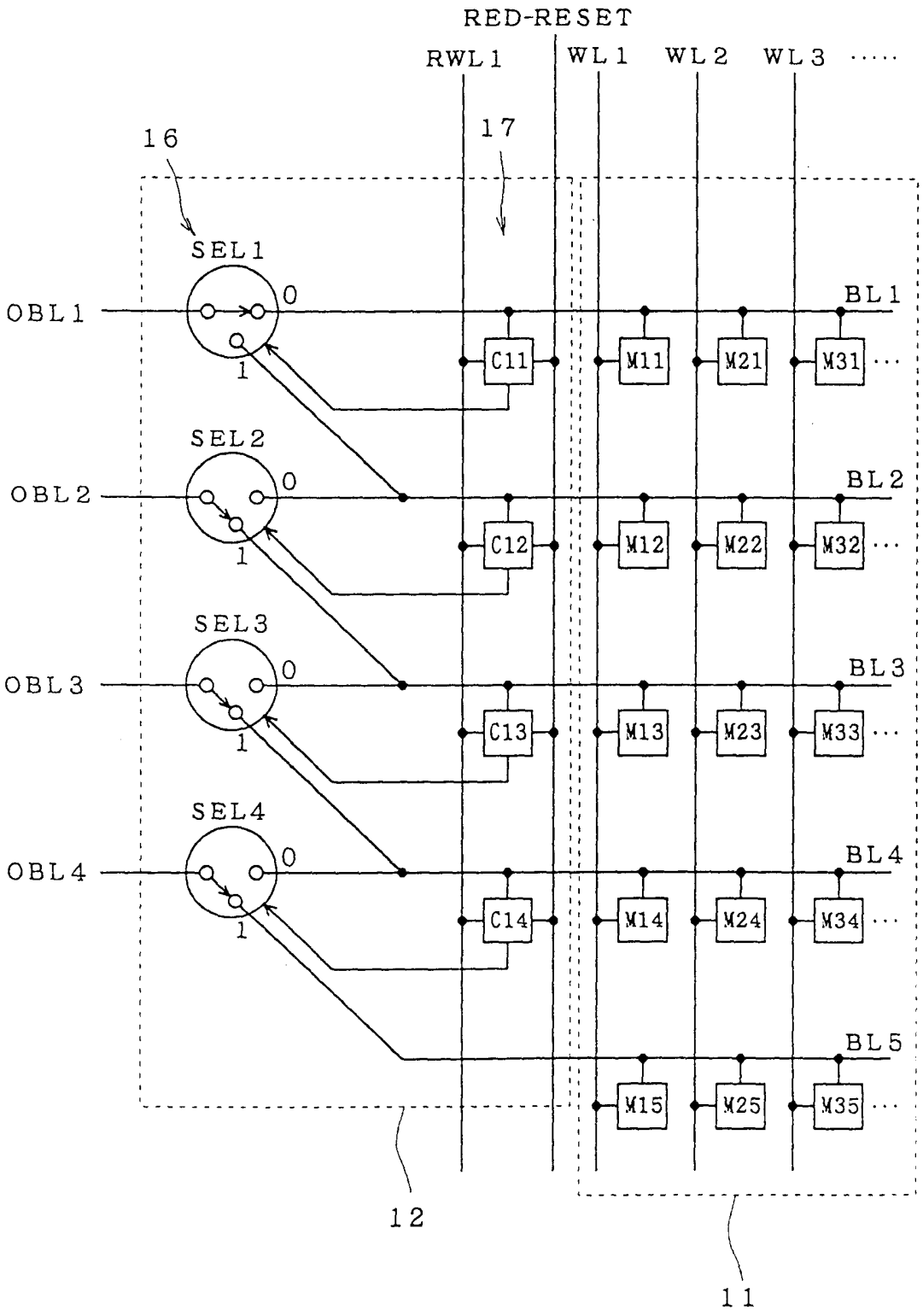

RED-RESET
RWL1
WL1
WL2
WL3
16
17
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
0
1
BL1
BL2
BL3
BL4
BL5
C11
C12
C13
C14
M11
M12
M13
M14
M15
M21
M22
M23
M24
M25
M31
M32
M33
M34
M35
12
11

图. 3

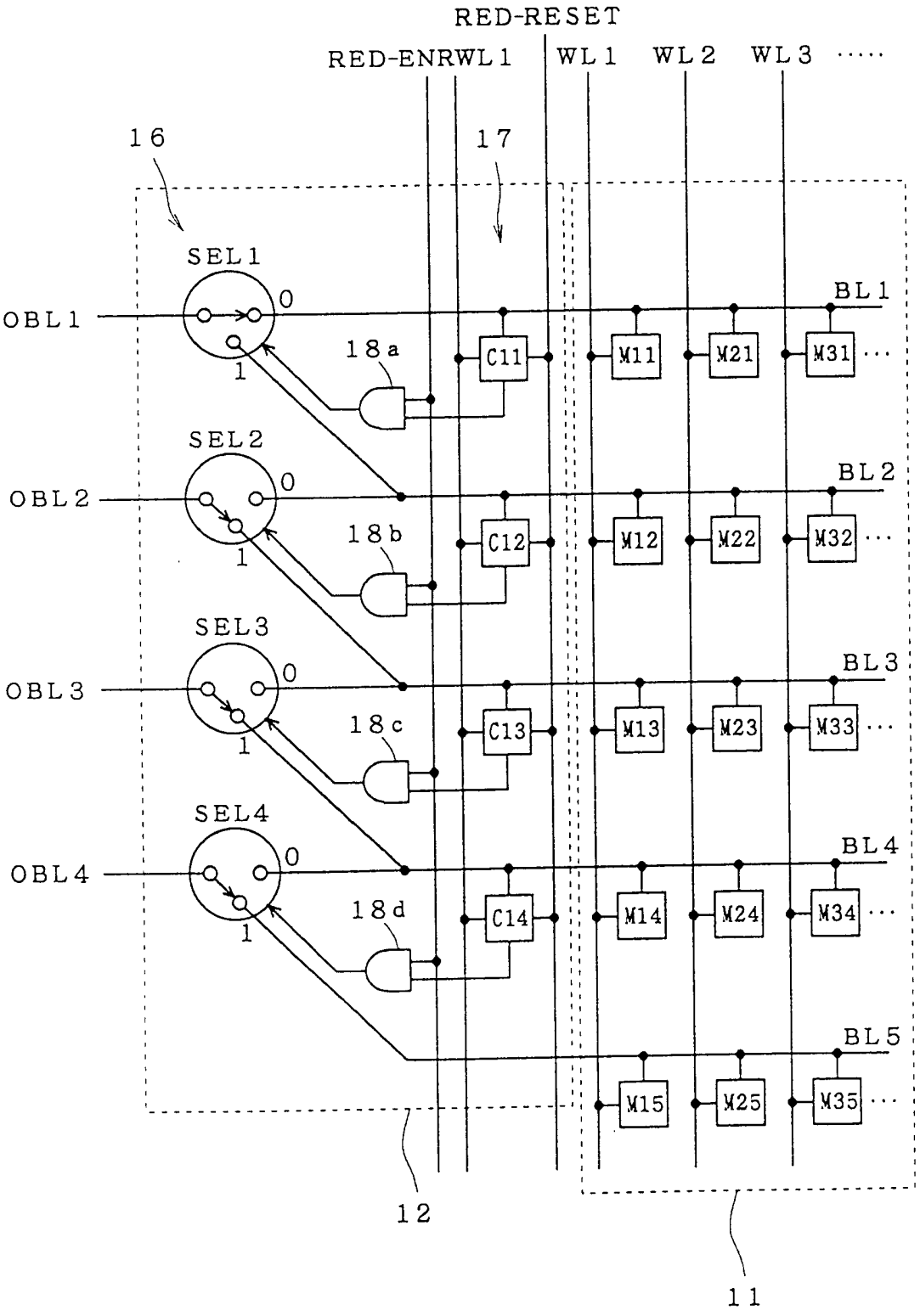

RED-RESET
RED-ENR
WL1
WL1
WL2
WL3
16
17
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
0
1
18a
18b
18c
18d
C11
C12
C13
C14
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
BL1
BL2
BL3
BL4
BL5
12
11

图. 4

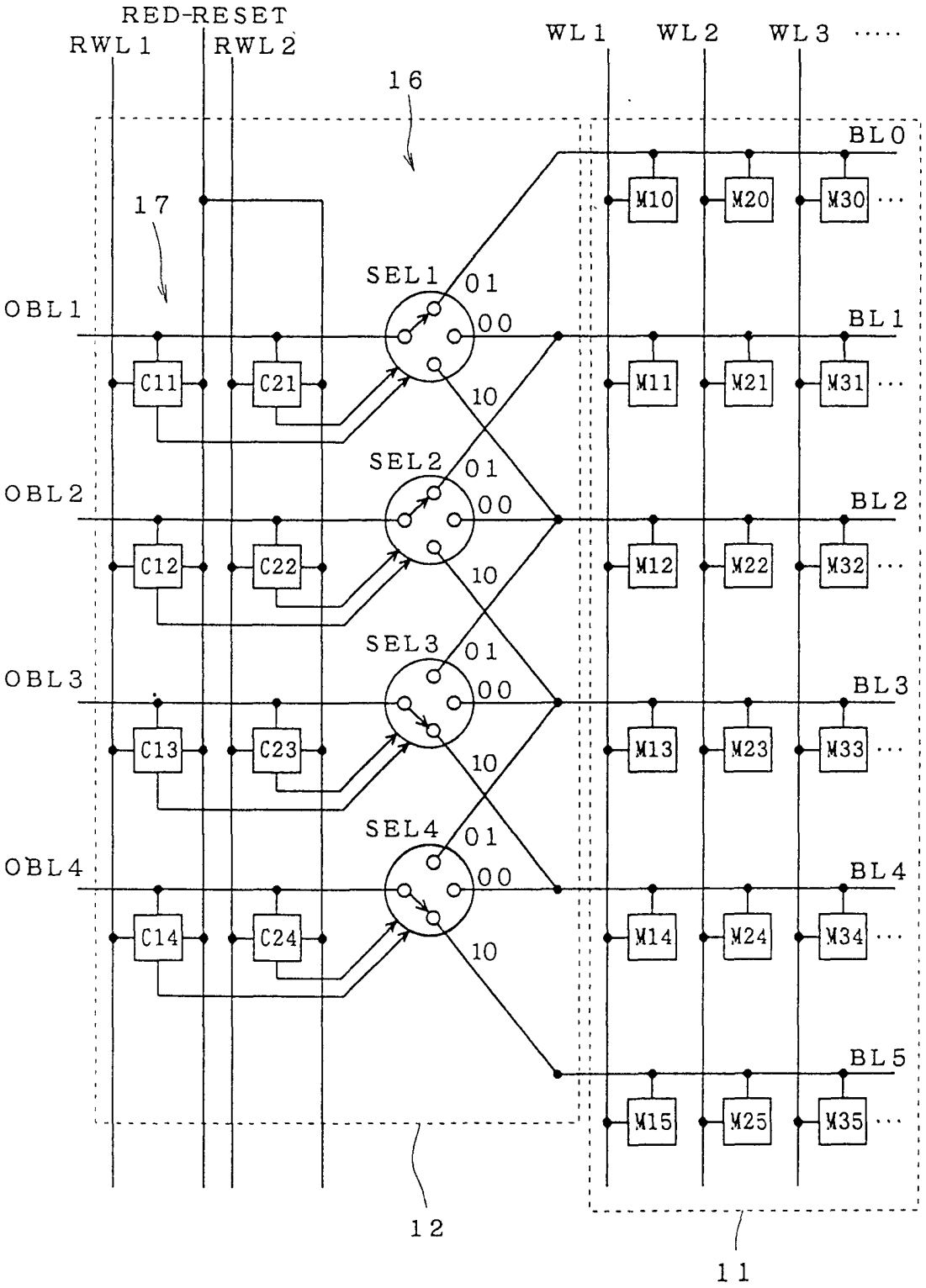

RED-RESET
RWL1
RWL2
WL1
WL2
WL3 ·····
16
17
BL0
BL1
BL2
BL3
BL4
BL5
OBL1
OBL2
OBL3
OBL4
SEL1
SEL2
SEL3
SEL4
01
00
10
M10
M20
M30 ···
M11
M21
M31 ···
M12
M22
M32 ···
M13
M23
M33 ···
M14
M24
M34 ···
M15
M25
M35 ···
C11
C21
C12
C22
C13
C23
C14
C24
12
11

图. 5

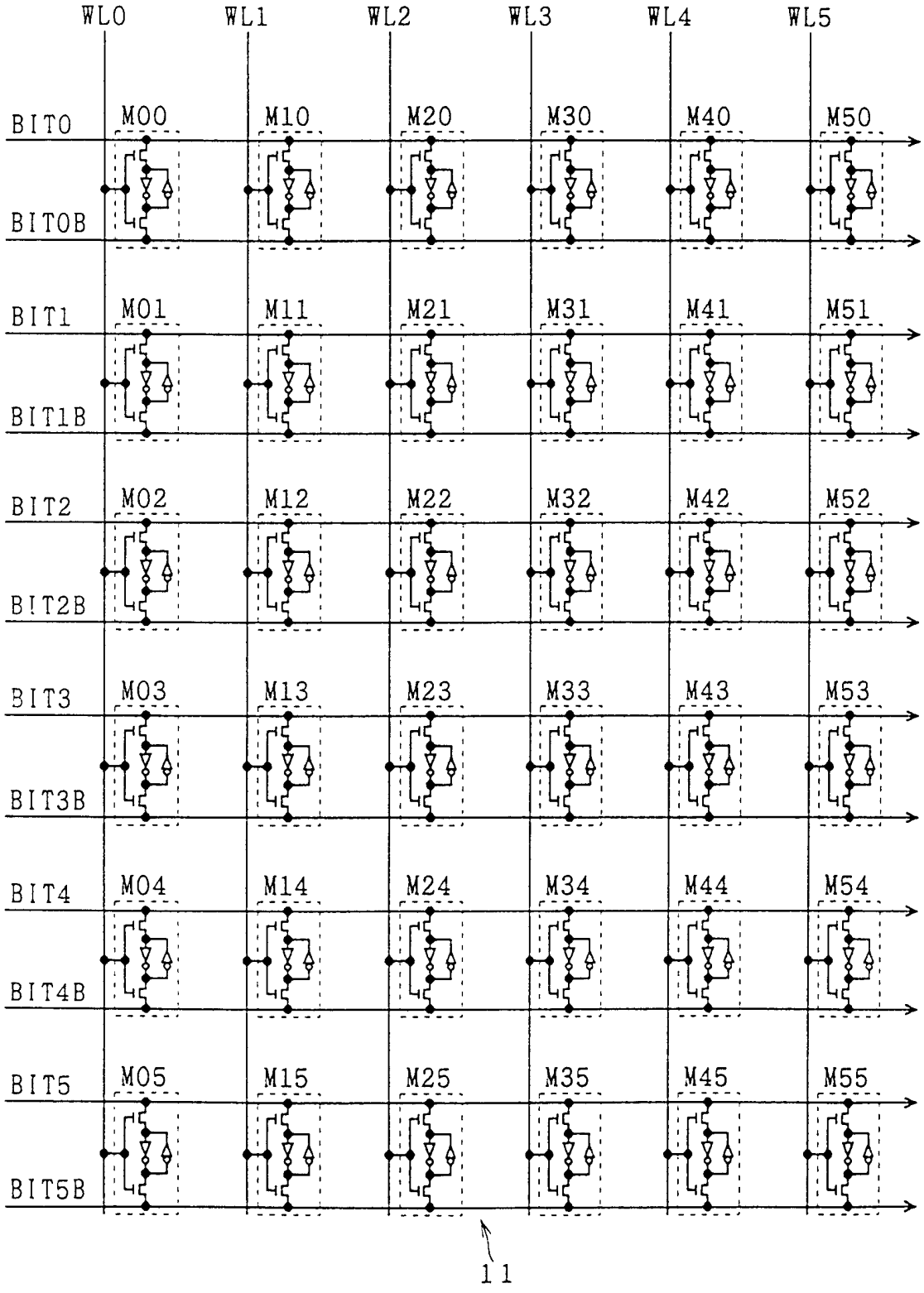

WL0
WL1
WL2
WL3
WL4
WL5
BIT0
BIT0B
BIT1
BIT1B
BIT2
BIT2B
BIT3
BIT3B
BIT4
BIT4B
BIT5
BIT5B
M00
M10
M20
M30
M40
M50
M01
M11
M21
M31
M41
M51
M02
M12
M22
M32
M42
M52
M03
M13
M23
M33
M43
M53
M04
M14
M24
M34
M44
M54
M05
M15
M25
M35
M45
M55
11

图. 6

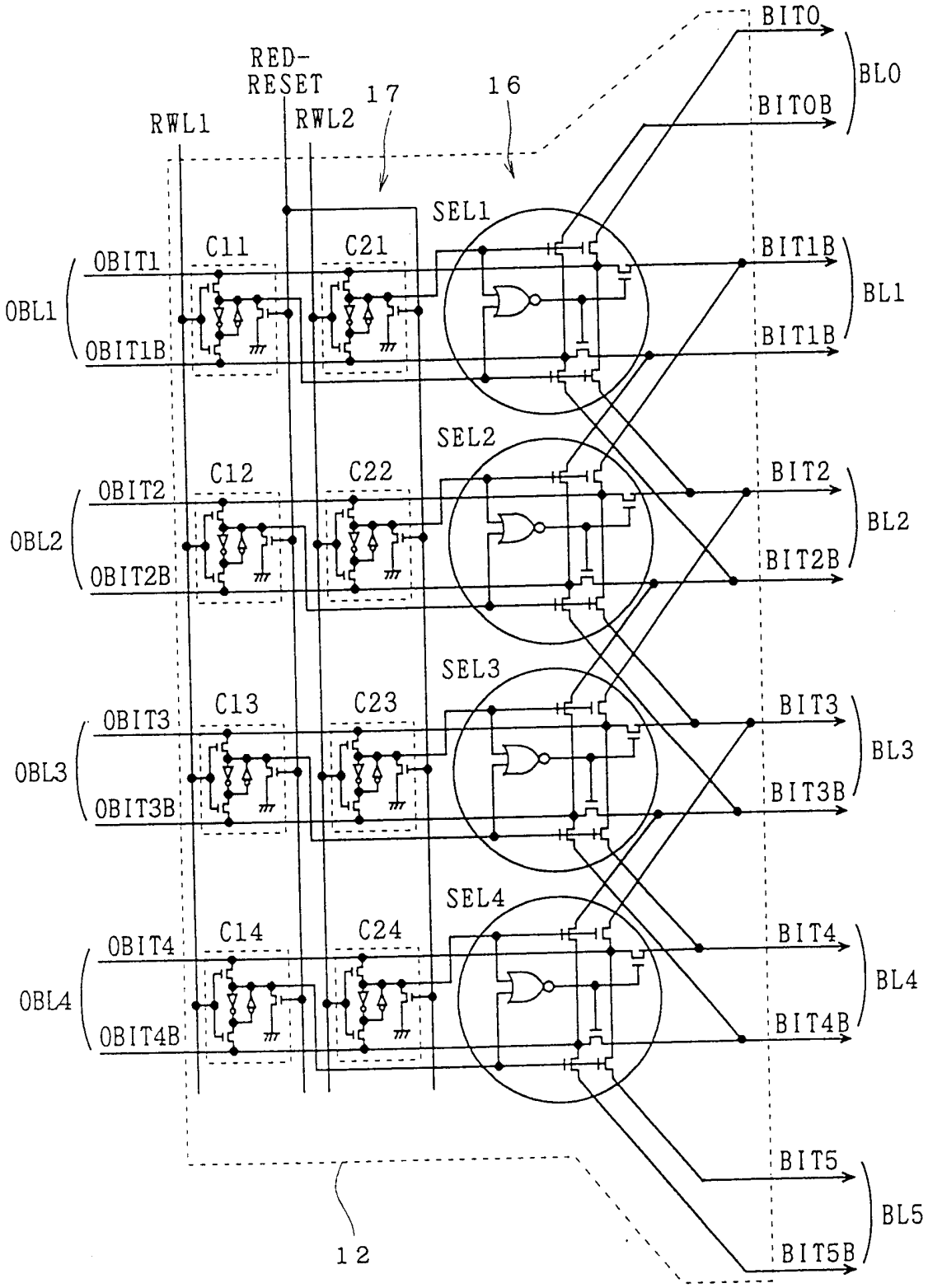

BIT0
BL0
BIT0B
RED-
RESET
RWL1
RWL2
17
16
SEL1
C11
C21
OBIT1
OBL1
OBIT1B
BIT1B
BL1
BIT1B
SEL2
C12
C22
OBIT2
OBL2
OBIT2B
BIT2
BL2
BIT2B
SEL3
C13
C23
OBIT3
OBL3
OBIT3B
BIT3
BL3
BIT3B
SEL4
C14
C24
OBIT4
OBL4
OBIT4B
BIT4
BL4
BIT4B
BIT5
BL5
BIT5B
12

图. 7

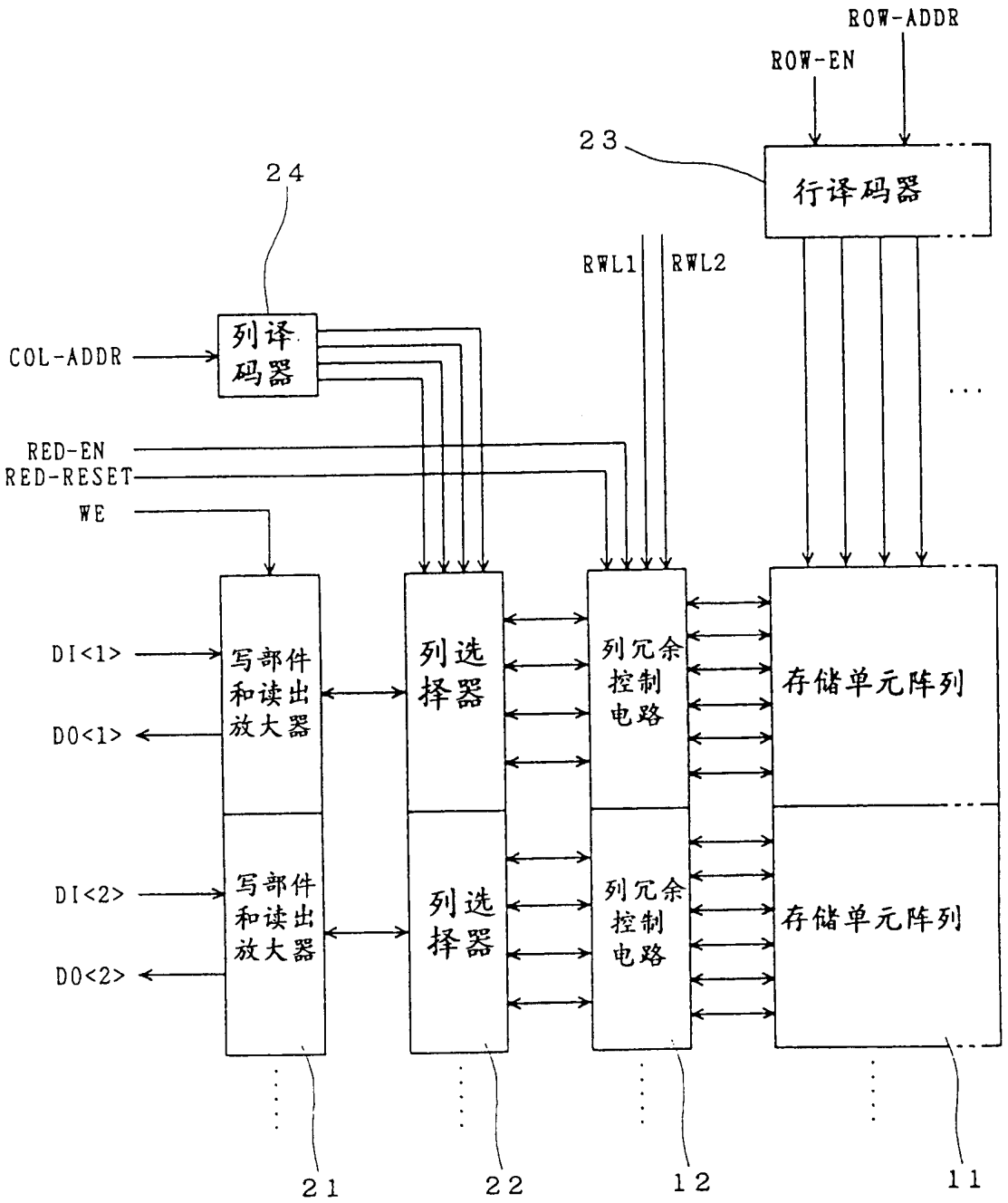

ROW-ADDR
ROW-EN
23
行译码器
24
RWL1
RWL2
列译码器
COL-ADDR
RED-EN
RED-RESET
WE
DI<1>
DO<1>
写部件和读出放大器
列选择器
列冗余控制电路
存储单元阵列
DI<2>
DO<2>
写部件和读出放大器
列选择器
列冗余控制电路
存储单元阵列
21
22
12
11

图. 8

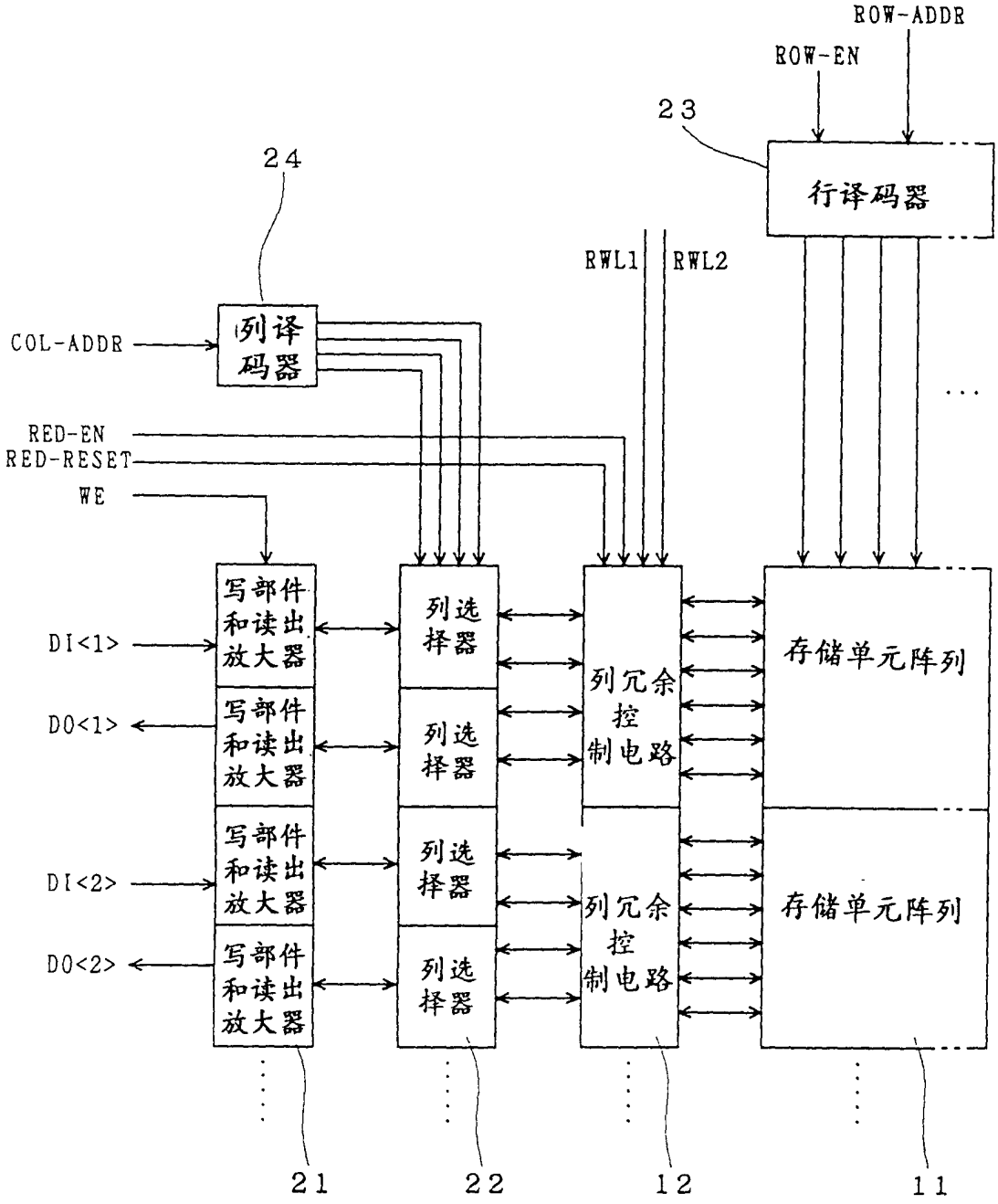

ROW-ADDR
ROW-EN
23
24
行译码器
RWL1
RWL2
COL-ADDR
列译码器
RED-EN
RED-RESET
WE
DI<1>
DO<1>
DI<2>
DO<2>
写部件和读出放大器
列选择器
列冗余控制电路
存储单元阵列
21
22
12
11

图. 9

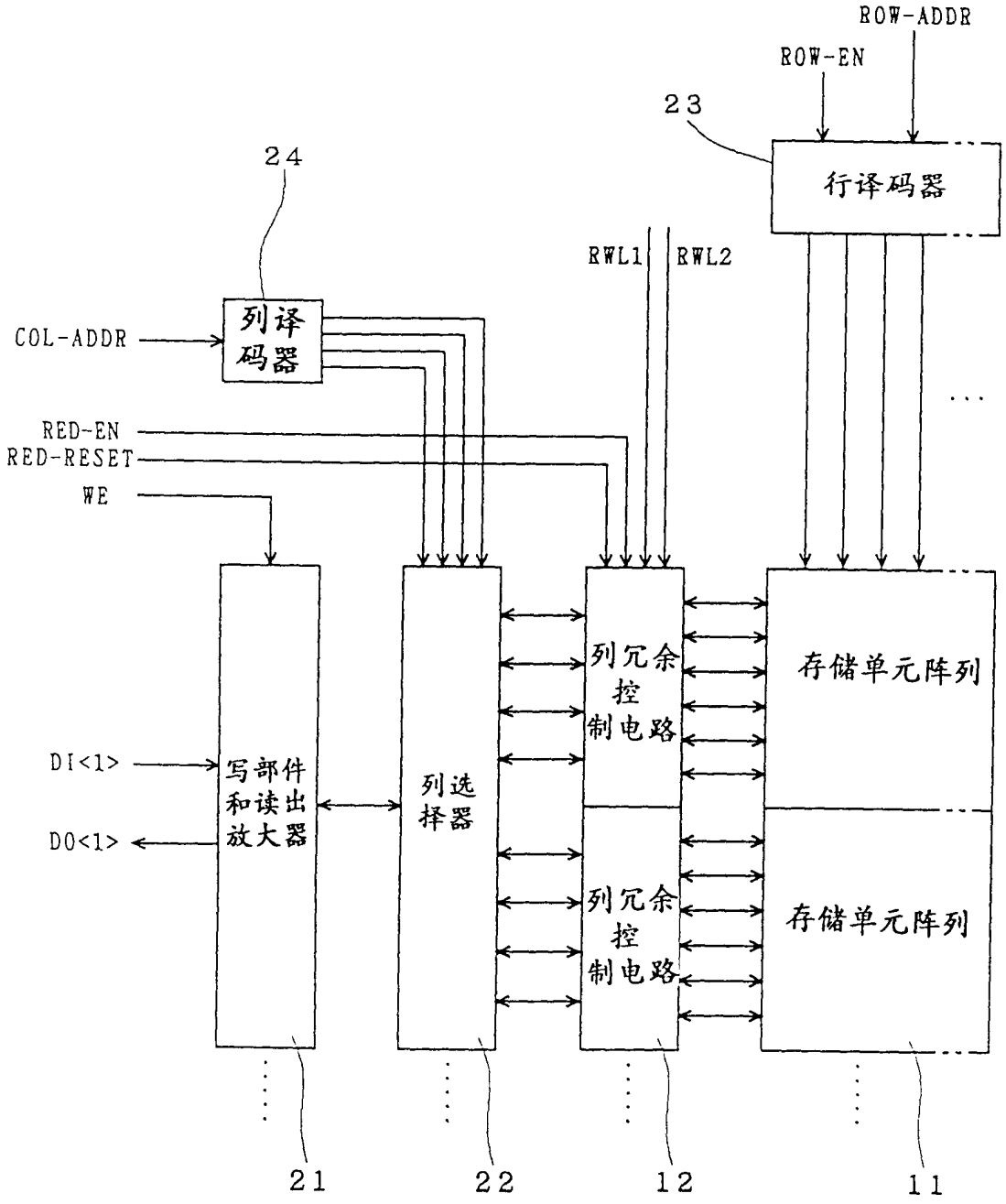

ROW-ADDR
ROW-EN
23
行译码器
24
列译码器
COL-ADDR
RWL1
RWL2
RED-EN
RED-RESET
WE
DI<1>
DO<1>
写部件和读出放大器
列选择器
列冗余控制电路
列冗余控制电路
存储单元阵列
存储单元阵列
21
22
12
11

图. 10

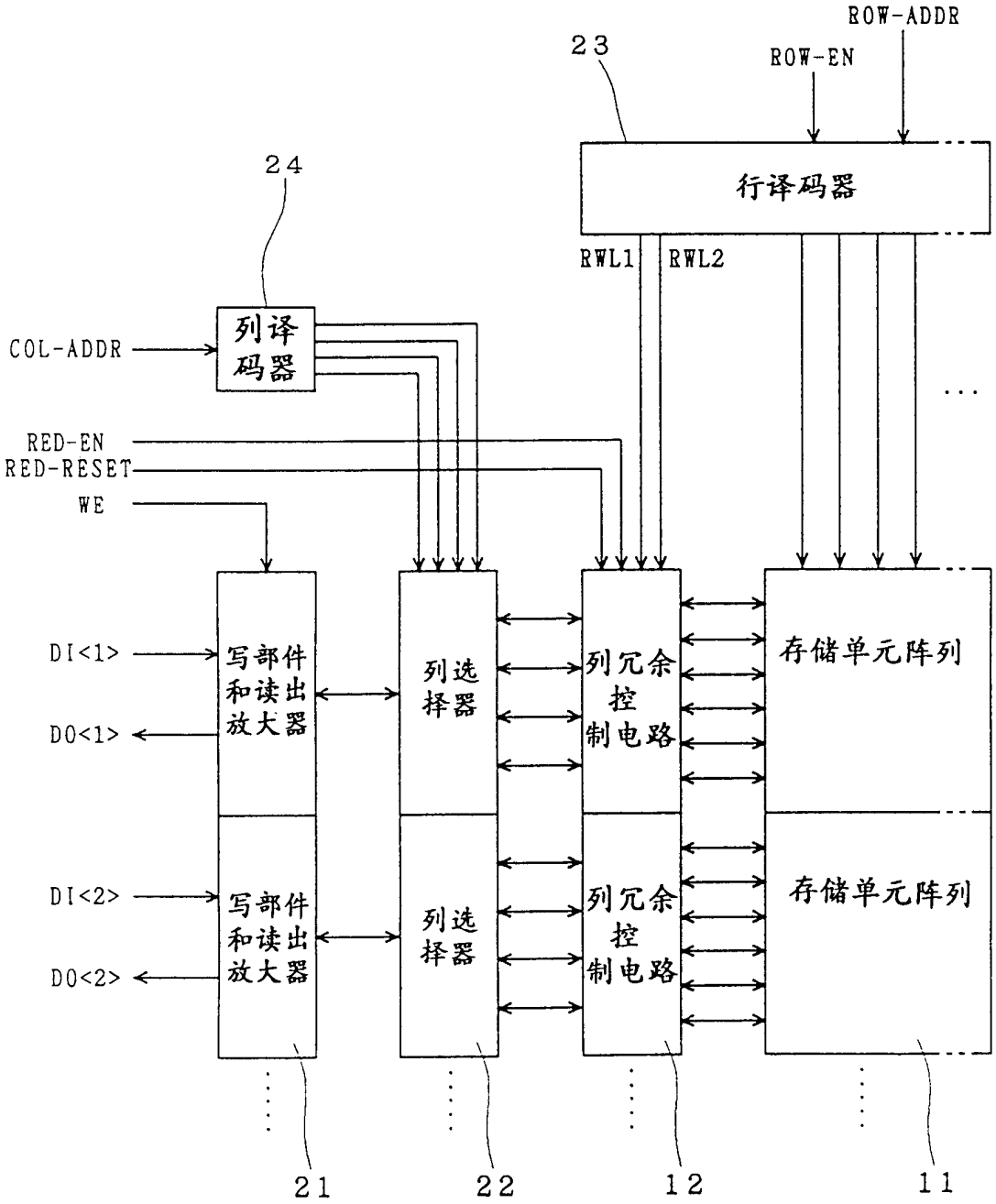

ROW-ADDR
23
ROW-EN
行译码器
24
RWL1
RWL2
列译码器
COL-ADDR
RED-EN
RED-RESET
WE
DI<1>
DO<1>
写部件和读出放大器
列选择器
列冗余控制电路
存储单元阵列
DI<2>
DO<2>
写部件和读出放大器
列选择器
列冗余控制电路
存储单元阵列
21
22
12
11

图. 11

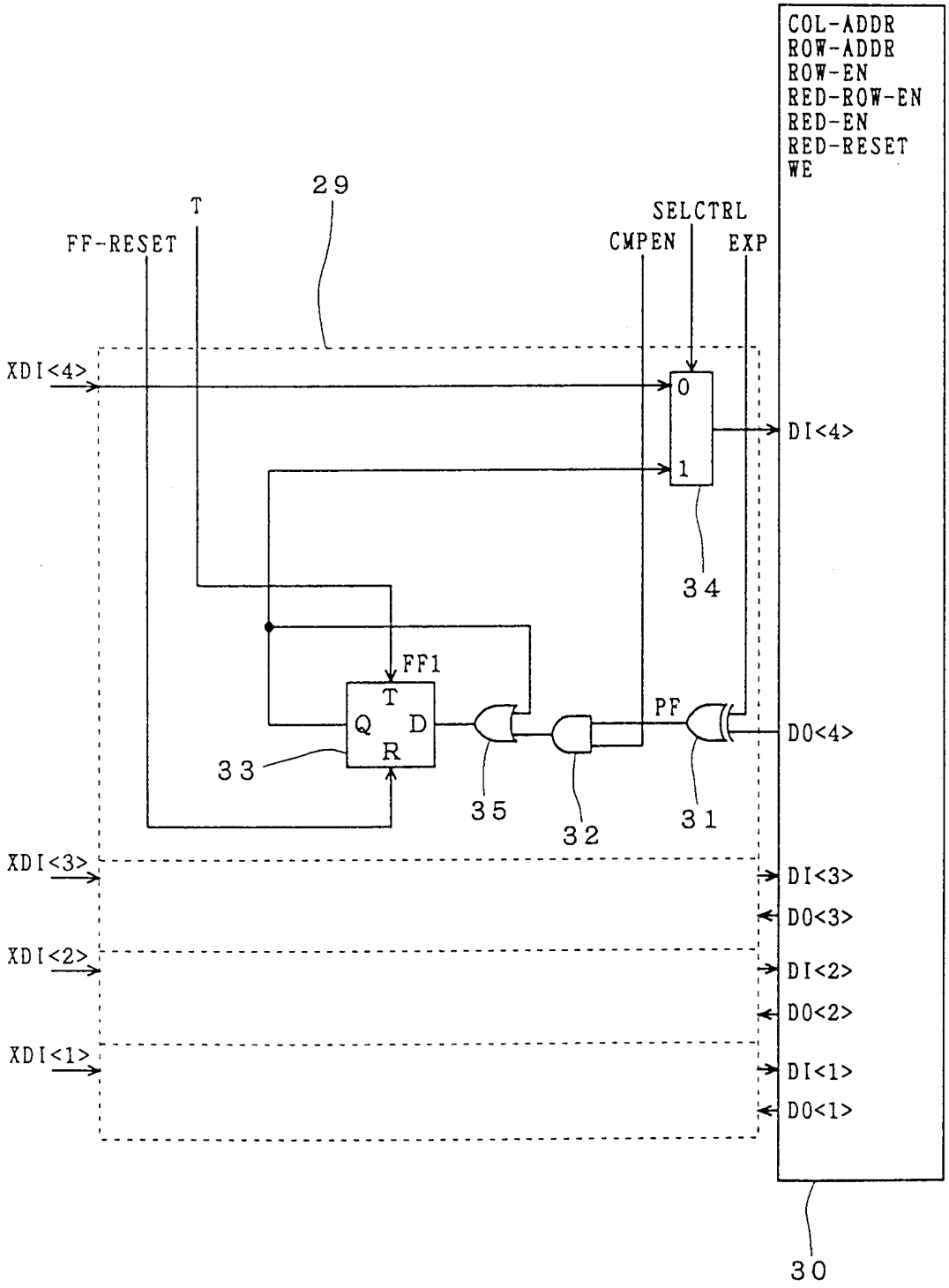

COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET
WE
29
T
FF-RESET
SELCTRL
CMPEN
EXP
XDI<4>
0
1
DI<4>
34
FF1
T
Q
D
R
PF
DO<4>
33
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
30

图. 12

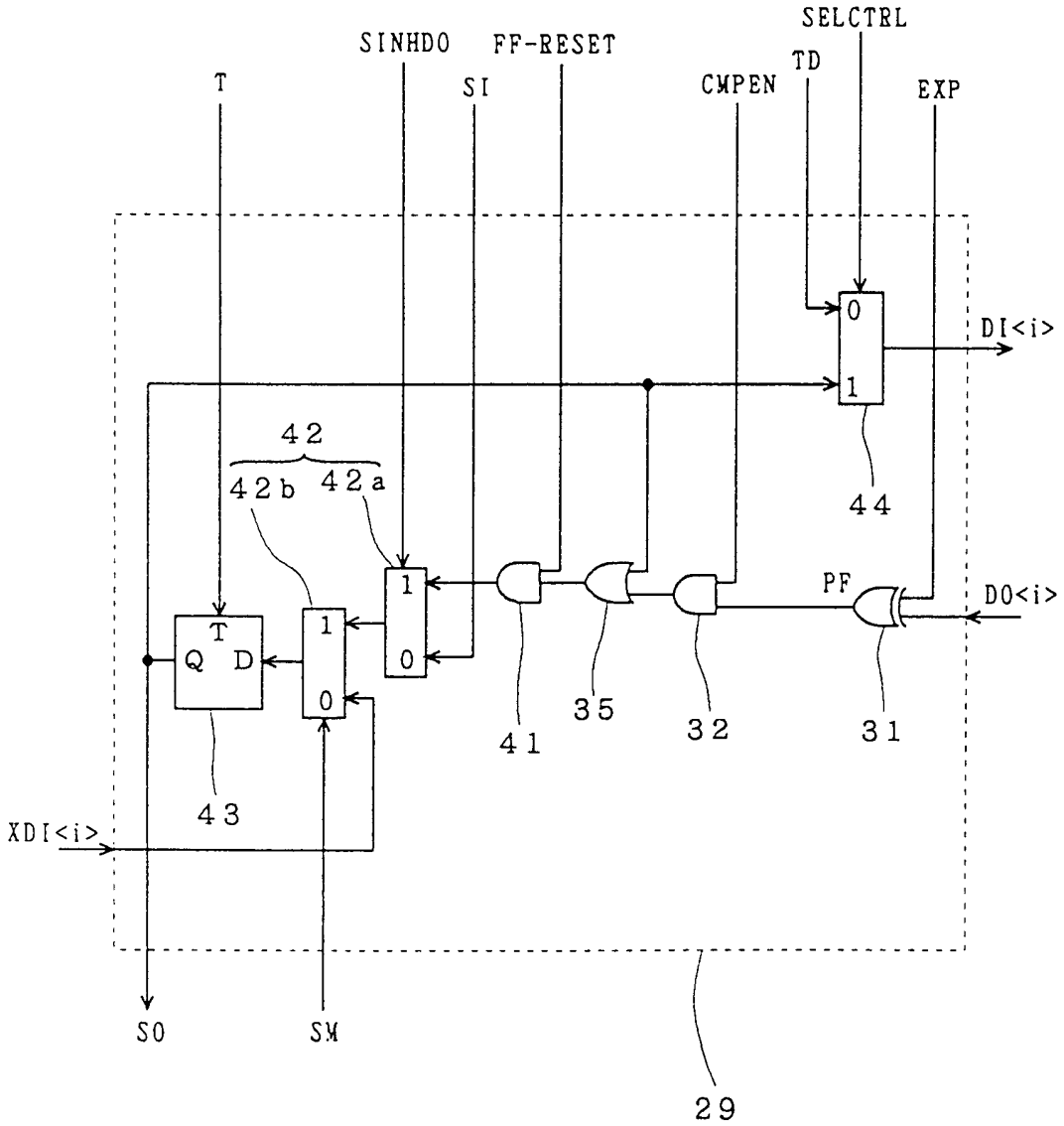

SELCTRL
SINHDO
FF-RESET
TD
T
SI
CMPEN
EXP
DI<i>
0
1
44
42
42b
42a
1
0
T
Q
D
1
0
PF
DO<i>
41
35
32
31
43
XDI<i>
SO
SM
29

图. 13

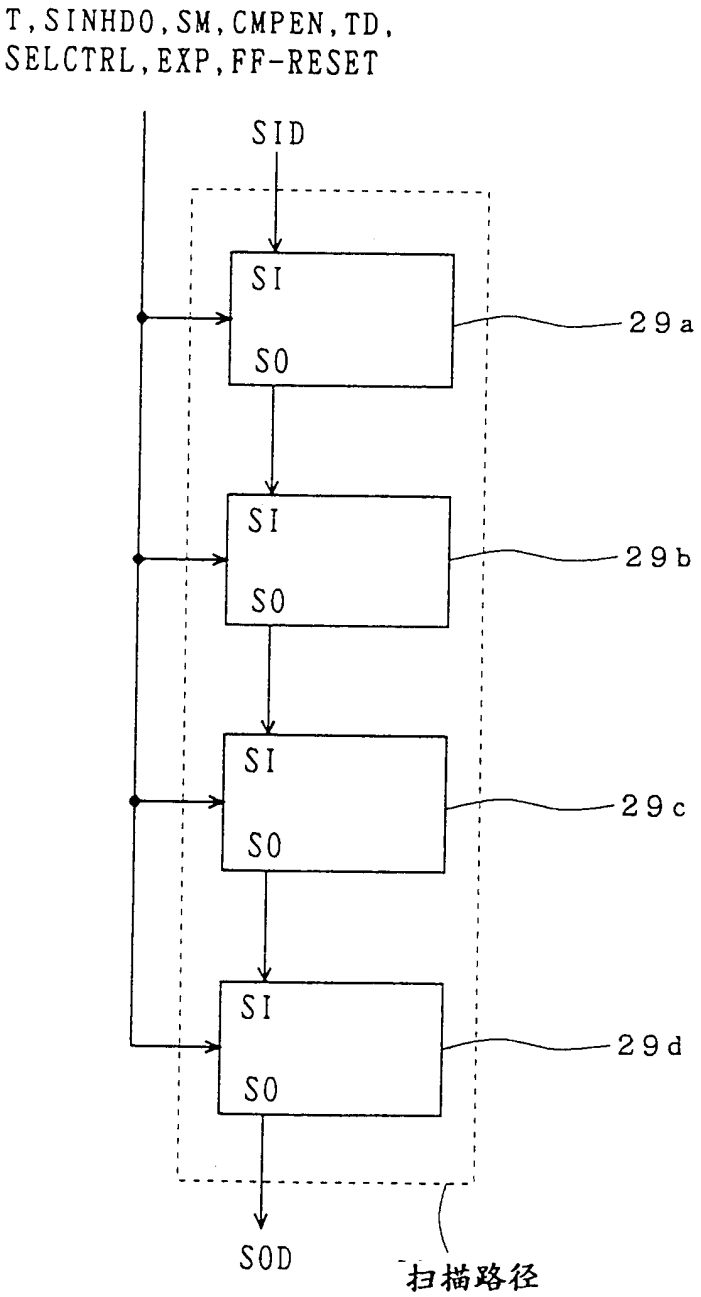

T,SINHDO,SM,CMPEN,TD,
SELCTRL,EXP,FF-RESET
SID
SI
SO
29a
SI
SO
29b
SI
SO
29c
SI
SO
29d
SOD
扫描路径

图. 14

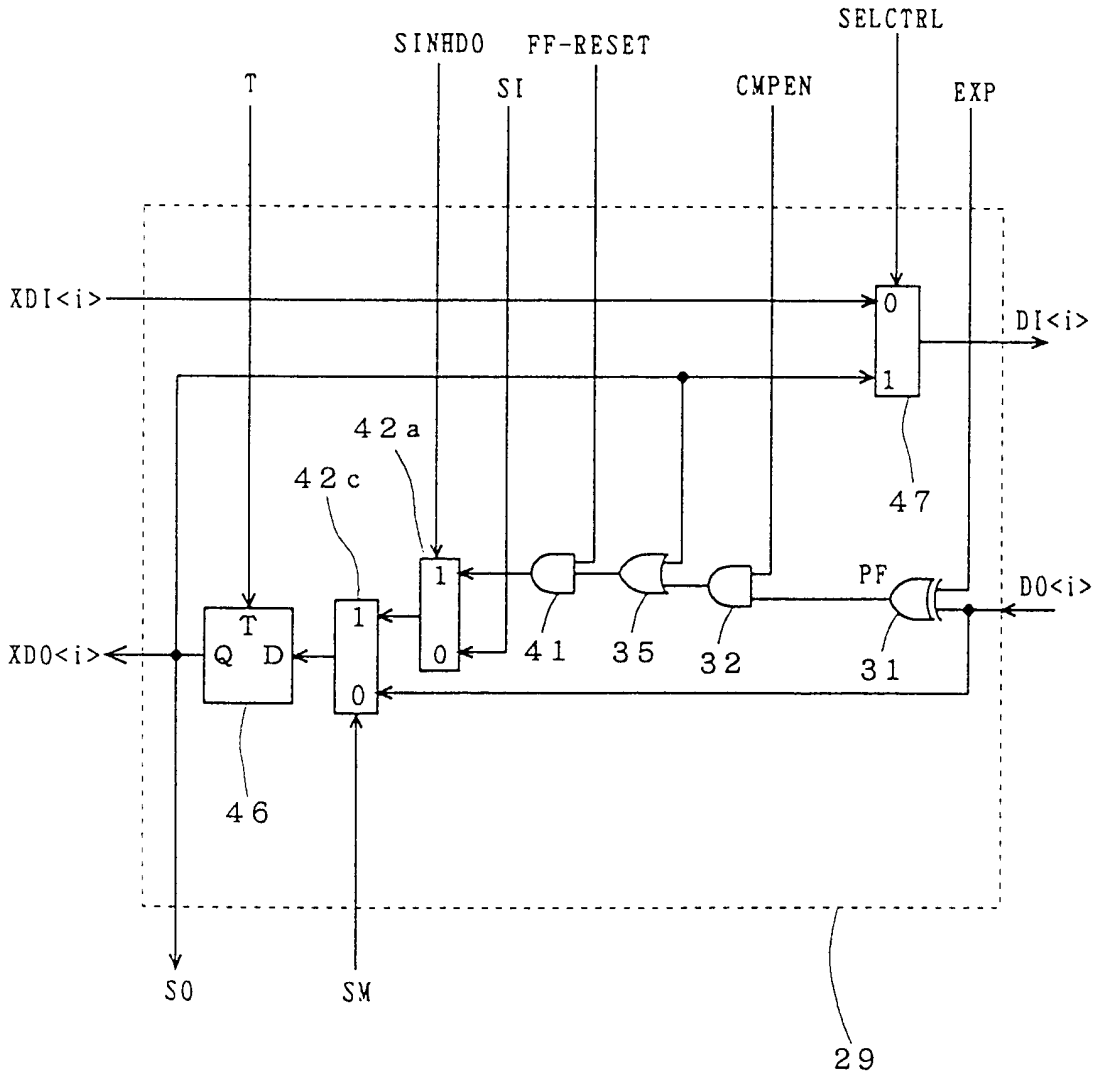

SELCTRL
SINHDO
FF-RESET
T
SI
CMPEN
EXP
XDI<i>
DI<i>
42a
42c
47
PF
DO<i>
XDO<i>
41
35
32
31
46
SO
SM
29

图. 15

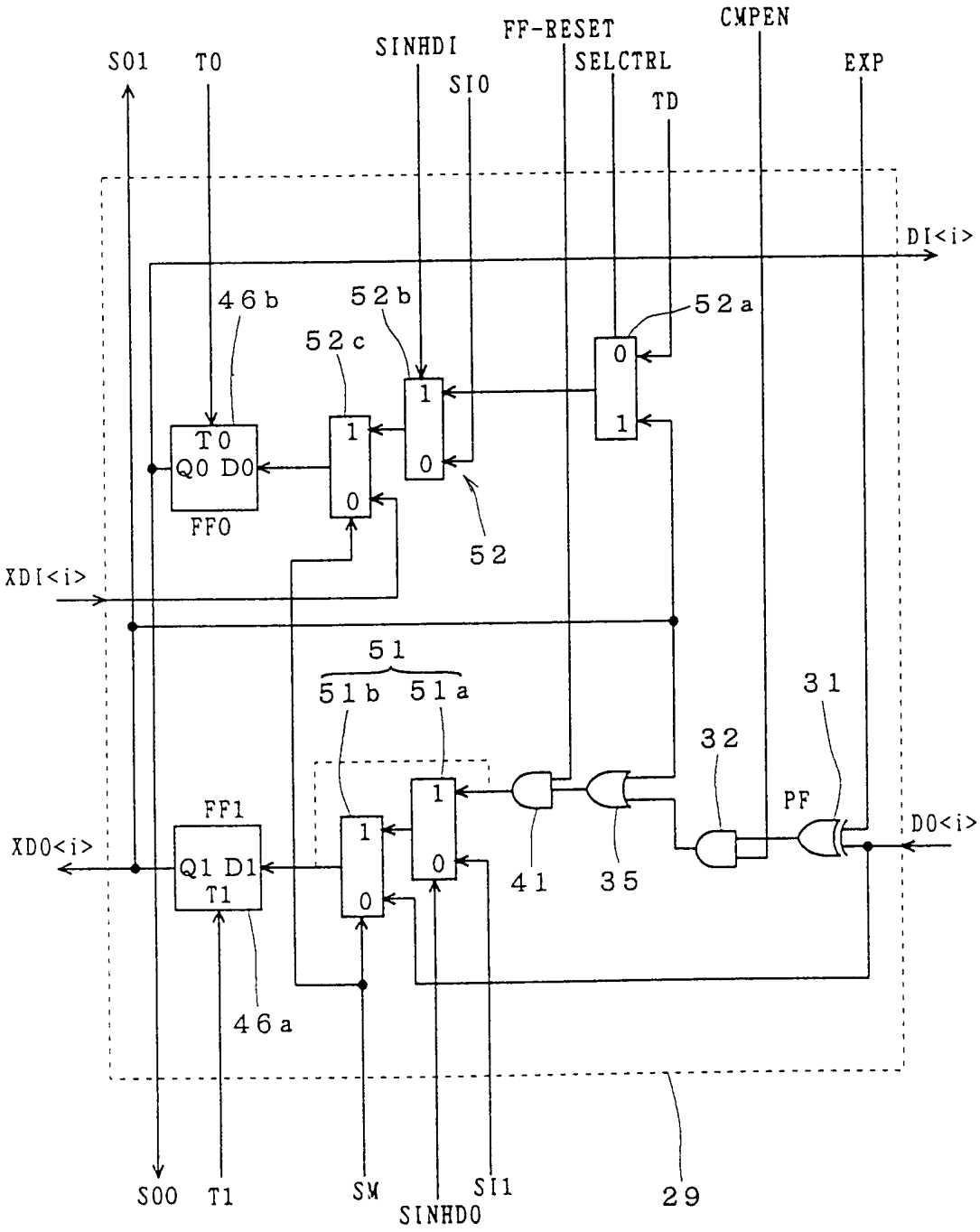

S01
T0
SINHDI
SI0
FF-RESET
SELCTRL
TD
CMPEN
EXP
DI<i>
46b
52b
52c
52a
T0
Q0 D0
FF0
52
XDI<i>
51
51b
51a
31
32
FF1
XD0<i>
Q1 D1
T1
PF
D0<i>
41
35
46a
S00
T1
SM
SINHD0
SI1
29

图. 16

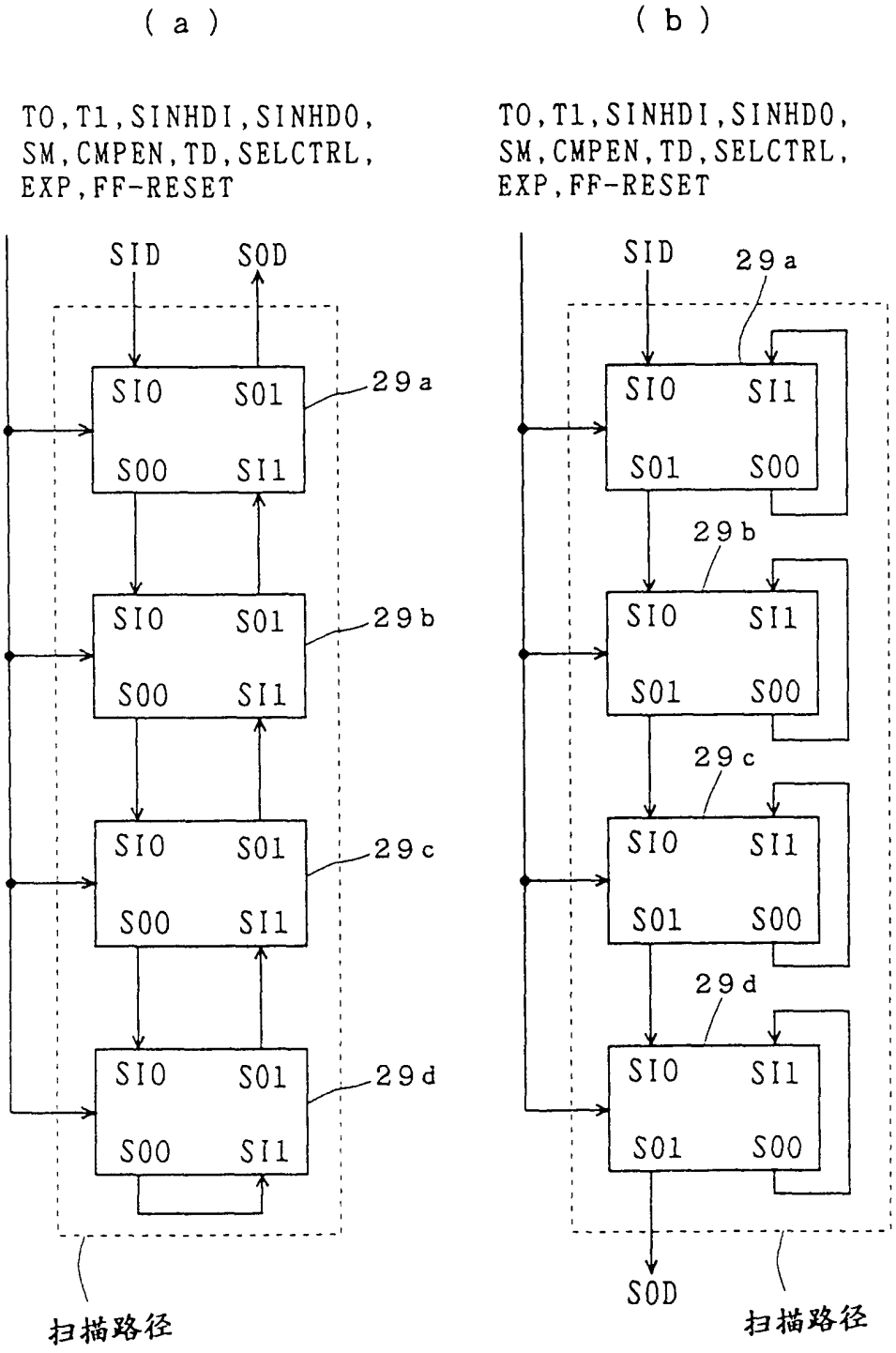

( a )
TO,T1,SINHDI,SINHDO,
SM,CMPEN,TD,SELCTRL,
EXP,FF-RESET
SID
SOD
SIO
SO1
SO0
SI1
29a
29b
29c
29d
扫描路径
( b )
TO,T1,SINHDI,SINHDO,
SM,CMPEN,TD,SELCTRL,
EXP,FF-RESET
SID
29a
SIO
SI1
SO1
SO0
29b
29c
29d
SOD
扫描路径

图. 17

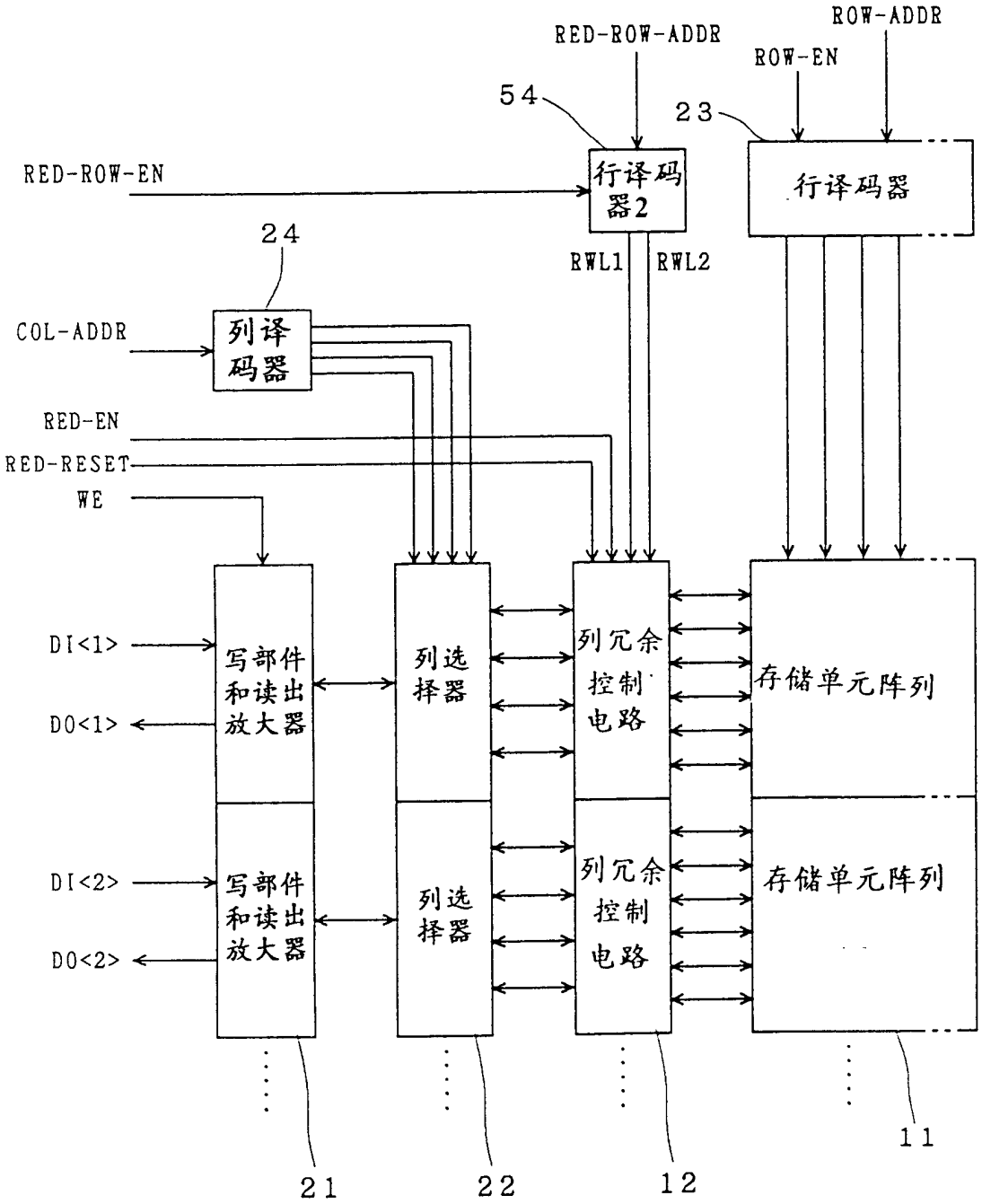

RED-ROW-ADDR
ROW-ADDR
ROW-EN
54
23
RED-ROW-EN
行译码器2
行译码器
24
RWL1
RWL2
COL-ADDR
列译码器
RED-EN
RED-RESET
WE
DI<1>
DO<1>
写部件和读出放大器
列选择器
列冗余控制电路
存储单元阵列
DI<2>
DO<2>
写部件和读出放大器
列选择器
列冗余控制电路
存储单元阵列
21
22
12
11

图. 18

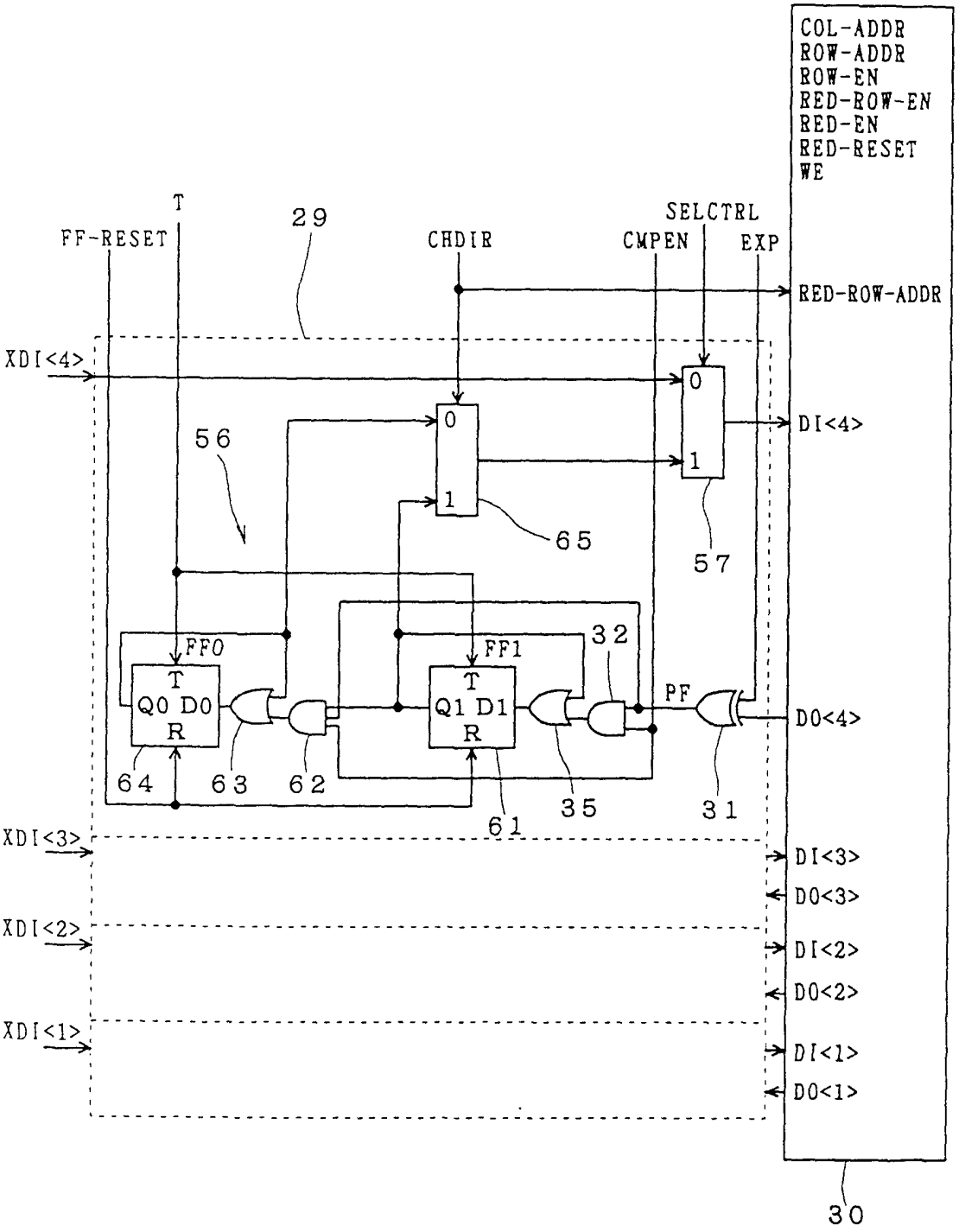

COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET
WE
T
FF-RESET
29
CHDIR
SELCTRL
CMPEN
EXP
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
56
65
57
FF0
FF1
32
T
Q0 D0
R
T
Q1 D1
R
PF
DO<4>
64
63
62
61
35
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
30

图. 19

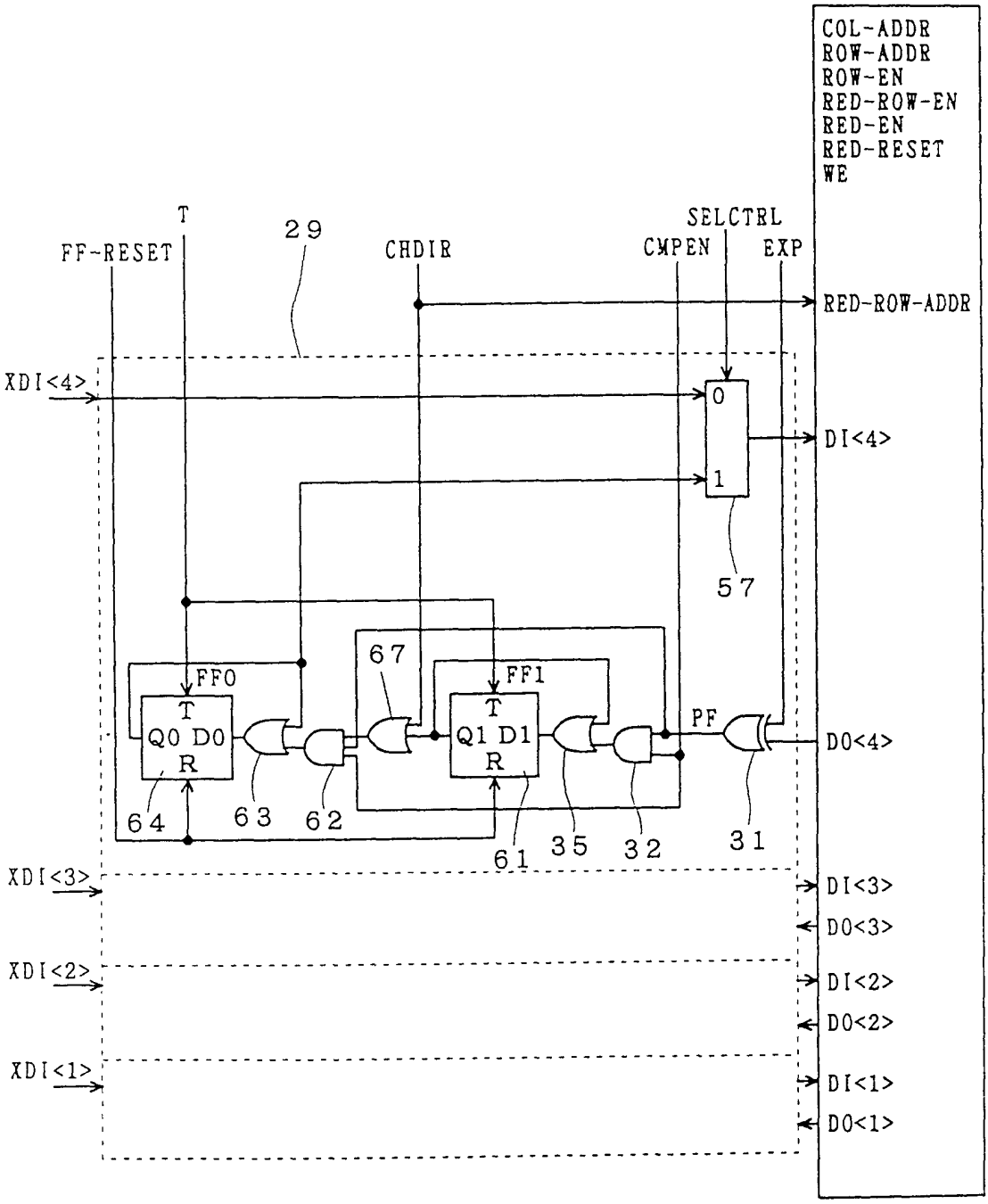

COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET
WE
T
FF-RESET
29
CHDIR
SELCTRL
CMPEN
EXP
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
57
67
FF0
FF1
T
Q0 D0
R
Q1 D1
PF
DO<4>
64
63
62
61
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>

图. 20

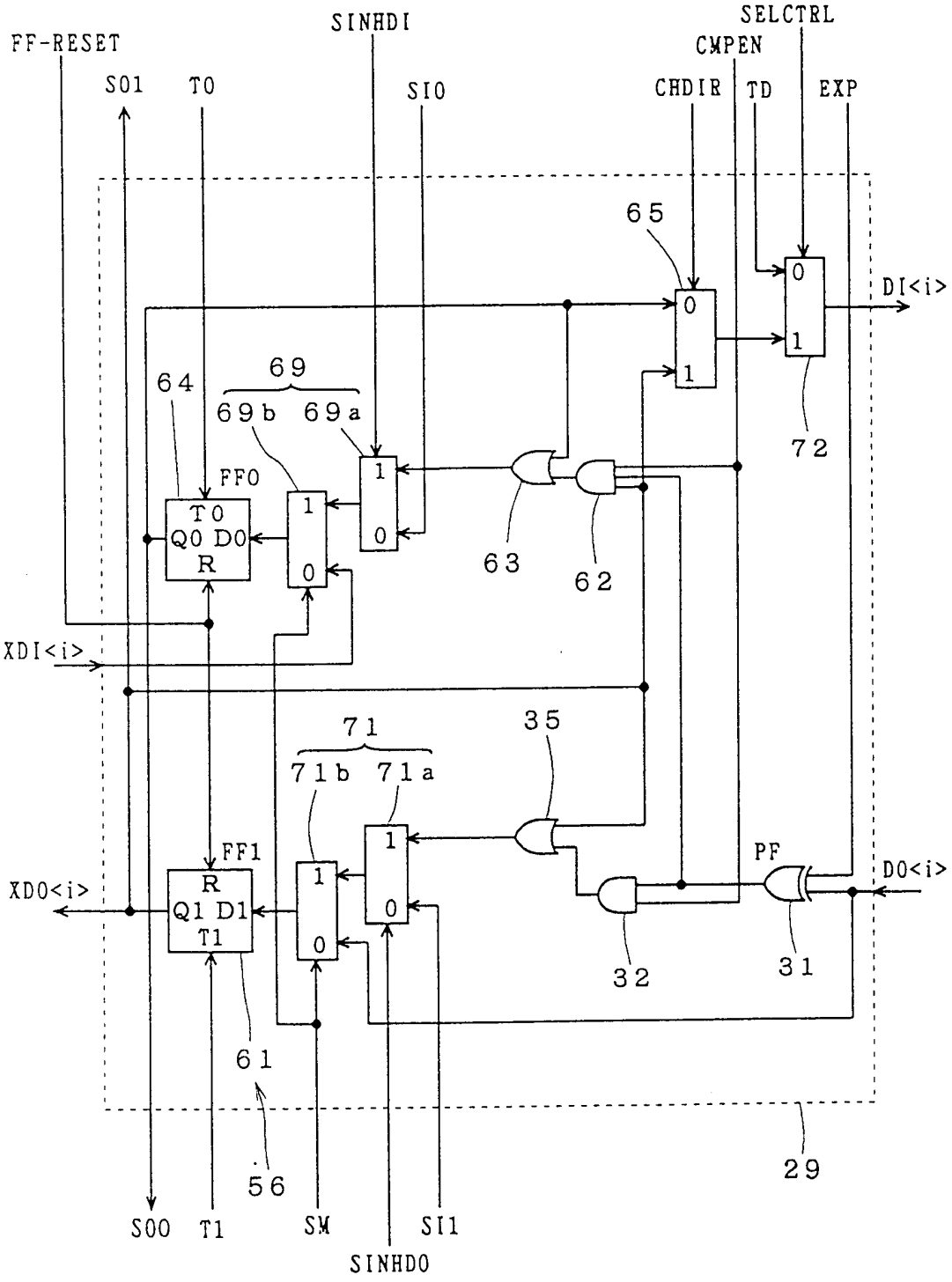

FF-RESET
SINHDI
SELCTRL
CMPEN
S01
T0
SI0
CHDIR
TD
EXP
65
DI<i>
64
69
69b
69a
FF0
T0
Q0 D0
R
72
63
62
XDI<i>
71
71b
71a
35
FF1
R
Q1 D1
T1
PF
DO<i>
XDO<i>
32
31
61
56
29
S00
T1
SM
SI1
SINHDO

图. 21

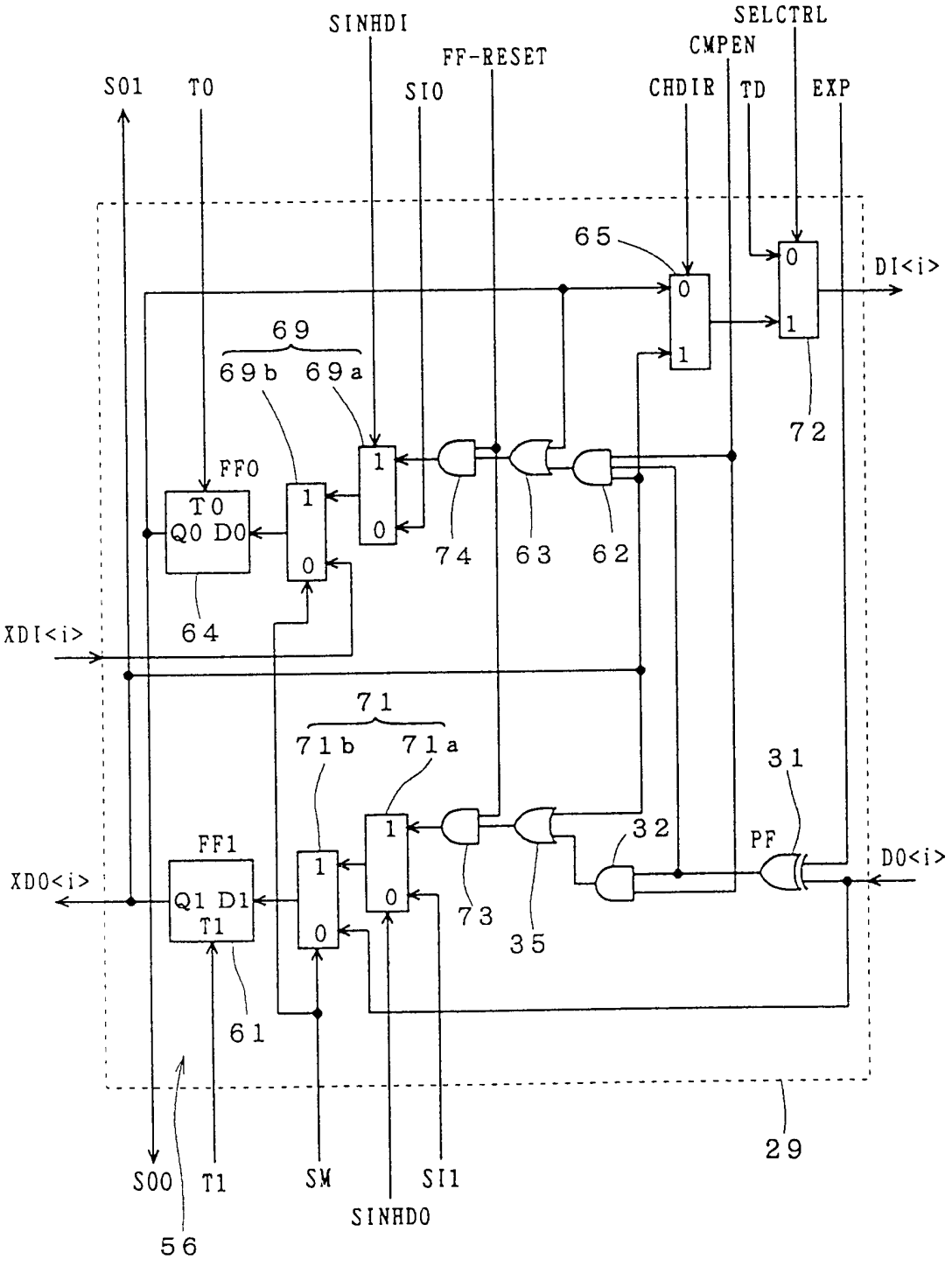

SINHDI
SELCTRL
CMPEN
FF-RESET
S01
T0
SI0
CHDIR
TD
EXP
65
DI<i>
69
69b
69a
72
FF0
T0
Q0 D0
64
74
63
62
XDI<i>
71
71b
71a
31
32
PF
FF1
XD0<i>
Q1 D1
T1
D0<i>
73
35
61
29
S00
T1
SM
SI1
SINHD0
56

图. 22

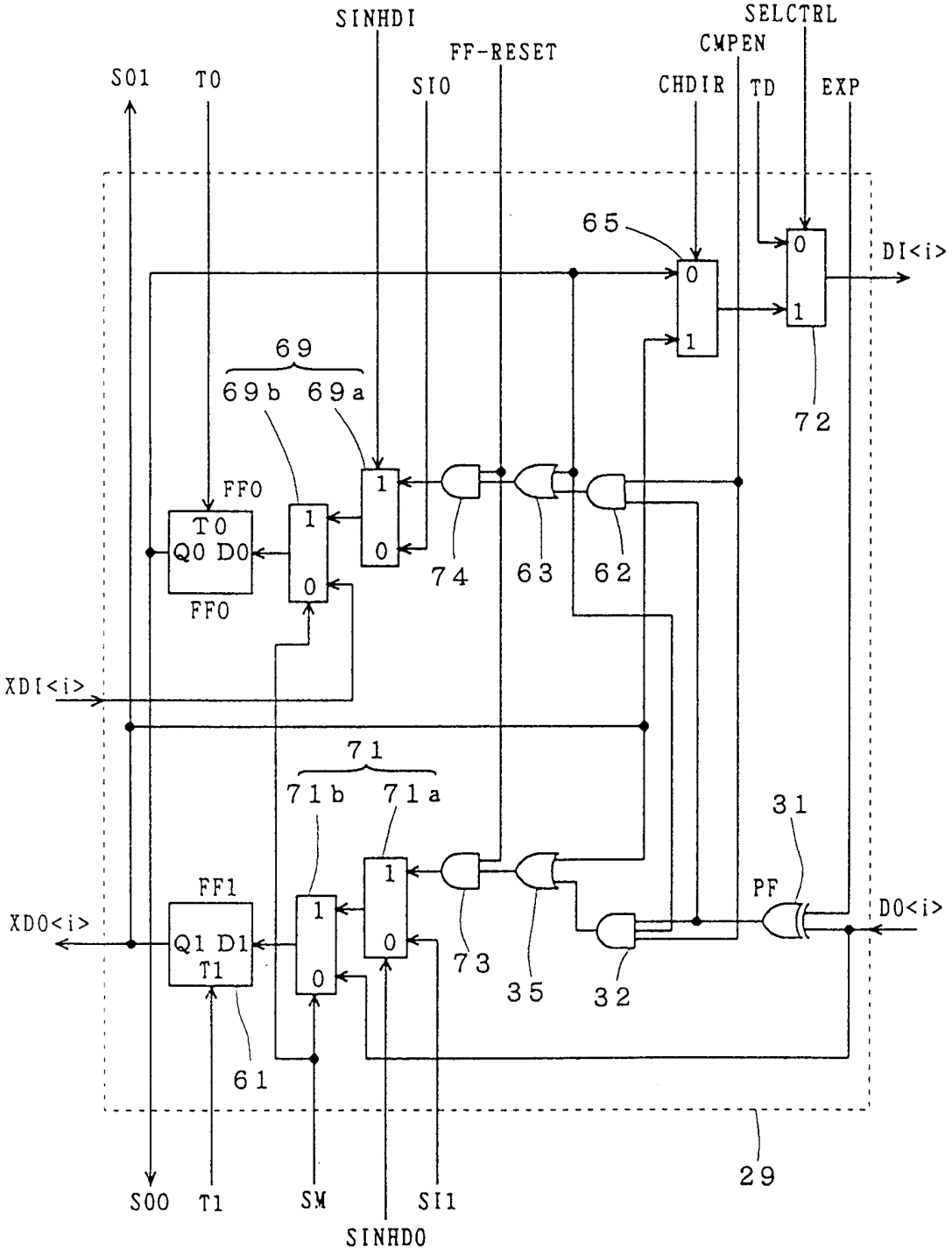

SINHDI
SELCTRL
CMPEN
FF-RESET
S01
T0
SI0
CHDIR
TD
EXP
65
DI<i>
69
69b 69a
72
FF0
T0
Q0 D0
FF0
74
63
62
XDI<i>
71
71b 71a
31
FF1
PF
XD0<i>
Q1 D1
T1
D0<i>
73
35
32
61
29
S00
T1
SM
SI1
SINHD0

图. 23

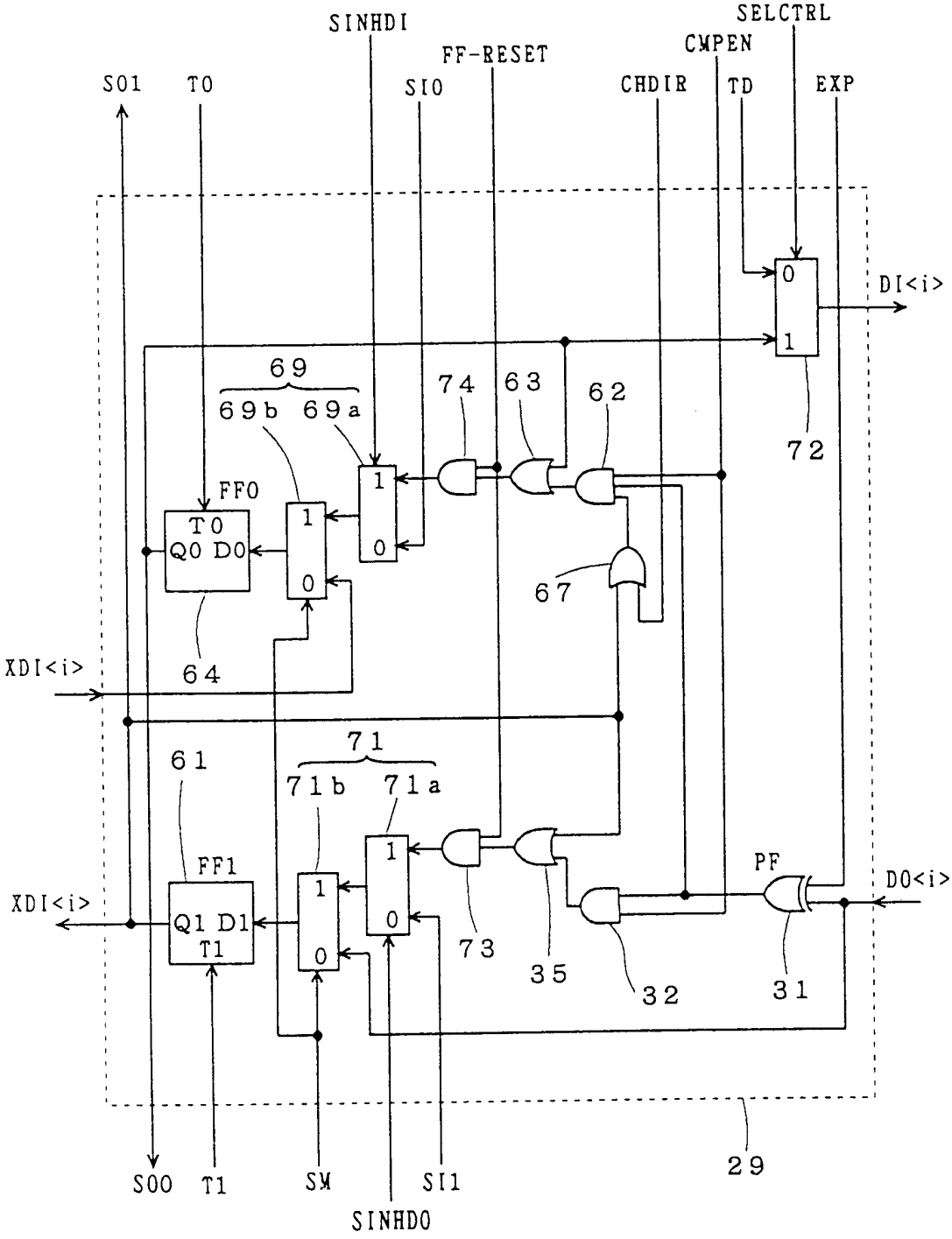

SINHDI
SELCTRL
CMPEN
FF-RESET
SO1
T0
SI0
CHDIR
TD
EXP
DI<i>
69
69b
69a
74
63
62
72
FF0
T0
Q0 D0
64
67
XDI<i>
71
61
71b
71a
FF1
Q1 D1
T1
XDI<i>
PF
DO<i>
73
35
32
31
29
S00
T1
SM
SI1
SINHDO

图. 24

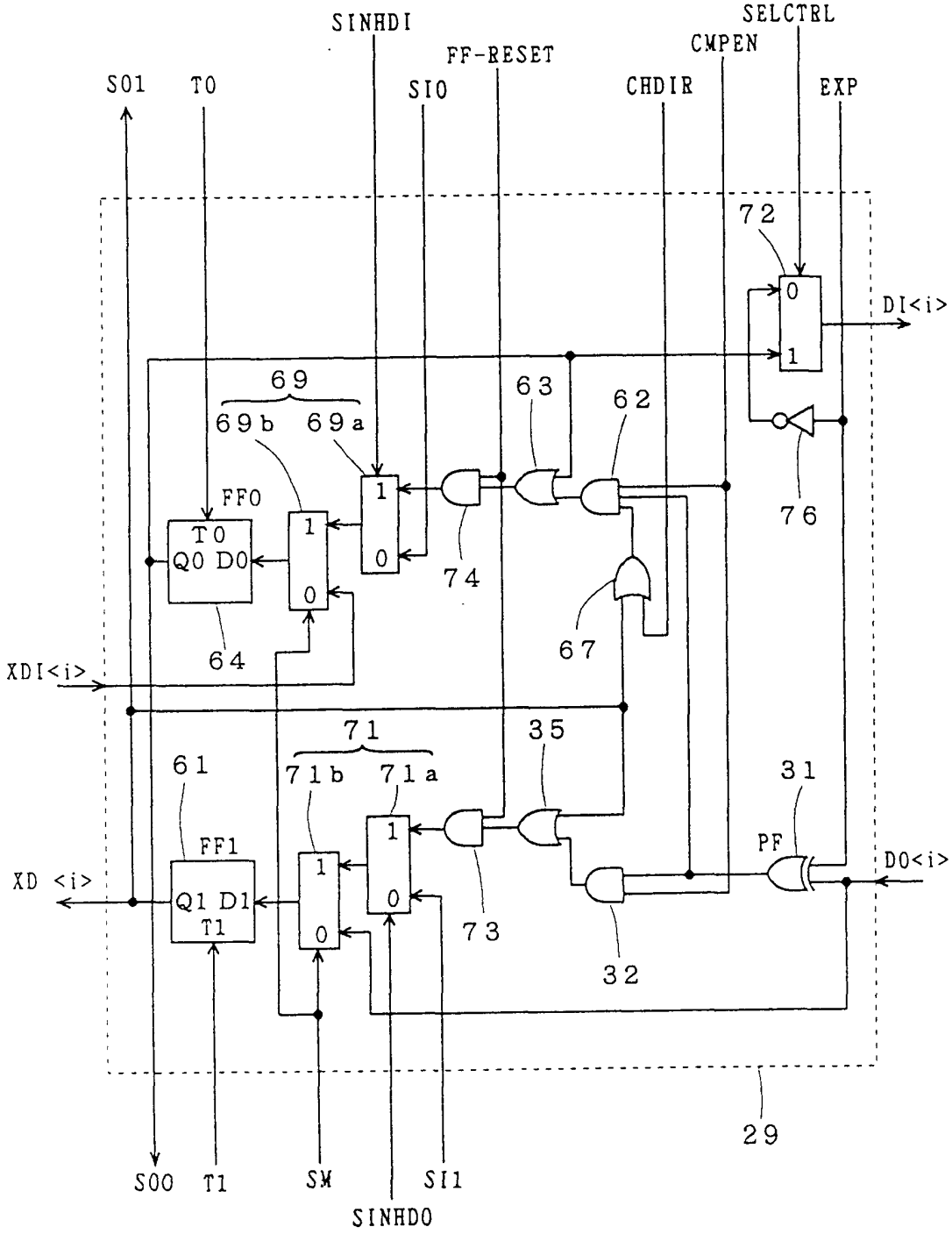

SINHDI
SELCTRL
CMPEN
FF-RESET
S01
T0
SI0
CHDIR
EXP
72
DI<i>
69
69b
69a
63
62
FF0
T0
Q0 D0
64
74
76
67
XDI<i>
71
71b
71a
35
61
31
FF1
Q1 D1
T1
PF
XD <i>
DO<i>
73
32
29
S00
T1
SM
SI1
SINHDO

图. 25

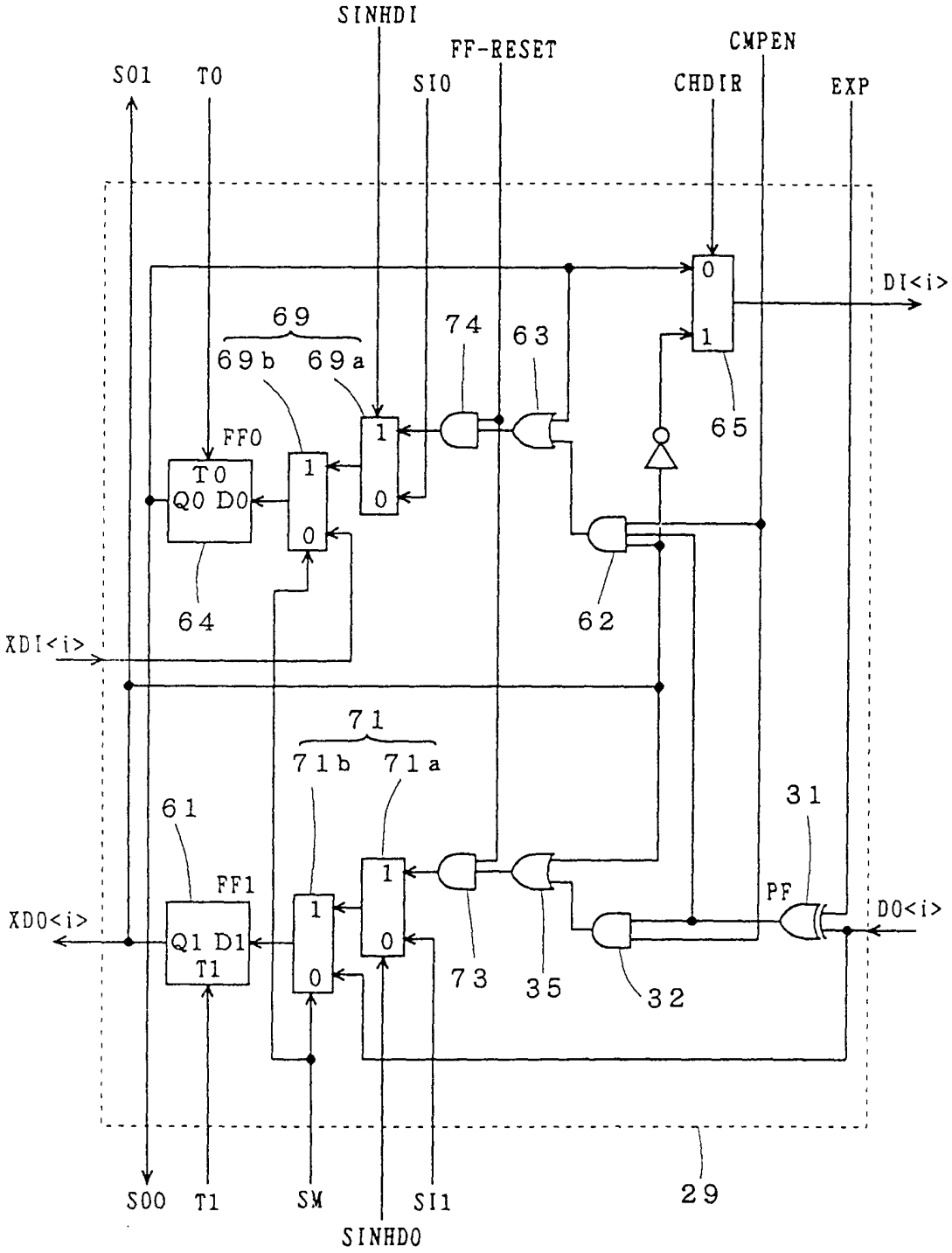

SINHDI
FF-RESET
CMPEN
SO1
T0
SI0
CHDIR
EXP
DI<i>
69
69b
69a
74
63
65
FF0
T0
Q0 D0
64
62
XDI<i>
71
71b
71a
61
31
FF1
XDO<i>
Q1 D1
T1
PF
DO<i>
73
35
32
29
SO0
T1
SM
SI1
SINHDO

图. 26

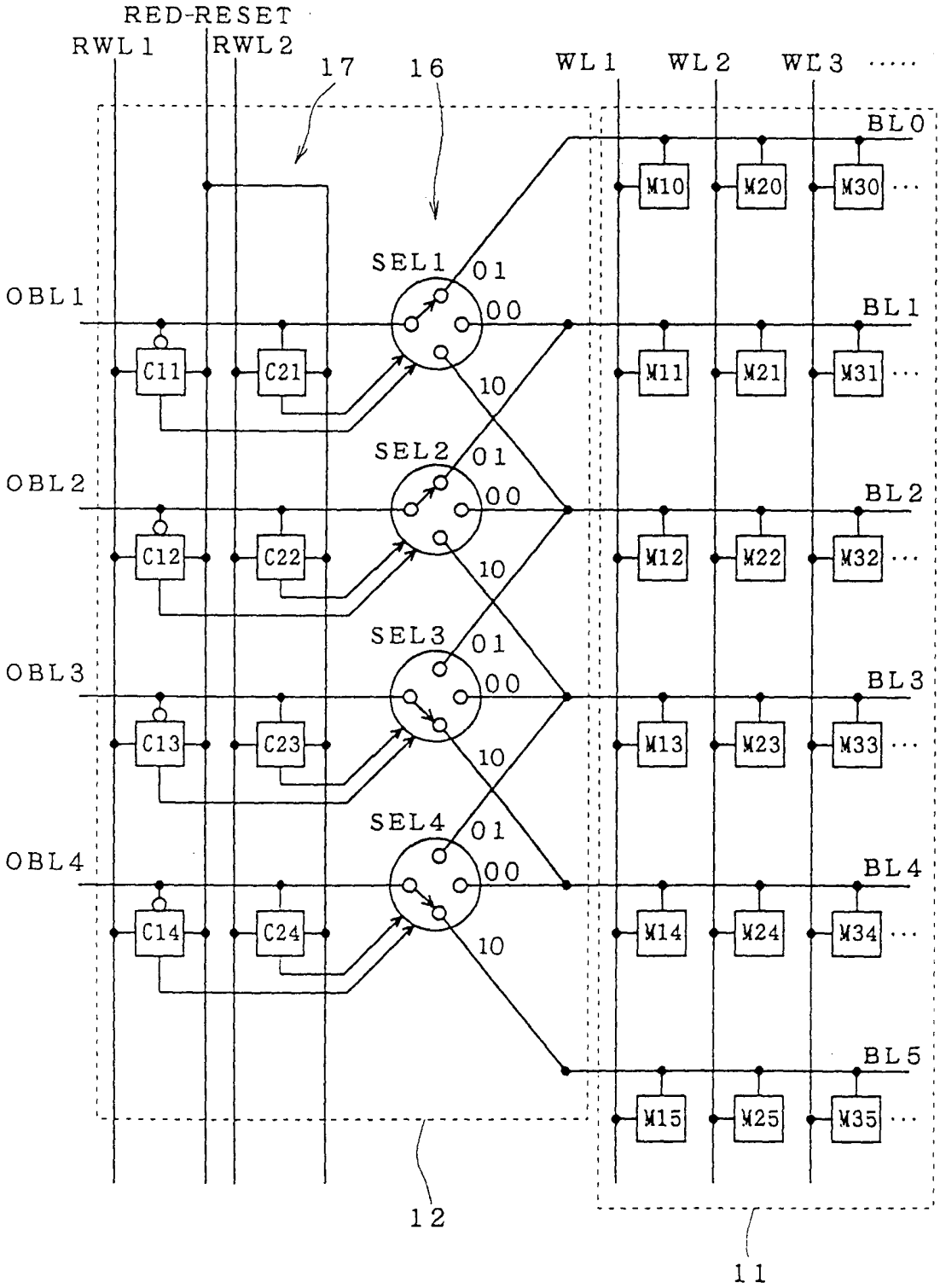

RED-RESET
RWL1
RWL2
17
16
WL1
WL2
WL3
BL0
BL1
BL2
BL3
BL4
BL5
OBL1
OBL2
OBL3
OBL4
SEL1
SEL2
SEL3
SEL4
01
00
10
C11
C21
C12
C22
C13
C23
C14
C24
M10
M20
M30
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
12
11

图. 27

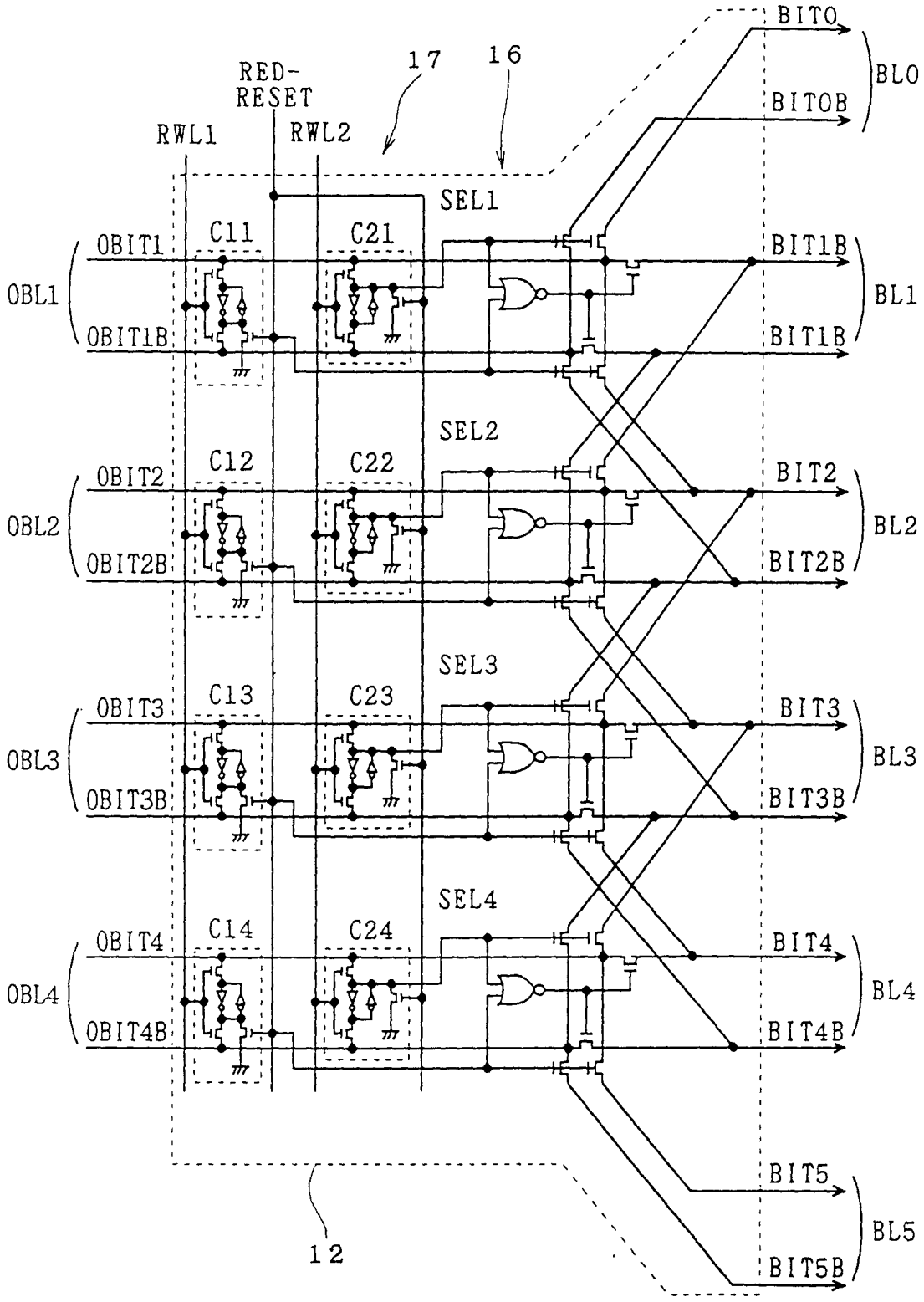

BIT0
BL0
BIT0B
17
16
RED-
RESET
RWL1
RWL2
SEL1
C11
C21
OBIT1
OBL1
OBIT1B
BIT1B
BL1
BIT1B
SEL2
C12
C22
OBIT2
OBL2
OBIT2B
BIT2
BL2
BIT2B
SEL3
C13
C23
OBIT3
OBL3
OBIT3B
BIT3
BL3
BIT3B
SEL4
C14
C24
OBIT4
OBL4
OBIT4B
BIT4
BL4
BIT4B
BIT5
BL5
BIT5B
12

图. 28

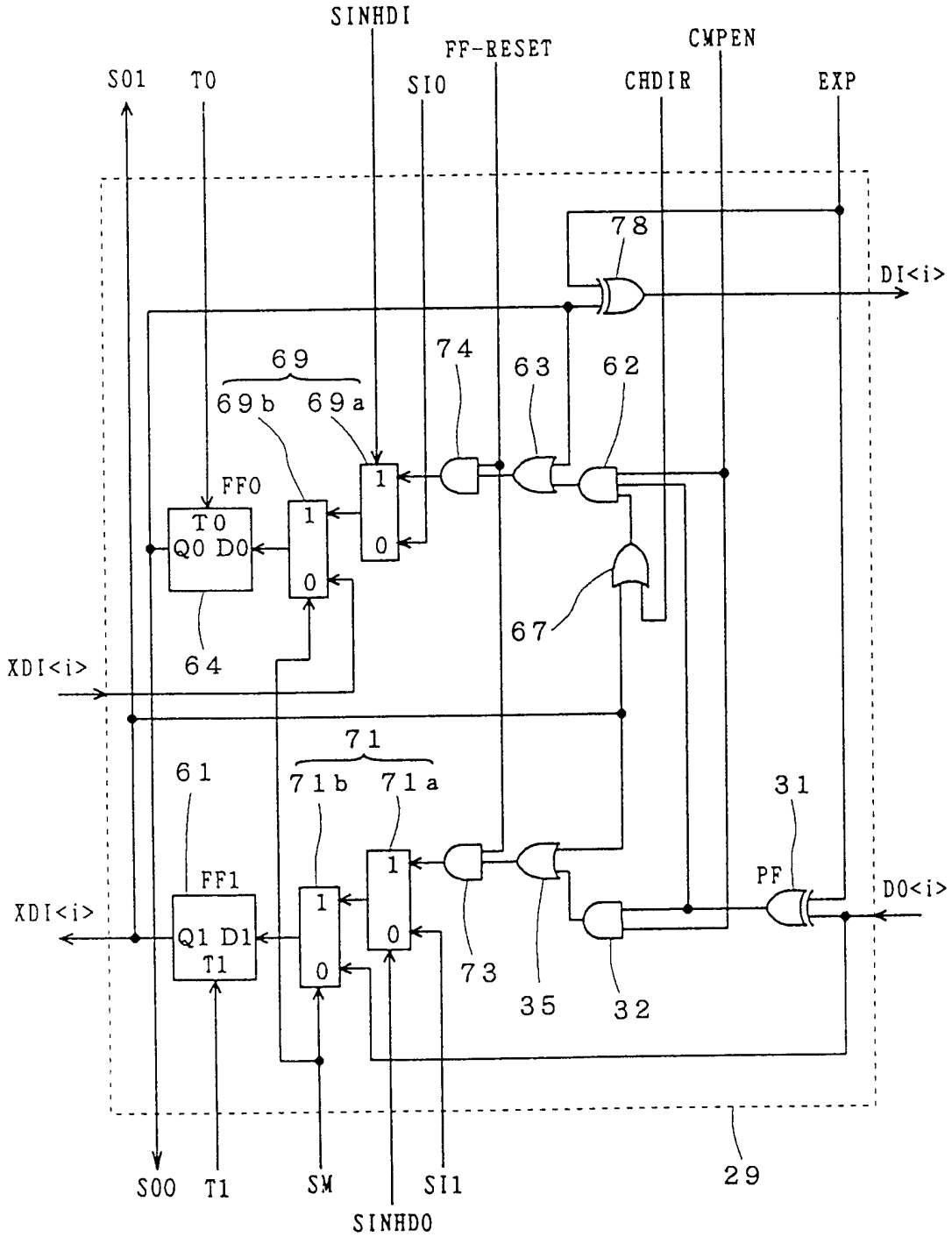

SINHDI
FF-RESET
CMPEN
S01
T0
SI0
CHDIR
EXP
78
DI<i>
69
74
63
62
69b
69a
FF0
T0
Q0 D0
64
67
XDI<i>
71
61
71b
71a
31
FF1
PF
DO<i>
XDI<i>
Q1 D1
T1
73
35
32
S00
T1
SM
SI1
SINHDO
29

图. 29

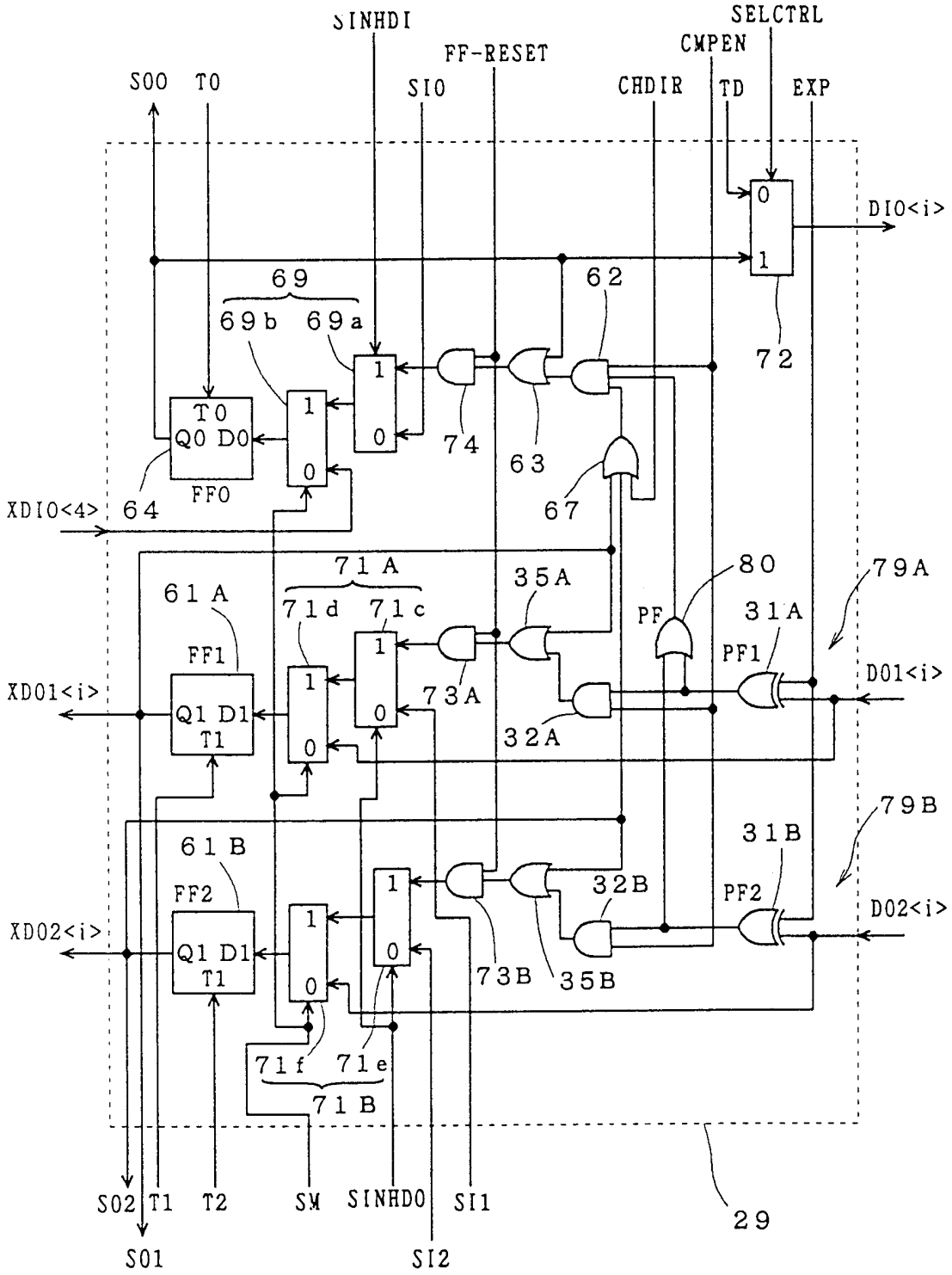

SINHDI
SELCTRL
FF-RESET
CMPEN
SOO
TO
SIO
CHDIR
TD
EXP
DIO<i>
69
69b
69a
62
72
74
63
67
TO
QO DO
FFO
64
XDIO<4>
71A
61A
71d
71c
35A
80
79A
PF
31A
FF1
PF1
XDO1<i>
Q1 D1
T1
73A
DO1<i>
32A
79B
61B
31B
FF2
32B
PF2
XDO2<i>
DO2<i>
73B
35B
71f
71e
71B
SO2
T1
T2
SM
SINHDO
SI1
29
SO1
SI2

图. 30

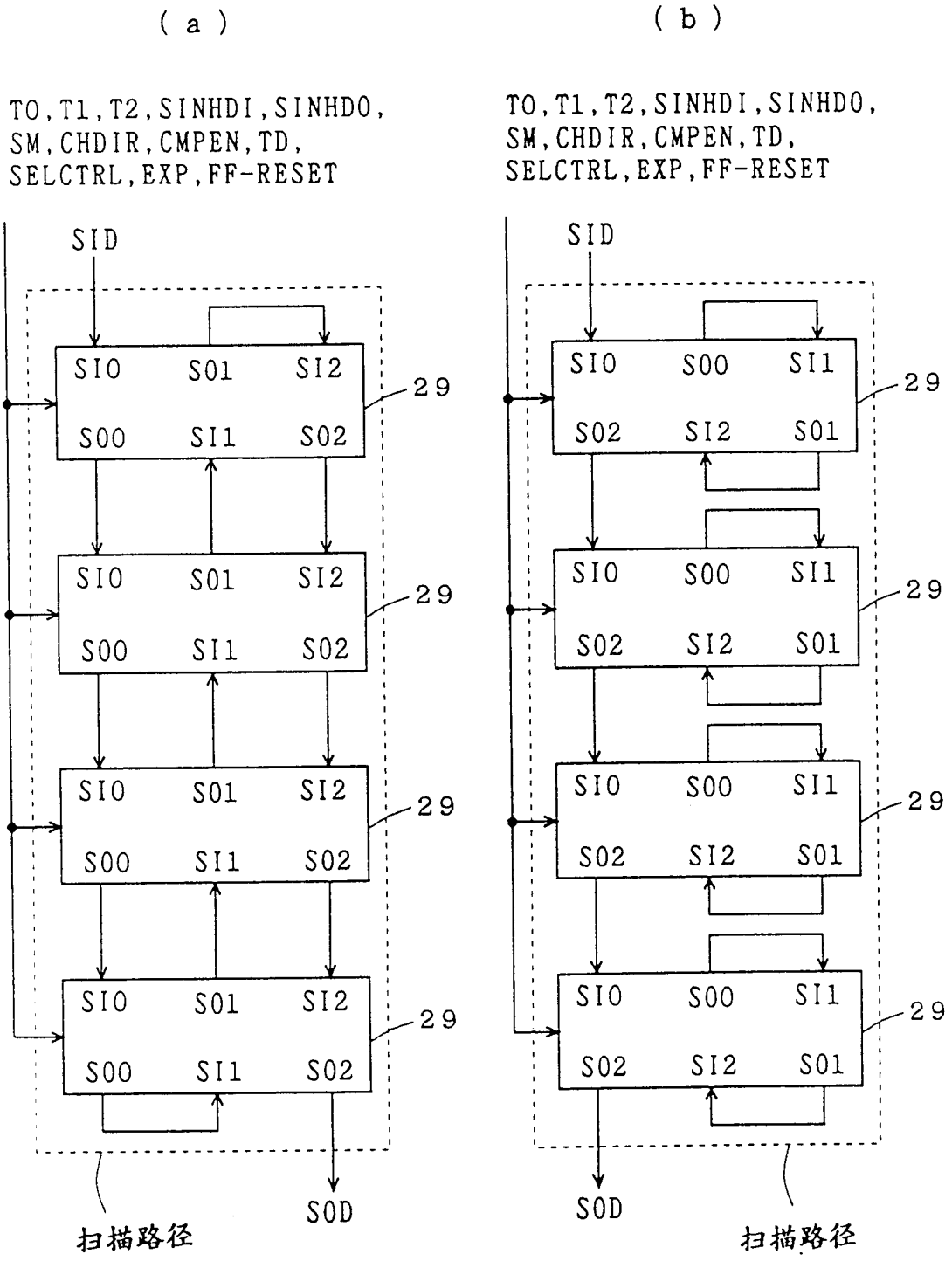

( a )
TO,T1,T2,SINHDI,SINHDO,
SM,CHDIR,CMPEN,TD,
SELCTRL,EXP,FF-RESET
SID
SI0 S01 SI2
S00 SI1 S02
29
SOD
扫描路径
( b )
TO,T1,T2,SINHDI,SINHDO,
SM,CHDIR,CMPEN,TD,
SELCTRL,EXP,FF-RESET
SID
SI0 S00 SI1
S02 SI2 S01
29
SOD
扫描路径

图 31

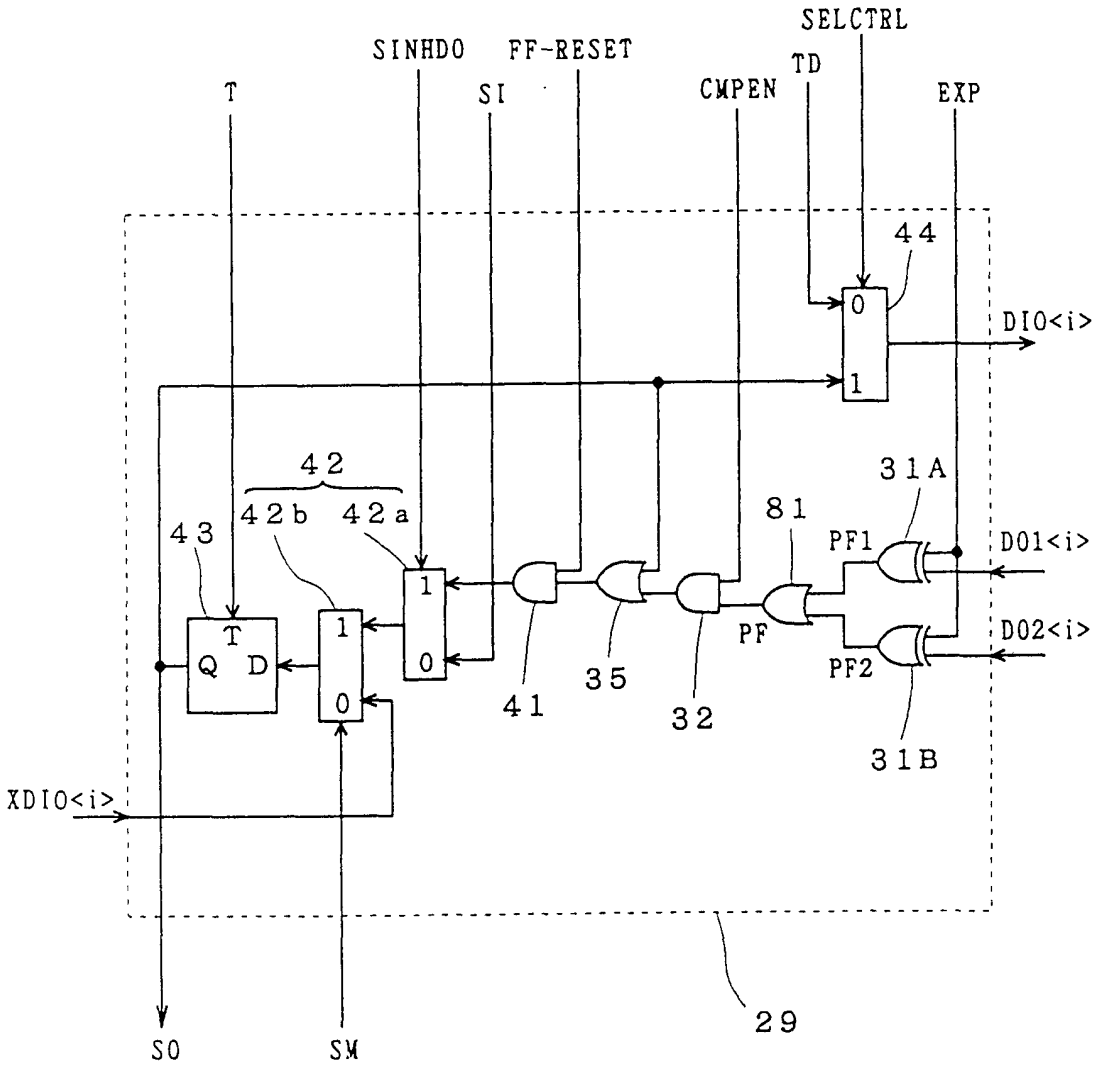

SELCTRL
SINHDO
FF-RESET
TD
T
SI
CMPEN
EXP
44
0
1
DIO<i>
42
42b
42a
31A
81
43
PF1
D01<i>
T
Q
D
1
0
1
0
PF
D02<i>
PF2
41
35
32
31B
XDIO<i>
29
SO
SM

图. 32

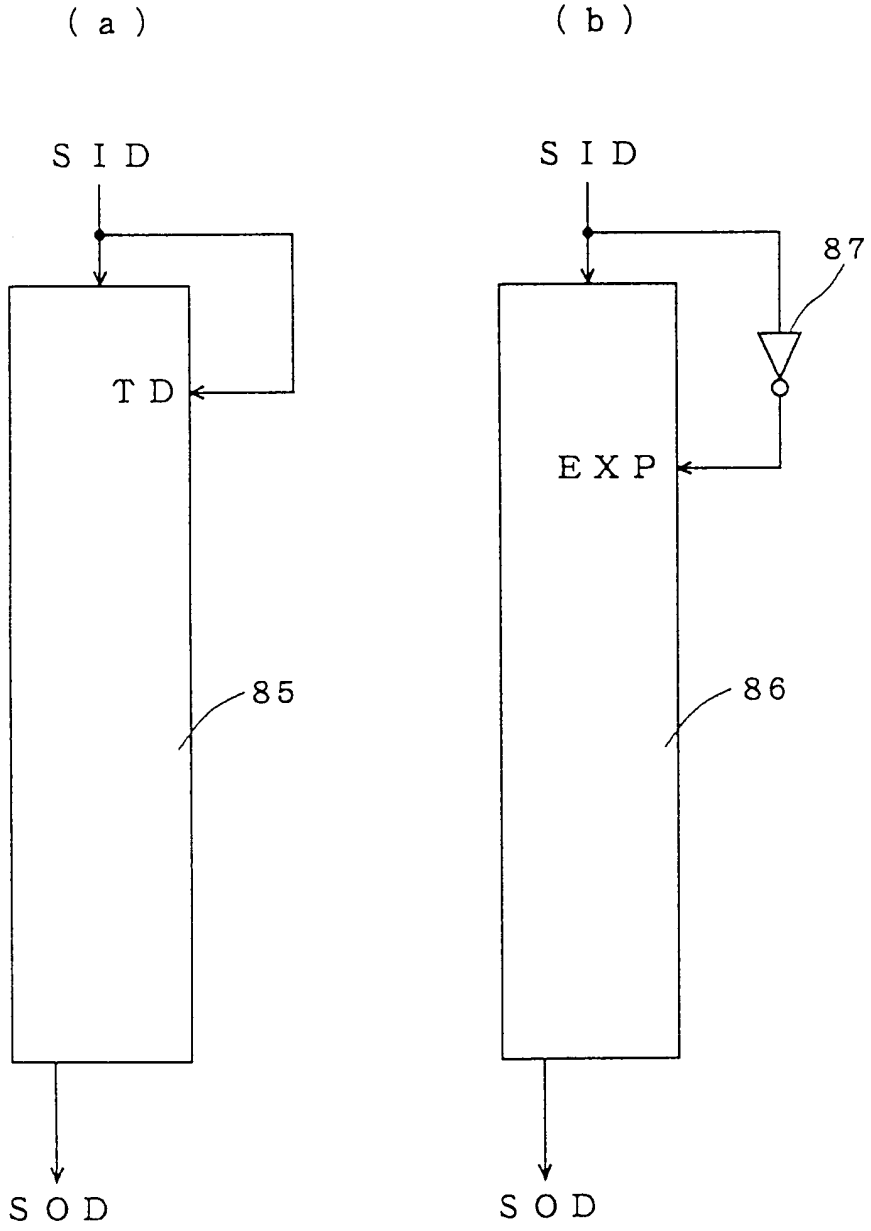
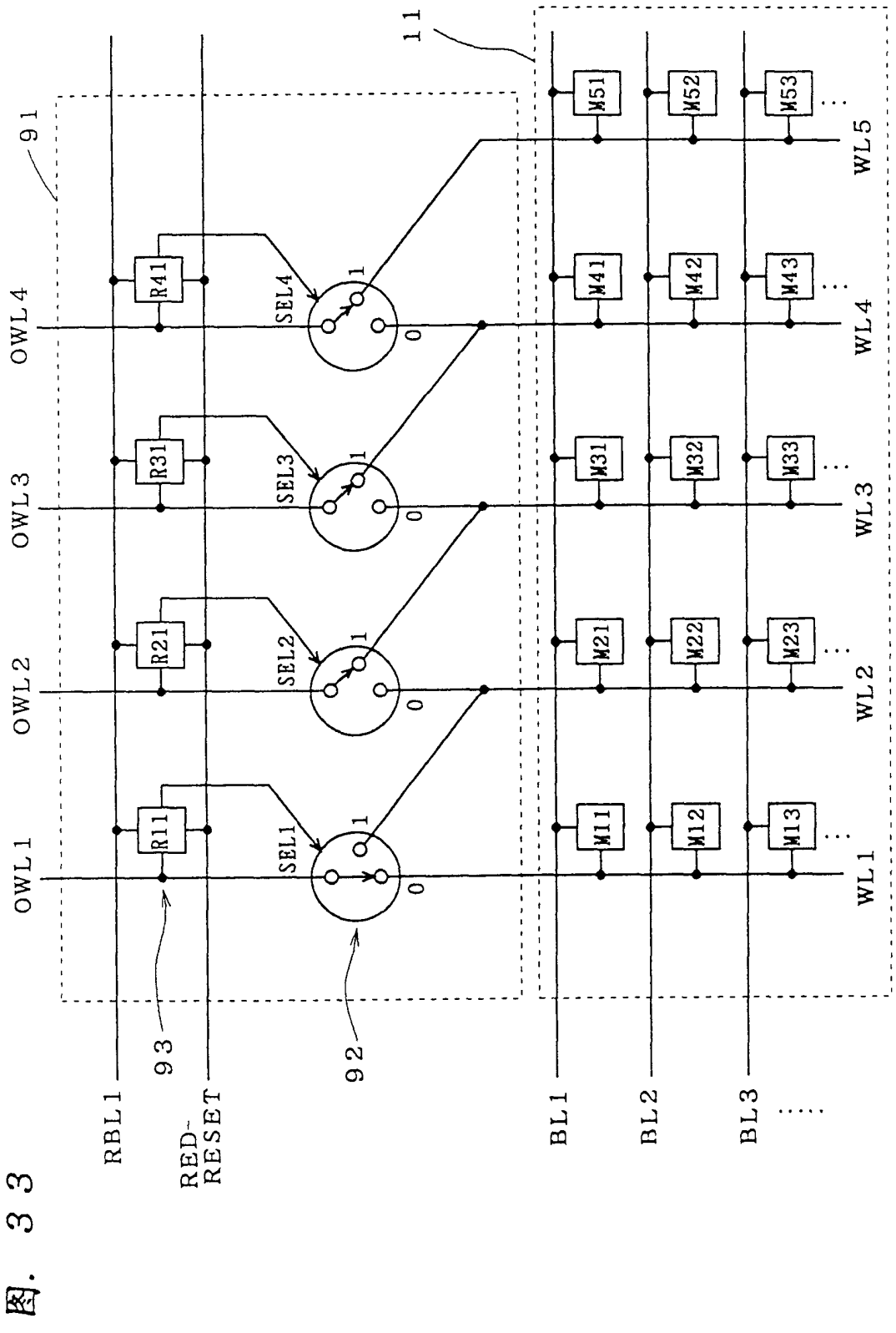


图. 33


11
91
OWL4
OWL3
OWL2
OWL1
R41
R31
R21
R11
SEL4
SEL3
SEL2
SEL1
1
0
W51
W52
W53
W41
W42
W43
W31
W32
W33
W21
W22
W23
W11
W12
W13
WL5
WL4
WL3
WL2
WL1
RBL1
RED-
RESET
93
92
BL1
BL2
BL3

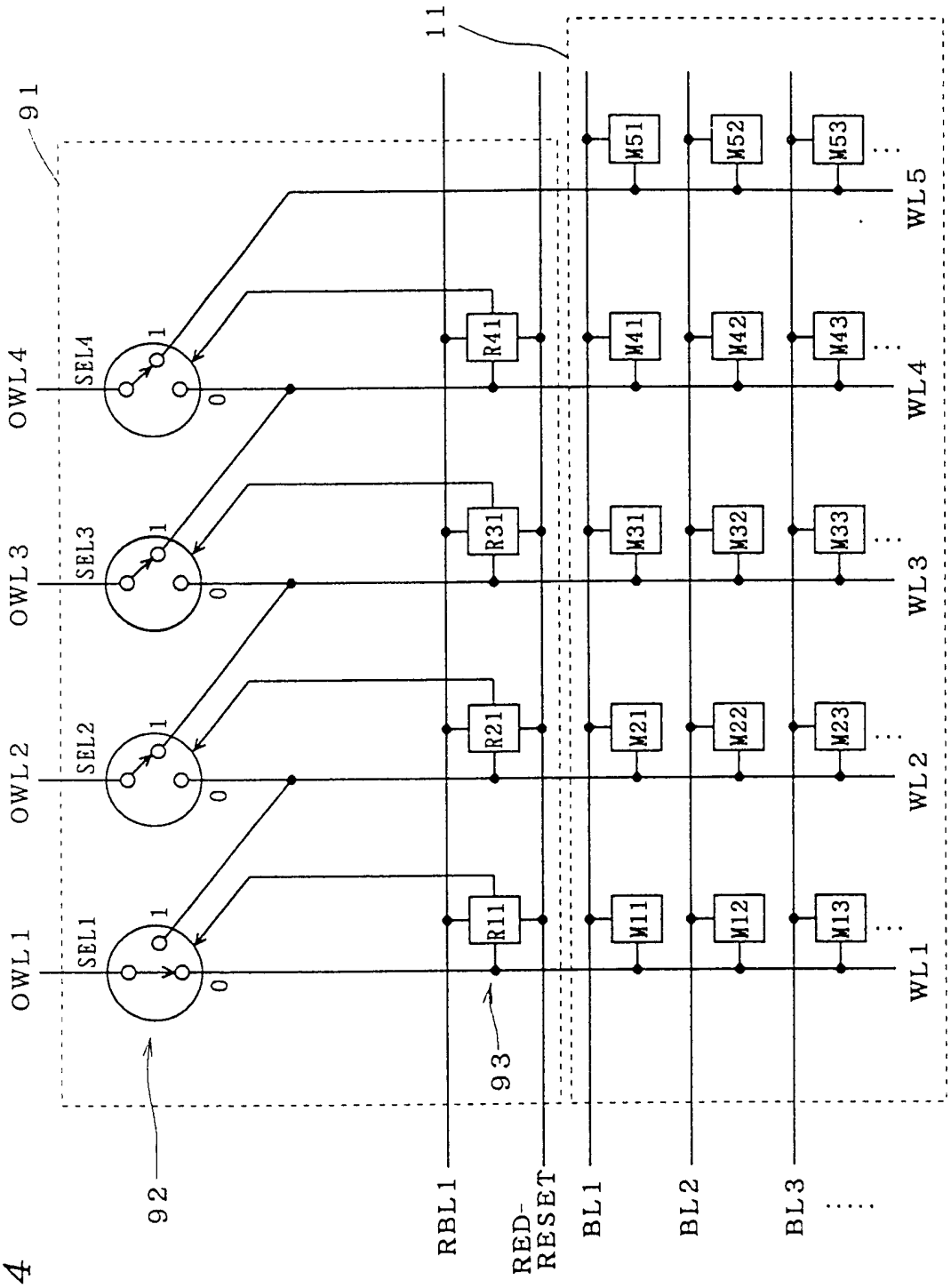

91
11
OWL4
OWL3
OWL2
OWL1
SEL4
SEL3
SEL2
SEL1
1
0
R41
R31
R21
R11
W51
W52
W53
W41
W42
W43
W31
W32
W33
W21
W22
W23
W11
W12
W13
WL5
WL4
WL3
WL2
WL1
92
93
RBL1
RED-RESET
BL1
BL2
BL3

图. 34

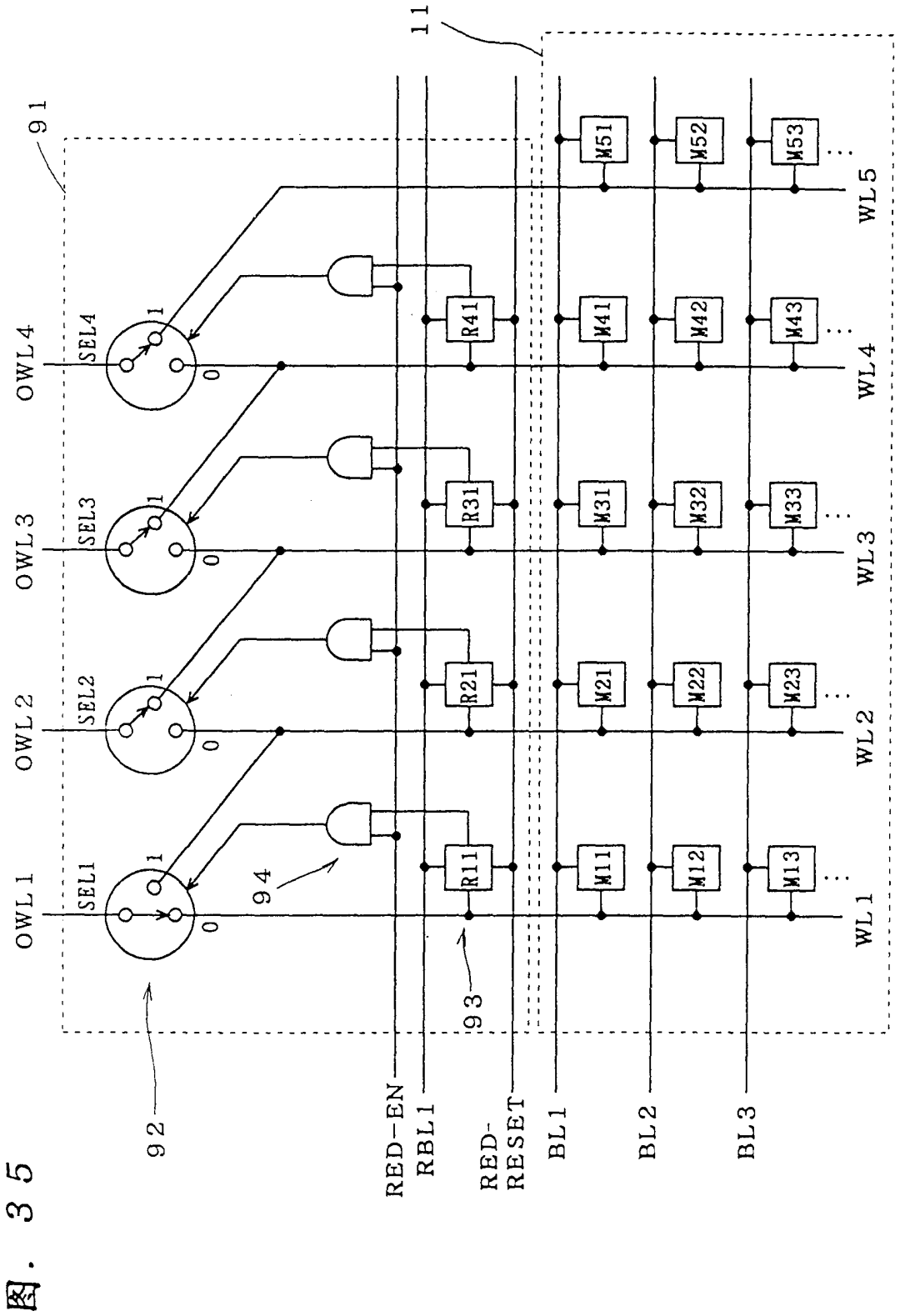

11
91
OWL4
OWL3
OWL2
OWL1
SEL4
SEL3
SEL2
SEL1
1
0
R41
R31
R21
R11
W51
W52
W53
W41
W42
W43
W31
W32
W33
W21
W22
W23
W11
W12
W13
WL5
WL4
WL3
WL2
WL1
94
92
93
RED-EN
RBL1
RED-RESET
BL1
BL2
BL3

图. 35

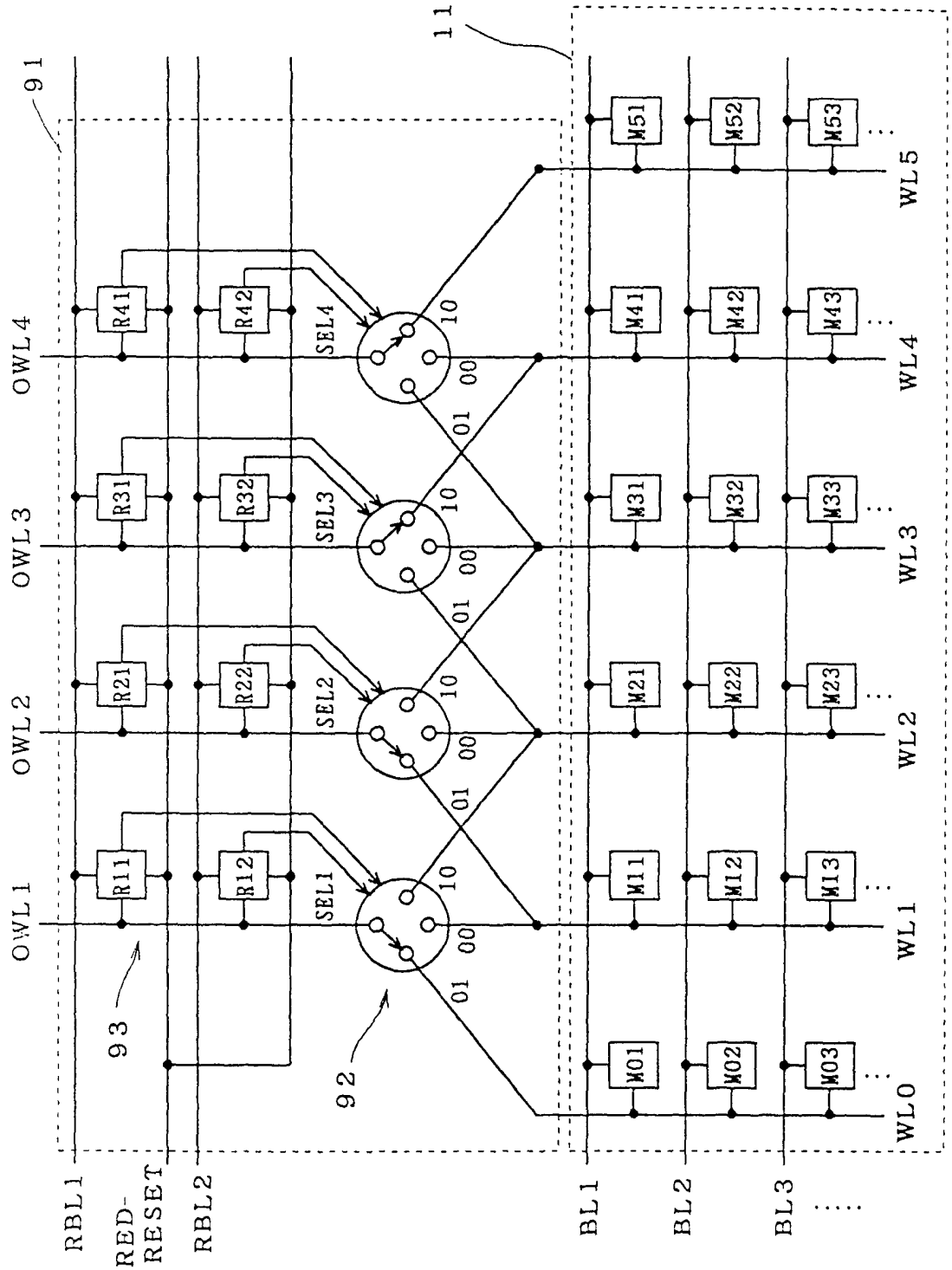

91
11
OWL1
OWL2
OWL3
OWL4
R11
R12
R21
R22
R31
R32
R41
R42
SEL1
SEL2
SEL3
SEL4
10
00
01
93
92
RBL1
RED-RESET
RBL2
W01
W02
W03
W11
W12
W13
W21
W22
W23
W31
W32
W33
W41
W42
W43
W51
W52
W53
WL0
WL1
WL2
WL3
WL4
WL5
BL1
BL2
BL3

图 36

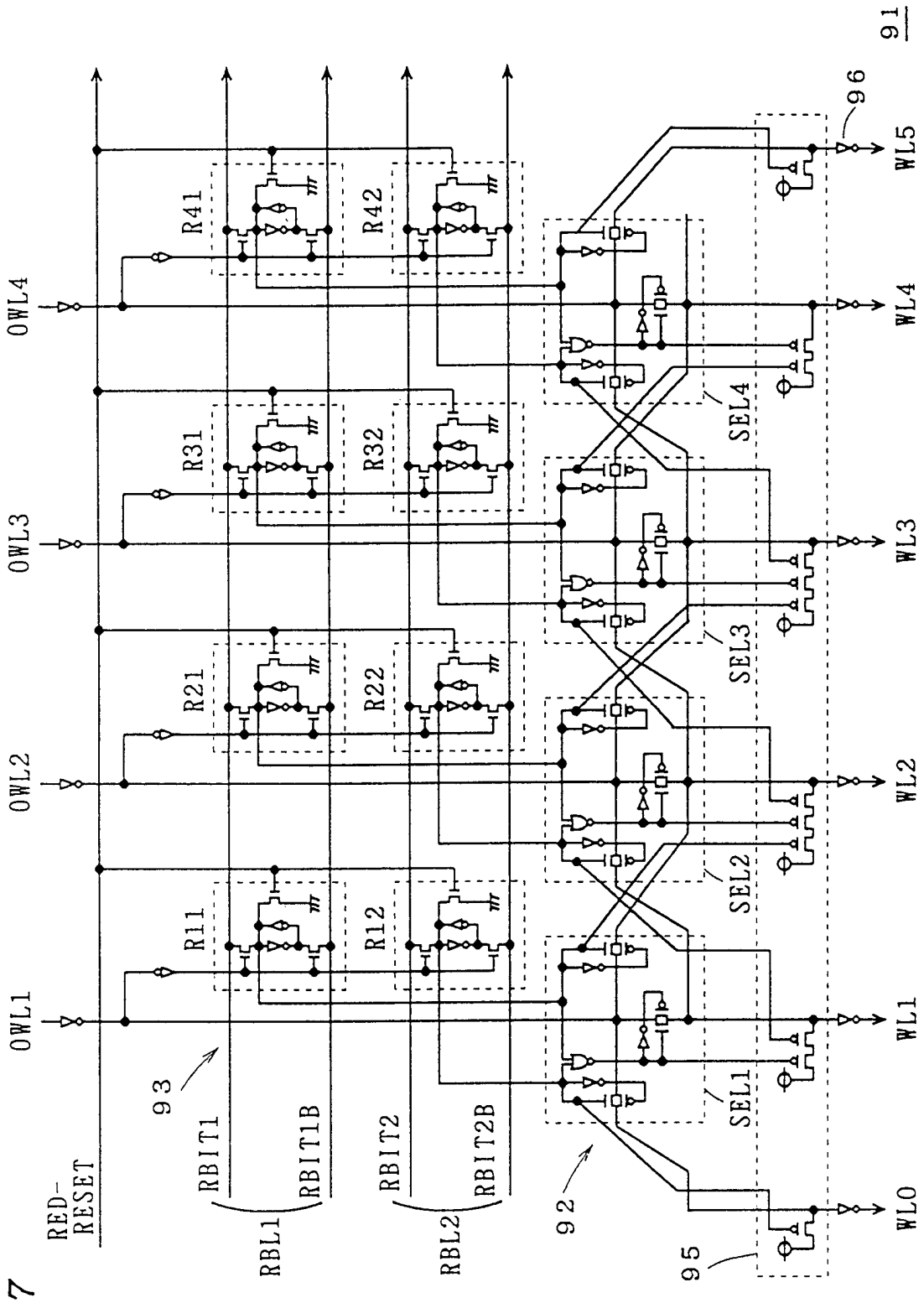

91
96
WL5
WL4
WL3
WL2
WL1
WL0
OWL4
OWL3
OWL2
OWL1
R41
R42
R31
R32
R21
R22
R11
R12
SEL4
SEL3
SEL2
SEL1
RED-
RESET
93
RBIT1
RBIT1B
RBIT2
RBIT2B
RBL1
RBL2
92
95

图 37

图. 38

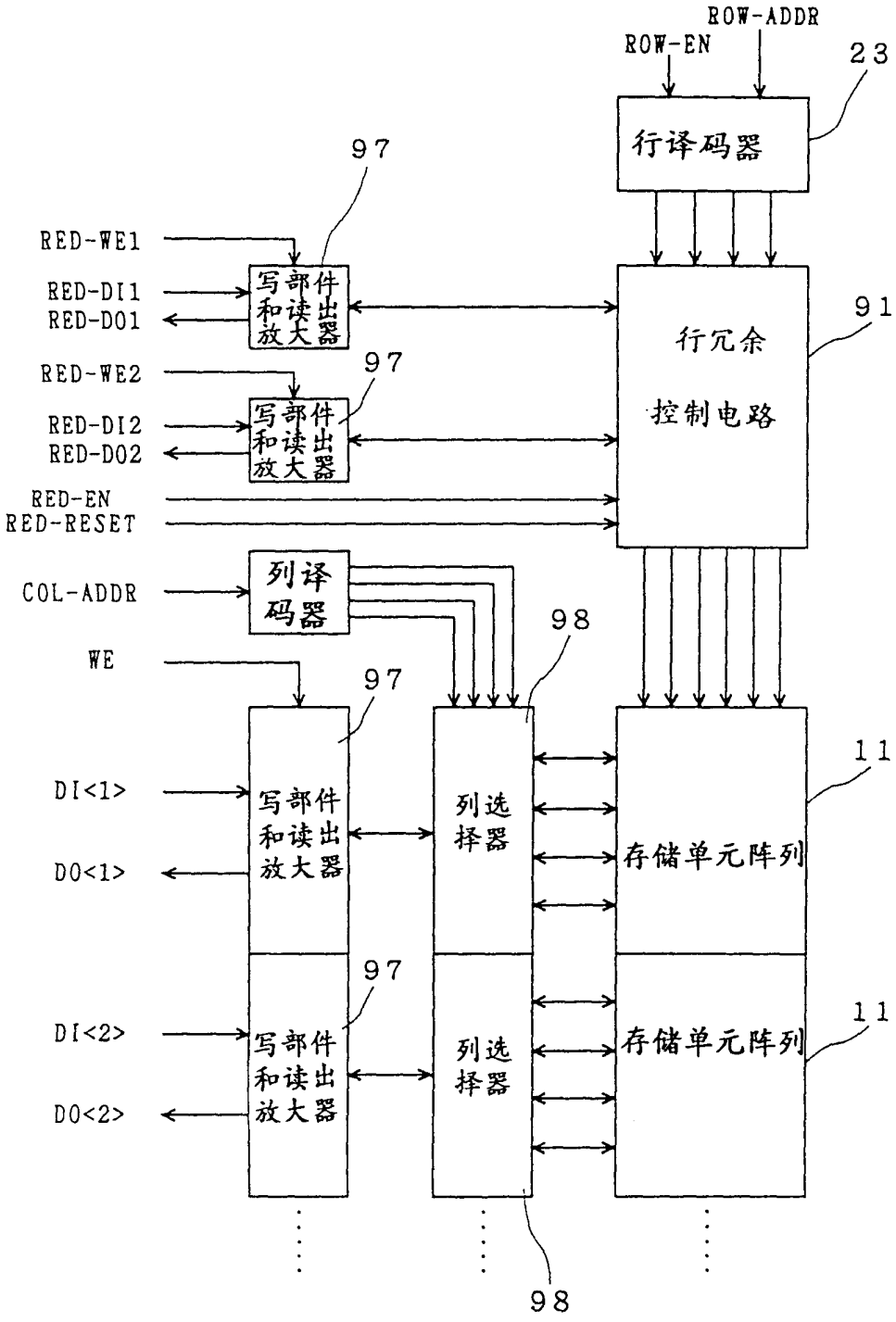

ROW-ADDR
ROW-EN
23
行译码器
97
RED-WE1
RED-DI1
RED-DO1
写部件和读出放大器
91
行冗余控制电路
RED-WE2
RED-DI2
RED-DO2
RED-EN
RED-RESET
COL-ADDR
列译码器
98
WE
DI<1>
DO<1>
列选择器
11
存储单元阵列
DI<2>
DO<2>
98

图. 39

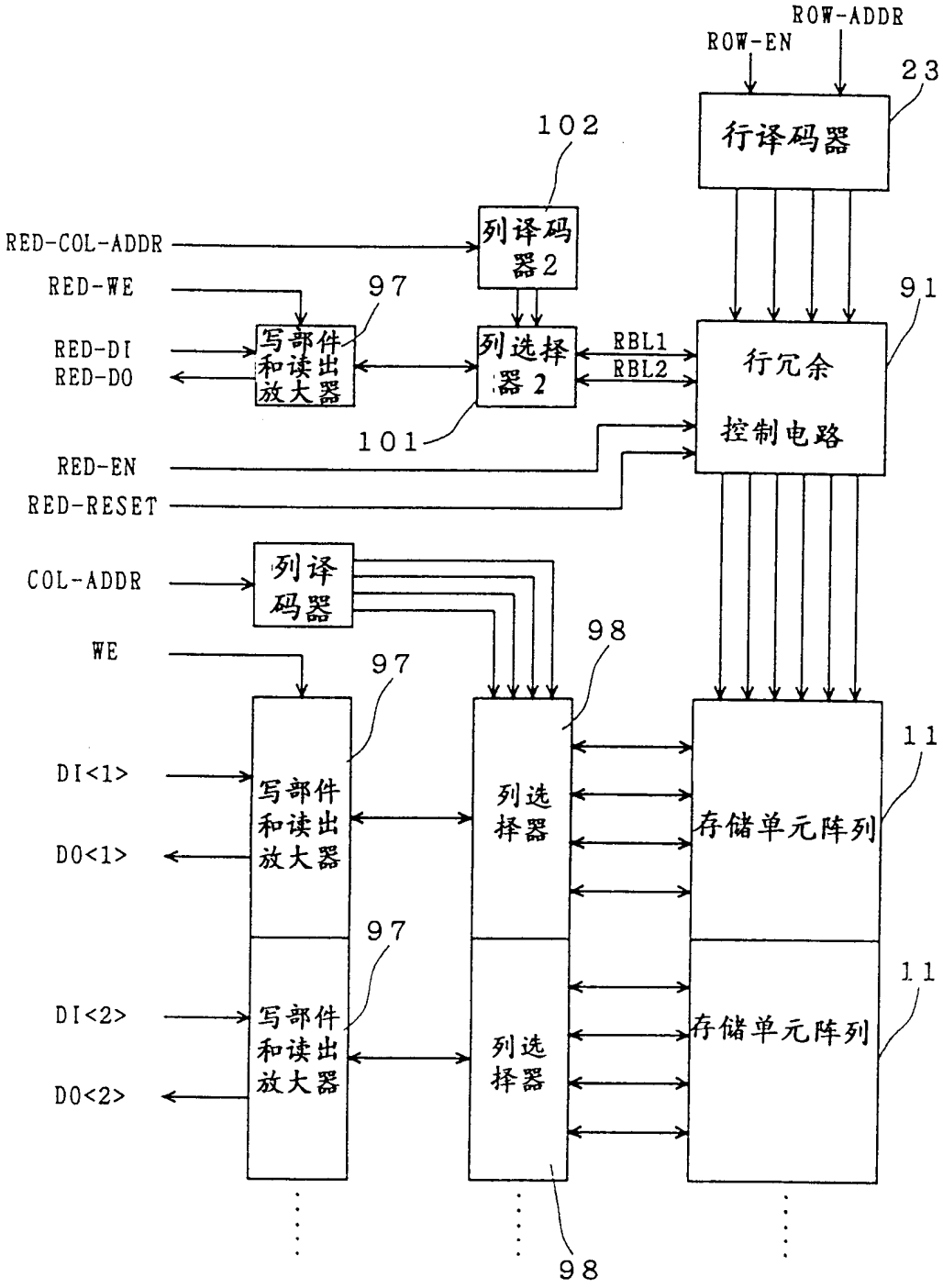

ROW-ADDR
ROW-EN
23
行译码器
102
列译码器2
RED-COL-ADDR
RED-WE
97
91
RED-DI
RED-DO
写部件和读出放大器
列选择器2
RBL1
RBL2
行冗余控制电路
101
RED-EN
RED-RESET
COL-ADDR
列译码器
98
WE
97
DI<1>
DO<1>
写部件和读出放大器
列选择器
存储单元阵列
11
97
DI<2>
DO<2>
写部件和读出放大器
列选择器
存储单元阵列
11
98

图. 40

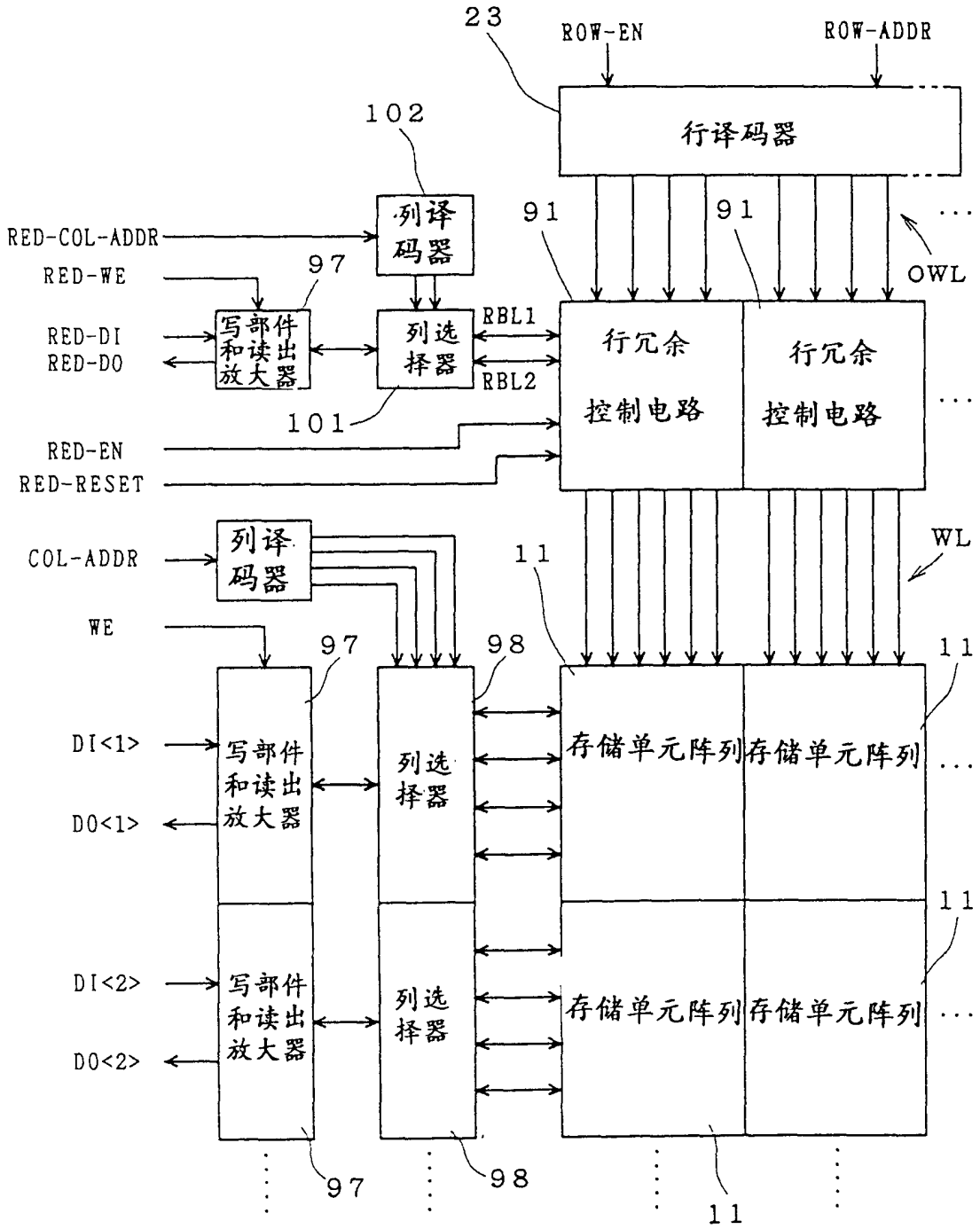

23
ROW-EN
ROW-ADDR
行译码器
102
列译码器
91
91
OWL
RED-COL-ADDR
RED-WE
97
RED-DI
RED-DO
写部件和读出放大器
列选择器
RBL1
RBL2
101
行冗余控制电路
行冗余控制电路
RED-EN
RED-RESET
COL-ADDR
列译码器
WL
11
WE
97
98
11
DI<1>
DO<1>
写部件和读出放大器
列选择器
存储单元阵列
存储单元阵列
11
DI<2>
DO<2>
写部件和读出放大器
列选择器
存储单元阵列
存储单元阵列
97
98
11

图. 41

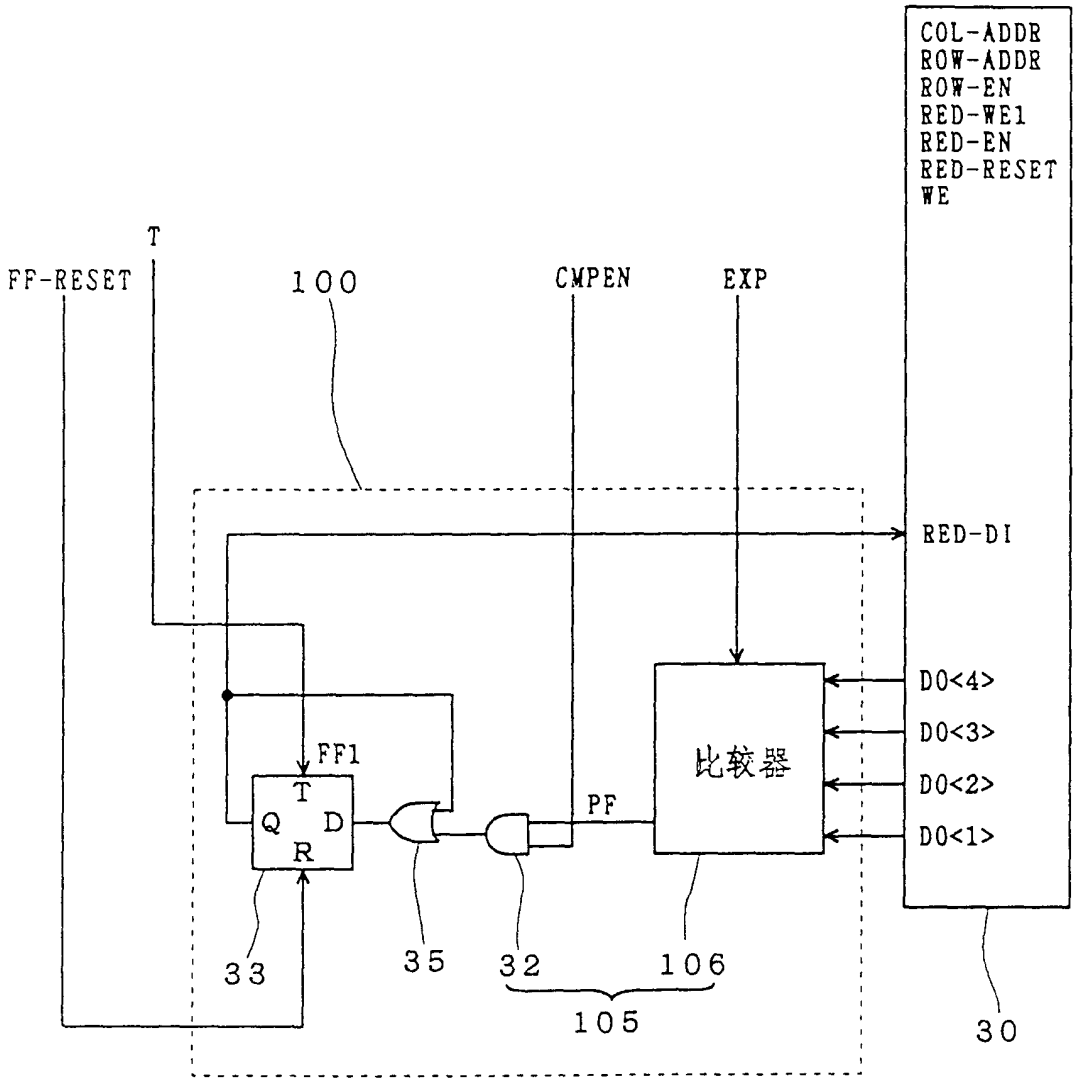

COL-ADDR
ROW-ADDR
ROW-EN
RED-WE1
RED-EN
RED-RESET
WE
T
FF-RESET
100
CMPEN
EXP
RED-DI
FF1
T
Q
D
R
比较器
PF
D0<4>
D0<3>
D0<2>
D0<1>
33
35
32
106
105
30

图. 42A

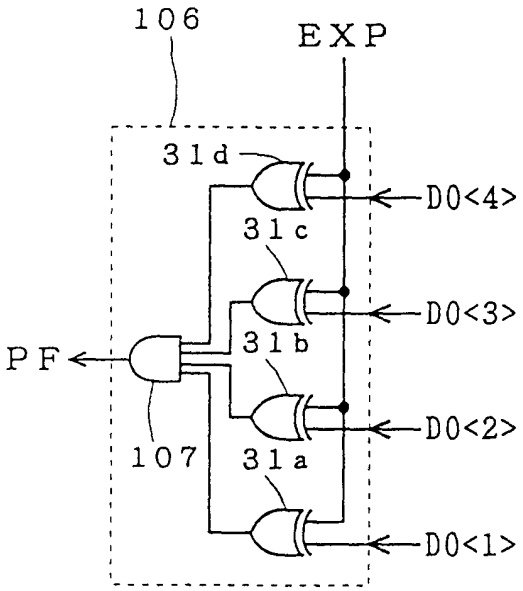



图. 42B

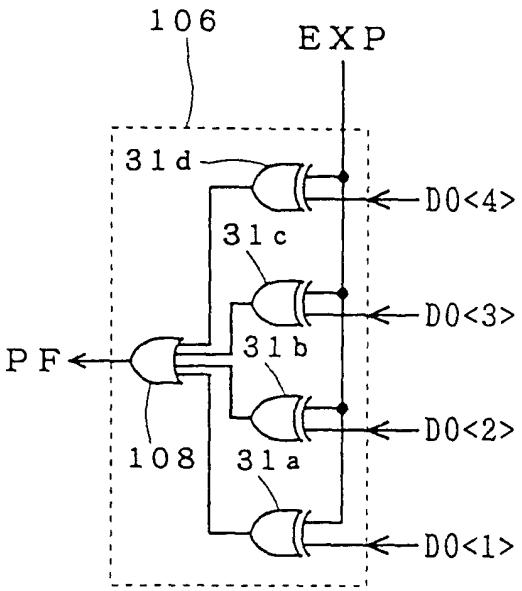



图. 42C

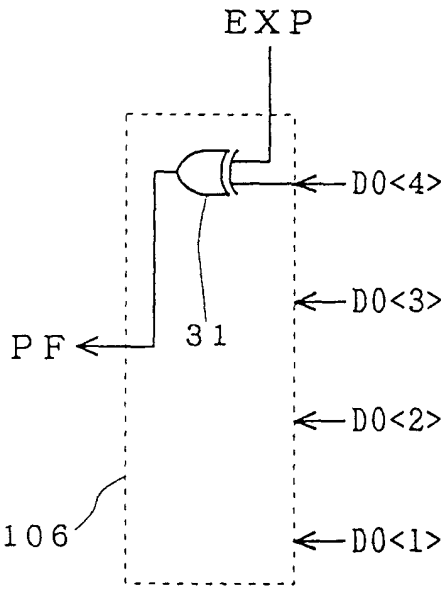



图. 42D

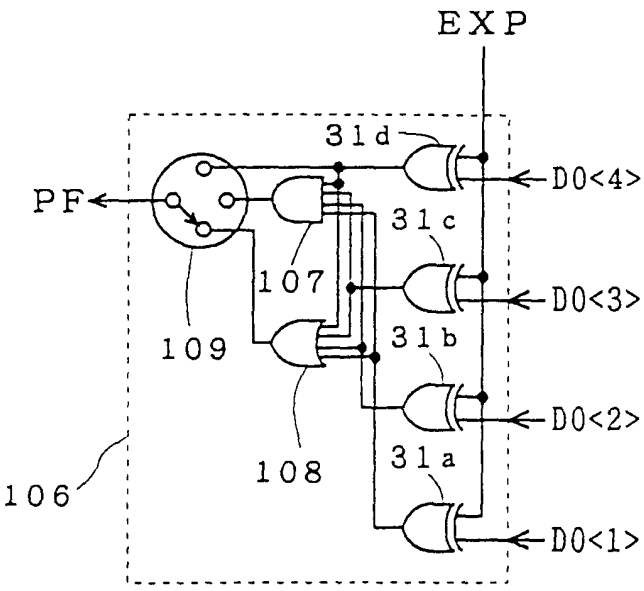


图. 43

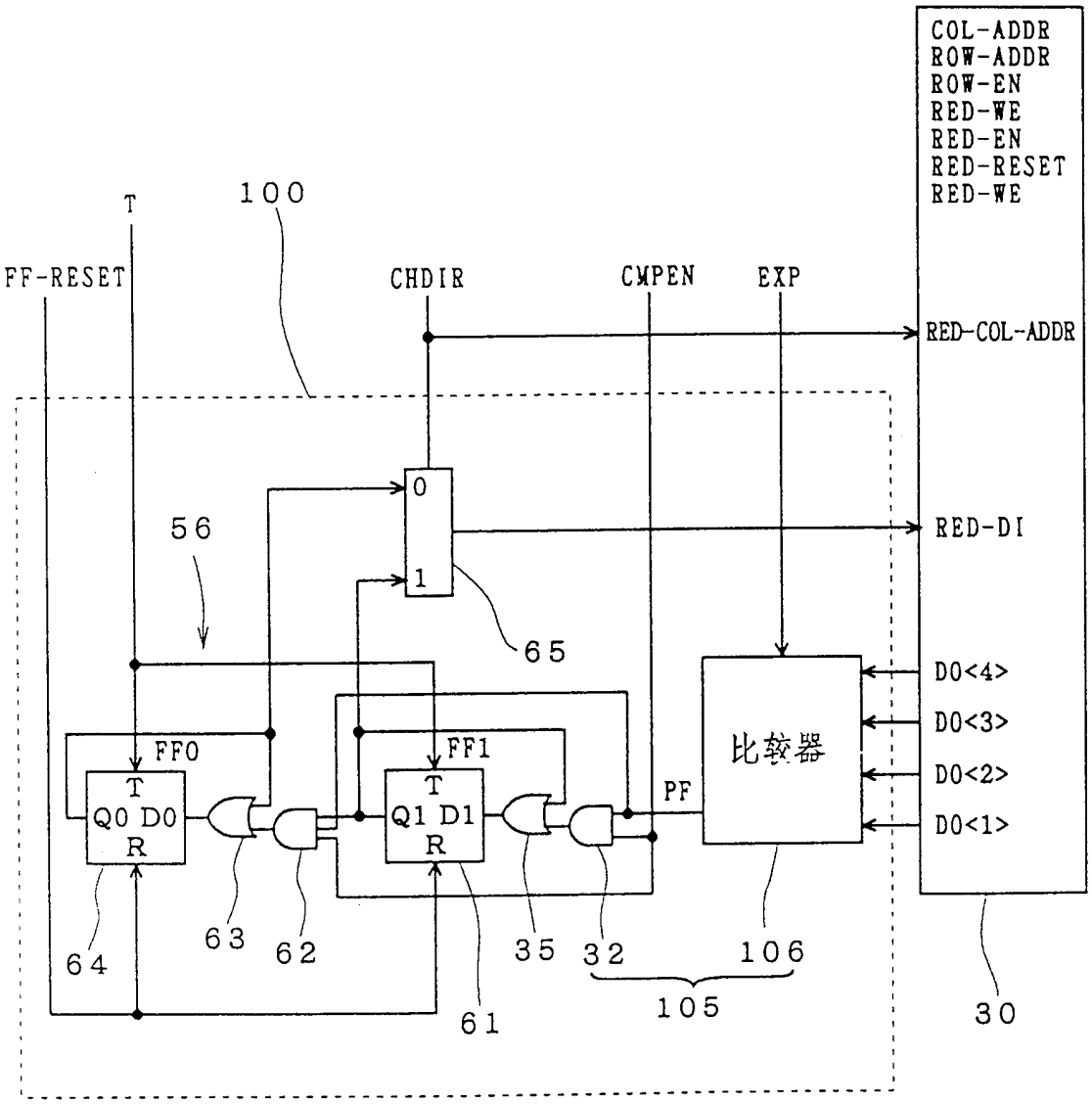

COL-ADDR
ROW-ADDR
ROW-EN
RED-WE
RED-EN
RED-RESET
RED-WE
T
100
FF-RESET
CHDIR
CMPEN
EXP
RED-COL-ADDR
0
1
56
RED-DI
65
D0<4>
D0<3>
D0<2>
D0<1>
比较器
FF0
FF1
T
Q0 D0
R
T
Q1 D1
R
PF
64
63
62
35
32
106
105
61
30

图. 44

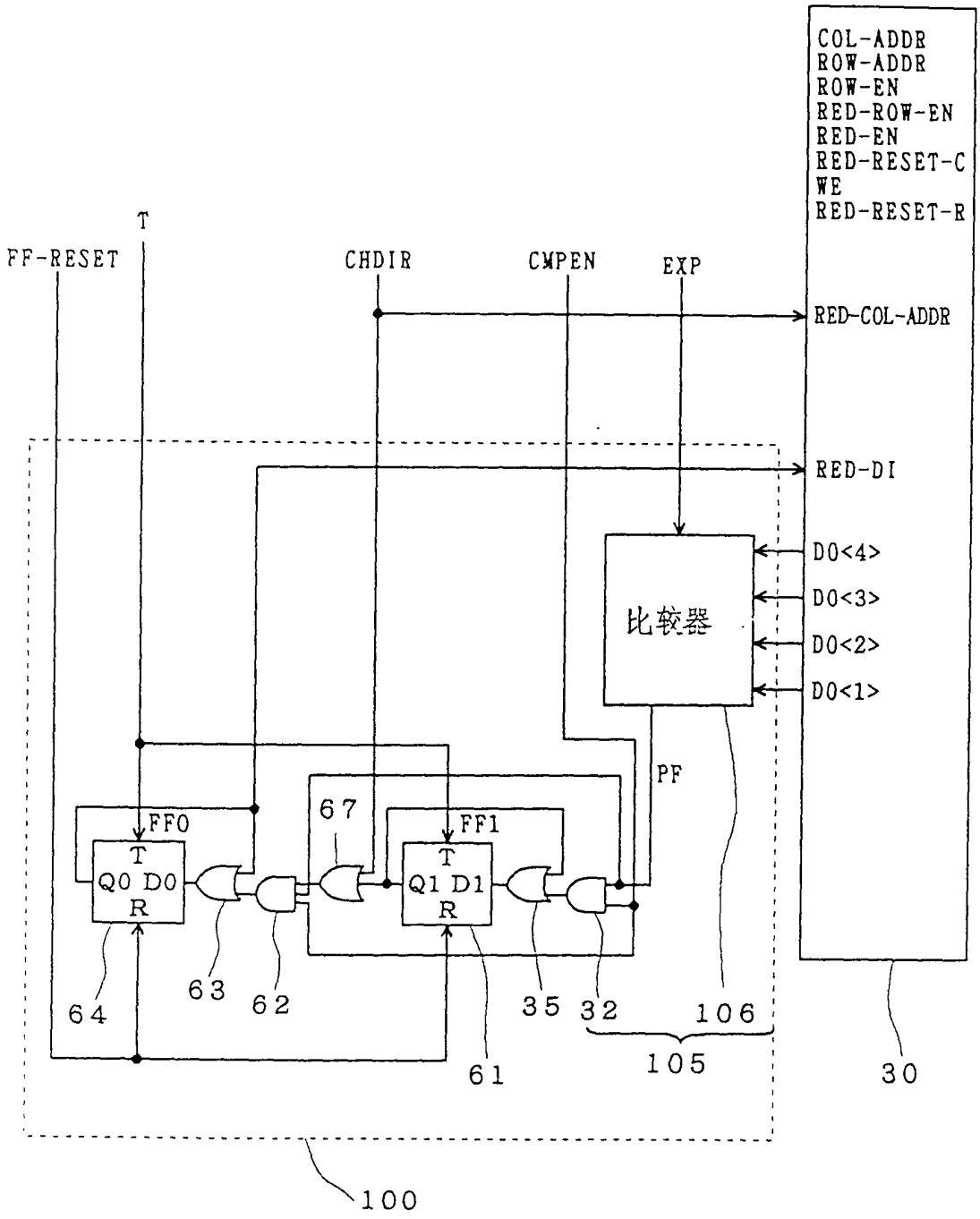

COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-C
WE
RED-RESET-R
T
FF-RESET
CHDIR
CMPEN
EXP
RED-COL-ADDR
RED-DI
比较器
DO<4>
DO<3>
DO<2>
DO<1>
PF
67
FF0
FF1
T
Q0 D0
R
T
Q1 D1
R
64
63
62
35
32
106
105
61
30
100

图. 45

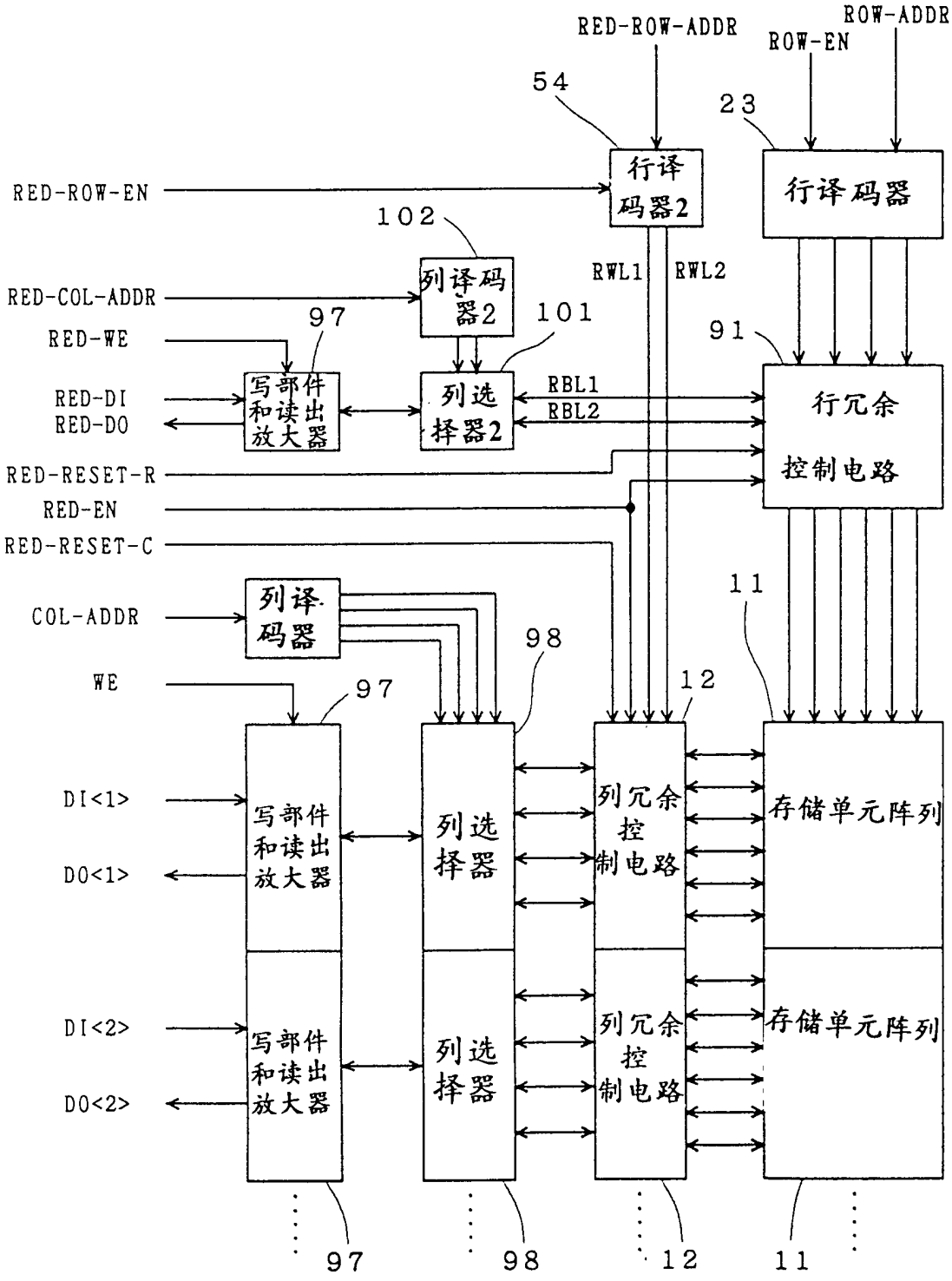

RED-ROW-ADDR
ROW-ADDR
ROW-EN
54
23
行译码器2
行译码器
RED-ROW-EN
102
列译码器2
RWL1
RWL2
RED-COL-ADDR
97
101
91
RED-WE
RED-DI
RED-DO
写部件和读出放大器
列选择器2
RBL1
RBL2
行冗余控制电路
RED-RESET-R
RED-EN
RED-RESET-C
列译码器
11
COL-ADDR
98
WE
97
12
DI<1>
DO<1>
写部件和读出放大器
列选择器
列冗余控制电路
存储单元阵列
DI<2>
DO<2>
写部件和读出放大器
列选择器
列冗余控制电路
存储单元阵列
97
98
12
11

图. 46

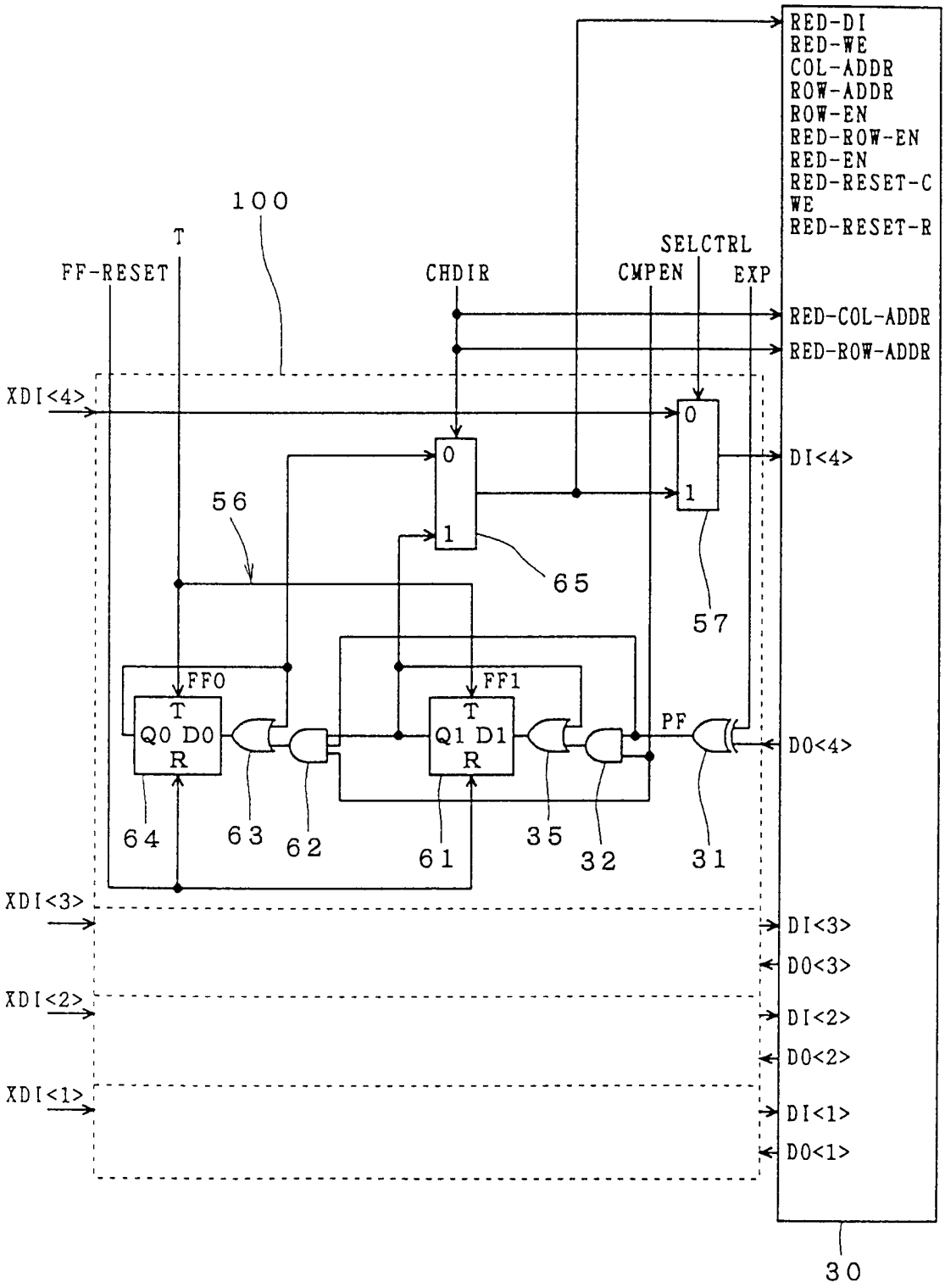

RED-DI
RED-WE
COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-C
WE
RED-RESET-R
100
T
FF-RESET
CHDIR
CMPEN
SELCTRL
EXP
RED-COL-ADDR
RED-ROW-ADDR
XDI<4>
DI<4>
56
65
57
FF0
FF1
T
Q0 D0
R
T
Q1 D1
R
PF
DO<4>
64
63
62
61
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
30

图. 47

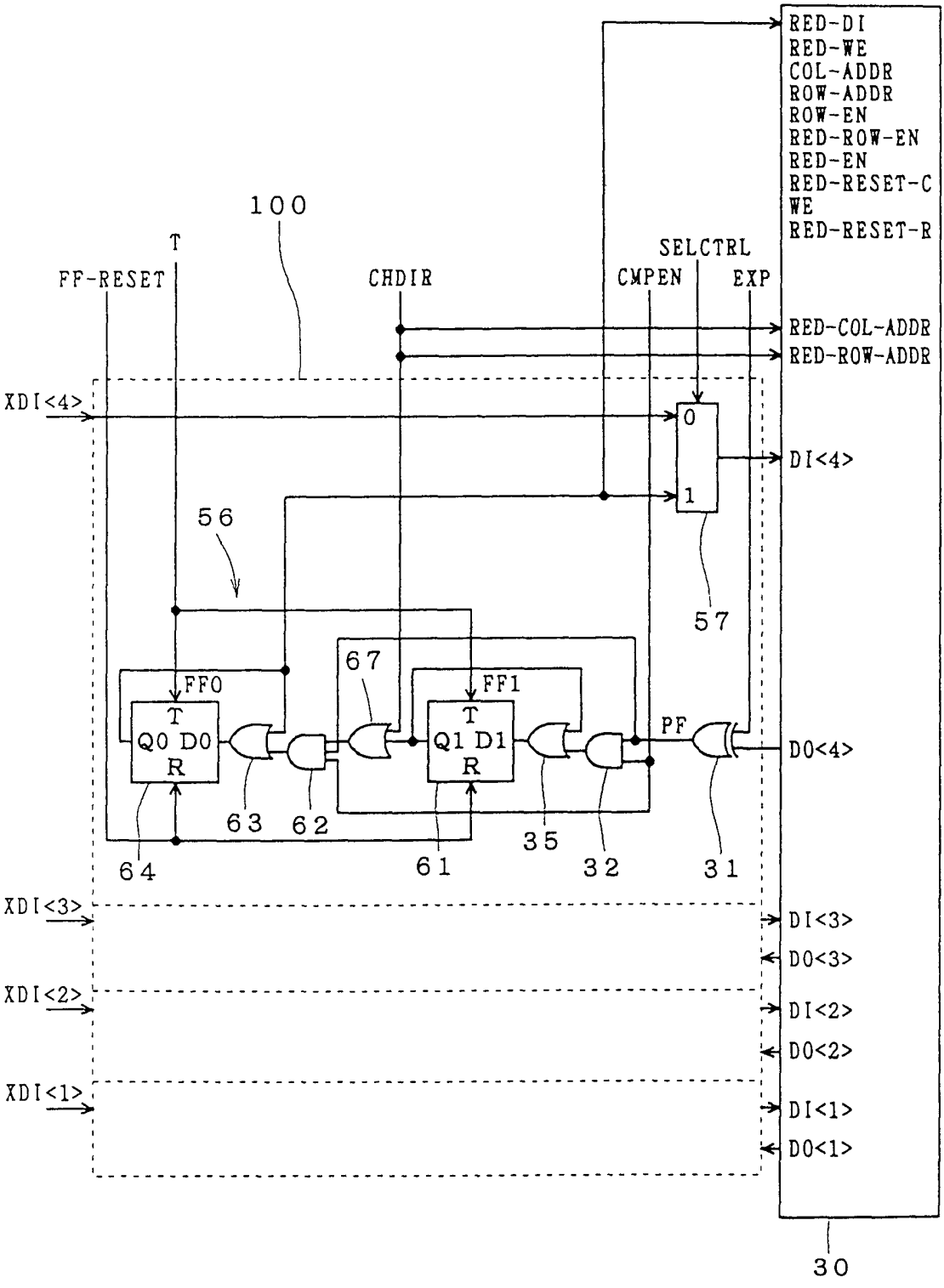

RED-DI
RED-WE
COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-C
WE
RED-RESET-R
100
T
FF-RESET
CHDIR
SELCTRL
CMPEN
EXP
RED-COL-ADDR
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
56
57
67
FF0
FF1
T
Q0 D0
R
T
Q1 D1
R
PF
DO<4>
63
62
35
32
31
64
61
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
30

图. 48

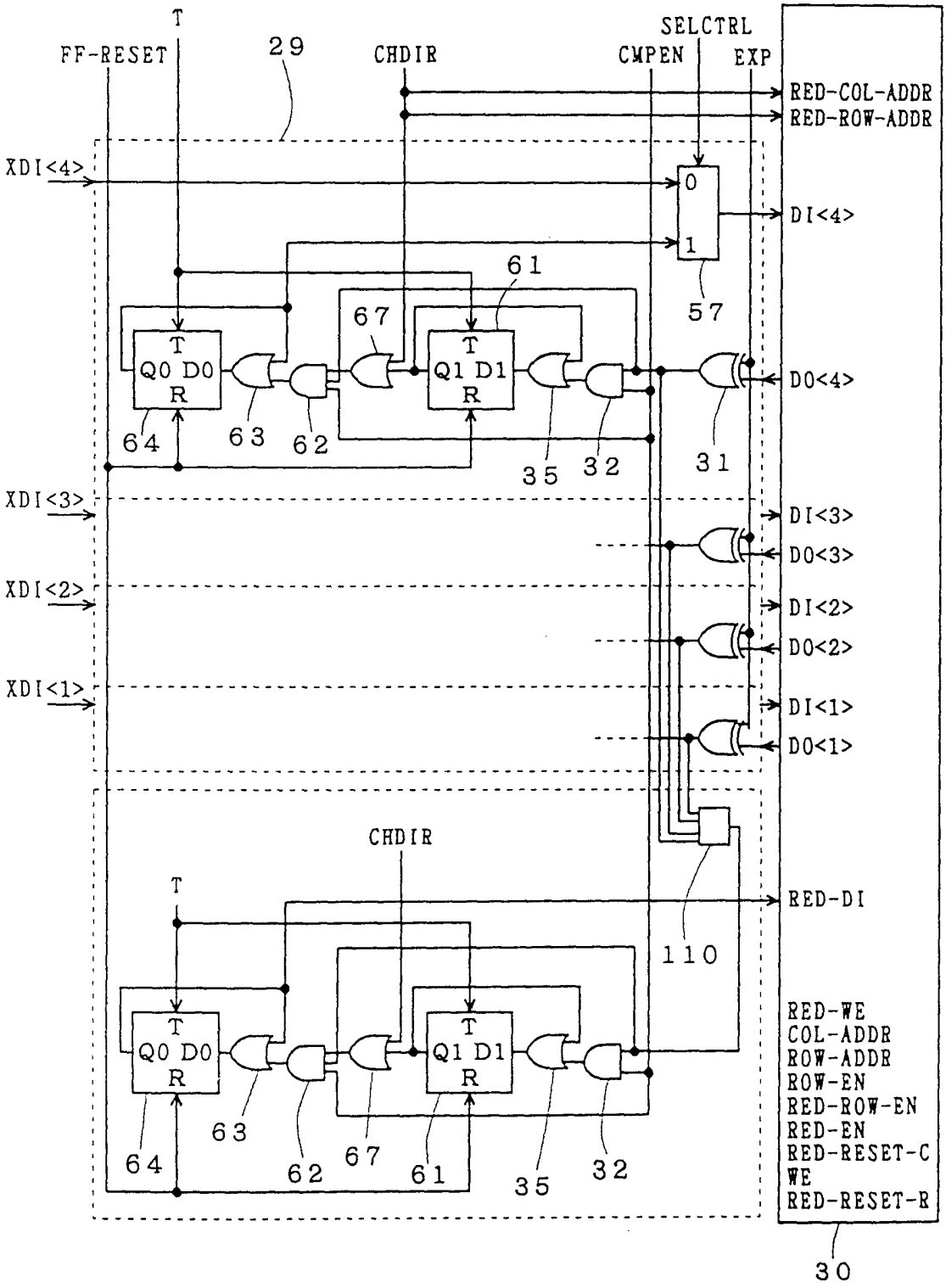

T
FF-RESET
29
CHDIR
SELCTRL
CMPEN
EXP
RED-COL-ADDR
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
57
61
67
T
Q0 D0
R
T
Q1 D1
R
DO<4>
64
63
62
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
CHDIR
T
RED-DI
110
RED-WE
COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-C
WE
RED-RESET-R
30

图. 49

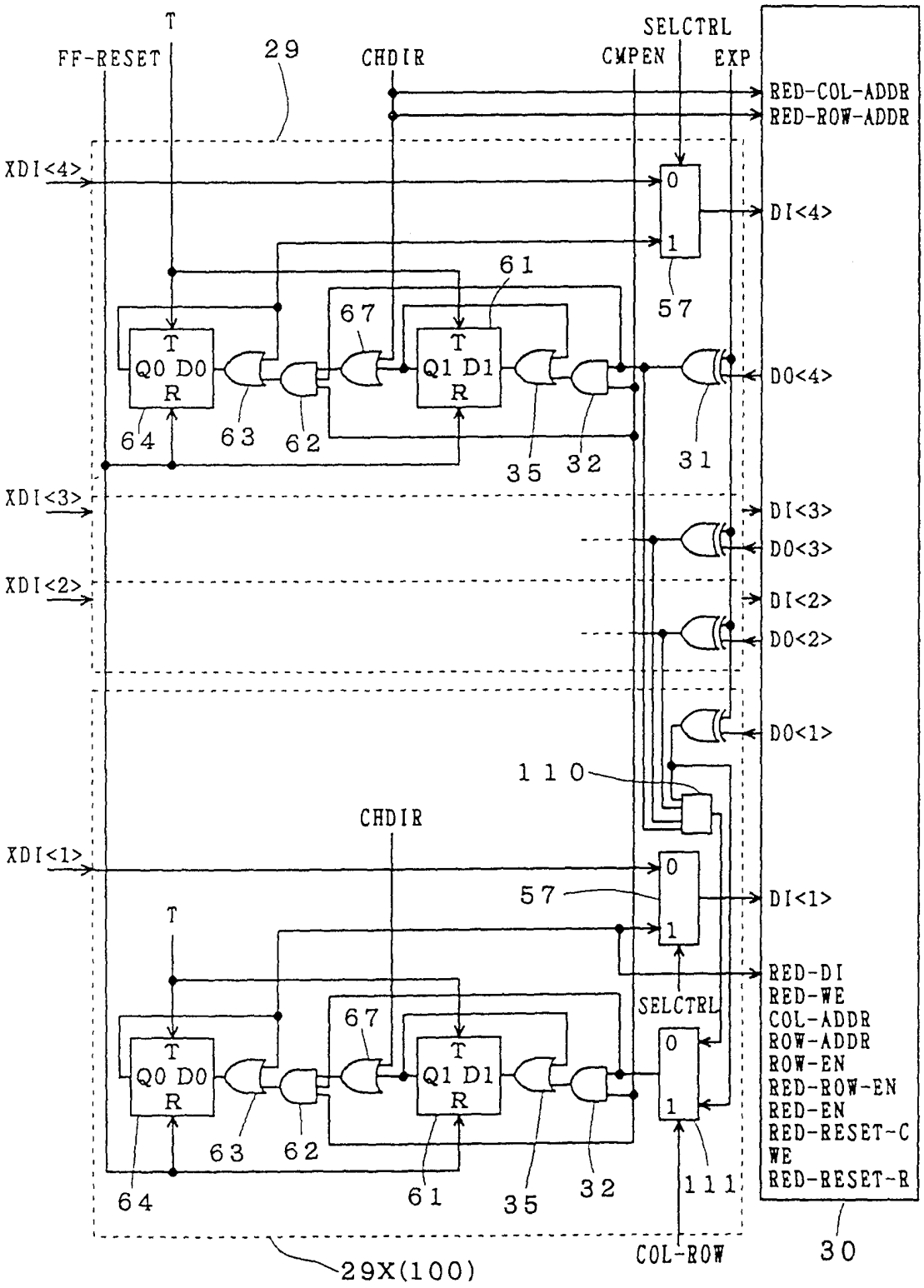

T
FF-RESET
29
CHDIR
SELCTRL
CMPEN
EXP
RED-COL-ADDR
RED-ROW-ADDR
XDI<4>
DI<4>
61
67
57
T
Q0 D0
R
T
Q1 D1
R
DO<4>
64
63
62
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
DO<1>
110
CHDIR
XDI<1>
57
DI<1>
T
RED-DI
RED-WE
COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-C
WE
RED-RESET-R
SELCTRL
67
63
62
64
61
35
32
111
COL-ROW
29X(100)
30

图. 50A

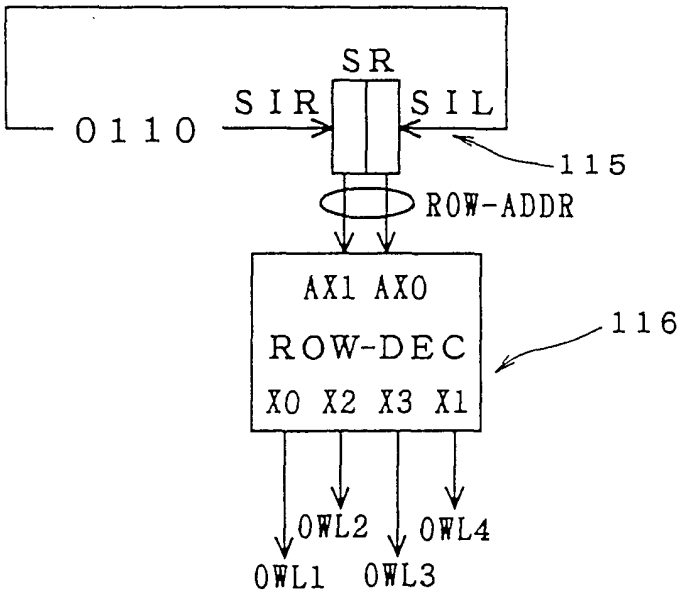

SR
SIR
SIL
0110
115
ROW-ADDR
AX1 AX0
ROW-DEC
X0 X2 X3 X1
116
OWL2
OWL4
OWL1
OWL3

图. 50B

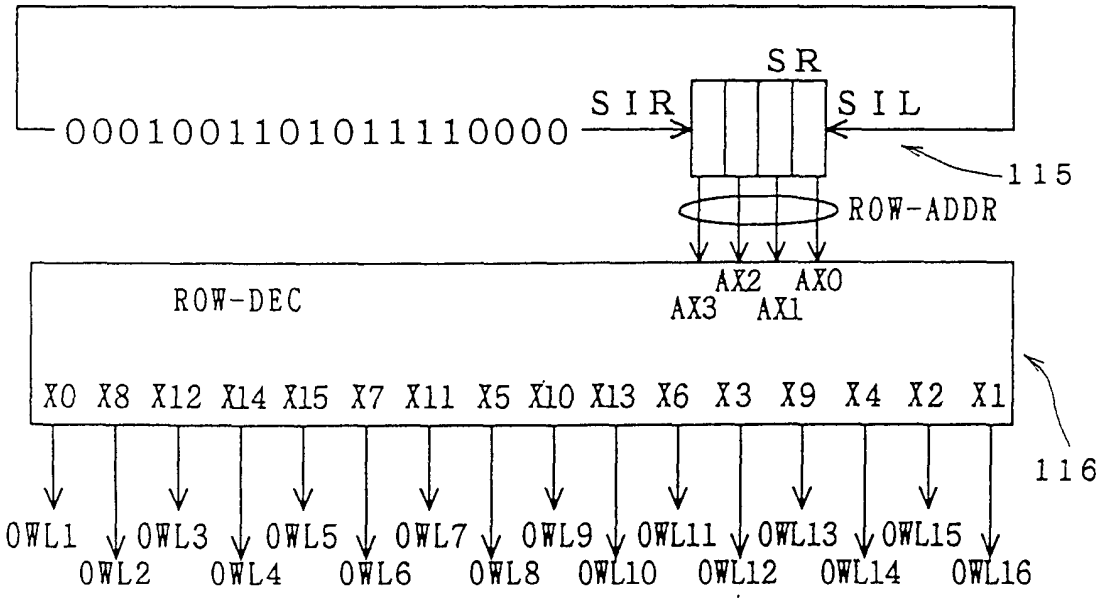

SR
SIR
SIL
0001001101011110000
115
ROW-ADDR
AX2 AX0
AX3 AX1
ROW-DEC
X0 X8 X12 X14 X15 X7 X11 X5 X10 X13 X6 X3 X9 X4 X2 X1
116
OWL1
OWL3
OWL5
OWL7
OWL9
OWL11
OWL13
OWL15
OWL2
OWL4
OWL6
OWL8
OWL10
OWL12
OWL14
OWL16

图. 51

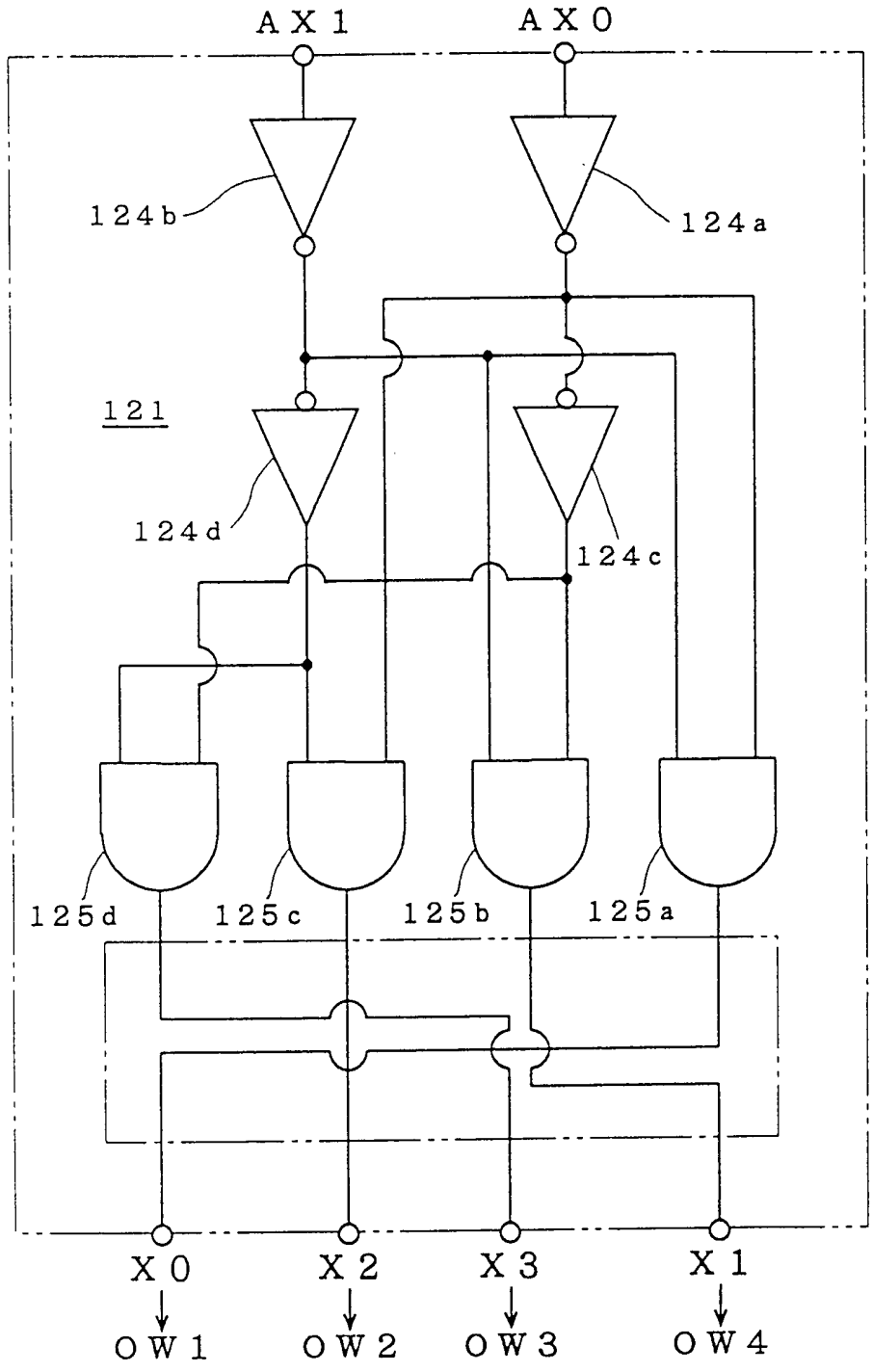

AX1
AX0
124b
124a
121
124d
124c
125d
125c
125b
125a
X0
X2
X3
X1
OW1
OW2
OW3
OW4

图. 52

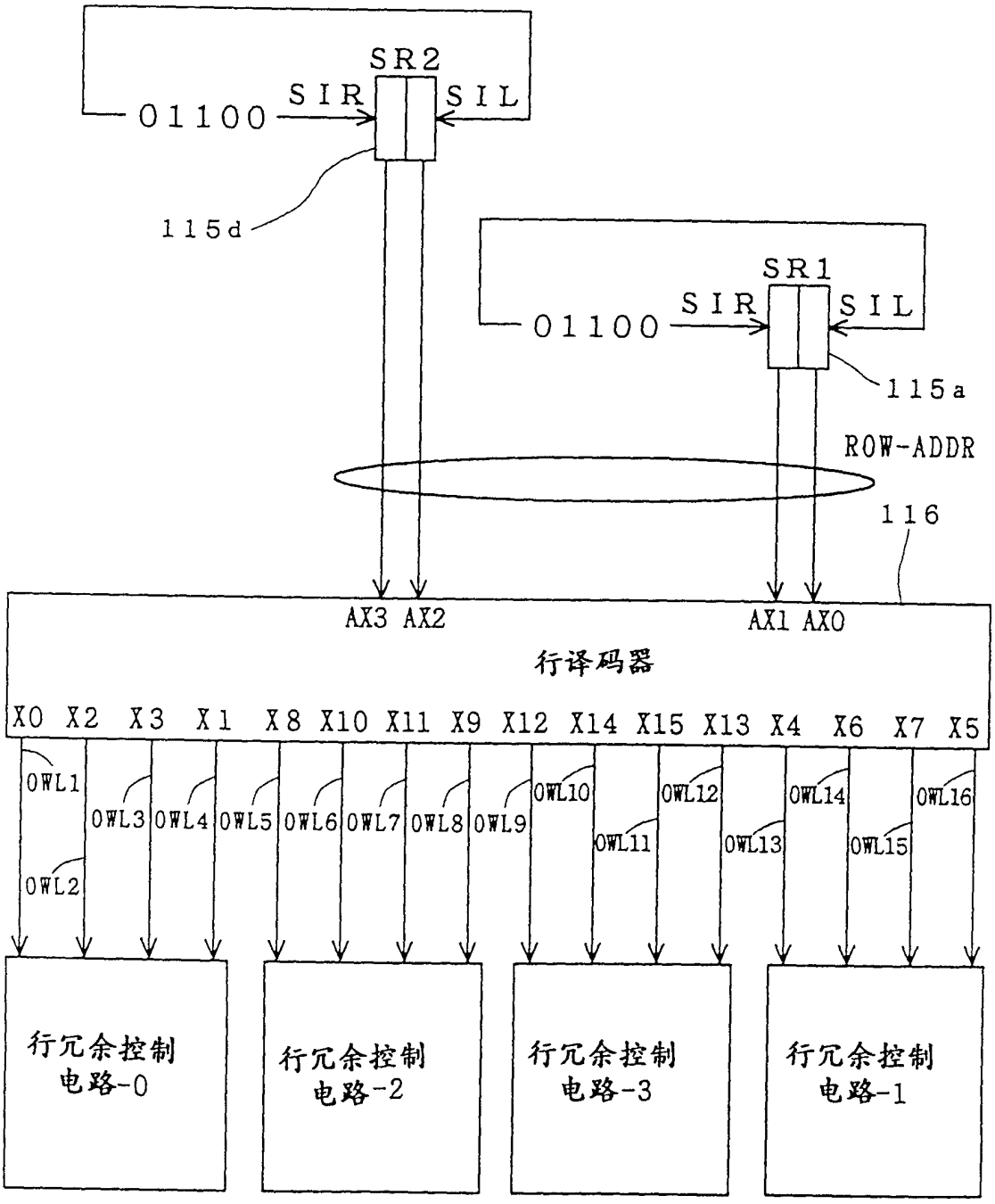

SR2
SIR
SIL
01100
115d
SR1
SIR
SIL
01100
115a
ROW-ADDR
116
AX3 AX2
AX1 AX0
行译码器
X0 X2 X3 X1 X8 X10 X11 X9 X12 X14 X15 X13 X4 X6 X7 X5
0WL1
0WL2
0WL3
0WL4
0WL5
0WL6
0WL7
0WL8
0WL9
0WL10
0WL11
0WL12
0WL13
0WL14
0WL15
0WL16
行冗余控制电路-0
行冗余控制电路-2
行冗余控制电路-3
行冗余控制电路-1

图. 53

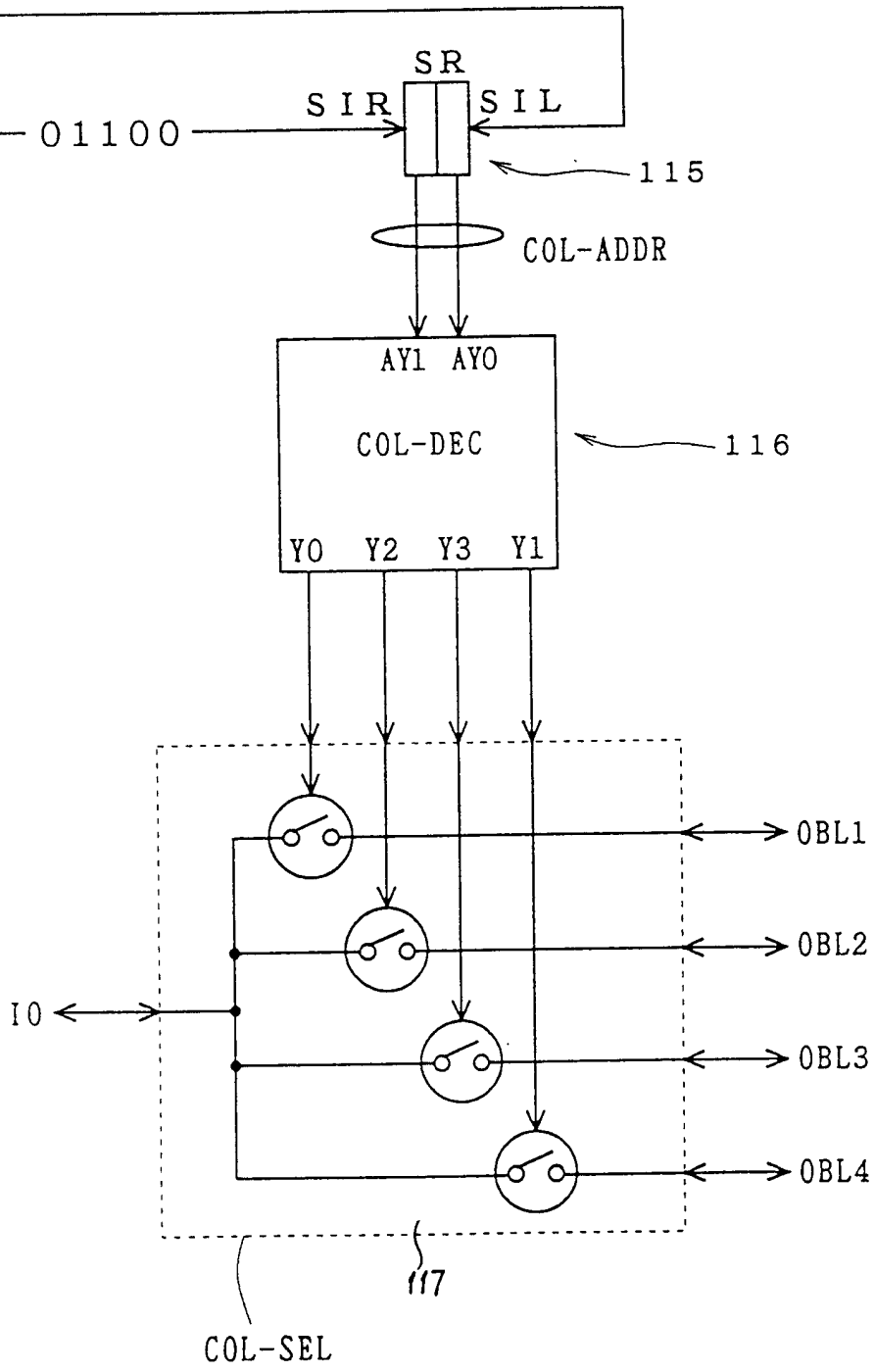
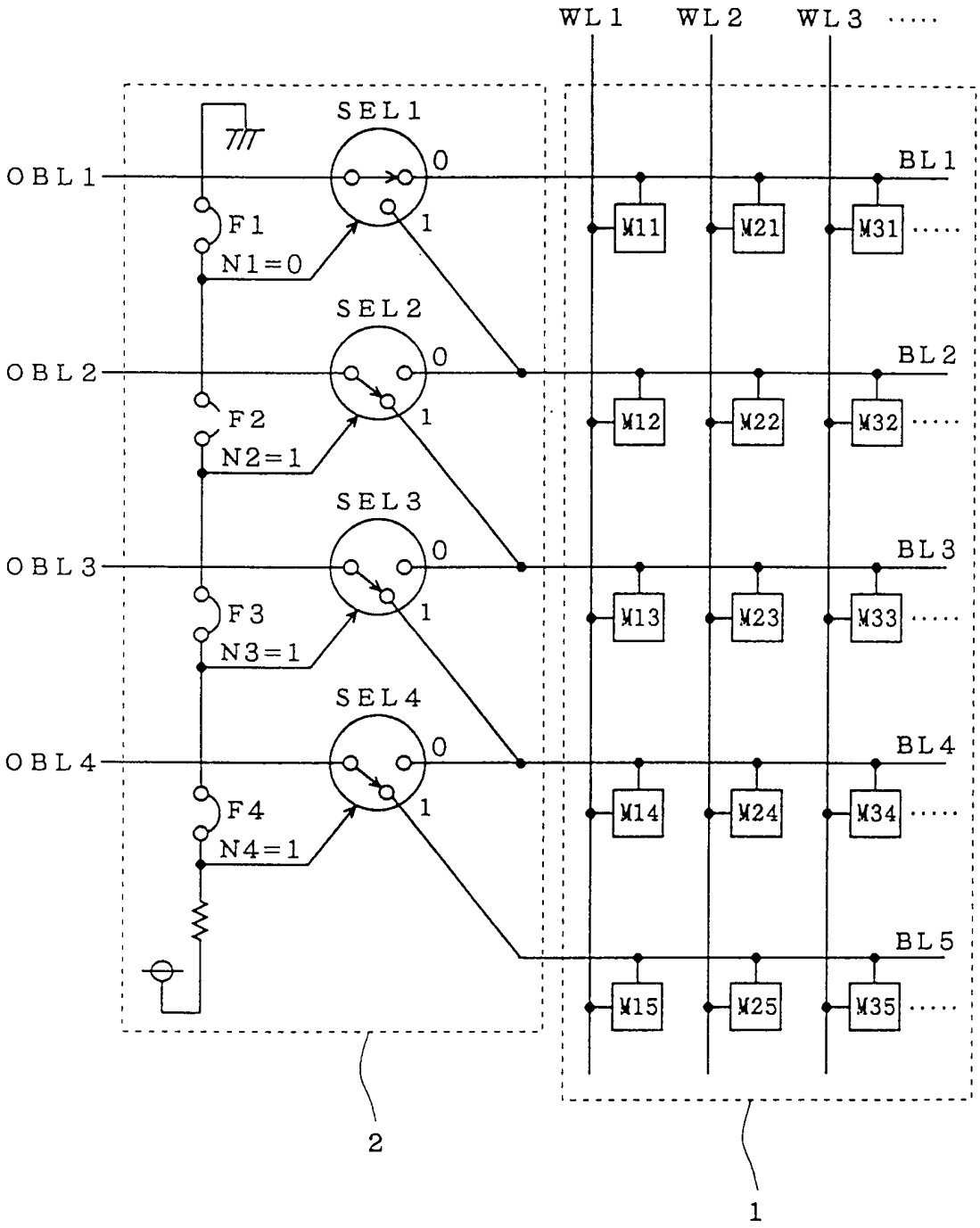

SR
SIR
SIL
01100
115
COL-ADDR
AY1 AY0
COL-DEC
116
Y0 Y2 Y3 Y1
0BL1
0BL2
0BL3
0BL4
I0
117
COL-SEL

图. 54


WL1
WL2
WL3
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
F1
F2
F3
F4
N1=0
N2=1
N3=1
N4=1
0
1
BL1
BL2
BL3
BL4
BL5
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
2
1

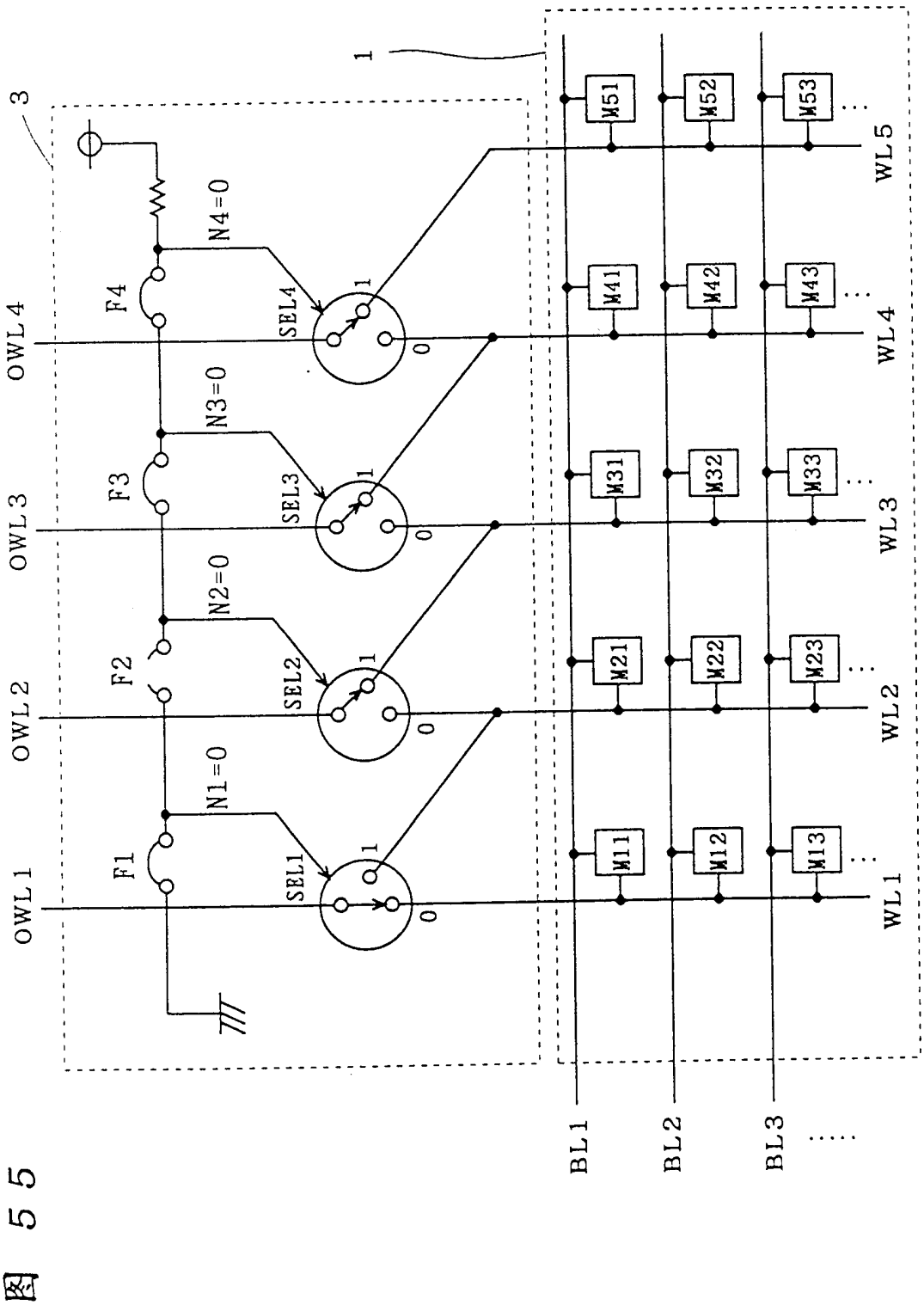

1
3
OWL1
OWL2
OWL3
OWL4
F1
F2
F3
F4
N1=0
N2=0
N3=0
N4=0
SEL1
SEL2
SEL3
SEL4
0
1
W11
W12
W13
W21
W22
W23
W31
W32
W33
W41
W42
W43
W51
W52
W53
WL1
WL2
WL3
WL4
WL5
BL1
BL2
BL3

图 55