



(12) 发明专利

(10) 授权公告号 CN 101562153 B

(45) 授权公告日 2014. 03. 05

(21) 申请号 200910132820. 5

(56) 对比文件

(22) 申请日 2009. 04. 14

CN 1981386 A, 2007. 06. 13,

US 6372609 B1, 2002. 04. 16,

(30) 优先权数据

2008-109180 2008. 04. 18 JP

审查员 王晓峰

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 大沼英人 野村典嗣

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 朱海煜 徐予红

(51) Int. Cl.

H01L 21/8238(2006. 01)

H01L 21/78(2006. 01)

H01L 21/20(2006. 01)

H01L 21/50(2006. 01)

H01L 21/268(2006. 01)

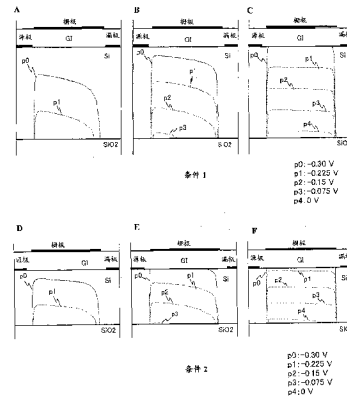
权利要求书5页 说明书17页 附图14页

(54) 发明名称

半导体装置及半导体装置的制造方法

(57) 摘要

本发明名称为半导体装置及半导体装置的制造方法。中间夹着绝缘层贴合具有脆弱层的单晶半导体衬底和基础衬底,通过热处理以脆弱层为界线分离单晶半导体衬底,并在基础衬底上固定单晶半导体层,对单晶半导体层照射激光束,使单晶半导体层处于部分熔化状态来进行再单晶化,而修复结晶缺陷。并且,使用光掩模对成为n型晶体管的岛状单晶半导体层进行沟道掺杂,接着使用该光掩模对该成为n型晶体管的岛状单晶半导体层进行回蚀刻,来将其减薄到薄于成为p型晶体管的岛状单晶半导体层的厚度。



1. 一种半导体装置的制造方法,包括如下步骤:
在单晶半导体衬底中形成脆弱区域;
将所述单晶半导体衬底贴合并固定到衬底;
通过加热所述单晶半导体衬底在所述脆弱区域中产生裂缝,以从所述单晶半导体衬底的一部分进行分离而形成半导体层,其中所述半导体层贴合到所述衬底;
对所述半导体层照射激光束而将所述半导体层再晶化;
从所述半导体层形成第一岛状半导体层和第二岛状半导体层,其中所述第一岛状半导体层的厚度薄于所述第二岛状半导体层的厚度;
将赋予 n 型导电型的杂质元素添加到所述第一岛状半导体层的一部分中而形成源区域和漏区域;以及
将赋予 p 型导电型的杂质元素添加到所述第二岛状半导体层的一部分中而形成源区域和漏区域。
2. 根据权利要求 1 所述的半导体装置的制造方法,其还包括如下步骤:即形成具有所述第一岛状半导体层的 n 型晶体管和具有所述第二岛状半导体层的 p 型晶体管。
3. 根据权利要求 1 所述的半导体装置的制造方法,其还包括如下步骤:即进行热处理而更有效地使所述衬底和所述单晶半导体衬底彼此粘合。
4. 根据权利要求 3 所述的半导体装置的制造方法,其中通过对与所述衬底和所述单晶半导体衬底的粘合有关的区域照射微波而进行所述热处理。
5. 根据权利要求 1 所述的半导体装置的制造方法,其还包括如下步骤:即在所述第一和所述第二岛状半导体层的所述源区域和所述漏区域中形成金属硅化物层。
6. 根据权利要求 5 所述的半导体装置的制造方法,其中包含在所述金属硅化物层中的金属选自自由钛、镍、钨、钼、钴、锆、钨、钽、钒、钽、钨、钼和钽构成的组中。
7. 一种半导体装置的制造方法,包括如下步骤:
在单晶半导体衬底中形成脆弱区域;
将所述单晶半导体衬底贴合并固定到衬底;
通过加热所述单晶半导体衬底在所述脆弱区域中产生裂缝,以从所述单晶半导体衬底的一部分进行分离而形成半导体层,其中所述半导体层贴合到所述衬底;
对所述半导体层照射激光束而将所述半导体层再晶化;
将所述半导体层分离成第一岛状半导体层和第二岛状半导体层;
通过使用掩模对所述第一岛状半导体层进行蚀刻,而使所述第一岛状半导体层的厚度薄于所述第二岛状半导体层的厚度;
通过使用所述掩模将赋予 n 型导电型的杂质元素添加到所述第一岛状半导体层的一部分中而形成源区域和漏区域;以及
将赋予 p 型导电型的杂质元素添加到所述第二岛状半导体层的一部分中而形成源区域和漏区域。
8. 根据权利要求 7 所述的半导体装置的制造方法,其还包括如下步骤:即形成具有所述第一岛状半导体层的 n 型晶体管和具有所述第二岛状半导体层的 p 型晶体管。
9. 根据权利要求 7 所述的半导体装置的制造方法,其还包括如下步骤:即进行热处理而更有效地使所述衬底和所述单晶半导体衬底彼此粘合。

10. 根据权利要求 9 所述的半导体装置的制造方法,其中通过对与所述衬底和所述单晶半导体衬底的粘合有关的区域照射微波而进行所述热处理。

11. 根据权利要求 7 所述的半导体装置的制造方法,其还包括如下步骤:即在所述第一和所述第二岛状半导体层的所述源区域和所述漏区域中形成金属硅化物层。

12. 根据权利要求 11 所述的半导体装置的制造方法,其中包含在所述金属硅化物层中的金属选自自由钛、镍、钨、钼、钴、锆、钨、钒、钽、铬、铂和钯构成的组中。

13. 一种半导体装置的制造方法,包括如下步骤:

在单晶半导体衬底中形成脆弱区域;

将所述单晶半导体衬底贴合并固定到衬底;

通过加热所述单晶半导体衬底在所述脆弱区域中产生裂缝,以从所述单晶半导体衬底的一部分进行分离而形成半导体层,其中所述半导体层贴合到所述衬底;

对所述半导体层照射激光束而将所述半导体层再晶化;

将所述半导体层分离成第一岛状半导体层和第二岛状半导体层;

通过使用第一掩模对所述第一岛状半导体层进行蚀刻,而使所述第一岛状半导体层的厚度薄于所述第二岛状半导体层的厚度;

在所述第一岛状半导体层和所述第二岛状半导体层的上方形成栅极绝缘膜;

在所述第一岛状半导体层的上方形成第一电极,并且在所述第二岛状半导体层的上方形成第二电极;

通过使用所述第一掩模和作为第二掩模的所述第一电极,将赋予 n 型导电型的杂质元素添加到所述第一岛状半导体层的一部分中而形成源区域和漏区域;以及

通过使用所述第二电极作为第三掩模,将赋予 p 型导电型的杂质元素添加到所述第二岛状半导体层的一部分中而形成源区域和漏区域。

14. 根据权利要求 13 所述的半导体装置的制造方法,其还包括如下步骤:即进行热处理而更有效地使所述衬底和所述单晶半导体衬底彼此粘合。

15. 根据权利要求 14 所述的半导体装置的制造方法,其中通过对与所述衬底和所述单晶半导体衬底的粘合有关的区域照射微波而进行所述热处理。

16. 根据权利要求 13 所述的半导体装置的制造方法,其还包括如下步骤:即在所述第一和所述第二岛状半导体层的所述源区域和所述漏区域中形成金属硅化物层。

17. 根据权利要求 16 所述的半导体装置的制造方法,其中包含在所述金属硅化物层中的金属选自自由钛、镍、钨、钼、钴、锆、钨、钒、钽、铬、铂和钯构成的组中。

18. 根据权利要求 13 所述的半导体装置的制造方法,其中所述栅极绝缘膜包含氢。

19. 根据权利要求 13 所述的半导体装置的制造方法,其中通过高密度等离子体处理将所述第一岛状半导体层和所述第二岛状半导体层氧化或氮化而形成所述栅极绝缘膜。

20. 一种半导体装置的制造方法,包括如下步骤:

在单晶半导体衬底中形成脆弱区域;

将所述单晶半导体衬底贴合并固定到衬底;

通过加热所述单晶半导体衬底在所述脆弱区域中产生裂缝,以从所述单晶半导体衬底的一部分进行分离而形成半导体层,其中所述半导体层贴合到所述衬底;

从所述半导体层形成第一岛状半导体层和第二岛状半导体层;

将赋予 n 型导电型的杂质元素添加到所述第一岛状半导体层的一部分中来形成第一源区域和第一漏区域 ;以及

将赋予 p 型导电型的杂质元素添加到所述第二岛状半导体层的一部分中以形成第二源区域和第二漏区域,

其中所述第一源区域的厚度薄于所述第二源区域的厚度,以及

其中所述第一漏区域的厚度薄于所述第二漏区域的厚度。

21. 根据权利要求 20 所述的半导体装置的制造方法,其还包括如下步骤:即形成具有第一岛状半导体层的 n 型晶体管和具有所述第二岛状半导体层的 p 型晶体管。

22. 根据权利要求 20 所述的半导体装置的制造方法,其还包括如下步骤:即进行热处理使得更有效地将所述衬底和所述单晶半导体衬底相互粘合。

23. 根据权利要求 22 所述的半导体装置的制造方法,其中通过对与所述衬底和所述单晶半导体衬底的粘合有关的区域照射微波而进行所述热处理。

24. 根据权利要求 20 所述的半导体装置的制造方法,其还包括如下步骤:即在所述第一源区域中形成第一金属硅化物层,在所述第一漏区域中形成第二金属硅化物层,在所述第二源区域中形成第三金属硅化物层,以及在所述第二漏区域中形成第四金属硅化物层。

25. 根据权利要求 24 所述的半导体装置的制造方法,其中包含在所述第一至第四金属硅化物层中的金属选自自由钛、镍、钨、钼、钴、锆、钨、钽、钒、钽、钨、钼和钽构成的组中。

26. 根据权利要求 20 所述的半导体装置的制造方法,其还包括如下步骤:即对所述半导体层照射激光束以使得所述半导体层再晶化。

27. 根据权利要求 20 所述的半导体装置的制造方法,其还包括如下步骤:在所述衬底或所述单晶半导体衬底上方形成绝缘层,

其中所述绝缘层夹在所述衬底和所述半导体层之间。

28. 一种半导体装置的制造方法,包括步骤:

在单晶半导体衬底中形成脆弱区域;

将所述单晶半导体衬底贴合并固定到衬底;

通过加热所述单晶半导体衬底在所述脆弱区域中产生裂缝,以从所述单晶半导体衬底的一部分进行分离而形成半导体层,其中所述半导体层贴合到所述衬底;

将所述半导体层分离成第一岛状半导体层和第二岛状半导体层;

通过使用掩模来蚀刻所述第一岛状半导体层;

通过使用所述掩模将赋予 n 型导电型的杂质元素添加到所述第一岛状半导体层的一部分中来形成第一源区域和第一漏区域 ;以及

将赋予 p 型导电型的杂质元素添加到所述第二岛状半导体层的一部分中来形成第二源区域和第二漏区域,

其中所述第一源区域的厚度薄于所述第二源区域的厚度,以及

其中所述第一漏区域的厚度薄于所述第二漏区域的厚度。

29. 根据权利要求 28 所述的半导体装置的制造方法,其还包括如下步骤:即形成具有第一岛状半导体层的 n 型晶体管和具有所述第二岛状半导体层的 p 型晶体管。

30. 根据权利要求 28 所述的半导体装置的制造方法,其还包括如下步骤:即进行热处理使得更有效地将所述衬底和所述单晶半导体衬底相互粘合。

31. 根据权利要求 30 所述的半导体装置的制造方法,其中通过对与所述衬底和所述单晶半导体衬底的粘合有关的区域照射微波而进行所述热处理。

32. 根据权利要求 28 所述的半导体装置的制造方法,其还包括如下步骤:即在所述第一源区域中形成第一金属硅化物层,在所述第一漏区域中形成第二金属硅化物层,在所述第二源区域中形成第三金属硅化物层,以及在所述第二漏区域中形成第四金属硅化物层。

33. 根据权利要求 32 所述的半导体装置的制造方法,其中包含在所述第一至第四金属硅化物层中的金属选自钛、镍、钨、钼、钴、锆、钨、钽、钒、钽、钨、钼、钨、钽、钨、钼和钽构成的组中。

34. 根据权利要求 28 所述的半导体装置的制造方法,其还包括如下步骤:即对所述半导体层照射激光束以使得所述半导体层再晶化。

35. 根据权利要求 28 所述的半导体装置的制造方法,其还包括如下步骤:在所述衬底或所述单晶半导体衬底上方形成绝缘层,

其中所述绝缘层夹在所述衬底和所述半导体层之间。

36. 一种半导体装置的制造方法,包括步骤:

在单晶半导体衬底中形成脆弱区域;

将所述单晶半导体衬底贴合并固定到衬底;

通过加热所述单晶半导体衬底在所述脆弱区域中产生裂缝,以从所述单晶半导体衬底的一部分进行分离而形成半导体层,其中所述半导体层贴合到所述衬底;

将所述半导体层分离成第一岛状半导体层和第二岛状半导体层;

通过使用第一掩模对所述第一岛状半导体层进行蚀刻;

在所述第一岛状半导体层和所述第二岛状半导体层上方形成栅极绝缘膜;

在所述第一岛状半导体层上方形成第一栅电极,并且在所述第二岛状半导体层上方形成第二栅电极;

通过使用所述第一掩模和作为第二掩模的所述第一栅电极,将赋予 n 型导电型的杂质元素添加到所述第一岛状半导体层的一部分中而形成第一源区域和第一漏区域;以及

通过使用所述第二栅电极作为第三掩模,将赋予 p 型导电型的杂质元素添加到所述第二岛状半导体层的一部分中而形成第二源区域和第二漏区域,

其中所述第一源区域的厚度薄于所述第二源区域的厚度,以及

其中所述第一漏区域的厚度薄于所述第二漏区域的厚度。

37. 根据权利要求 36 所述的半导体装置的制造方法,其还包括如下步骤:即进行热处理使得更有效地将所述衬底和所述单晶半导体衬底相互粘合。

38. 根据权利要求 37 所述的半导体装置的制造方法,其中通过对与所述衬底和所述单晶半导体衬底的粘合有关的区域照射微波而进行所述热处理。

39. 根据权利要求 36 所述的半导体装置的制造方法,其还包括如下步骤:即在所述第一源区域中形成第一金属硅化物层,在所述第一漏区域中形成第二金属硅化物层,在所述第二源区域中形成第三金属硅化物层,以及在所述第二漏区域中形成第四金属硅化物层。

40. 根据权利要求 39 所述的半导体装置的制造方法,其中包含在所述第一至第四金属硅化物层中的金属选自钛、镍、钨、钼、钴、锆、钨、钽、钒、钽、钨、钼和钽构成的组中。

41. 根据权利要求 36 所述的半导体装置的制造方法,其还包括如下步骤:即对所述半导体层照射激光束以使得所述半导体层再晶化。

42. 根据权利要求 36 所述的半导体装置的制造方法, 还包括如下步骤: 在所述衬底或所述单晶半导体衬底上方形成绝缘层,

其中所述绝缘层夹在所述衬底和所述半导体层之间。

43. 根据权利要求 36 所述的半导体装置的制造方法, 其中所述栅极绝缘膜包含氢。

44. 根据权利要求 36 所述的半导体装置的制造方法, 其中通过高密度等离子体处理将所述第一岛状半导体层和所述第二岛状半导体层氧化或氮化而形成所述栅极绝缘膜。

半导体装置及半导体装置的制造方法

技术领域

[0001] 本发明涉及半导体装置及半导体装置的制造方法。本发明尤其涉及使用通过氢离子注入剥离法形成的单晶半导体膜的半导体装置及半导体装置的制造方法。

背景技术

[0002] 近年开发出利用在绝缘表面上存在有较薄的单晶半导体膜的 SOI (Silicon on Insulator ; 绝缘体上硅) 衬底来代替大块状硅片的集成电路。因为通过有效地利用形成在绝缘膜上的薄的单晶硅层的特长, 可以使集成电路中的晶体管彼此完全分离地形成, 并且可以将晶体管制造成完全耗尽型, 所以可以实现高集成、高速驱动、低耗电等的附加价值高的半导体集成电路。

[0003] 作为制造 SOI 衬底的方法之一, 已知组合氢离子注入和剥离的氢离子注入剥离法。以下说明利用氢离子注入剥离法的 SOI 衬底的制造方法的概要。首先, 通过利用离子注入法对成为剥离用衬底的硅片注入氢离子, 而在离表面有预定的深度的位置形成离子注入层。接下来, 中间夹着氧化硅膜将注入有氢离子的硅片接合 (粘合) 到其他硅片。然后, 通过进行热处理, 以离子注入层为劈开面, 注入有氢离子的剥离用硅片剥离成薄膜状, 而可以在被剥离用硅片上形成单晶硅膜。另外, 氢离子注入剥离法有时也称为智能切割法 (注册商标)。

[0004] 此外, 还提出有利用这种氢离子注入剥离法在由玻璃等构成的基础衬底上形成单晶硅膜的方法 (例如, 参照专利文献 1 及 2)。在专利文献 1 中对剥离面进行机械研磨, 以便去除因离子注入形成的缺陷层、剥离面上的几 nm 至几十 nm 的水平差。另外, 在专利文献 2 中, 在剥离工序之后照射激光束以改善半导体薄膜层的结晶品质并使半导体薄膜层和透明的绝缘衬底牢固地结合。

[0005] [专利文献 1] 日本专利申请公开 H11-097379 号公报

[0006] [专利文献 2] 日本专利申请公开 2005-252244 号公报

[0007] 在使用离子注入法形成单晶半导体膜的情况下, 由于离子的注入而使单晶半导体膜的缺陷增大。在单晶半导体膜中存在有多个缺陷的情况下, 例如, 因为在与栅极绝缘膜之间的界面中易形成缺陷的能级, 所以使用此制造的半导体元件的特性欠佳。

[0008] 常规上, 贴合到硅片上的半导体膜的结晶缺陷通过以高温 (例如 800°C 以上) 进行加热来去除。然而, 虽然通过使用玻璃衬底作为基础衬底可以制造大面积且廉价的 SOI 衬底, 但是因为其应变点为 700°C 以下耐热性低, 所以不可以使用这种高温处理来去除单晶半导体膜的缺陷。

[0009] 在专利文献 2 中示出对进行剥离之后的单晶半导体膜照射激光束来改善单晶半导体膜的结晶性的方法。然而, 虽然通过照射激光可以修复结晶缺陷, 但是在该修复不充分的情况下会产生空穴陷阱。

[0010] 这种空穴陷阱对当使用单晶半导体膜形成晶体管时的 S 值产生影响。在表示栅极电压 V_g 和漏电流 I_d 的关系的图表中, S 值是指 I_d - V_g 曲线 (晶体管的亚阈值区域中) 的上

升部分的系数,并且 S 值表示漏电流 I_d 陡峭地上升的地点的曲线的倾斜度。换言之, S 值是指该漏电流 I_d 增大时的栅极电压的变化。该 S 值越小晶体管的特性越优选。

发明内容

[0011] 本发明的一个方式的目的在于提供如下半导体装置及半导体装置的制造方法,其中使用玻璃衬底作为基础衬底并使用离子注入剥离法形成单晶半导体膜的晶体管的 S 值变小。另外,本发明的一个方式的目的在于提供一种使用玻璃衬底作为基础衬底并使用离子注入剥离法形成单晶半导体膜的晶体管中的半导体层的结晶性良好的半导体装置及半导体装置的制造方法。

[0012] 本发明之一的半导体装置具有使用通过氢离子注入剥离法形成的单晶半导体膜的晶体管。特别地,通过对单晶半导体膜照射激光束只使单晶半导体膜的上层熔化(以下,也写作激光部分熔化处理),而进行使上层结晶成长的处理以与基底的结晶性一致。另外,特别地,上述晶体管具有由第一厚度的单晶硅膜构成的 n 沟道型晶体管和由厚于第一厚度的第二厚度的单晶硅膜构成的 p 沟道型晶体管。通过采用这种结构,不但可以通过激光部分熔化处理得到良好的结晶性,而且还可以使 S 值变小。

[0013] 本发明人发现:当使用氢离子注入剥离法在由玻璃等构成的基础衬底上形成单晶硅膜,并且进行激光部分熔化处理,而形成晶体管时,如将 n 沟道型晶体管与 p 沟道型晶体管进行比较,则得到 n 沟道型晶体管的 S 值大的结果。另一方面,如在进行激光部分熔化处理之后将单晶半导体层薄膜化,则有 n 沟道型晶体管的 S 值变小,而 p 沟道型晶体管的 S 值反而增大的趋势。通常情况下,有当将有源层减薄时 S 值变小的趋势。本发明人将如上所述的 n 沟道型晶体管和 p 沟道型晶体管的趋势的差异的原因分析为如下,即在接近于衬底的有源层的界面近旁存在有产生空穴陷阱的多个缺陷,并且 p 沟道型晶体管受到影响的原因是因为多数载流子是空穴,所以当将有源层减薄时基底近旁的缺陷影响到 p 沟道型晶体管特性。另一方面,因为 n 沟道型晶体管的多数载流子是电子,所以此不影响到 n 沟道型晶体管特性。因此,当将有源层减薄时只有 p 沟道型晶体管的 S 值变大。

[0014] 进而,本发明人研究考察出如下,即 S 值和单晶半导体层厚度的关系在 n 沟道型晶体管和 p 沟道型晶体管中不同的原因在于单晶半导体层的形成方法。本发明人认为,因为一般已知由氢掺杂产生成为空穴陷阱的结晶缺陷,所以该结果的原因是在贴合面一侧的单晶半导体区域中存在有由氢掺杂产生的成为空穴陷阱的结晶缺陷。换言之,本发明人研究考察出如下,即使用氢离子注入剥离法形成的单晶半导体层在其层中具有结晶缺陷,虽然通过激光部分熔化处理在单晶半导体层的表面层中的结晶缺陷被修复,但是不被激光部分熔化处理熔化的接近于基础衬底的区域的单晶半导体层中的结晶缺陷不被修复。并且,因为该结晶缺陷作为空穴陷阱起作用,所以随着薄膜化的进展而沟道区域靠近该空穴陷阱,只有其特性易受到空穴陷阱影响的 p 沟道型晶体管的 S 值变大。

[0015] 根据如上所述的研究考察,本发明人认为,通过对 n 沟道型晶体管进行薄膜化处理(也称为回蚀刻),可以使 n 沟道型晶体管和 p 沟道晶体管都得到小的 S 值。作为用于实现此的工序,例如可以举出,对 n 沟道型晶体管在进行激光部分熔化处理之后进行有源层的薄膜化处理,而对 p 沟道型晶体管只在进行激光部分熔化处理之前进行薄膜化处理。

[0016] 分别控制用于使用离子注入剥离法形成单晶半导体膜的晶体管的 n 沟道型晶体

管和 p 沟道型晶体管的单晶半导体膜的厚度。由此,可以提供使 S 值变小的半导体装置及半导体装置的制造方法。

[0017] 在使用离子注入剥离法形成单晶半导体膜的晶体管中,通过使用激光部分熔化处理,可以提供半导体层的结晶性良好的半导体装置及半导体装置的制造方法。

附图说明

- [0018] 图 1A 至 1F 是表示半导体装置的制造工序的图;
- [0019] 图 2A 至 2D 是表示半导体装置的制造工序的图;
- [0020] 图 3A 至 3D 是表示半导体装置的制造工序的图;
- [0021] 图 4A 及 4B 是半导体装置的平面图及截面图;
- [0022] 图 5 是半导体装置的截面图;
- [0023] 图 6 是表示半导体装置的电特性的图;
- [0024] 图 7A 及 7B 是表示半导体装置的模拟结果的图;
- [0025] 图 8A 及 8B 是表示半导体装置的电特性和模拟结果的图;
- [0026] 图 9A 至 9C 是表示半导体装置的模拟结果的图;
- [0027] 图 10A 至 10F 是表示半导体装置的模拟结果的图;
- [0028] 图 11A 至 11H 是表示使用半导体装置的电子设备的图;
- [0029] 图 12A 至 12C 是表示使用半导体装置的电子设备的图。
- [0030] 本发明的选择图是图 10A 至 10F。

具体实施方式

[0031] 实施方式 1

[0032] 在本实施方式中,参照图 1A 至 4B 说明本发明的半导体装置的制造方法。

[0033] 首先,准备基础衬底 110(参照图 1A)。作为基础衬底 110,可以优选地使用用于液晶显示装置等的具有透光性的玻璃衬底。作为玻璃衬底,可以使用其应变点是 580℃ 以上且 680℃ 以下(优选的是 600℃ 以上且 680℃ 以下)的玻璃衬底。此外,玻璃衬底优选是无碱玻璃衬底。作为无碱玻璃衬底,例如使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等的玻璃材料。

[0034] 注意,作为基础衬底(也称为支撑衬底)110,除了玻璃衬底以外,还可以使用陶瓷衬底、石英衬底或蓝宝石衬底等的由绝缘体构成的衬底、由硅等的半导体材料构成的衬底、由金属或不锈钢等导体构成的衬底等。

[0035] 虽然在本实施方式中没有表示,但是也可以在基础衬底 110 的表面上形成绝缘层。通过设置该绝缘层,在基础衬底 110 包含杂质(碱金属或碱土金属等)的情况下可以防止该杂质扩散到半导体层。绝缘层可以是单层结构或叠层结构。作为构成绝缘层的材料,可以举出氧化硅、氮化硅、氧氮化硅、氮氧化硅等。

[0036] 接着,准备单晶半导体衬底 100。作为单晶半导体衬底 100,例如可以使用由硅、锗、硅锗、碳化硅等的第 14 族元素构成的单晶半导体衬底。当然,也可以使用由砷化镓、磷化铟等的化合物半导体构成的衬底。在本实施方式中,作为单晶半导体衬底 100,使用单晶硅衬底。虽然对单晶半导体衬底 100 的形状或尺寸没有限制,但是例如也可以将 8 英寸

(200mm)、12 英寸 (300mm)、18 英寸 (450mm) 等的圆形半导体衬底加工为矩形来使用。注意, 在本说明书中, 单晶是指以一定的规则性形成结晶结构并且所有部分的晶轴都朝向相同方向的结晶。换言之, 在本说明书中与缺陷的多少无关。

[0037] 在清洗单晶半导体衬底 100 之后, 在单晶半导体衬底 100 的表面上形成绝缘层。虽然可以采用不设置绝缘层的结构, 但是优选设置绝缘层, 以便防止在后面步骤中照射离子时单晶半导体衬底 100 受到污染以及其表面受到损伤。

[0038] 接着, 隔着上述绝缘层由利用电场进行加速的离子构成的离子束引入到单晶半导体衬底 100 中, 以在离单晶半导体衬底 100 的表面有预定深度的区域中形成脆弱区域 102。形成脆弱区域 102 的区域的深度可以根据离子束的加速能量和离子束的入射角控制。在此, 脆弱区域 102 形成在与离子平均侵入深度相同程度的深度的区域中。

[0039] 从单晶半导体衬底 100 分离的半导体层的厚度取决于形成脆弱区域 102 的深度。形成脆弱区域 102 的深度是离单晶半导体衬底 100 的表面有 50nm 以上且 500nm 以下的深度, 优选是离单晶半导体衬底 100 的表面有 50nm 以上且 200nm 以下的深度。如果形成脆弱层 102 的深度比上述过深或过浅, 就会使被分离的半导体层过厚或过薄。如果被分离的半导体层过厚, 则该厚度不适合于形成的晶体管。如果被分离的半导体层过薄, 则当从单晶半导体衬底 100 分离时成为不良的原因。

[0040] 当对单晶半导体衬底 100 照射离子时, 可以使用离子注入装置或者离子掺杂装置。在离子注入装置中, 激发源气体来产生离子种, 并且对所产生的离子种进行质量分离, 而对被处理物注入具有预定的质量的离子种。在离子掺杂装置中, 激发源气体来产生离子种, 对所产生的离子种不进行质量分离而将其照射到被处理物中。此外, 在具备质量分离装置的离子掺杂装置中, 与离子注入装置同样地也可以进行有质量分离的离子注入。在本说明书中, 只在特别需要使用离子注入装置及离子掺杂装置中的其中一方的情况下明确记载, 而在没有特别明确记载的情况下可以使用任一方装置来进行离子照射。

[0041] 使用离子掺杂装置时的离子照射工序例如可以以下面的条件进行。

[0042] • 加速电压 10kV 以上且 100kV 以下 (优选的是 30kV 以上且 80kV 以下)

[0043] • 剂量 1×10^{16} ions/cm² 以上且 4×10^{16} ions/cm² 以下

[0044] • 射束电流密度 $2 \mu\text{A/cm}^2$ 以上 (优选的是 $5 \mu\text{A/cm}^2$ 以上, 更优选的是 $10 \mu\text{A/cm}^2$ 以上)

[0045] 在使用离子掺杂装置的情况下, 可以使用包含氢的气体作为离子照射工序的源气体。通过使用该气体, 可以产生 H^+ 、 H_2^+ 、 H_3^+ 作为离子种。在作为源气体使用该气体的情况下, 优选多照射 H_3^+ 。具体而言, 优选使离子束相对于 H^+ 、 H_2^+ 、 H_3^+ 的总量包含 70% 以上的 H_3^+ 离子。此外, 优选将 H_3^+ 离子的比例设定为 80% 以上。如此, 通过提高 H_3^+ 的比例, 可以以少的离子照射使脆弱区域 102 包含 1×10^{20} atoms/cm³ 以上的浓度的氢。由此, 容易进行从脆弱区域 102 的剥离。此外, 通过多照射 H_3^+ 离子, 与照射 H^+ 、 H_2^+ 时相比, 离子的照射效率得到提高。换言之, 可以缩短离子照射所需要的时间。

[0046] 在使用离子注入装置的情况下, 优选通过质量分离注入 H_3^+ 离子。当然, 也可以注入 H_2^+ 。但是, 因为在使用离子注入装置的情况下选择离子种来注入, 所以与使用离子掺杂装置的情况相比, 有可能离子照射的效率降低。

[0047] 在形成上述脆弱区域 102 之后, 去掉绝缘层, 新形成绝缘层 111 (参照图 1B)。在

此,去掉绝缘层是因为当进行上述离子照射时绝缘层受到损伤的可能性高。注意,如在脆弱区域 102 的形成之前形成的绝缘层的损伤不成为问题的情况下,则不需要去掉绝缘层。在此情况下,也可以将在脆弱区域 102 的形成之前形成的绝缘层用作绝缘层 111,而不形成绝缘层 111。

[0048] 因为绝缘层 111 是形成贴合时的粘合的层,所以其表面优选具有高平坦性。作为这种绝缘层 111,例如可以利用使用有机硅烷气体通过化学气相成长法形成的氧化硅膜。注意,虽然在本实施方式中绝缘层 111 采用单层结构,但是也可以采用两层以上的叠层结构。

[0049] 另外,绝缘层 111 也可以通过在氧化性气氛下对单晶半导体衬底 100 进行热处理来形成。另外,绝缘层 111 也可以通过在形成脆弱区域 102 之前在氧化性气氛下对单晶半导体衬底 100 进行热处理来形成。作为热氧化处理,优选进行对氧化性气氛中添加卤素的氧化。在通过添加卤素进行热氧化来形成的绝缘层中含有卤素,并且通过包含 1×10^{16} atoms/cm³ 以上 2×10^{21} atoms/cm³ 以下的浓度的卤素,可以使其发挥捕获碱金属等的杂质而防止单晶半导体衬底 100 的污染的保护膜的机能。

[0050] 然后,贴合上述基础衬底 110 和单晶半导体衬底 100(参照图 1C)。具体而言,在通过超声波清洗等的方法清洗基础衬底 110 和绝缘层 111 的表面之后,使基础衬底 110 的表面和绝缘层 111 的表面彼此接触地配置,并且进行加压处理以使基础衬底 110 的表面和绝缘层 111 的表面之间形成粘合(接合)。一般认为范德瓦耳斯力、氢键作用于粘合的形成。

[0051] 注意,也可以在形成粘合之前对基础衬底 110 或绝缘层 111 的表面进行氧等离子体处理或臭氧处理,来使其表面成为亲水性。因为通过该处理对基础衬底 110 或绝缘层 111 的表面附加羟基,所以可以效率好地形成氢键。

[0052] 接着,对彼此贴合的基础衬底 110 及单晶半导体衬底 100 进行加热处理,而使该贴合牢固。需要将此时的加热处理的温度设定为不使脆弱区域 102 中的分离进展的温度。例如,可以将其设定为小于 400°C,优选设定为 300°C 以下。对加热处理时间没有特别的限制,根据处理速度和贴合强度的关系适当地设定最适的条件即可。在本实施方式中,以 200°C 进行 2 小时的加热处理。在此,也可以只对涉及贴合的区域照射微波并局部地进行加热。注意,在贴合强度没有问题的情况下,也可以省略上述加热处理。

[0053] 接着,在脆弱区域 102 上将单晶半导体衬底 100 分离成单晶半导体层 112 和单晶半导体衬底 118(参照图 1D)。通过加热处理进行单晶半导体衬底 100 的分离。作为该加热处理的温度,可以以基础衬底 110 的耐热温度为基准。例如,在作为基础衬底 110 使用玻璃衬底的情况下,优选将加热温度设定为 400°C 以上且 650°C 以下。但是,若是较短的时间,则可以进行 400°C 以上且 700°C 以下的加热处理。注意,在本实施方式中以 600°C 进行 2 小时的加热处理。

[0054] 通过进行如上述那样的加热处理,形成在脆弱区域 102 中的微小的空孔的体积发生变化,而在脆弱区域 102 中产生裂缝。其结果是,沿着脆弱区域 102 对单晶半导体衬底 100 进行劈开。因为绝缘层 111 与基础衬底 110 贴合在一起,所以在基础衬底 110 上固定有从单晶半导体衬底 100 分离的单晶半导体层 112。此外,通过该加热处理加热涉及基础衬底 110 和绝缘层 111 的贴合的界面,所以在涉及贴合的界面中形成共价键,而使基础衬底 110 和绝缘层 111 的结合力进一步得到提高。

[0055] 然后,进行以单晶半导体层 112 的缺陷的降低等为目的的激光部分熔化处理。在

本实施方式中,对单晶半导体层 112 照射激光束 113(参照图 1E)。

[0056] 密贴到支撑衬底 110 上的单晶半导体层 112 的结晶性由于脆弱区域 102 的形成及脆弱区域 102 中的劈开等受到损伤。换言之,加工之前的单晶半导体衬底没有的转变等的结晶缺陷、悬空键等的微小的结晶缺陷形成在单晶半导体层 112 中。另外,因为单晶半导体层 112 的表面是从单晶半导体衬底进行分离的面,所以其平坦性受到了损伤。使单晶半导体层 112 熔化以便恢复单晶半导体层 112 的结晶性,并且照射激光束 113 以便使其再单晶化。另外,照射激光束 113 使单晶半导体层 112 熔化,以便将单晶半导体层 112 的表面平坦化。注意,单晶半导体层的再单晶化是指单晶结构的半导体层经过与其单晶结构不同的状态(例如,是液相状态),而再成为单晶结构的情况。或者,单晶半导体层的再单晶化也可以指将具有如上所述那样的结晶缺陷的单晶半导体层再结晶化,而形成单晶半导体层的情况。

[0057] 照射激光束 113 之后,单晶半导体层 112 吸收激光束 113,并且照射了激光束 113 的部分的温度上升。当该部分的温度成为单晶半导体衬底的熔点以上的温度时,该部分熔化。当停止照射激光束 113 时,单晶半导体层 112 的熔化部分的温度降低,然后熔化部分凝固并进行再单晶化。通过扫描激光束 113,对整个单晶半导体层 112 照射激光束 113。或者,也可以只对单晶半导体层 112 的需要进行再单晶化的区域照射激光束 113。

[0058] 受到了激光照射处理的单晶半导体层 120 的结晶性比单晶半导体层 112 高。或者,通过进行激光照射处理可以提高平坦性。这是因为通过使单晶半导体层 112 熔化而可以修复存在于单晶半导体层 112 中的悬空键中的微小缺陷的缘故。另外,可以通过如下方法评价单晶半导体层 120 的结晶性:即电子背散射衍射(EBSP;Electron Back Scatter Diffraction Pattern)的测量;X 射线衍射图像的测量;利用光学显微镜及电子显微镜的观察;以及拉曼光谱的测量等。另外,通过利用原子力显微镜的观察等可以评价单晶半导体层 120 表面的平坦性。

[0059] 通过照射激光束 113,使单晶半导体层 112 中的被照射激光束 113 的区域部分地熔化。使单晶半导体层 112 部分地熔化是指将被熔化的深度设定为比与第一绝缘层之间的界面(单晶半导体层 112 的厚度)浅地使单晶半导体层 112 熔化。换言之,单晶半导体层 112 处于部分熔化状态是指上层熔化而变成液相,而下层不熔化并保持固相的单晶半导体的状态。

[0060] 当照射激光束 113,使单晶半导体层 112 部分地熔化时,因变成液相的半导体的表面张力而使平坦化得到进展。同时,由于热扩散到支撑衬底所以单晶半导体层 112 的冷却得到进展,在单晶半导体层 112 中在深度方向上产生温度梯度,并且固液界面从支撑衬底一侧移动到单晶半导体层 112 表面,而实现再单晶化。即,产生所谓的纵生长。另外,在上述晶化中,以下层的不熔化的区域为晶种而进行再单晶化。

[0061] 下层中的固相部分是单晶,因为晶体取向一致,所以不形成晶界。从而可以使进行激光部分熔化处理之后的单晶半导体层 120 成为没有晶界的单晶半导体层。另外,被熔化的上层通过凝固而被再单晶化。此时,形成其晶体取向与下层的保持固相地残留的单晶半导体一致的单晶半导体。因此,在将主表面的晶面取向是(100)的单晶硅片用于单晶半导体衬底的情况下,单晶半导体层 112 的主表面的晶面取向是(100),并且通过进行激光部分熔化处理而被再单晶化了的单晶半导体层 120 的主表面的晶面取向是(100)。

[0062] 另外,通过该激光部分熔化处理,可以将单晶半导体层 112 形成为其表面平坦的单晶半导体层 120。这是因为如下缘故:由于单晶半导体层 112 的被熔化的部分是液体,所以单晶半导体层 112 的表面因表面张力的作用而使其表面面积成为最小。换言之,液体部分变为没有凹部及凸部的形状,并且因为该液体部分凝固而实现再单晶化,所以可以形成其表面平坦化了的单晶半导体层 120。

[0063] 通过将单晶半导体层 112 的表面平坦化,可以将形成在单晶半导体层 120 上的栅极绝缘膜的厚度减薄成 5nm 至 50nm 左右。因此,可以形成抑制了栅电压并导通电流高的晶体管。

[0064] 作为用于该激光部分熔化工序的脉冲振荡激光器,例如有 XeCl 激光器、KrF 激光器等的受激准分子激光器、Ar 激光器、Kr 激光器的气体激光器。也可以使用固体激光器,例如有 YAG 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、GdVO₄ 激光器、KGW 激光器、KYW 激光器、Y₂O₃ 激光器等。作为激光束 113,可以使用上述激光振荡器的基波、高次谐波(二次谐波、三次谐波、四次谐波等)。在上述固体激光器中,也有即使使用同一激光媒质其振荡方法也成为连续振荡或准连续振荡的振荡器。

[0065] 另外,作为振荡激光束 113 的激光振荡器,选择其振荡波长在紫外光区域至可见光区域中的激光振荡器。激光束 113 的波长是被单晶半导体层 112 吸收的波长。可以考虑激光束的趋肤深度(skin depth)等而决定该波长。例如,可以将波长设定为 250nm 以上且 700nm 以下的范围内。

[0066] 可以考虑激光束 113 的波长、激光束 113 的趋肤深度、单晶半导体层 112 的厚度等决定激光束 113 的能量。在使用脉冲振荡激光器的情况下,例如,可以将激光束 113 的能量密度设定为 300mJ/cm² 以上且 700mJ/cm² 以下的范围内。

[0067] 照射激光束 113 时的气氛既可以是不控制气氛的大气气氛,又可以是惰性气体气氛。大气气氛及惰性气体气氛的双方都具有恢复单晶半导体层 112 的结晶性及其平坦化的效果。另外,与大气气氛相比,惰性气体气氛是更优选的。与大气气氛相比,氮等的惰性气体气氛的提高单晶半导体层 112 的平坦性的效果更高。此外,与大气气氛相比,惰性气体气氛更可以抑制裂缝等的变形的发生,从而使用于实现结晶缺陷的减少及平坦化的激光束 113 可以使用的能量范围变广。

[0068] 在如上所述照射激光束 113 之后,也可以进行将单晶半导体层 112 的厚度减薄的薄膜化工序。作为单晶半导体层 112 的薄膜化,使用干蚀刻及湿蚀刻中的一方或者组合双方的蚀刻处理(回蚀刻处理)即可。例如,在单晶半导体层 112 是由硅材料构成的层的情况下,通过将 Cl₂ 气体或 CF₄ 和 O₂ 的混合气体用于处理气体的干蚀刻处理可以将单晶半导体层 112 减薄。

[0069] 注意,虽然在本实施方式中举出在通过激光束的照射进行平坦化等之后进行蚀刻处理的例子,但是本发明不应该解释为限于于此。例如,也可以在激光束的照射之前进行蚀刻处理。另外,也可以在激光束的照射之前及之后的双方进行蚀刻处理。另外,也可以交替重复激光束的照射和上述处理。

[0070] 通过上述工序,可以制造具有其表面的平坦性得到提高并且缺陷得到减少的单晶半导体层 120(单晶硅半导体层)的半导体衬底(参照图 1F)。然而,因为通过这种部分熔化不可以修复存在于单晶半导体层 120 和绝缘层 111 之间的界面中的微小的缺陷,所以存

在于该缺陷中的空穴陷阱残留。图 2A 是图 1F 的截面图的扩大图。在界面区域 701 附近残留有实施方式 1 所说明的空穴陷阱,而这成为使 p 沟道型晶体管的 S 值变大的原因。

[0071] 对单晶半导体层 120 添加硼、铝、镓等的 p 型杂质或者磷、砷等的 n 型杂质,以便控制晶体管的阈值电压。添加杂质的区域及添加的杂质的种类可以适当地变更。例如,可以对 n 沟道型晶体管的形成区域添加 p 型杂质,而对 p 沟道型晶体管的形成区域添加 n 型杂质。当添加上述杂质时,将单晶半导体层中的杂质浓度设定为 1×10^{15} atoms/cm³ 以上且 1×10^{17} atoms/cm³ 以下左右即可。然后将单晶半导体层 120 分离成岛状,而形成半导体层 702 及半导体层 704(参照图 2B)。注意,如上所述的杂质添加也可以在形成半导体层 702 及半导体层 704 之后进行。

[0072] 在此,当对 n 沟道型晶体管的形成区域添加 p 型杂质时,形成使该添加的区域露出的光掩模。此时,通过干蚀刻将单晶半导体层也就是半导体层 702 减薄。此时也是进行干蚀刻及湿蚀刻中的一方或组合双方的蚀刻处理(回蚀刻处理)即可。另外,当对半导体层 702 进行蚀刻处理时,也可以利用在添加 n 型杂质时使用的掩模。通过这些处理, n 沟道型晶体管的半导体层 702 的厚度薄于 p 沟道型晶体管的半导体层 704 的厚度。

[0073] 接着,覆盖半导体层 702 和半导体层 704 地形成栅极绝缘层 706(参照图 2C)。在此,使用等离子体 CVD 法以单层形成氧化硅膜。除了此以外,还可以以单层结构或叠层结构形成包含氧氮化硅、氮氧化硅、氮化硅、氧化铅、氧化铝、氧化钽等的膜作为栅极绝缘层 706。

[0074] 作为除了等离子体 CVD 法以外的制造方法,可以举出溅射法、利用高密度等离子体处理的氧化或氮化的方法。高密度等离子体处理例如使用氦、氩、氦、氙等的稀有气体和氧、氧化亚氮、氮、氢等的气体的混合气体而进行。在此情况下,通过引入微波进行等离子体的激发,可以以低电子温度产生高密度等离子体。通过利用由这样的高密度等离子体产生的氧自由基(有时包含 OH 自由基)或氮自由基(有时包含 NH 自由基)将半导体层的表面氧化或氮化,以接触于半导体层地形成 1nm 以上且 20nm 以下,优选的是 2nm 以上且 10nm 以下的绝缘层。

[0075] 因为上述的利用高密度等离子体处理的半导体层的氧化或氮化是固相反应,所以可以将栅极绝缘层 706 和半导体层 702 及 704 之间的界面密度设定得极低。另外,通过利用高密度等离子体处理将半导体层直接氧化或氮化,可以抑制所形成的绝缘层的厚度的不均匀性。另外,因为半导体层具有结晶性,所以在利用高密度等离子体处理由固相反应将半导体层的表面氧化的情况下,也可以形成抑制了晶粒界面中的不均匀的氧化,具有均匀性,并且界面态密度低的栅极绝缘层。如此,通过将利用高密度等离子体处理形成的绝缘层用于晶体管的栅极绝缘层的一部分或全部,可以抑制特性的不均匀性。

[0076] 对利用等离子体处理的绝缘层的制造方法的更具体的一例进行说明。使用氩(Ar)将氧化亚氮(N₂O)稀释为 1 倍以上且 3 倍以下(流量比),在 10Pa 以上且 30Pa 以下的压力下施加 3kW 以上且 5kW 以下的微波(2.45GHz)电力,而使半导体层 702 及 704 的表面氧化或氮化。通过该处理,形成 1nm 以上且 10nm 以下(优选的是 2nm 以上且 6nm 以下)的栅极绝缘层 706 的下层。进而,引入氧化亚氮(N₂O)和硅烷(SiH₄),在 10Pa 以上且 30Pa 以下的压力下施加 3kW 以上且 5kW 以下的微波(2.45GHz)电力,并且通过气相成长法形成氧氮化硅膜作为栅极绝缘层 706 的上层。如上所述,通过组合固相反应和气相成长法形成栅极绝缘层 706,可以形成界面态密度低且绝缘耐压性优越的栅极绝缘层 706。注意,在此情况下

栅极绝缘层 706 采用两层结构。

[0077] 或者,也可以通过将半导体层 702 和半导体层 704 热氧化,形成栅极绝缘层 706。在使用这种热氧化的情况下,优选使用耐热性较高的基础衬底。

[0078] 另外,也可以通过形成包含氢的栅极绝缘层 706,然后进行 350℃ 以上且 450℃ 以下的温度的加热处理,而将包含在栅极绝缘层 706 中的氢扩散到半导体层 702 和半导体层 704 中。在此情况下,作为栅极绝缘层 706,可以使用利用等离子体 CVD 法的氮化硅或氮氧化硅。注意,优选将处理温度设定为 350℃ 以下。如此,通过给半导体层 702 和半导体层 704 供应氢,可以有效地减少半导体层 702 中、半导体层 704 中、栅极绝缘层 706 和半导体层 702 之间的界面中以及栅极绝缘层 706 和半导体层 704 之间的界面中的缺陷。

[0079] 接着,通过在栅极绝缘层 706 上形成导电层之后将该导电层加工(构图)为所希望的形状,在半导体层 702 和半导体层 704 的上方形成电极 708(参照图 2D)。作为导电层的形成,可以使用 CVD 法、溅射法等。导电层可以使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、铌(Nb)等的材料形成。另外,作为导电层,既可以使用以上述金属为主要成分的合金材料,又可以使用包含上述金属的化合物。或者,也可以使用对半导体掺杂赋予导电型的杂质元素的多晶硅等的半导体材料形成导电层。

[0080] 虽然在本实施方式中使用单层的导电层形成电极 708,但是本发明的半导体装置不局限于该结构。电极 708 也可以由叠层的多个导电层形成。在采用两层结构的情况下,例如将钼膜、钛膜、氮化钛膜等用于下层,而作为上层使用铝膜等即可。在采用三层结构的情况下,优选采用钼膜、铝膜和钼膜的叠层结构或钛膜、铝膜和钛膜的叠层结构等。

[0081] 另外,用于形成电极 708 的掩模可以使用氧化硅、氮氧化硅等的材料形成。在此情况下,增加对氧化硅膜、氮氧化硅膜进行构图形成掩模的工序,但是因为与抗蚀剂材料相比,进行蚀刻时的掩模的膜的减少量少,所以可以形成更准确的形状的电极 708。另外,也可以不使用掩模而使用液滴喷出法选择性地形成电极 708。在此,液滴喷出法是指通过喷射或喷出包含预定的组成物的液滴而形成预定的图案的方法,从而喷墨法等包括在其范畴内。

[0082] 另外,也可以通过使用 ICP(Inductively Coupled Plasma:电感耦合等离子体)蚀刻法,适当地调节蚀刻条件(施加到线圈型电极层的电力量、施加到衬底一侧的电极层的电力量、衬底一侧的电极温度等),对导电层进行蚀刻,以使其具有所希望的锥形形状,而形成电极 708。另外,锥形形状也可以通过掩模的形状控制。另外,作为蚀刻用气体,可以适当地使用氯、氯化硼、氯化硅或四氯化碳等的氯基气体、四氟化碳、氟化硫或氟化氮等的氟基气体或者氧等。

[0083] 接着,以电极 708 为掩模对半导体层 702、半导体层 704 添加赋予一导电型的杂质元素(参照图 3A)。在本实施方式中,对半导体层 702 添加赋予 n 型的杂质元素(例如是磷、砷),而对半导体层 704 添加赋予 p 型的杂质元素(例如是硼)。注意,当对半导体层 702 添加赋予 n 型的杂质元素时,使用掩模等覆盖添加 p 型的杂质元素的半导体层 704,而选择性地赋予 n 型的杂质元素的添加。另外,也可以利用在进行半导体层 702 的蚀刻处理时使用的掩模覆盖半导体层 704。另外,当对半导体层 704 添加赋予 p 型的杂质元素时,使用掩模等覆盖添加 n 型的杂质元素的半导体层 702,而选择性地赋予 p 型的杂质元素的添加。或者,也可以在对半导体层 702 及半导体层 704 添加赋予 p 型的杂质元素及赋予 n 型的杂质元素中的一方之后,只对一方的半导体层以更高的浓度添加赋予 p 型的杂

质元素及赋予 n 型的杂质元素中的另一方。通过添加上述杂质,在半导体层 702 中形成杂质区域 710,并且在半导体层 704 中形成杂质区域 712。

[0084] 接着,在电极 708 的侧面形成侧壁 714(参照图 3B)。例如,通过覆盖栅极绝缘层 706 及电极 708 地新形成绝缘层,并且以垂直方向为主体的各向异性刻蚀对该绝缘层部分地进行蚀刻,而可以形成侧壁 714。另外,也可以通过上述各向异性刻蚀对栅极绝缘层 706 部分地进行蚀刻。作为用于形成侧壁 714 的绝缘层,通过等离子体 CVD 法、溅射法等以单层或叠层结构形成包含硅、氧化硅、氮化硅、氧氮化硅、氮氧化硅、有机材料等的膜即可。在本实施方式中,通过等离子体 CVD 法形成厚度是 100nm 的氧化硅膜。另外,作为蚀刻气体,可以使用 CHF_3 和氦的混合气体。注意,形成侧壁 714 的工序不局限于此。

[0085] 接着,以栅极绝缘层 706、电极 708 及侧壁 714 为掩模对半导体层 702、半导体层 704 添加赋予一导电型的杂质元素(参照图 3C)。注意,对半导体层 702、半导体层 704 以更高的浓度添加与在以前的工序中分别添加的杂质元素相同的导电型的杂质元素。注意,当对半导体层 702 添加赋予 n 型的杂质元素时,使用掩模等覆盖添加 p 型的杂质的半导体层 704,而选择性地赋予 n 型的杂质元素的添加。另外,当对半导体层 704 添加赋予 p 型的杂质元素时,使用掩模等覆盖添加 n 型的杂质的半导体层 702,而选择性地赋予 p 型的杂质元素的添加。

[0086] 通过上述杂质元素的添加,在半导体层 702 中形成一对高浓度杂质区域 716、一对低浓度杂质区域 718 和沟道形成区域 720。另外,通过上述杂质元素的添加,在半导体层 704 中形成一对高浓度杂质区域 722、一对低浓度杂质区域 724 和沟道形成区域 726。高浓度杂质区域 716 和高浓度杂质区域 722 用作源极或漏极,而低浓度杂质区域 718 和低浓度杂质区域 724 用作 LDD(轻掺杂漏,Lightly Doped Drain)区域。

[0087] 另外,形成在半导体层 702 上的侧壁 714 和形成在半导体层 704 上的侧壁 714 既可以形成为在载流子移动的方向(所谓平行于沟道长度的方向)上的长度彼此相同,又可以形成为该长度彼此不同。优选将成为 p 沟道型晶体管的半导体层 704 上的侧壁 714 的长度设定为比成为 n 沟道型晶体管的半导体层 702 上的侧壁 714 的长度长。这是因为用于在 p 沟道型晶体管中形成源极及漏极而注入的硼容易扩散,而容易引起短沟道效应的缘故。通过在 p 沟道型晶体管中将侧壁 714 的长度设定得更长,可以将高浓度的硼添加到源极及漏极,而可以将源极及漏极低电阻化。

[0088] 也可以形成将半导体层 702 及半导体层 704 的一部分硅化物化了的硅化物层,以便将源极及漏极进一步低电阻化。通过使金属接触于半导体层,并且进行加热处理(例如,GRTA 法、LRTA 法等)来使半导体膜中的硅和金属发生反应,而进行硅化物化。作为硅化物层,使用钴硅化物或镍硅化物即可。在半导体层 702、半导体层 704 的厚度薄的情况下,也可以使硅化物反应进展到半导体膜 704 的底部。作为可用于进行硅化物化的金属材料,可以举出钛(Ti)、镍(Ni)、钨(W)、钼(Mo)、钴(Co)、锆(Zr)、铪(Hf)、钽(Ta)、钒(V)、钕(Nd)、铬(Cr)、铂(Pt)、钯(Pd)等。另外,通过照射激光束等也可以形成硅化物层。

[0089] 通过上述工序,形成 n 沟道型晶体管 728 和 p 沟道型晶体管 730。注意,虽然在图 3C 所示的阶段中没有形成用作源电极或漏电极的导电层,但是有时将这些用作源电极或漏电极的导电层包括在内称为晶体管。

[0090] 接着,覆盖 n 沟道型晶体管 728、p 沟道型晶体管 730 地形成绝缘层 732(参照图

3D)。绝缘层 732 不一定需要设置,但是通过形成绝缘层 732,可以防止碱金属、碱土金属等的杂质侵入 n 沟道型晶体管 728、p 沟道型晶体管 730。具体而言,优选使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝、氧化铝等的材料形成绝缘层 732。在本实施方式中,将厚度是 600nm 左右的氮氧化硅膜用作绝缘层 732。在此情况下,上述氢化的工序也可以在形成该氮氧化硅膜之后进行。注意,虽然在本实施方式中绝缘层 732 采用单层结构,但是当然也可以采用叠层结构。例如,在采用两层结构的情况下,可以采用氧氮化硅膜和氮氧化硅膜的叠层结构。

[0091] 接着,覆盖 n 沟道型晶体管 728、p 沟道型晶体管 730 地在绝缘层 732 上形成绝缘层 734。绝缘层 734 优选使用聚酰亚胺、丙烯、苯并环丁烯、聚酰胺、环氧等的具有耐热性的有机材料形成。另外,除了上述有机材料以外,还可以使用低介电常数材料 (low-k 材料)、硅氧烷树脂、氧化硅、氮化硅、氧氮化硅、氮氧化硅、PSG (磷硅玻璃)、BPSG (硼磷硅玻璃)、砒土等。在此,硅氧烷树脂相当于以硅氧烷材料为初起材料形成的包含 Si-O-Si 结合的树脂。作为硅氧烷树脂的取代基,除了氢以外,还可以具有选自氟、烷基、芳香烃中的一种。另外,也可以通过层叠多个由这些材料形成的绝缘层,而形成绝缘层 734。

[0092] 作为绝缘层 734 的形成,根据其材料可以使用 CVD 法、溅射法、SOG 法、旋涂法、浸渍法、喷射涂布法、液滴喷出法 (喷墨法、丝网印刷、胶印刷等)、刮刀法、辊涂法、帘涂法、刮刀涂敷法等。

[0093] 接着,在绝缘层 732、绝缘层 734 中形成使半导体层 702、半导体层 704 的一部分露出的接触孔。然后,形成通过该接触孔接触于半导体层 702、半导体层 704 的导电层 736、导电层 738 (参照图 4A)。导电层 736、导电层 738 用作晶体管的源电极或漏电极。注意,虽然在本实施方式中将 CHF_3 和 He 的混合气体用于形成接触孔时的蚀刻,但是不局限于此。

[0094] 导电层 736、导电层 738 可以通过 CVD 法、溅射法等形成。具体而言,作为导电层 736、导电层 738,可以使用铝 (Al)、钨 (W)、钛 (Ti)、钽 (Ta)、钼 (Mo)、镍 (Ni)、铂 (Pt)、铜 (Cu)、金 (Au)、银 (Ag)、锰 (Mn)、钕 (Nd)、碳 (C)、硅 (Si) 等。另外,既可以使用以上述材料为主要成分的合金,又可以使用包含上述材料的化合物。另外,导电层 736、导电层 738 可以采用单层结构,也可以采用叠层结构。

[0095] 作为以铝为主要成分的合金的例子,可以举出以铝为主要成分包含镍的合金。另外,也可以举出以铝为主要成分包含镍和碳、硅中的一方或者双方的合金。因为铝、铝硅 (Al-Si) 廉价并其电阻率低,所以优选将其用作形成导电层 736、导电层 738 的材料。特别地,优选使用铝硅,因为其可以抑制进行构图时的由抗蚀剂焙烧产生的小丘。另外,也可以使用对铝混入 0.5% 左右的 Cu 的材料代替硅。

[0096] 在导电层 736、导电层 738 采用叠层结构的情况下,优选采用例如阻挡膜、铝硅膜和阻挡膜的叠层结构或阻挡膜、铝硅膜和氮化钛膜和阻挡膜的叠层结构等。注意,阻挡膜是指使用钛、钛的氮化物、钼或钼的氮化物等形成的膜。当在阻挡膜之间夹着铝硅膜地形成导电层时,可以进一步防止铝、铝硅的小丘的产生。另外,当使用还原性高的元素的钛形成阻挡膜时,即使在半导体层 702、半导体层 704 上形成有薄的氧化膜,包含在阻挡膜中的钛也将该氧化膜还原,而可以使导电层 736 和半导体层 702 以及导电层 738 和半导体层 704 以良好的状态接触。另外,也可以层叠多个阻挡膜而使用。在此情况下,例如导电层 736、导电层 738 也可以采用如从下层层叠钛、氮化钛、铝硅、钛、氮化钛的五层结构或其以上的叠层

结构。

[0097] 另外,作为导电层 736、导电层 738,也可以使用利用 WF_6 气体和 SiH_4 气体并通过化学气相成长法形成的钨硅化物。另外,也可以使用对 WF_6 进行氢还原原来形成的钨作为导电层 736、导电层 738。

[0098] 另外,导电层 736 连接到 n 沟道型晶体管 728 的高浓度杂质区域 716。导电层 738 连接到 p 沟道型晶体管 730 的高浓度杂质区域 722。

[0099] 图 4B 表示图 4A 所示的 n 沟道型晶体管 728 及 p 沟道型晶体管 730 的平面图。在此,图 4B 的沿 A-B 的截面对应于图 4A。但是,在图 4B 中为了简化起见省略导电层 736、导电层 738 以及绝缘层 732、绝缘层 734 等。

[0100] 注意,虽然在本实施方式中表示出 n 沟道型晶体管 728 和 p 沟道型晶体管 730 分别具有一个用作栅电极的电极 708 的情况,但是本发明不局限于此。根据本发明制造的晶体管可以具有多个用作栅电极的电极,并且也可以具有该多个电极彼此电连接的多栅结构。

[0101] 在本实施方式中,照射激光束以减少单晶半导体层的缺陷、表面凹凸。进而,根据本发明可以将每个晶体管的半导体层的厚度最优化,并且可以使半导体装置内的晶体管特性的 S 值变小。

[0102] 本实施方式可以与其他实施方式适当地组合而使用。

[0103] 实施方式 2

[0104] 在本实施方式中,参照图 5 至图 10F 说明在根据实施方式 1 制造的本发明的半导体装置中的优选的单晶半导体层的厚度。

[0105] 图 5 表示用于在本发明的方式中评价晶体管特性的在实施方式 1 中制造的晶体管的截面。在此,不形成侧壁 714,并且采用没有形成一对低浓度杂质区域 718 和一对低浓度杂质区域 724 的单漏极结构。

[0106] 图 5 表示的晶体管具有形成在基础衬底 200 上的基底绝缘层 201、形成在其上的单晶半导体层 206、形成在其上的栅极绝缘膜 212、形成在其上的栅电极 214。另外,在单晶半导体层 206 中形成有一对高浓度杂质区域 208、高浓度杂质区域 210,并且此成为源区域及漏区域。另外,在本实施方式中,在栅电极 214 下的单晶半导体层 206 区形成接近于基础衬底 200 的第一区域 202 和接近于栅极绝缘膜 212 的第二区域 204。另外,如实施方式 1 所示,通过形成脆弱区域 102 并在该区域中进行分离,而形成单晶半导体层 206。以下表示制造图 5 的晶体管时的条件。

[0107] 作为用于在本实施方式中形成脆弱层 102 的离子的照射,在此使用离子掺杂法并以 H_3^+ 离子为主离子照射离子。加速电压选自 10kV 至 200kV 的范围内即可。在此,将加速电压设定为 40kV。离子的照射量的剂量选自 5×10^{15} ions/cm² 至 5×10^{16} ions/cm² 的范围内即可,而在此将其设定为 2×10^{16} ions/cm²。

[0108] 栅极绝缘膜 212 采用氮氧化硅膜和氧氮化硅膜的叠层结构。氮氧化硅膜以 SiH_4 、 N_2O 、 NH_3 和 H_2 为原料气体通过等离子体 CVD 法形成。气体流量比是 $SiH_4/N_2O/NH_3/H_2 = 10/18/100/400$,成膜温度是 400°C,RF 频率是 27.12MHz,RF 功率是 50W,并且 RF 功率密度是 0.083W/cm²。膜厚是 50nm。氧氮化硅膜以 SiH_4 、 N_2O 为原料气体通过等离子体 CVD 法形成。气体流量比是 $SiH_4/N_2O = 4/800$,成膜温度是 400°C,RF 频率是 27.12MHz,RF 功率是 50W,并且 RF 功率密度是 0.083W/cm²。膜厚是 50nm。注意,氧氮化硅膜是指如下膜:在其组成中氧的

含量比氮的含量多,并且在使用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)以及氢前方散射法(HFS:Hydrogen Forward Scattering)进行测量的情况下,其包含的浓度范围是如下:50原子%以上且70原子%以下的氧;0.5原子%以上且15原子%以下的氮;25原子%以上且35原子%以下的硅;0.1原子%以上且10原子%以下的氢。另外,氮氧化硅膜是指如下膜:在其组成中氮的含量比氧的含量多,并且在使用RBS及HFS进行测量的情况下,其包含的浓度范围是如下:5原子%以上且30原子%以下的氧;20原子%以上且55原子%以下的氮;25原子%以上且35原子%以下的硅;10原子%以上且30原子%以下的氢。但是,当将构成氧氮化硅或氮氧化硅的原子的总计设定为100原子%时,氮、氧、硅及氢的含有比率包含在上述范围内。

[0109] 在激光部分熔化处理中,从单晶半导体层表面照射受激准分子激光、YAG激光的固体激光第二高次谐波。受激准分子激光有ArF:193nm、KrF:248nm、XeCl:308nm、XeF:353nm,而在此使用了XeCl:308nm。对单晶半导体表面在进行脉冲照射的同时扫描将其光束形状设定为线状的受激准分子光束。将每个部分的照射次数设定为3次至30次,并且将能量密度设定为300mJ/cm²至900mJ/cm²的范围内。在此将能量密度设定为650mJ/cm²。进而,进行热处理来进行缺陷的修复。将到达温度设定为600°C,使用电阻加热炉,并且将到达温度下的处理时间设定为4小时。

[0110] 接着进行干蚀刻以便使单晶半导体层具有所希望的厚度。干蚀刻使用Cl₂气体或CF₄和O₂的混合气体进行,并且将进行蚀刻后的单晶半导体层的厚度设定为60nm。

[0111] 在沟道掺杂中,通过离子注入法或离子掺杂法对n沟道型晶体管区域或n沟道型晶体管中的有源层区域添加预定量的硼。硼的添加在单晶半导体层的峰值浓度是5×10¹⁵atoms/cm³至5×10¹⁷atoms/cm³的范围内进行,而可以得到所希望的晶体管的阈值电压。

[0112] 作为栅电极214,在此通过溅射成膜形成厚度是30nm的氮化钽,在其上形成厚度是370nm的钨。

[0113] 对如此形成的图5所示的晶体管的电特性进行测定。其结果是,当将单晶半导体层的厚度减薄时,在n沟道型晶体管中S值降低,而在p沟道型晶体管中S值上升。在图6中表示将单晶半导体膜的厚度设定为100nm左右时(条件1)和将其厚度设定为60nm左右时(条件2)的晶体管特性中的S值。一般当将单晶半导体层减薄时S值降低,但是在p沟道型晶体管中S值上升。因为已知因氢掺杂而产生空穴陷阱缺陷,所以本发明人认为该结果的原因是如下,即在贴合面一侧的单晶半导体层区域中存在有因氢掺杂而产生的空穴陷阱缺陷。换言之,本发明人认为:使用氢离子注入剥离法形成单晶硅膜的单晶半导体层在其层中具有结晶缺陷,虽然激光部分熔化处理修复单晶半导体层的表面层中的结晶缺陷,但是在不被激光部分熔化处理的接近于基础衬底区域中的单晶半导体层中的结晶缺陷不被修复。因为该结晶缺陷作为空穴陷阱起作用,所以随着薄膜化的进展而沟道区域靠近该空穴陷阱,只在其特性容易受到空穴陷阱的影响的p沟道型晶体管中S值变大。

[0114] 如图7A所示在离贴合面一侧的衬底一侧近旁有5nm左右的单晶半导体层区域(图5中的第一区域202)中只假定成为空穴陷阱的类似施体(donor like)的能级,而如图7B所示在其他区域(图5中的第二区域204)中假定成为电子陷阱、空穴陷阱的Exponential(指数规律)型的能级(浅的能级),来进行计算,以便查找由于p沟

道型晶体管的单晶半导体层薄膜化发生的 S 值上升的原因。另外,作为深的能级,假定 Gaussian(高斯)型的能级。图 7A 表示带隙中的态密度(density of states),并且表示假定 Exponential 型的电子陷阱、Exponential 型的空穴陷阱的能级的情况。图 7B 表示带隙中的态密度,并且表示假定 Exponential 型的电子陷阱、Gaussian 型的空穴陷阱的能级的情况。用于计算的结构是单漏极结构, $L/W = 10/8\mu\text{m}$ 、GI 厚度是 20nm,并且没有栅电极下的杂质掺杂。因为实际上使用 P 型衬底作为衬底,所以在整个单晶半导体层中假定 $1.0 \times 10^{15}/\text{cm}_3$ 的 P 型杂质。将用于计算的参数设定为如下,即用作玻璃衬底的 SiO_2 的厚度是 1 μm 左右,并且介电常数是 4.1。将栅极绝缘膜的介电常数也设定为 4.1。假定栅电极是钨,而将其功函数设定为 4.6eV。将大量的杂质元素(硼)添加到栅电极端至装置端以使其具有导电型(P+ 区域)。该 P+ 区域的杂质添加使用对应于本公司内部的杂质掺杂轮廓的函数。在该计算中使用矽谷科技公司(Silvaco Data Systems LTD)制造的器件仿真系统“Atlas”。

[0115] 以态密度的方式记载由氢掺杂形成的陷阱能级。态密度表示可以以能量态(energy state)存在的态的个数。在此存在有存在概率,载流子陷阱密度根据该存在概率而设定。该载流子陷阱密度对晶体管特性的 S 值产生大的影响。虽然在本模拟中假定了 Gaussian 型的空穴陷阱数和 Exponential 型的空穴陷阱数,但是载流子陷阱密度几乎不受到 Exponential 型的陷阱的影响。这是因为如下缘故,即根据费米-狄拉克的分布函数,在存在概率低的区域中状态数高。换言之,若该 Exponential 型的倾斜小,则空穴陷阱增加。由此,浅能级的陷阱不影响到 S 值。因此,在本实施方式中与假定 Gaussian 型的空穴陷阱而进行模拟的结果进行比较。

[0116] 图 8A 表示单晶半导体层厚度是 100nm(条件 1)的状态下的对应于 p 沟道型晶体管的 I_d - V_g 曲线的测定值的计算结果,并且图 8B 表示单晶半导体层厚度是 60nm(条件 2)的状态下的对应于 p 沟道型晶体管的 I_d - V_g 曲线的测定值的计算结果。横轴表示 V_g ,并且纵轴表示 I_d 。由于图 8A、8B 的结果的测定值及模拟值一致,所以认为实现了充分的对应,而在该条件下进行相对于单晶半导体层厚度的 S 值的计算。其结果是,如图 9A 所示可以得到如下结果,即膜厚越薄 S 值越高。进而,因为通过计算了解到 S 值影响到深的能级的陷阱,所以使 Gaussian 型的空穴陷阱个数变化而算出单晶半导体层的厚度和 S 值的关系。其结果是,若增加第一区域的深的能级的空穴陷阱来算出相对于厚度的 S 值,则如图 9B 所示与图 9A 相比,相对于单晶半导体层的厚度的 S 值的变化更大,而若减少第一区域的深的能级的空穴陷阱来算出相对于厚度的 S 值,则如图 9C 所示 S 值几乎不依赖于单晶半导体层的厚度。根据图 9A 至 9C 的结果可以了解到第一区域的深的能级的空穴陷阱对相对于 p 沟道型晶体管的单晶半导体层厚度的 S 值的关系影响甚大。

[0117] 接着调查第一区域的深的能级的空穴陷阱怎样影响到 p 沟道型晶体管的 S 值。图 10A 至 10F 是表示根据空穴陷阱密度的差异的电位分布的模拟结果。在各附图中表示出电子电流密度的等高线 p0 至 p4。在此,示出在 S 值成为最小时的栅电压中的电位分布,其中, $V_g = -0.6\text{V}$, $V_d = -1.0\text{V}$ 。图 10B 及 10E 是在对应于本发明人制造的晶体管的测定结果的条件下的模拟结果。图 10A 及 10D 分别是在空穴陷阱比图 10B 及 10E 少的条件下进行模拟的结果。图 10C 及 10F 分别是在空穴陷阱比图 10B 及 10E 过剩的条件下进行模拟的结果。另外,图 10A 至 10C 是将单晶半导体膜的厚度设定为 100nm 左右时(条件 1)的模拟结果,并且图 10D 至 10F 是将单晶半导体膜的厚度设定为 60nm 左右时(条件 2)的模拟结果。由

此,通过计算可以确认到根据空穴陷阱电位分布产生变化。

[0118] 根据图 10A 至 10F 的比较可以得知:空穴陷阱捕捉空穴电荷,并且由于该被捕捉的空穴的电位,S 值产生差异。换言之,因为单晶半导体层的厚度越厚,沟道区域离空穴陷阱多的区域越远,所以由被捕捉的空穴的电位产生的对 S 值的影响变小。该电位抑制由栅电极产生的电场效应,抑制漏电流的流动(抑制 I_d-V_g 曲线的上升),并且使 S 值上升。即使在有源层底部产生空穴载流子陷阱也对 n 沟道型晶体管特性的影响小的原因是如下,即 n 沟道型晶体管的多数载流子是电子,而对 n 沟道型晶体管特性几乎不产生影响。而对 p 沟道型晶体管产生影响的原因是因为多数载流子是空穴。

[0119] 如上所述,本发明人根据试验和模拟确认到如下事实,即通过将 n 沟道型晶体管的单晶半导体层薄膜化,并使 p 沟道型晶体管的单晶半导体层的厚度变厚,而可以得到小的 S 值。

[0120] 实施方式 3

[0121] 使用根据本发明的半导体衬底制造晶体管等的半导体装置,并且通过使用该半导体装置可以完成各种各样的电子设备。因为使设置在根据本发明的半导体衬底中的单晶半导体层中的结晶缺陷减少,所以可以在与栅极绝缘层之间的界面中降低定域能级密度。通过将该单晶半导体层用于有源层,可以制造漏电流被降低,并且电特性得到提高了的半导体元件。换言之,通过使用根据本发明的半导体衬底,可以制造电流驱动能力和可靠性高的半导体元件。其结果是,可以生产率好地制造品质良好的最终产品的电子设备。在本实施方式中,使用附图说明具体的电子设备的应用例。

[0122] 作为使用半导体装置(特别是显示装置)而制造的电子设备,可以举出摄像机、数码相机、护目镜式显示器(头戴式显示器)、导航系统、声音再现装置(汽车音响组件等)、计算机、游戏机、便携式信息终端(移动计算机、手机、便携式游戏机、电子图书等)、具备记录媒体的图像再现装置(具体而言,再现诸如数字视频光盘(DVD)之类的记录媒体并且具备能够显示其图像的显示器的装置)等。

[0123] 图 11A 是电视接收机或个人计算机的监视器。其包括框体 1001、支撑台 1002、显示部 1003、扬声器部 1004、视频输入端子 1005 等。在显示部 1003 中使用有本发明的半导体装置。根据本发明,可以以低价格提供可靠性及性能高的电视接收机或个人计算机的监视器。

[0124] 图 11B 是数码相机。在主体 1011 的正面部分设置有图像接收部 1013,并且在主体 1011 的上面部分设置有快门按钮 1016。此外,在主体 1011 的背面部分设置有显示部 1012、操作键 1014 以及外部连接端口 1015。在显示部 1012 中使用有本发明的半导体装置。根据本发明,可以以低价格提供可靠性及性能高的数码相机。

[0125] 图 11C 是笔记本型个人计算机。在主体 1021 中设置有键盘 1024、外部连接端口 1025、定位设备 1026。此外,在主体 1021 中安装有具有显示部 1023 的框体 1022。在显示部 1023 中使用有本发明的半导体装置。根据本发明,可以以低价格提供可靠性及性能高的笔记本型个人计算机。

[0126] 图 11D 是移动计算机,其包括主体 1031、显示部 1032、开关 1033、操作键 1034、红外线端口 1035 等。在显示部 1032 中设置有有源矩阵显示装置。在显示部 1032 中使用有本发明的半导体装置。根据本发明,可以以低价格提供可靠性及性能高的移动计算机。

[0127] 图 11E 是图像再现装置。在主体 1041 中设置有显示部 1044、记录媒体读取部 1045 以及操作键 1046。此外,在主体 1041 中安装有具有扬声器部 1047 及显示部 1043 的框体 1042。在显示部 1043 及显示部 1044 中分别使用有本发明的半导体装置。根据本发明,可以以低价格提供可靠性及性能高的图像再现装置。

[0128] 图 11F 是电子图书。在主体 1051 中设置有操作键 1053。此外,在主体 1051 中安装有多个显示部 1052。在显示部 1052 中使用有本发明的半导体装置。根据本发明,可以以低价格提供可靠性及性能高的电子图书。

[0129] 图 11G 是摄像机,在主体 1061 中设置有外部连接端口 1064、遥控接收部 1065、图像接收部 1066、电池 1067、音频输入部 1068 以及操作键 1069。此外,在主体 1061 中安装有具有显示部 1062 的框体 1063。在显示部 1062 中使用有本发明的半导体装置。根据本发明,可以以低价格提供可靠性及性能高的摄像机。

[0130] 图 11H 是手机,其包括主体 1071、框体 1072、显示部 1073、音频输入部 1074、音频输出部 1075、操作键 1076、外部连接端口 1077 以及天线 1078 等。在显示部 1073 中使用有本发明的半导体装置。根据本发明,可以以低价格提供可靠性及性能高的手机。

[0131] 图 12A 至 12C 是兼有电话的功能及信息终端的功能的便携式电子设备 1100 的结构的一例。在此,图 12A 是正面图,图 12B 是背面图,并且图 12C 是展开图。便携式电子设备 1100 具有电话和信息终端双方的功能,它是除了声音通话以外还可以进行各种数据处理的称为所谓智能手机的电子设备。

[0132] 便携式电子设备 1100 由框体 1101 及框体 1102 构成。框体 1101 包括显示部 1111、扬声器 1112、麦克风 1113、操作键 1114、定位设备 1115、影像拍摄装置用透镜 1116、外部连接端子 1117 等,并且框体 1102 包括键盘 1121、外部存储器插槽 1122、影像拍摄装置用透镜 1123、灯 1124、耳机端子 1125 等。此外,天线安装在框体 1101 的内部。除了上述结构以外,还可以内置有非接触 IC 芯片、小型记录装置等。

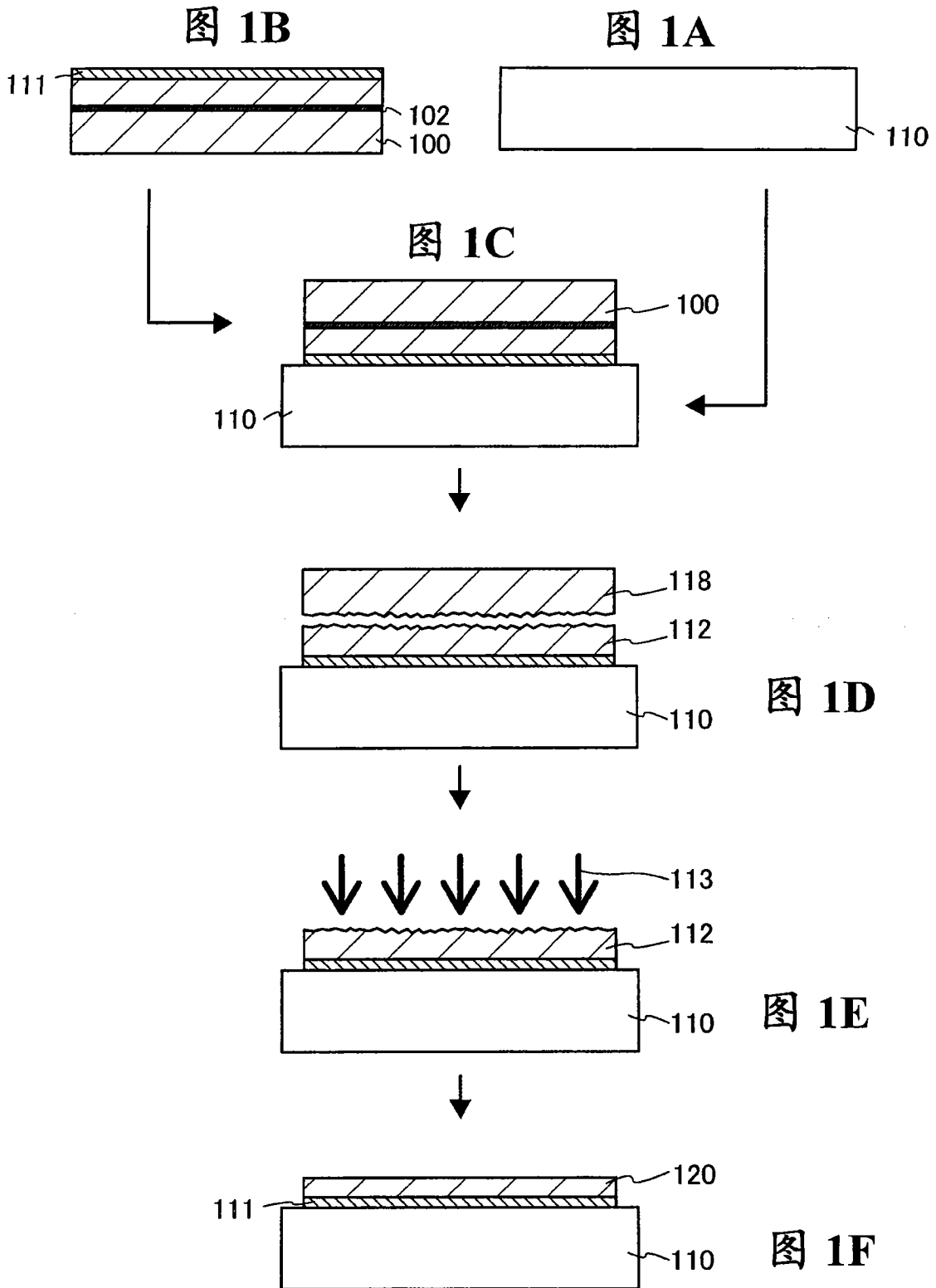
[0133] 在显示部 1111 中安装有本发明的半导体装置。注意,显示在显示部 1111 上的图像(及其显示方向)根据便携式电子设备 1100 的使用方式而千变万化。此外,因为在与显示部 1111 同一个面上具有影像拍摄装置用透镜 1116,所以可以进行带有图像的声音通话(所谓的电视电话)。注意,扬声器 1112 及麦克风 1113 不局限于声音通话而可以用于录音、再生等。在使用影像拍摄装置用透镜 1123(以及灯 1124)拍摄静止图像及运动图像的情况下,将显示部 1111 用作取景器。操作键 1114 用于拨打电话/接收电话、电子邮件等简单的信息输入、画面的卷动、光标的移动等。

[0134] 彼此重叠的框体 1101 和框体 1102(图 12A)滑动,如图 12C 所示那样展开,而可以用作信息终端。在此情况下,可以利用键盘 1121、定位设备 1115 进行顺利的操作。外部连接端子 1117 可以与交流整流器、USB 电缆等各种电缆连接,而可以进行充电、与计算机等的通讯。此外,对外部存储器插槽 1122 插入记录媒体,以能够对应于更大容量的数据的保存及移动。除了上述功能以外,还可以具有使用红外线等电磁波的无线通讯功能、电视接收功能等。根据本发明,可以提供可靠性及性能高的便携式电子设备。

[0135] 如上所述,本发明的应用范围极广,而可以用于所有领域的电子设备。注意,本实施方式可以与实施方式 1 至 2 适当地组合来使用。

[0136] 本申请基于 2008 年 4 月 18 日在日本专利局受理的日本专利申请序列号

2008-109180 而制作,所述申请内容包括在本说明书中。



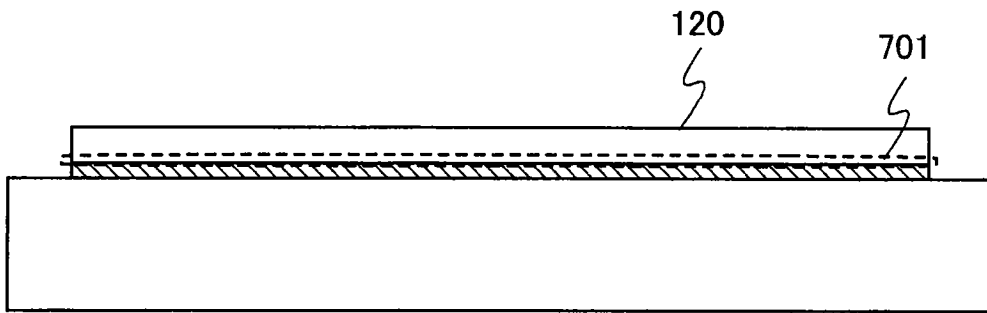


图 2A

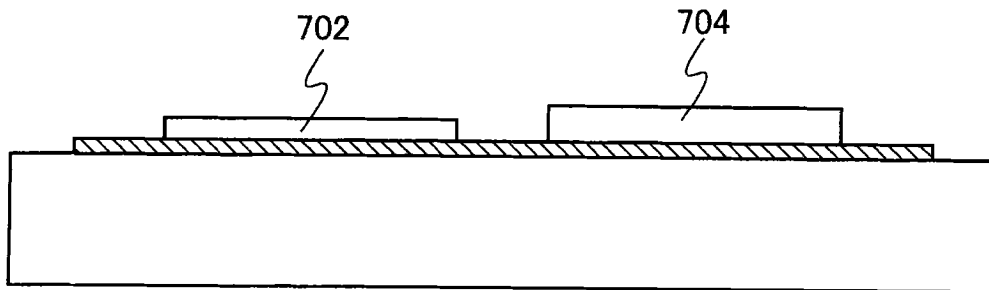


图 2B

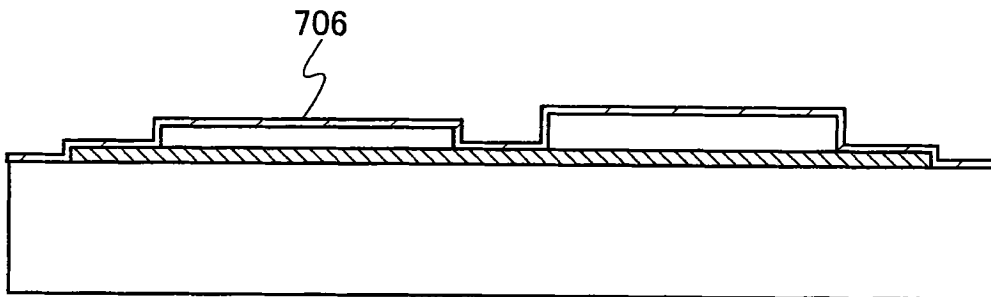


图 2C

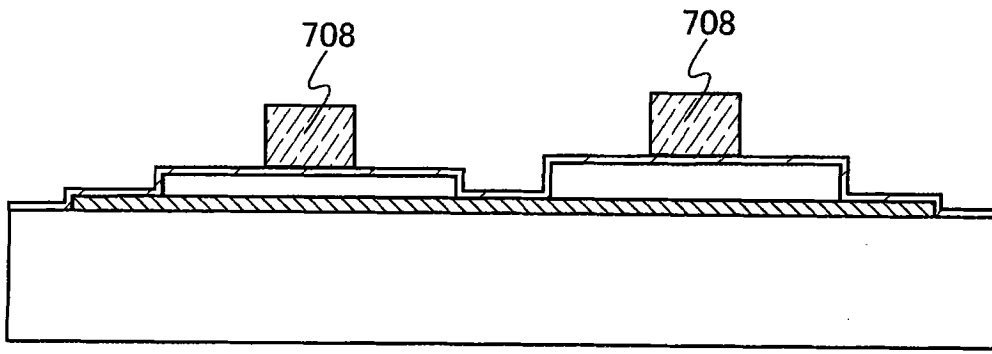


图 2D

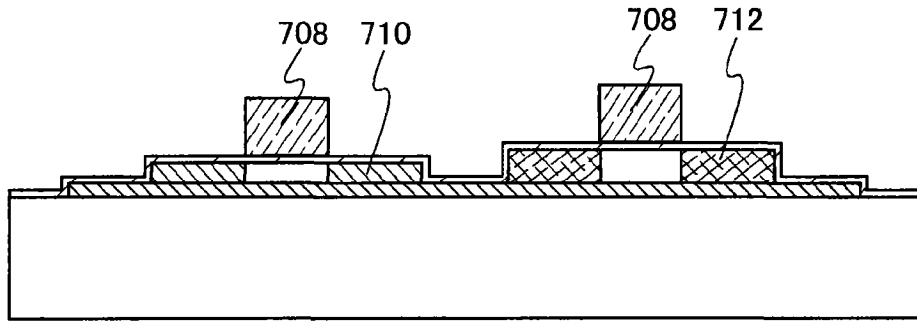


图 3A

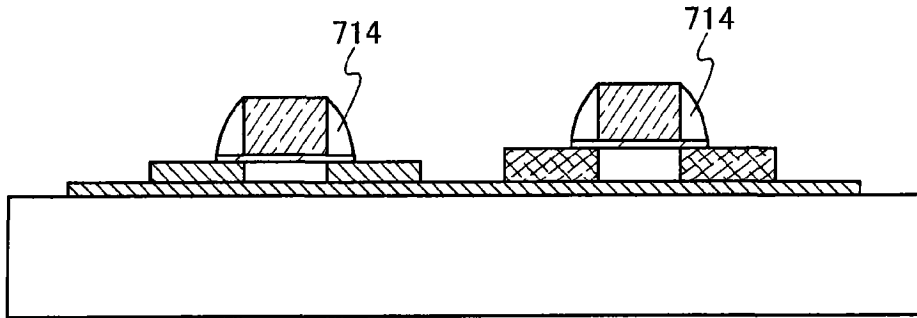


图 3B

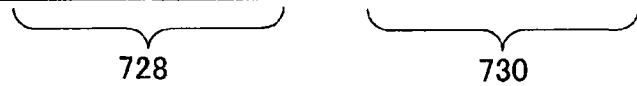
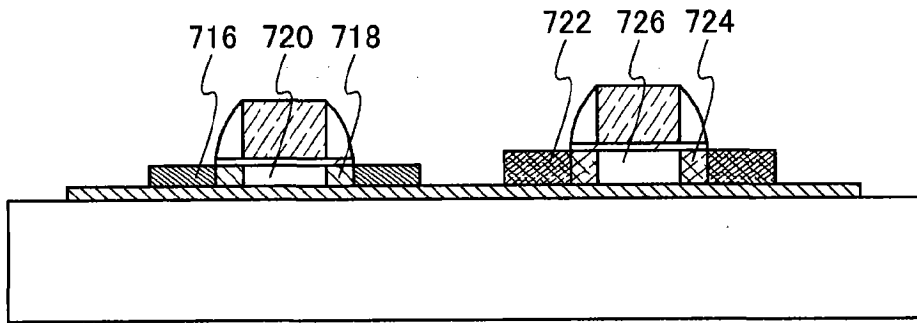


图 3C

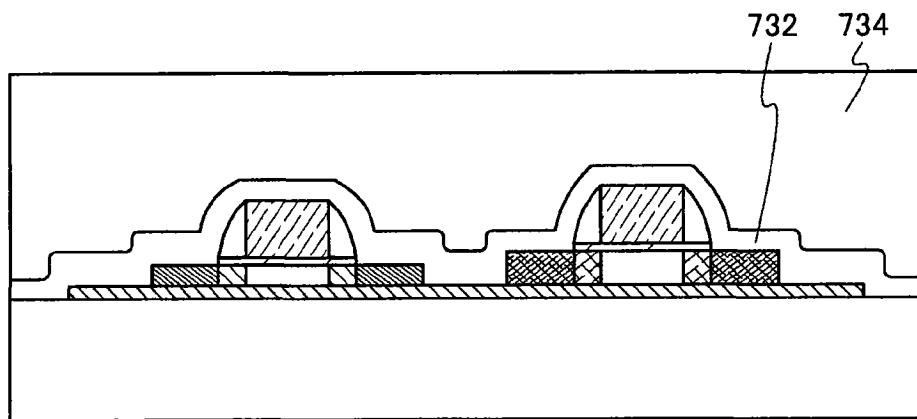
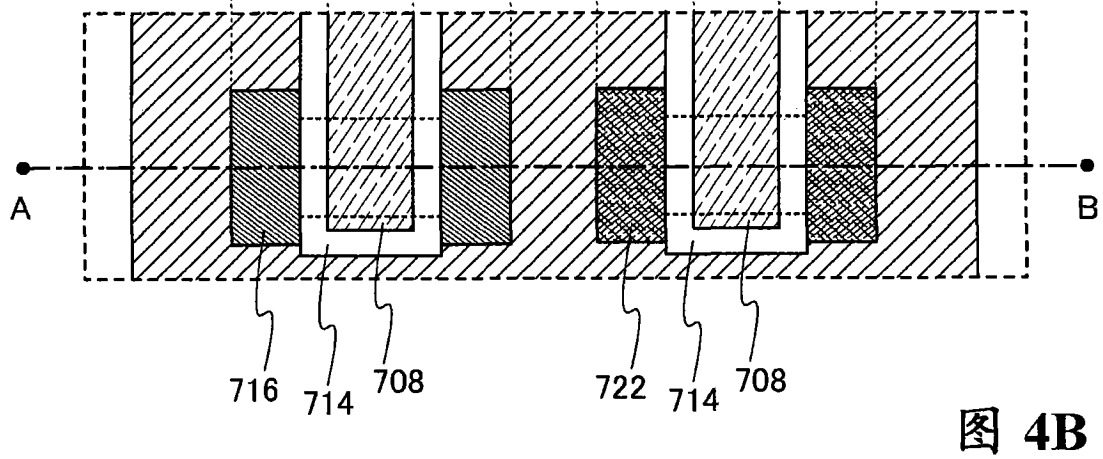
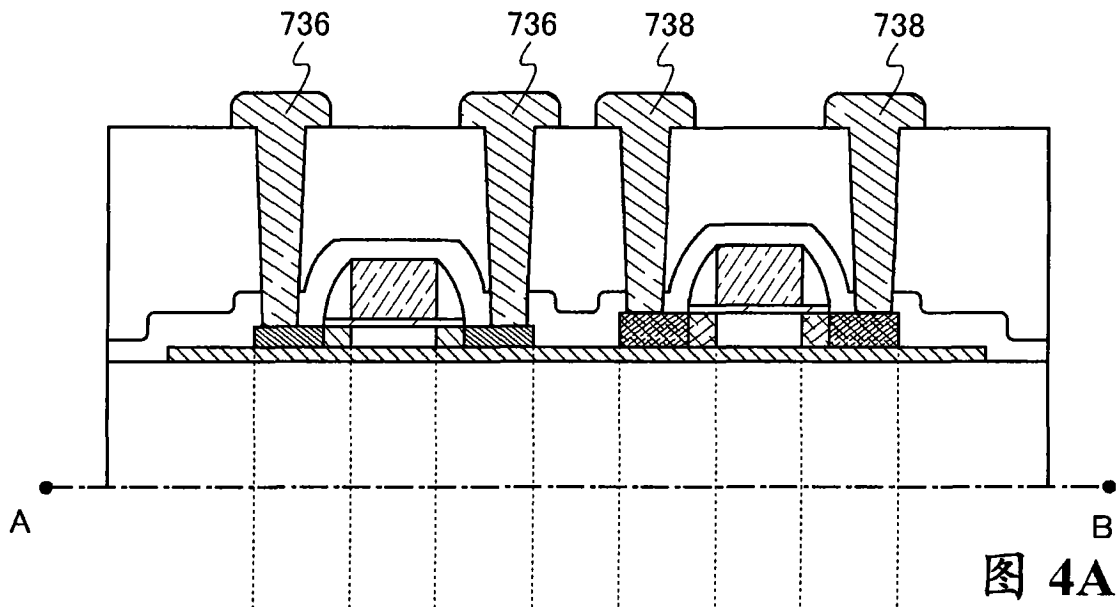


图 3D



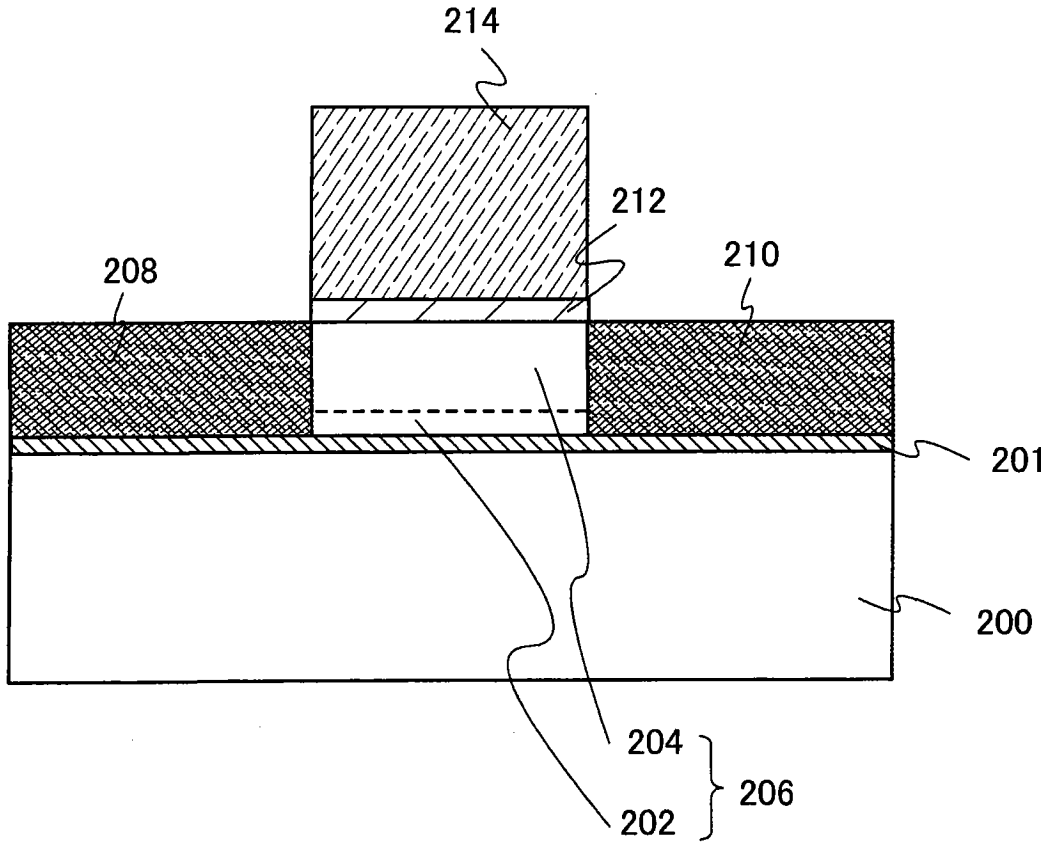


图 5

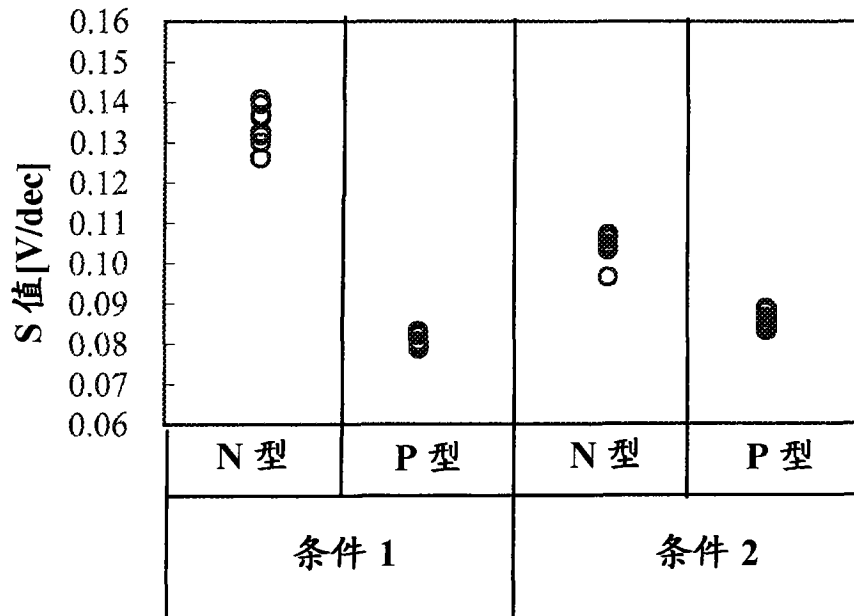


图 6

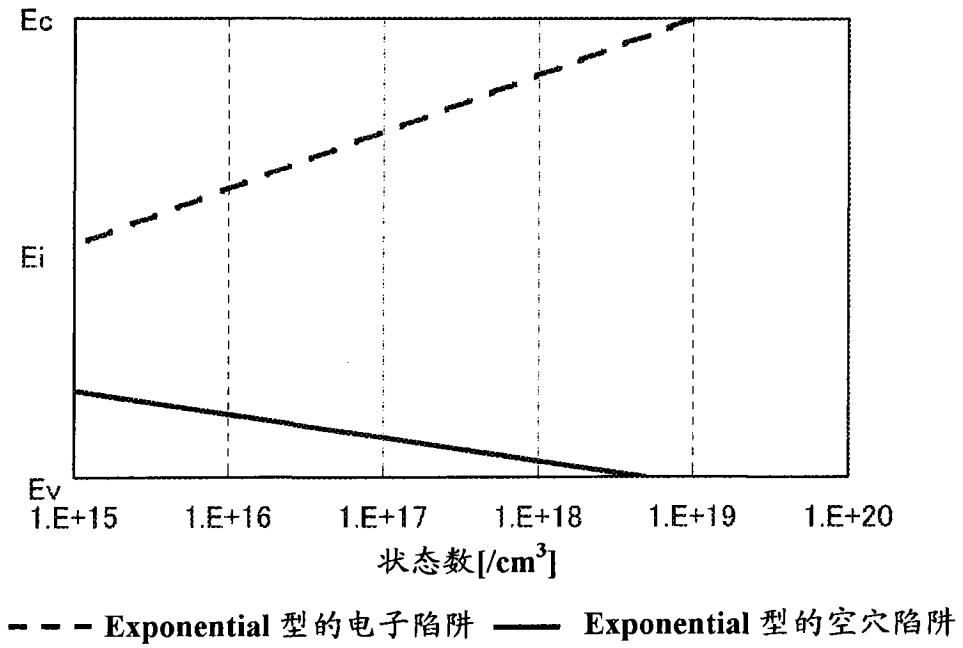


图 7A

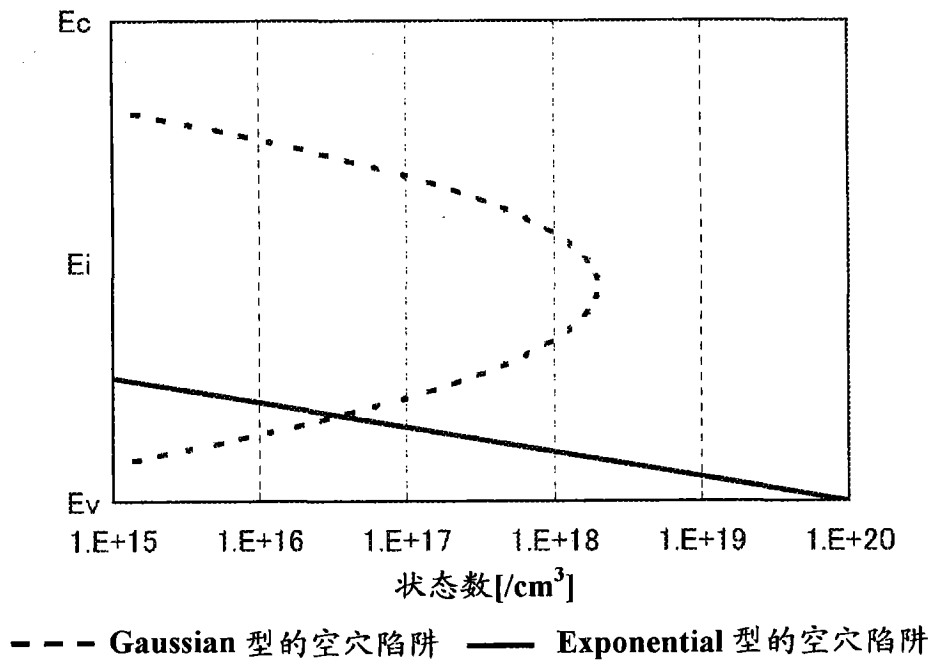


图 7B

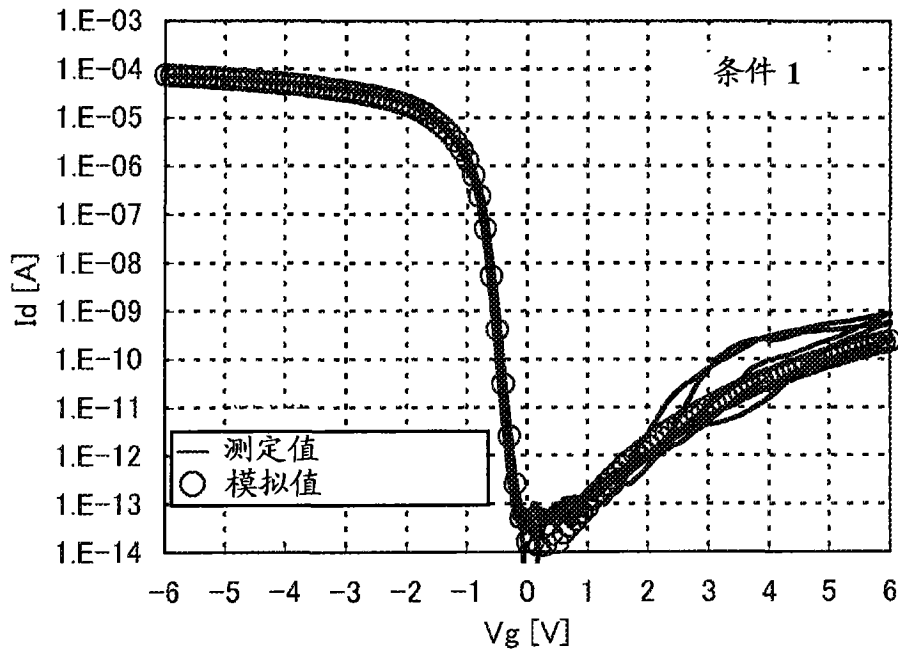


图 8A

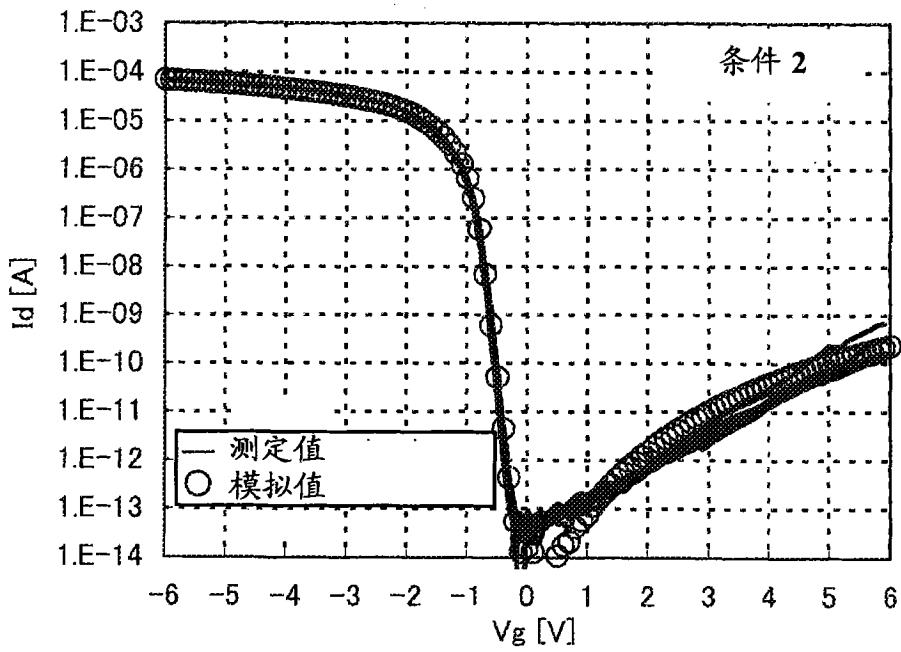


图 8B

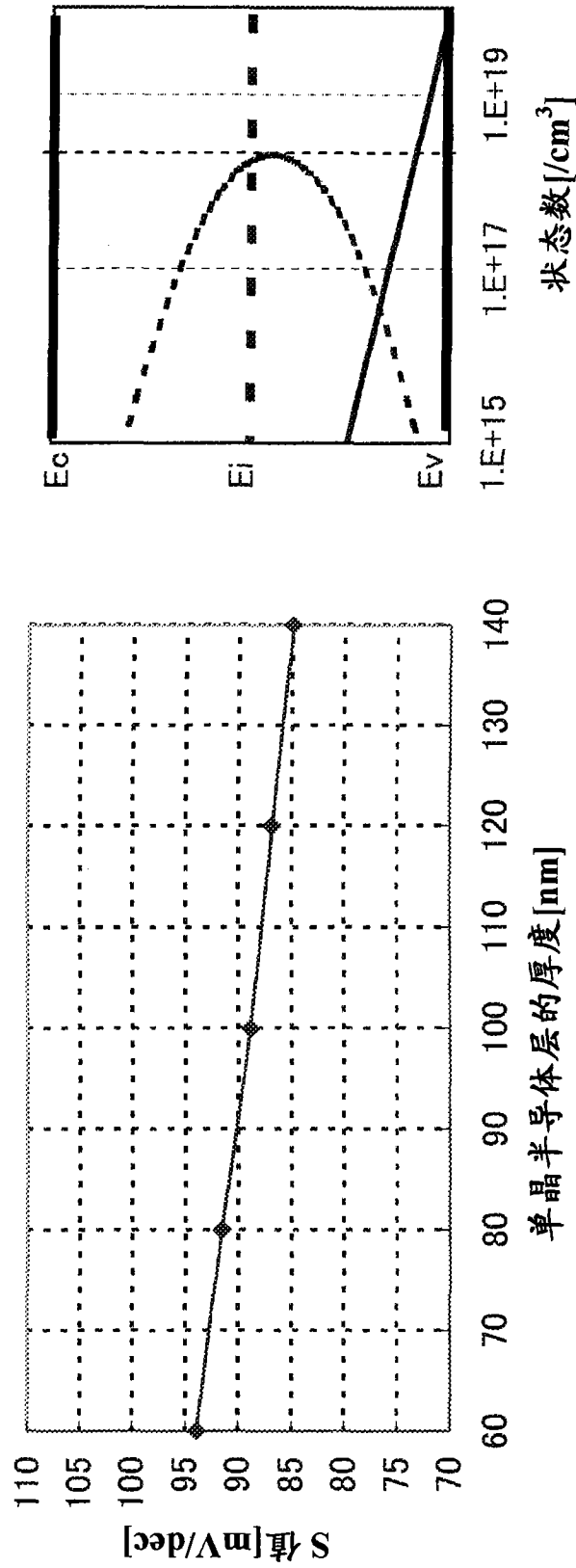


图 9A

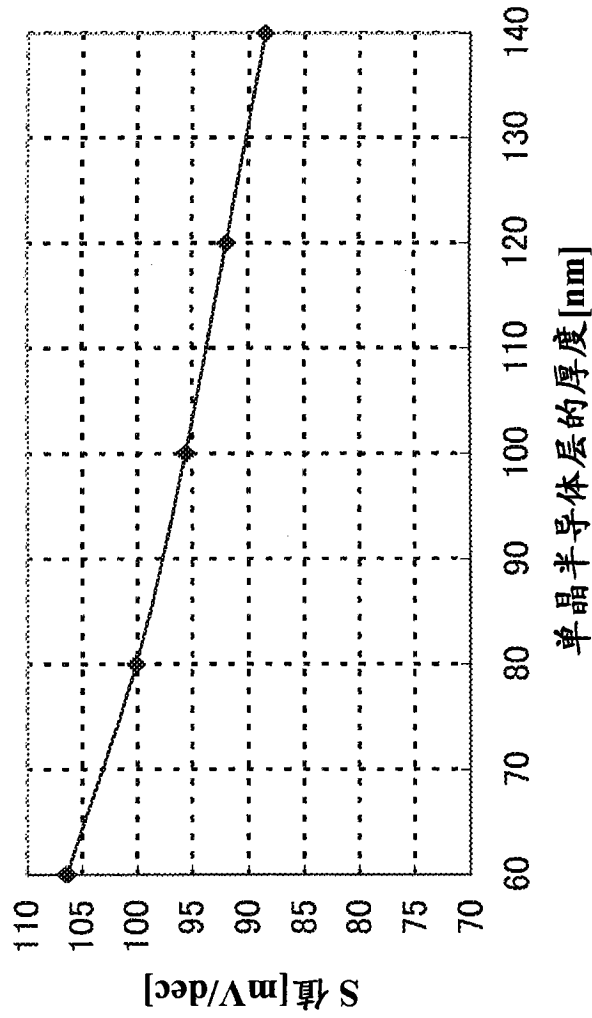
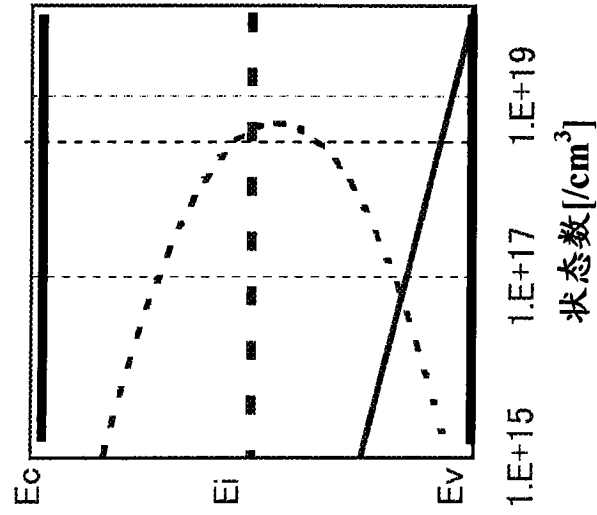


图 9B

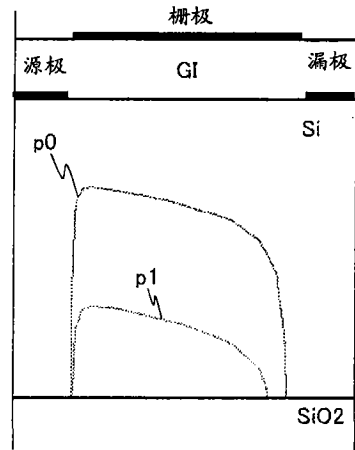
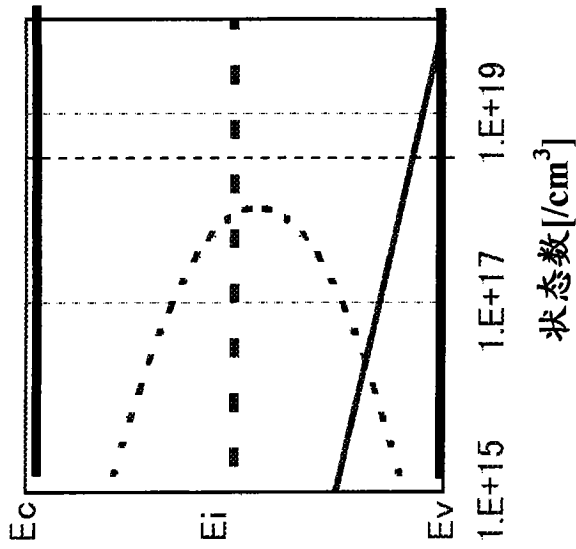


图 10A

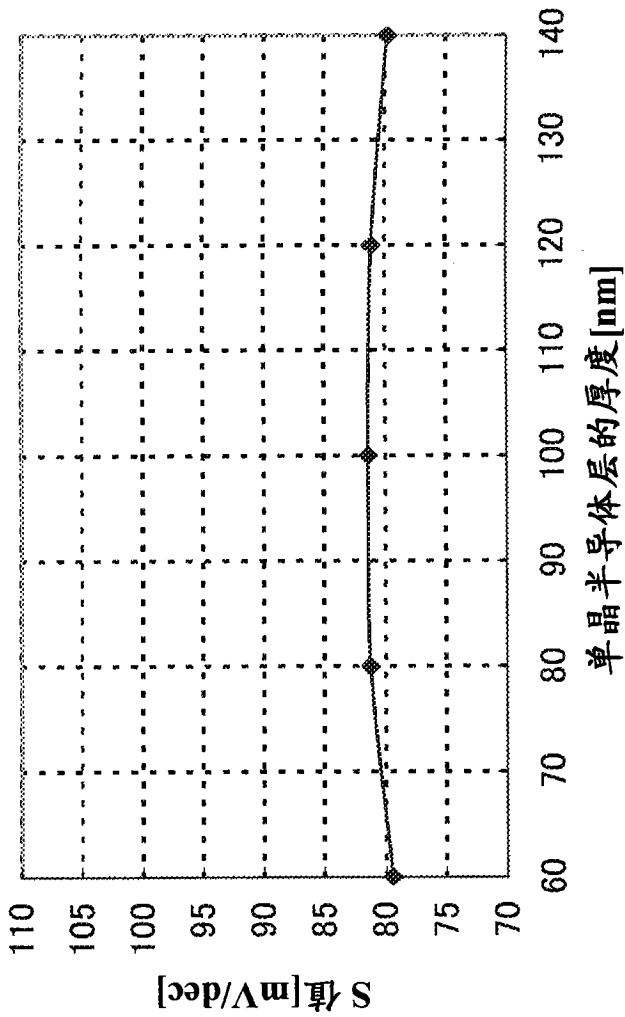
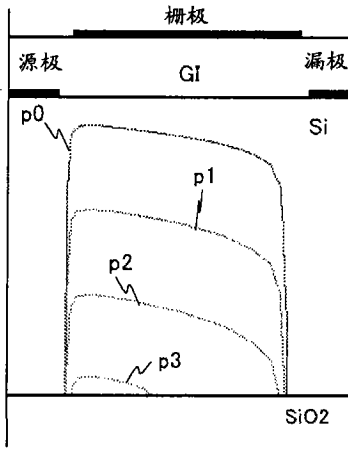
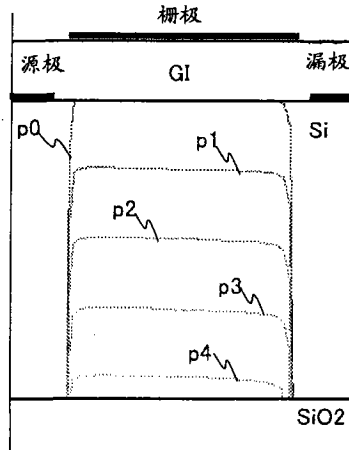


图 9C



条件 1

图 10B



p0: -0.30 V
 p1: -0.225 V
 p2: -0.15 V
 p3: -0.075 V
 p4: 0 V

图 10C

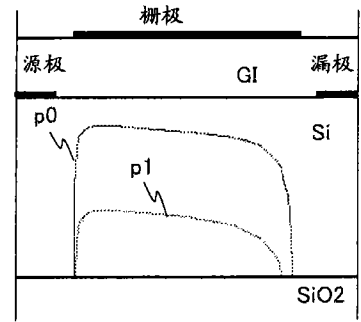
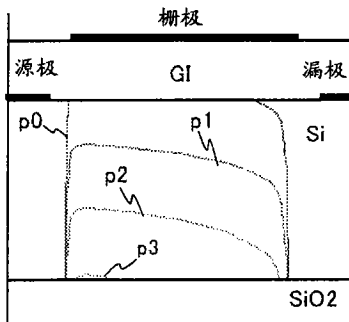
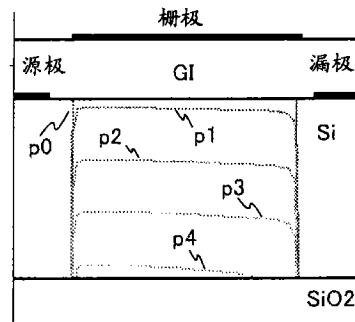


图 10D



条件 2

图 10E



p0: -0.30 V
 p1: -0.225 V
 p2: -0.15 V
 p3: -0.075 V
 p4: 0 V

图 10F

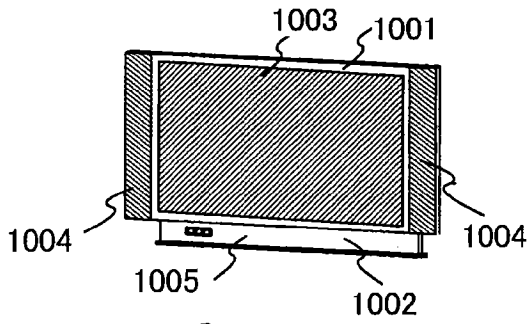


图 11A

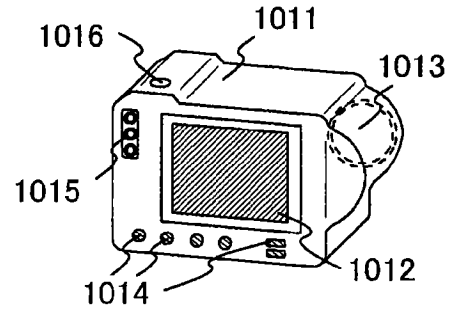


图 11B

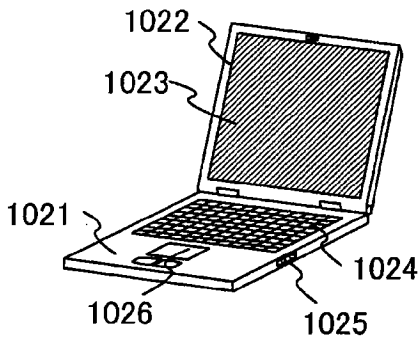


图 11C

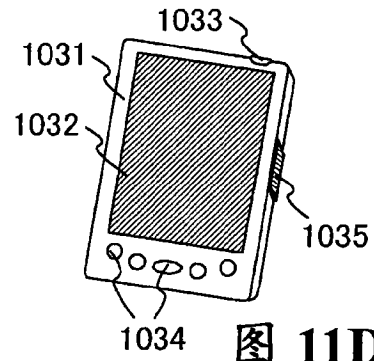


图 11D

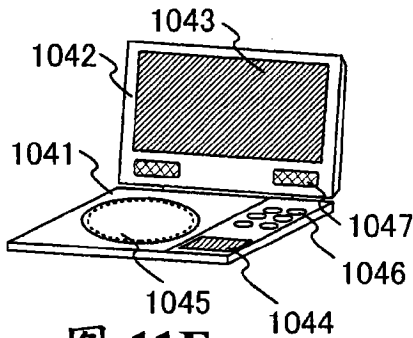


图 11E

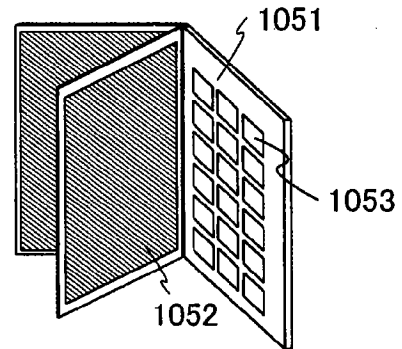


图 11F

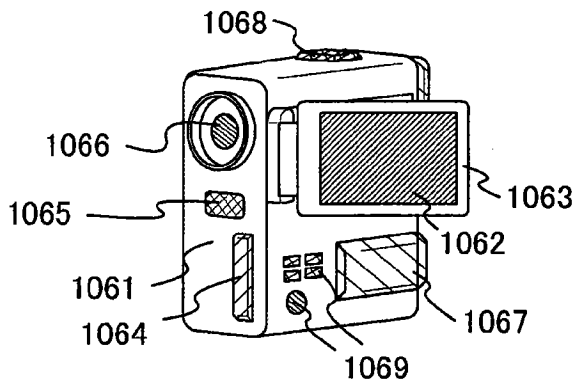


图 11G

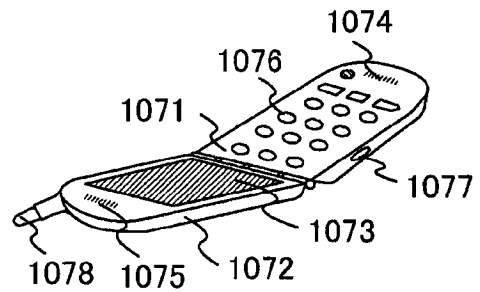


图 11H

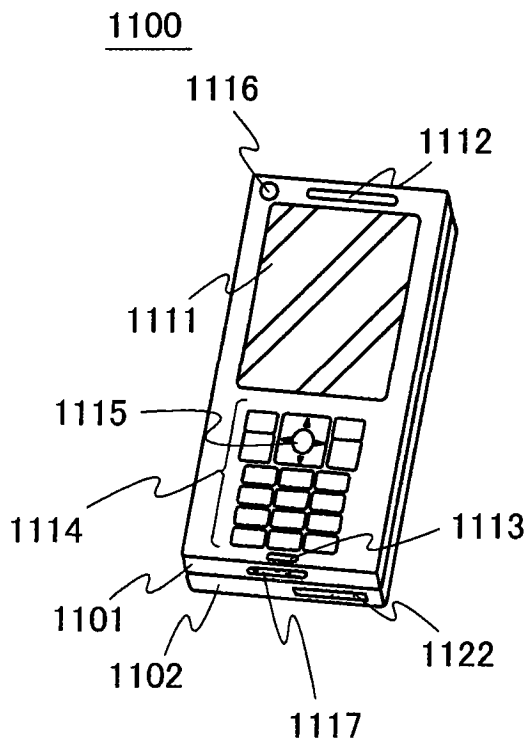


图 12A

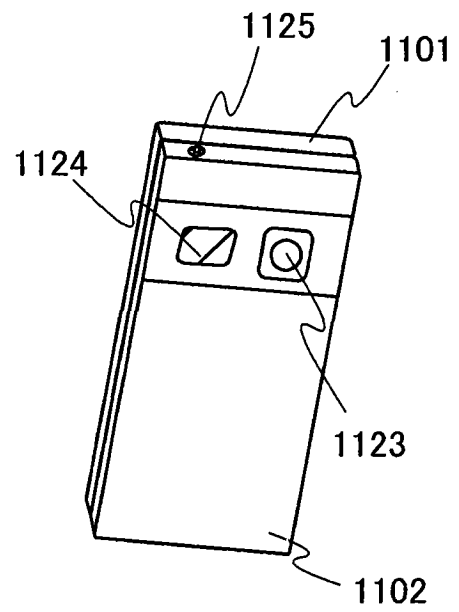


图 12B

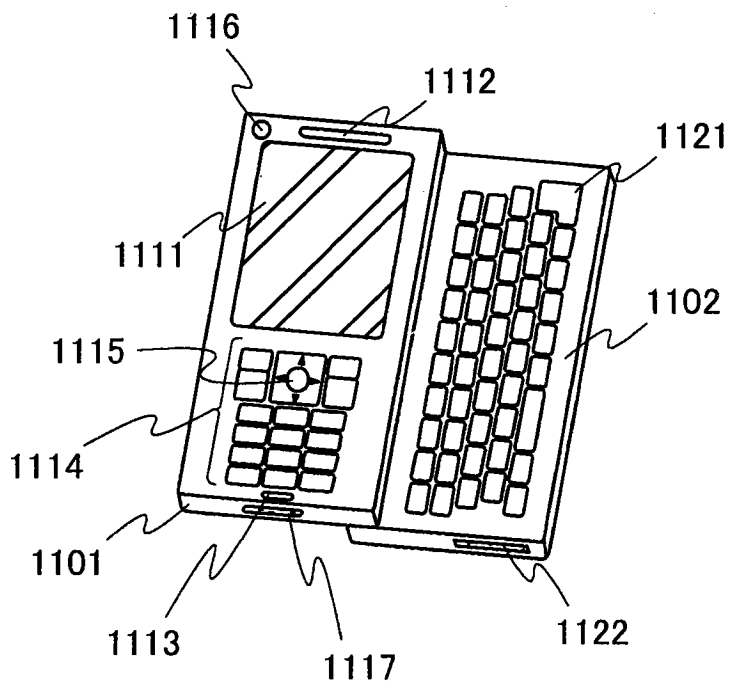


图 12C