

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 9 月 25 日(25.09.2014)



(10) 国際公開番号

WO 2014/147992 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
G02F 1/1368 (2006.01) H01L 51/50 (2006.01)
G09F 9/30 (2006.01) H05B 33/14 (2006.01)
H01L 27/32 (2006.01)
- (21) 国際出願番号: PCT/JP2014/001336
- (22) 国際出願日: 2014 年 3 月 10 日(10.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-058025 2013 年 3 月 21 日(21.03.2013) JP
- (71) 出願人: 凸版印刷株式会社(TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1100016 東京都台東区台東 1 丁目 5 番 1 号 Tokyo (JP).
- (72) 発明者: 中條 妃奈(CHUJO, Hina). 村田 広大(MURATA, Kodai).
- (74) 代理人: 特許業務法人 小笠原特許事務所(OGASAWARA PATENT OFFICE); 〒5640063 大阪府吹田市江坂町 1 丁目 2 3 番 1 0 1 号 大同生命江坂ビル 1 3 階 Osaka (JP).

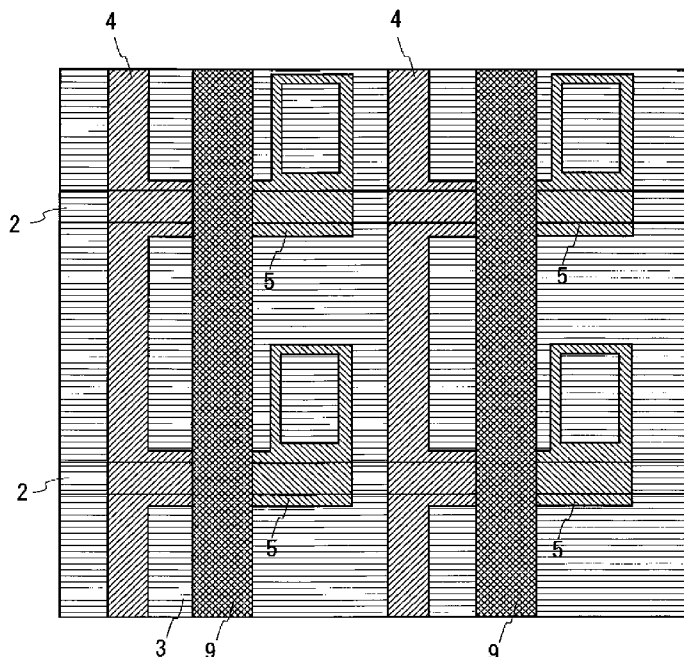
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN FILM TRANSISTOR ARRAY

(54) 発明の名称: 薄膜トランジスタアレイ



(57) Abstract: The purpose of the present invention is to provide a thin film transistor array in which an alignment matching step performed during formation of a semiconductor layer can be shortened and the alignment of the semiconductor layer and a protective layer can be accurately matched, and to provide a method for manufacturing such a thin film transistor array, and an image display device. Provided is a thin film transistor array comprising the following: a substrate; a gate electrode formed on the substrate; a gate insulator layer formed on the substrate and the gate electrode; a source electrode and a drain electrode formed on the gate insulator layer; a semiconductor layer formed on the gate insulator layer and the source electrode, and the drain electrode; and a protective layer formed on the gate insulator layer and the source electrode, and the drain electrode and the semiconductor layer. The semiconductor layer and the protective layer form stripe shapes, with both edges on the long sides being mutually congruent so that the stripes extend over a plurality of transistors, and the direction of extension of the stripes in the semiconductor layer and the protective layer is orthogonal to the direction of current flowing through a channel section.

(57) 要約:

[続葉有]

WO 2014/147992 A1

半導体層形成時のアライメント合わせ工程の短縮が可能で、半導体層と保護層のアライメントを正確に合わせることのできる薄膜トランジスタアレイおよびその製造方法ならびに画像表示装置を提供する。基板と、基板上に形成されたゲート電極と、基板およびゲート電極の上に形成されたゲート絶縁体層と、ゲート絶縁体層上に形成されたソース電極およびドレイン電極と、ゲート絶縁体層とソース電極およびドレイン電極の上に形成された半導体層と、ゲート絶縁体層とソース電極およびドレイン電極と半導体層の上に形成された保護層とを有する薄膜トランジスタアレイであって、半導体層と保護層とは、各ストライプが複数のトランジスタに亘るように、ストライプの長辺側の両端が互いに一致したストライプ形状をなし、半導体層と保護層とにおけるストライプの延伸方向は、チャンネル部を流れる電流の方向と直交する方向である。

明 細 書

発明の名称 : 薄膜トランジスタアレイ

技術分野

[0001] 本発明は薄膜トランジスタアレイおよびその製造方法ならびに画像表示装置に関する。

背景技術

[0002] 薄膜トランジスタでは電極上に半導体層のパターンを、半導体層上に保護層のパターンをそれぞれ形成する。半導体層および保護層のパターン形成は、フォトリソグラフィー法などのパターン形成法やインクジェット印刷によって行われている。フォトリソグラフィー法などのパターン形成法やインクジェット印刷のいずれにおいてもアライメント合わせの工程がその都度必要となる。前工程で形成した層、つまり半導体層は電極に、保護層は半導体層にアライメントを合わせて形成する。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-201056号公報

特許文献2：特開2008-270494号公報

発明の概要

発明が解決しようとする課題

[0004] 薄膜トランジスタの製造では、電極に半導体層のアライメントを、半導体層に保護層のアライメントを合わせなければならない。そのため、いずれかの工程でずれが生じると後工程のアライメントがずれてしまう、もしくは半導体層が保護されない構造となってしまう問題がある。

[0005] 本発明は、半導体層形成時のアライメント合わせ工程の短縮が可能で、半導体層と保護層のアライメントを正確に合わせることのできる薄膜トランジスタアレイ、およびその製造方法、ならびに画像表示装置を提供することを

目的とする。

課題を解決するための手段

- [0006] 上記課題を達成するための本発明の一局面は、基板と、基板上に形成されたゲート電極と、基板およびゲート電極の上に形成されたゲート絶縁体層と、ゲート絶縁体層上に形成されたソース電極およびドレイン電極と、ゲート絶縁体層とソース電極およびドレイン電極との上に形成された半導体層と、ゲート絶縁体層とソース電極およびドレイン電極と半導体層との上に形成された保護層とを有し、半導体層と保護層とは、各ストライプが複数のトランジスタに亘るように、ストライプの長辺側の両端が互いに一致したストライプ形状をなし、半導体層と保護層とにおけるストライプの延伸方向は、チャンネル部を流れる電流の方向と直交する方向である、薄膜トランジスタアレイである。
- [0007] また、半導体層が有機物を含む材料からなる、薄膜トランジスタアレイであってもよい。
- [0008] また、保護層が無機化合物を含む材料からなる、薄膜トランジスタアレイであってもよい。
- [0009] また、保護層が有機物を含む材料からなる、薄膜トランジスタアレイであってもよい。
- [0010] また、保護層が無機化合物と有機物の混合物を含む材料からなる、薄膜トランジスタアレイであってもよい。
- [0011] また、本発明の他の局面は、薄膜トランジスタアレイの製造方法であって、基板上にゲート電極を形成する工程と、基板とゲート電極との上にゲート絶縁体層を形成する工程と、ゲート絶縁体層上にソース電極およびドレイン電極を形成する工程と、ゲート絶縁体層とソース電極およびドレイン電極との上に半導体層を形成する工程と、半導体層上に保護層を形成する工程と、半導体層の保護層で被覆されていない箇所を除去する工程とを有し、保護層を形成する工程では、保護層を、各ストライプが複数のトランジスタに亘ってゲート電極の直上を、水平方向に、かつ、チャンネル部を流れる電流の方向

と直交する方向に延伸するように、ストライプ形状に形成する、薄膜トランジスタアレイの製造方法である。

[0012] また、半導体層が塗布法にて形成される、薄膜トランジスタアレイの製造方法であってもよい。

[0013] また、保護層が塗布法にて形成される、薄膜トランジスタアレイの製造方法であってもよい。

[0014] また、半導体層の除去方法が有機系溶剤、無機系溶剤、およびこれらの混合溶液のいずれかを用いて半導体層を洗い流す方法である、薄膜トランジスタアレイの製造方法であってもよい。

[0015] また、半導体層の除去方法が有機系溶剤、無機系溶剤、およびこれらの混合溶液のいずれかの蒸気にさらすことで半導体層を除去する方法である、薄膜トランジスタアレイの製造方法であってもよい。

[0016] また、塗布方法は、凸版印刷、凹版印刷、平版印刷、スクリーン印刷、インクジェット、熱転写印刷、ディスペンサ、スピンコート、ダイコート、マイクログラビアコートまたはディップコートのいずれか1つ以上の塗布方法である、薄膜トランジスタアレイの製造方法であってもよい。

[0017] また、本発明の他の局面は、本発明に係る薄膜トランジスタアレイと、ソース電極およびドレイン電極上に形成された層間絶縁膜と、層間絶縁膜上に形成された共通電極を含む画像表示媒体とを有する、画像表示装置である。

[0018] また、画像表示媒体は、電気泳動型反射表示装置、透過型液晶表示装置、反射型液晶表示装置、半透過型液晶表示装置、有機EL表示装置および無機EL表示装置のいずれか1つ以上である、画像表示装置であってもよい。

発明の効果

[0019] 本発明によれば、塗布法にて半導体層を全面に形成後、塗布法にて保護層をチャンネル部を流れる電流の方向と直交する方向にストライプ状に形成し、保護層で被覆されていない箇所の半導体層を除去することで、アライメント精度良く半導体層と保護層を形成し、かつ簡便な方法でトランジスタ素子の分離を行うことが可能である。

図面の簡単な説明

[0020] [図1]図1は、本発明の薄膜トランジスタアレイの製造方法を説明する図であって、(a)は、本発明のゲート電極とゲート絶縁体層とソース電極およびドレイン電極を形成した基板を模式的に示した断面図であり、(b)は、ゲート電極とゲート絶縁体層とソース電極およびドレイン電極を形成した基板に半導体層を全面に形成した基板を模式的に示した断面図であり、(c)は、ゲート電極とゲート絶縁体層とソース電極およびドレイン電極と半導体層を形成した基板に保護層をストライプ状に形成した基板を模式的に示した断面図であり、(d)は、ゲート電極とゲート絶縁体層とソース電極およびドレイン電極と半導体層と保護層を形成した基板の半導体層の保護層で被覆されていない部分を除去した基板を模式的に示した断面図である。

[図2]図2は、本発明のゲート電極とゲート絶縁体層とソース電極およびドレイン電極を形成した基板に半導体層を全面に形成した基板を模式的に示した平面図である。

[図3]図3は、本発明のゲート電極とゲート絶縁体層とソース電極およびドレイン電極と半導体層を形成した基板に保護層をストライプ状に形成した基板を模式的に示した平面図である。

[図4]図4は、本発明のゲート電極とゲート絶縁体層とソース電極およびドレイン電極と半導体層と保護層を形成した基板の半導体層の保護層で被覆されていない部分を除去した基板を模式的に示した平面図である。

発明を実施するための形態

[0021] 本発明の薄膜トランジスタアレイおよびその製造方法の一実施形態を以下に説明する。

[0022] 図1の(a)～(d)は、本発明に係る薄膜トランジスタアレイの製造方法の一実施形態を説明するための製造工程における薄膜トランジスタアレイの断面図である。図1は、全面に形成した半導体層に保護層をストライプ状に形成し、保護層に被覆されていない部分の半導体層を除去することで、半導体層のストライプパターンを形成する本発明に係る薄膜トランジスタアレ

イ製造工程の一例を示す工程図である。

[0023] 図1の(a)では、基板1にゲート電極2のパターンを形成する。基板1およびゲート電極2の全面にわたってゲート絶縁体層3を形成する。ゲート絶縁体層3の上にソース電極4およびドレイン電極5のパターンを形成する。

[0024] 次いで、図1の(b)では、ゲート電極2とゲート絶縁体層3とソース電極4およびドレイン電極5を形成した基板1のゲート絶縁体層3とソース電極4およびドレイン電極5の全面にわたって、半導体層6を形成する。

[0025] 次いで、図1の(c)では、ゲート電極2とゲート絶縁体層3とソース電極4およびドレイン電極5と半導体層6を形成した基板1の半導体層6の上に、保護層7をゲート電極2の直上、かつ水平方向、かつチャネル部を流れる電流の方向と直交する方向に各ストライプが延伸するようストライプ状に形成する。なお、チャネル部を流れる電流の方向とは図2の平面図において符号10で示す矢印の方向である。

[0026] 次いで、図1の(d)では、有機系溶剤、無機系溶剤、およびこれらの混合溶液のいずれかを用いて保護層7に被覆されていない半導体層6を洗い流すことで、保護層7と同様のストライプ状に半導体層6をパターンニングする。これにより、半導体層6と保護層7とは、各ストライプが複数のトランジスタに亘るように、ストライプの長辺側の両端が互いに一致したストライプ形状をなす。図4の平面図に示すように、半導体層6および保護層7の積層体9のそれぞれは1つのストライプをなし、各ストライプが複数のトランジスタに亘ってゲート電極2の直上を、水平方向に、かつ、チャネル部を流れる電流の方向と直交する方向に延伸している。隣接するストライプどうしの間の分離は隣接するトランジスタ間での素子分離を兼ねている。また、半導体層の除去方法には、有機系溶剤、無機系溶剤、およびこれらの混合溶液のいずれかの蒸気にさらすことで除去する方法を用いても良い。

[0027] 本実施形態において、基板1に用いる材料は特に限定されるものではなく、一般に用いられる材料として、例えばポリエチレンテレフタレート(PE

T) やポリイミド、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネートなどのフレキシブルなプラスチック材料、石英などのガラス基板やシリコンウェハーなどがある。しかしながら、フレキシブル化や各プロセス温度などを考慮すると、基板としてPENやポリイミドなどを用いることが望ましい。

[0028] 本実施形態において、ゲート電極2の電極材料として用いられる材料は特に限定されるものではないが、一般に用いられる材料には金、白金、ニッケル、インジウム錫酸化物などの金属あるいは酸化物の薄膜若しくはポリ(エチレンジオキシチオフェン)／ポリスチレンスルホネート(PEDOT/ PSS)やポリアニリンなどの導電性高分子や金や銀、ニッケルなどの金属コロイド粒子を分散させた溶液若しくは銀など金属粒子を導電材料として用いた厚膜ペーストなどがある。ゲート電極2を形成する方法としては、インクジェット法、フレキソ印刷、スクリーン印刷、ディスペンサなどがある。

[0029] 本実施形態において、ゲート絶縁体層3として用いられる材料は特に限定されるものではないが、一般に用いられる材料にはポリビニルフェノール、ポリメタクリル酸メチル、ポリイミド、ポリビニルアルコールなどの高分子溶液、アルミナやシリカゲルなどの粒子を分散させた溶液などがある。

[0030] 本実施形態において、半導体層6の半導体材料として用いられる材料は特に限定されるものではないが、一般に用いられる材料にはポリチオフェン、ポリアリルアミン、フルオレンビチオフェン共重合体、およびそれらの誘導体のような高分子有機半導体材料、およびペンタセン、テトラセン、銅フタロシアニン、ペリレン、およびそれらの誘導体のような低分子有機半導体材料を用いることができるが、低コスト化、フレキシブル化、大面積化を考慮すると印刷法が適用できる有機半導体を用いることが望ましい。

[0031] 本実施形態において、保護層7の封止材料として用いる材料は特に限定されるものではないが、一般的に用いられる材料としてはフッ素系樹脂やポリビニルアルコールなどが挙げられるが、これらに限定されるものではない。すなわち、保護層7には、無機化合物を含む材料を用いても良いし、有機物

を含む材料を用いても良いし、またそれらの混合物を含む材料を用いても良い。また、保護層 7 には必要に応じて遮光性を付与することも出来る。さらに、半導体層 6、保護層 7 の形成には、塗布法を用いることができる。この塗布法には、凸版印刷、凹版印刷、平版印刷、スクリーン印刷、インクジェット、熱転写印刷、ディスペンサ、スピンコート、ダイコート、マイクログラビアコートまたはディップコート等を用いることができる。

実施例

[0032] 本発明者は、図 2 に示した通り塗布法にて半導体層 6 を全面に形成し、図 3 の平面図に示した通り、全面に亘るゲート絶縁体層 3 および半導体層 6 の積層体 8 上に、各ストライプが複数のトランジスタに亘ってゲート電極 2 の直上を、水平方向に、かつ、チャンネル部を流れる電流の方向と直交する方向に延伸するように、ストライプ形状に保護層 7 を形成した。そして、保護層 7 の形成後に、保護層 7 で被覆されていない箇所の半導体層 6 を除去することで素子分離を行った第 1 の薄膜トランジスタアレイを作製した。

[0033] 更に、塗布法にて半導体層 6 を全面に形成し、各ストライプが複数のトランジスタに亘ってゲート電極 2 の直上を、水平方向に、かつ、チャンネル部を流れる電流の方向と直交する方向に延伸するように、ストライプ形状に保護層 7 を形成した後、保護層 7 で被覆されていない箇所の半導体層 6 を除去せずにストライプ形状のまま残っている、素子分離を行っていない第 2 の薄膜トランジスタアレイを作製した。

[0034] 上記 2 種類の薄膜トランジスタアレイの素子特性の関係について検討した。

[0035] [実施例 1]

図 1 の (d) に示すように、ボトムゲート・ボトムコンタクト型の薄膜トランジスタの製造方法について説明する。まず、基板 1 の材料として、ポリエチレンナフタレート (PEN)、厚さ $125\ \mu\text{m}$ を用いた。

[0036] 次に、ゲート電極 2 の材料として、ナノ銀と、ポリエチレングリコールとの重量比が 8 : 1 であるナノ銀インキを用いた。ナノ銀インキを転写印刷法

によりPEN基板1上に印刷し、180℃で1時間ベークしてゲート電極2を形成した。

[0037] 次に、ゲート絶縁体層3の材料として、ポリビニルフェノールをシクロヘキサノンに10重量%溶解させた溶液を用いた。ゲート絶縁体層3の溶液をダイコータ法により塗布し、180℃で1時間乾燥させて形成した。

[0038] 次に、ソース電極4およびドレイン電極5の材料として、ナノ銀と、ポリエチレングリコールとの重量比が8：1であるナノ銀インキを用いた。ナノ銀インキを転写印刷法により印刷し、180℃で1時間乾燥させてソース電極4及びドレイン電極5を形成した。

[0039] 次に、半導体層6の材料として、フルオレンービチオフェンコポリマー（F8T2）をテトラリンで1.0重量%になるように溶解した溶液を用いた。半導体層6は、塗布法を用いて全面に塗布し、100℃で60分乾燥させて形成した。

[0040] 次に、封止材料としてポリビニルアルコールを純水に5重量%で溶解させたインキを用い、複数のトランジスタにわたってゲート電極の直上、かつ水平方向、かつチャネル部を流れる電流の方向と直交する方向に保護層7を形成した。

[0041] 次に、半導体層6の保護層7で被覆されていない半導体層箇所をトルエンで洗い流すことで素子の分離を行い、第1の薄膜トランジスタアレイを作製した。この結果、薄膜トランジスタのオフ状態での電流（リーク電流）値を小さくすることができた。

[0042] [実施例2]

保護層7まで形成する工程は実施例1と全く同様な方法で第1の薄膜トランジスタアレイを作製した。

[0043] 当該作製においては、保護層7を形成する工程の次に、半導体層6の保護層7で被覆されていない半導体層箇所をトルエンの蒸気にさらすことで除去して素子の分離を行った。この結果、薄膜トランジスタのオフ状態での電流（リーク電流）値を小さくすることができた。

[0044] [比較例 1]

保護層 7 まで形成する工程は実施例 1 と全く同様な方法で第 2 の薄膜トランジスタアレイを作製した。

[0045] 当該作製においては、保護層 7 を形成する工程の次に、半導体層 6 の保護層 7 で被覆されていない半導体層箇所を除去せずに素子の分離を行わなかった。この結果、薄膜トランジスタのオフ状態での電流（リーク電流）値が高くなってしまった。

[0046] 塗布法にて半導体層 6 を全面に形成して、複数のトランジスタにわたってゲート電極の直上、かつ水平方向、かつチャネル部を流れる電流の方向と直交する方向に塗布法にて保護層 7 を形成後、有機系溶剤、無機系溶剤、およびそれらの混合溶液のいずれかで保護層 7 で被覆されていない箇所の半導体層 6 を除去することで、アライメント精度良く半導体層 6 と保護層 7 を形成し、かつ簡便な方法でトランジスタ素子の分離を実現し良好な素子特性を示す薄膜トランジスタを作製することができた。

[0047] 上述のようにして作製された第 1 の薄膜トランジスタアレイを含む基板 1 に対し、例えば、ソース電極 4 およびドレイン電極 5 の上に層間絶縁膜（図示せず）を形成し、層間絶縁膜上に形成された共通電極を含む画像表示媒体を組み合わせることで、画像表示装置を構成することができる。画像表示媒体として、例えば、電気泳動型反射表示装置、透過型液晶表示装置、反射型液晶表示装置、半透過型液晶表示装置、有機 EL 表示装置および無機 EL 表示装置のいずれか 1 つ以上の表示媒体を用いることができる。

産業上の利用可能性

[0048] 本発明は、例えば、電子ペーパー、液晶ディスプレイ、ELディスプレイ等の薄型表示装置を始めとするアクティブマトリク型の表示装置に適用可能である。

符号の説明

- [0049] 1 基板
 2 ゲート電極

- 3 ゲート絶縁体層
- 4 ソース電極
- 5 ドレイン電極
- 6 半導体層
- 7 保護層
- 8 ゲート絶縁体および半導体層の積層体
- 9 半導体層および保護層の積層体
- 10 チャンネル部を流れる電流の向き

請求の範囲

- [請求項1] 基板と、前記基板上に形成されたゲート電極と、前記基板および前記ゲート電極の上に形成されたゲート絶縁体層と、前記ゲート絶縁体層上に形成されたソース電極およびドレイン電極と、前記ゲート絶縁体層とソース電極およびドレイン電極との上に形成された半導体層と、前記ゲート絶縁体層と前記ソース電極および前記ドレイン電極と前記半導体層との上に形成された保護層とを有し、
- 前記半導体層と前記保護層とは、各ストライプが複数のトランジスタに亘るように、前記ストライプの長辺側の両端が互いに一致したストライプ形状をなし、前記半導体層と前記保護層とにおける前記ストライプの延伸方向は、チャンネル部を流れる電流の方向と直交する方向である、薄膜トランジスタアレイ。
- [請求項2] 前記半導体層が有機物を含む材料からなる、請求項1に記載の薄膜トランジスタアレイ。
- [請求項3] 前記保護層が無機化合物を含む材料からなる、請求項1又は2に記載の薄膜トランジスタアレイ。
- [請求項4] 前記保護層が有機物を含む材料からなる、請求項1乃至3のいずれかに記載の薄膜トランジスタアレイ。
- [請求項5] 前記保護層が無機化合物と有機物との混合物を含む材料からなる、請求項1乃至4のいずれかに記載の薄膜トランジスタアレイ。
- [請求項6] 薄膜トランジスタアレイの製造方法であって、
- 基板上にゲート電極を形成する工程と、
- 前記基板と前記ゲート電極との上にゲート絶縁体層を形成する工程と、
- 前記ゲート絶縁体層上にソース電極およびドレイン電極を形成する工程と、
- 前記ゲート絶縁体層と前記ソース電極および前記ドレイン電極との上に半導体層を形成する工程と、

前記半導体層上に保護層を形成する工程と、

前記半導体層の前記保護層で被覆されていない箇所を除去する工程とを有し、

前記保護層を形成する工程では、前記保護層を、各ストライプが複数のトランジスタに亘って前記ゲート電極の直上を、水平方向に、かつ、前記チャネル部を流れる電流の方向と直交する方向に延伸するように、ストライプ形状に形成する、薄膜トランジスタアレイの製造方法。

[請求項7] 前記半導体層が塗布法にて形成される、請求項6に記載の薄膜トランジスタアレイの製造方法。

[請求項8] 前記保護層が塗布法にて形成される、請求項6又は7に記載の薄膜トランジスタアレイの製造方法。

[請求項9] 前記半導体層の除去方法が有機系溶剤、無機系溶剤、およびこれらの混合溶液のいずれかを用いて前記半導体層を洗い流す方法である、請求項6乃至8のいずれかに記載の薄膜トランジスタアレイの製造方法。

[請求項10] 前記半導体層の除去方法が有機系溶剤、無機系溶剤、およびこれらの混合溶液のいずれかの蒸気にさらすことで前記半導体層を除去する方法である、請求項6乃至9のいずれかに記載の薄膜トランジスタアレイの製造方法。

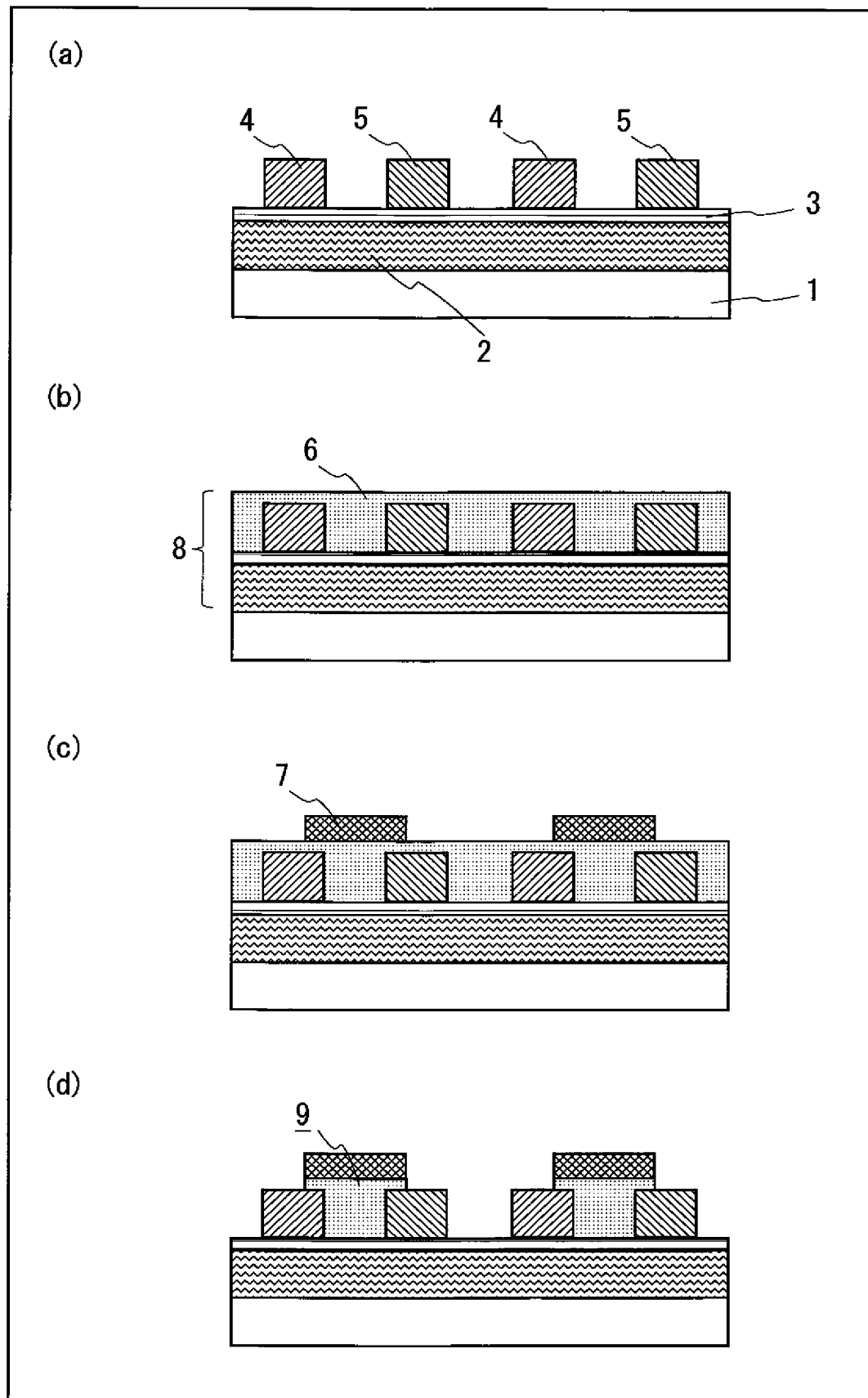
[請求項11] 前記塗布方法は、凸版印刷、凹版印刷、平版印刷、スクリーン印刷、インクジェット、熱転写印刷、ディスペンサ、スピンコート、ダイコート、マイクログラビアコートまたはディップコートのいずれか1つ以上の塗布方法である、請求項6乃至10のいずれかに記載の薄膜トランジスタアレイの製造方法。

[請求項12] 請求項1乃至5のいずれかに記載の薄膜トランジスタアレイまたは請求項6乃至11のいずれかに記載の薄膜トランジスタアレイの製造方法により製造された薄膜トランジスタアレイと、前記ソース電極お

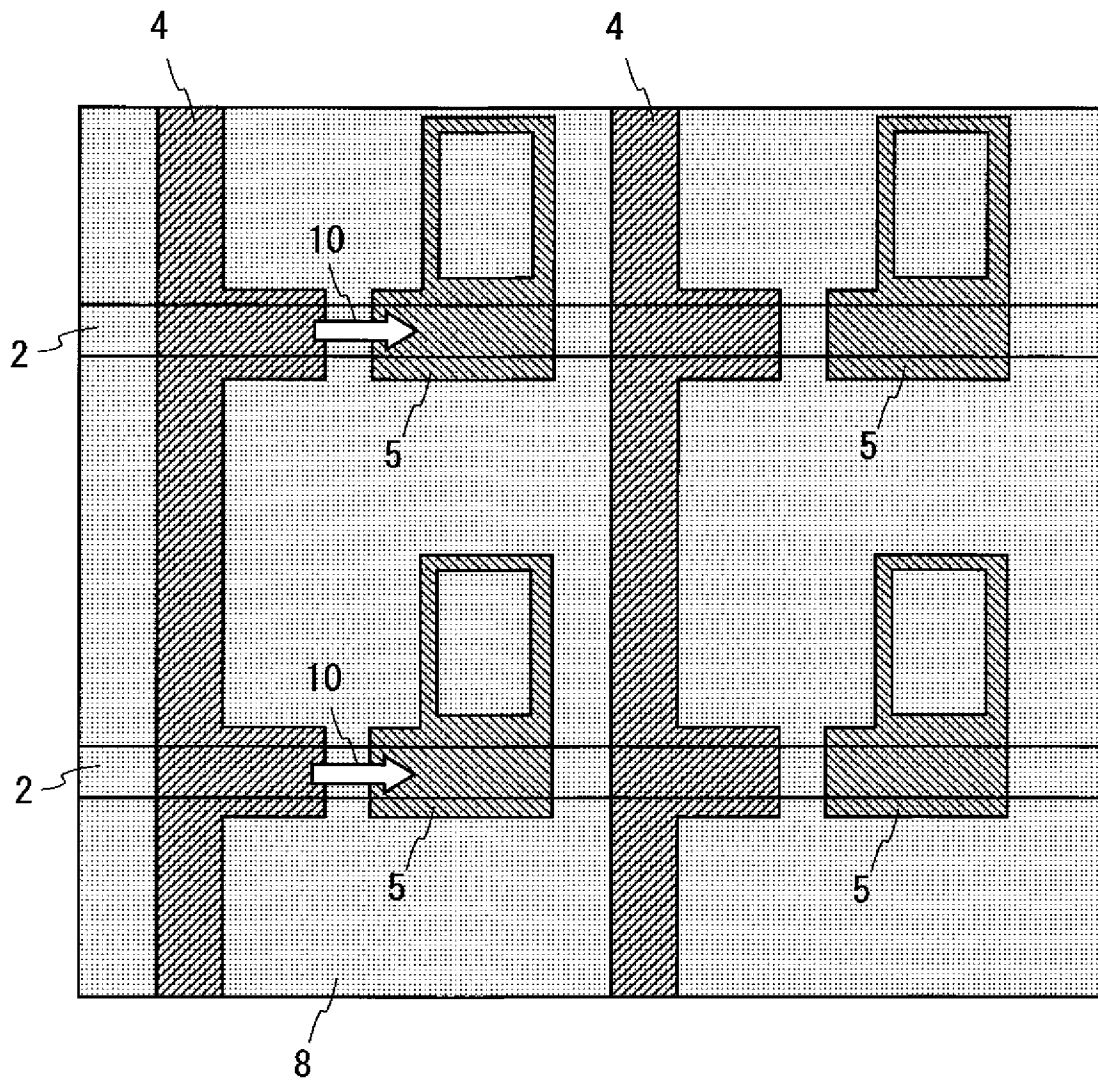
よび前記ドレイン電極上に形成された層間絶縁膜と、前記層間絶縁膜上に形成された共通電極を含む画像表示媒体とを有する、画像表示装置。

[請求項13] 前記画像表示媒体は、電気泳動型反射表示装置、透過型液晶表示装置、反射型液晶表示装置、半透過型液晶表示装置、有機EL表示装置および無機EL表示装置のいずれか1つ以上である、請求項12に記載の画像表示装置。

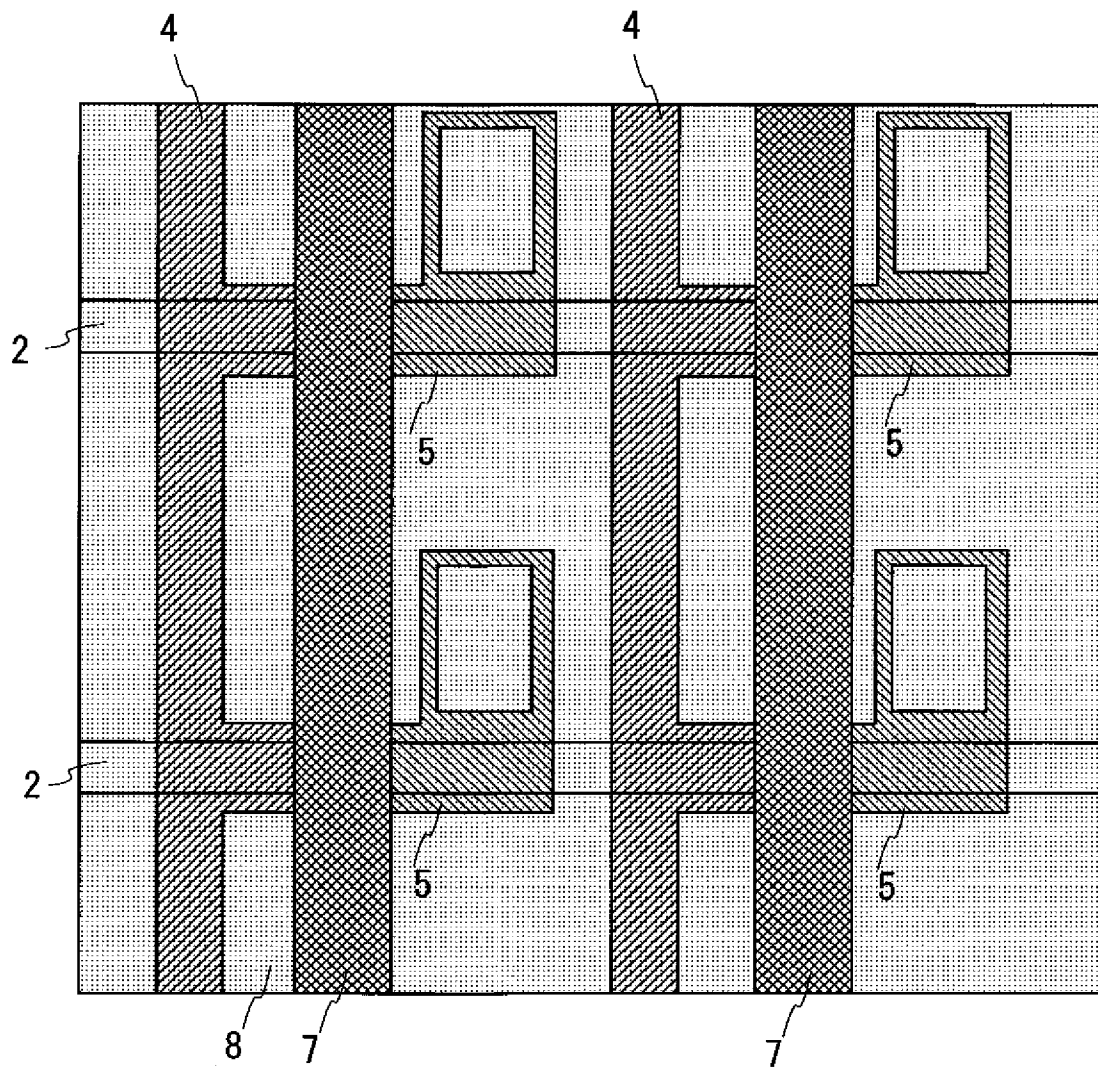
[図1]



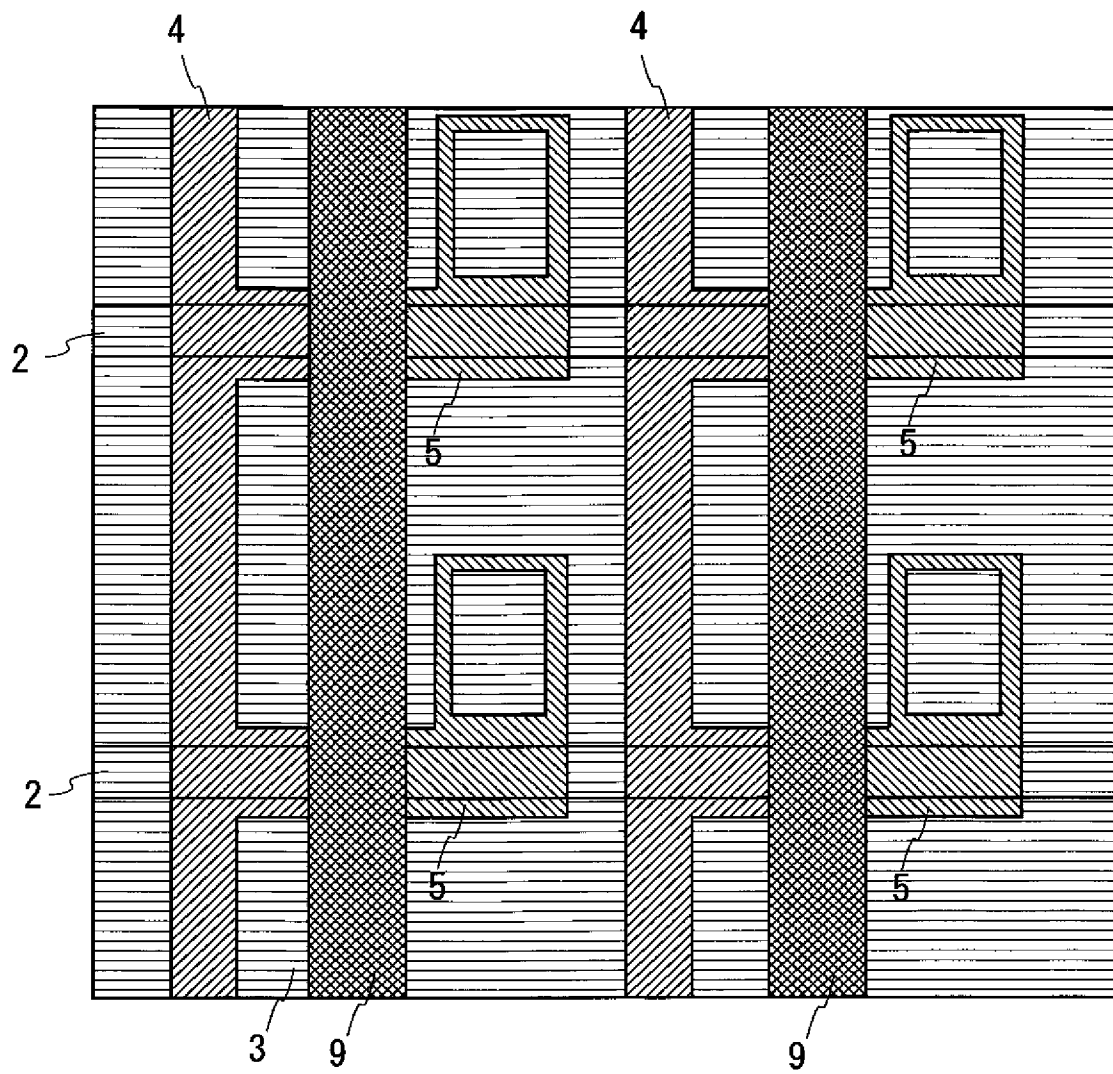
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/001336

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G02F1/1368, G09F9/30, H01L27/32, H01L29/786, H01L51/50, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2011/122205 A1 (Toppan Printing Co., Ltd.), 06 October 2011 (06.10.2011), paragraphs [0023] to [0059], [0064] to [0067]; fig. 1 to 3, 6, 8 & US 2013/0056738 A1 & KR 10-2013-0050914 A & TW 201142955 A	1, 3-9, 11-13 2, 10
Y	JP 2008-235861 A (Toppan Printing Co., Ltd.), 02 October 2008 (02.10.2008), paragraphs [0001] to [0050]; fig. 1 & US 2008/0197348 A1	2
Y	JP 2013-21305 A (Semiconductor Energy Laboratory Co., Ltd.), 31 January 2013 (31.01.2013), paragraphs [0094] to [0098]; fig. 1, 2 & US 2012/0319101 A1 & KR 10-2012-0139567 A	10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 April, 2014 (11.04.14)

Date of mailing of the international search report
22 April, 2014 (22.04.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/001336

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-165947 A (Sony Corp.), 25 August 2011 (25.08.2011), paragraph [0045]; fig. 7 (Family: none)	1-13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, G02F1/1368, G09F9/30, H01L27/32, H01L29/786, H01L51/50, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2011/122205 A1（凸版印刷株式会社）2011.10.06, 段落【0023】 - 【0059】【0064】- 【0067】, 第1-3, 6, 8 図 & US 2013/0056738 A1 & KR 10-2013-0050914 A & TW 201142955 A	1, 3-9, 11-13 2, 10
Y	JP 2008-235861 A（凸版印刷株式会社）2008.10.02, 段落【0001】- 【0050】, 第1 図 & US 2008/0197348 A1	2

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 4 . 2 0 1 4

国際調査報告の発送日

2 2 . 0 4 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 聡一郎

5 F

5 3 8 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-21305 A (株式会社半導体エネルギー研究所) 2013. 01. 31, 段落【0094】 - 【0098】, 第 1, 2 図 & US 2012/0319101 A1 & KR 10-2012-0139567 A	10
A	JP 2011-165947 A (ソニー株式会社) 2011. 08. 25, 段落【0045】, 第 7 図 (ファミリーなし)	1-13