



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/027 (2006.01) H01L 21/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년06월21일 10-0731334 2007년06월15일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0029054 2006년03월30일 2006년03월30일	(65) 공개번호 (43) 공개일자	10-2006-0109821 2006년10월23일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장      JP-P-2005-00119864      2005년04월18일      일본(JP)

(73) 특허권자      가부시끼가이샤 도시바  
                         일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고

(72) 발명자      가미가키 테츠야  
                         일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤도시바  
                         지적재산부내

                         이토 에이지  
                         일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤도시바  
                         지적재산부내

                         하시모토 고지  
                         일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤도시바  
                         지적재산부내

                         기노시타 히데유키  
                         일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤도시바  
                         지적재산부내

(74) 대리인      김윤배  
                         이범일

(56) 선행기술조사문헌  
                         KR1020050101869 A      KR1020060076677 A  
                         JP14031884 A

심사관 : 설관식

전체 청구항 수 : 총 20 항

(54) 반도체장치의 제조방법

(57) 요약

본 발명은, 밀바탕 영역 상에 제1마스크패턴을 형성하는 공정과, 상기 밀바탕 영역 상에 제1피치로 배치된 복수의 더미 라인패턴을 형성하는 공정, 상기 더미 라인패턴의 양 길이 측면에 형성된 소정 마스크 부분을 가진 제2마스크패턴을 형성하는 공정, 상기 더미 라인패턴을 제거하는 공정 및, 상기 제1마스크패턴 및 상기 소정 마스크 부분을 마스크로 이용해서 상기 밀바탕 영역을 에칭하는 공정을 갖춘 반도체장치의 제조방법이다.

**대표도**

도 1

**특허청구의 범위**

**청구항 1.**

밀바탕 영역 상에 제1마스크패턴을 형성하는 공정과,

상기 밀바탕 영역 상에 제1피치로 배치된 복수의 더미 라인패턴을 형성하는 공정,

상기 더미 라인패턴의 양 길이 측면에 형성된 소정 마스크 부분을 가진 제2마스크패턴을 형성하는 공정,

상기 더미 라인패턴을 제거하는 공정 및,

상기 제1마스크패턴 및 상기 소정 마스크 부분을 마스크로 이용해서 상기 밀바탕 영역을 에칭하는 공정을 갖춘 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 2.**

제1항에 있어서, 상기 소정 마스크 부분이 상기 제1피치의 절반인 제2피치로 배치되는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 3.**

제1항에 있어서, 상기 소정 마스크 부분을 마스크로 이용해서 상기 밀바탕 영역을 에칭함으로써 배선패턴이 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 4.**

제3항에 있어서, 상기 배선패턴이 불휘발성 반도체메모리의 워드선 패턴인 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 5.**

제4항에 있어서, 상기 제1마스크패턴을 마스크로 이용해서 상기 밀바탕 영역을 에칭함으로써 상기 불휘발성 반도체메모리의 선택 게이트선 패턴이 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 6.**

제4항에 있어서, 상기 제1마스크패턴을 마스크로 이용해서 상기 밀바탕 영역을 에칭함으로써 상기 불휘발성 반도체 메모리의 주변회로 패턴이 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 7.

제1항에 있어서, 상기 밀바탕 영역이 부유게이트전극막과, 이 부유게이트전극막 상의 전극간 절연막 및, 이 전극간 절연막 상의 제어게이트막을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 8.

제1항에 있어서, 상기 제2마스크패턴을 형성하는 공정이,

상기 더미 라인패턴을 피복하는 피복막을 형성하는 공정과,

상기 피복막을 이방성 에칭해서 상기 제2마스크패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 9.

제1항에 있어서, 상기 더미 라인패턴을 형성하는 공정이,

상기 밀바탕 영역 상에 상기 더미 라인패턴보다도 폭이 넓은 예비패턴을 형성하는 공정과,

상기 예비패턴의 폭을 감소시키는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 10.

제1항에 있어서, 상기 제2마스크패턴을 형성하는 공정이 상기 제1마스크패턴의 측면에 제3마스크패턴을 형성하는 공정을 포함하고,

상기 제1마스크패턴을 마스크로 이용해서 상기 밀바탕 영역을 에칭하는 공정이 상기 제1마스크패턴 및 제3마스크패턴을 마스크로 이용해서 상기 밀바탕 영역을 에칭하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 11.

제1항에 있어서, 상기 제1마스크패턴이 제1마스크패턴 상에 형성된 보호 마스크패턴을 마스크로 이용해서 형성되고,

상기 더미 라인패턴을 제거하는 공정에 있어서, 상기 제1마스크패턴이 상기 보호 마스크패턴에 의해 보호되는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 12.

제1항에 있어서, 상기 제2마스크패턴이 상기 더미 라인패턴을 에워싸는 페루프 형상의 마스크패턴이고,

상기 제2마스크패턴의 양단 부분을 제거하고 상기 소정 마스크 부분을 남기는 공정을 더 갖춘 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 13.**

밀바탕 영역 상에 제1피치로 배치된 복수의 더미 라인패턴을 형성하는 공정과,

상기 더미 라인패턴의 양 길이 측면에 형성된 소정 마스크 부분을 갖고서 상기 더미 라인패턴을 에워싸는 페루프 형상의 마스크패턴을 형성하는 공정,

상기 더미 라인패턴을 제거하는 공정,

상기 마스크패턴의 양단 부분을 제거하고 상기 소정 마스크 부분을 남기는 공정 및,

상기 소정 마스크 부분을 마스크로 이용해서 상기 밀바탕 영역을 에칭하는 공정을 갖춘 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 14.**

제13항에 있어서, 상기 소정 마스크 부분이 상기 제1피치의 절반인 제2피치로 배치되는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 15.**

제13항에 있어서, 상기 소정 마스크 부분을 마스크로 이용해서 상기 밀바탕 영역을 에칭함으로써 배선패턴이 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 16.**

제15항에 있어서, 상기 배선패턴이 불휘발성 반도체메모리의 워드선 패턴인 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 17.**

제13항에 있어서, 상기 밀바탕 영역이 부유게이트전극막과, 이 부유게이트전극막 상의 전극간 절연막 및, 이 전극간 절연막 상의 제어게이트막을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 18.**

제13항에 있어서, 상기 마스크패턴을 형성하는 공정이,

상기 더미 라인패턴을 피복하는 피복막을 형성하는 공정과,

상기 피복막을 이방성 에칭해서 상기 마스크패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 19.**

제13항에 있어서, 상기 더미 라인패턴을 형성하는 공정과,

상기 밀바탕 영역 상에 상기 더미 라인패턴보다도 폭이 넓은 예비패턴을 형성하는 공정과,

상기 예비패턴의 폭을 감소시키는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 20.

제13항에 있어서, 상기 마스크패턴의 양단 부분을 제거하는 공정이 상기 소정 마스크 부분을 피복하는 레지스트 패턴을 마스크로 이용해서 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

### 명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 제조방법에 관한 것이다.

반도체장치의 미세화는 리소그래피기술에 크게 의존한다. 그 때문에, 리소그래피의 해상한계(resolution limit)를 하회하는 폭을 가진 라인 앤 스페이스 패턴(line and space pattern)을 형성하는 것은, 일반적으로는 곤란하다.

이러한 문제에 대해, 더미패턴의 측벽(sidewall)에 측벽패턴을 형성하고, 이 측벽패턴을 마스크로 해서 에칭을 실행하는 방법이 제안되어 있다(예컨대, 미국 특허 제6,063,688호 참조). 이 방법에 의하면, 더미패턴의 피치의 절반의 피치로 라인 앤 스페이스 패턴을 형성하는 것이 일단 가능하다.

그렇지만, 상술한 제안에서는, 라인 앤 스페이스 패턴 이외의 패턴에 대해서는 전혀 고려되고 있지 않다. 따라서, 라인 앤 스페이스 패턴 및 다른 패턴을 포함한 전체적인 패턴을 정확(的確)하면서 효과적으로 형성할 수는 없다.

이와 같이, 종래에는 정확하면서 효과적으로 패턴을 형성하는 것이 곤란하여 우수한 반도체장치를 얻는 것이 곤란했다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은, 상기한 바와 같은 점을 고려해서 이루어진 것으로, 그 목적은 정확하면서 효과적으로 소망하는 패턴을 형성하는 것이 가능한 반도체장치의 제조방법을 제공함에 있다.

### 발명의 구성

본 발명의 제1관점에 따른 반도체장치의 제조방법은, 밀바탕 영역 상에 제1마스크패턴을 형성하는 공정과, 상기 밀바탕 영역 상에 제1피치로 배치된 복수의 더미 라인패턴을 형성하는 공정, 상기 더미 라인패턴의 양 길이 측면에 형성된 소정 마스크 부분을 가진 제2마스크패턴을 형성하는 공정, 상기 더미 라인패턴을 제거하는 공정 및, 상기 제1마스크패턴 및 상기 소정 마스크 부분을 마스크로 이용해서 상기 밀바탕 영역을 에칭하는 공정을 갖춘 것을 특징으로 한다.

본 발명의 제2관점에 따른 반도체장치의 제조방법은, 밀바탕 영역 상에 제1피치로 배치된 복수의 더미 라인패턴을 형성하는 공정과, 상기 더미 라인패턴의 양 길이 측면에 형성된 소정 마스크 부분을 갖고서 상기 더미 라인패턴을 에워싸는 페루프 형상의 마스크패턴을 형성하는 공정, 상기 더미 라인패턴을 제거하는 공정, 상기 마스크패턴의 양단 부분을 제거하고 상기 소정 마스크 부분을 남기는 공정 및, 상기 소정 마스크 부분을 마스크로 이용해서 상기 밀바탕 영역을 에칭하는 공정을 갖춘 것을 특징으로 한다.

(발명의 상세한 설명)

이하, 본 발명의 실시형태를 도면을 참조해서 설명한다. 이하에서는, 본 실시형태에 따른 반도체장치의 제조방법을, NAND형 플래쉬 메모리(불휘발성(nonvolatile) 반도체메모리)에 적용한 예를 설명한다.

도 1은 NAND형 플래쉬 메모리의 등가회로를 나타낸 도면이다. 각 NAND셀 유닛은, 선택 트랜지스터(select transistor; ST) 사이에 직렬 접속된 복수의 메모리셀(MC)을 설치한 구성으로 되어 있다. 선택 트랜지스터(ST)에는 선택 게이트선(select gate line; SG)이 접속되어 있고, 메모리셀(MC)에는 제어게이트선(워드선; CG)이 접속되어 있다. 또, 한쪽의 선택 트랜지스터(ST)에는 비트선(BL1, BL2, ...)이 접속되어 있고, 다른쪽의 선택 트랜지스터(ST)에는 소스선(SL)이 접속되어 있다. 한편 여기서는, 각 NAND셀 유닛의 메모리셀 수가 8개인 경우를 나타냈지만, 메모리셀의 수는 한정되는 것이 아니다.

이하, 본 실시형태의 제조방법을 설명한다.

먼저, 도 2 및 도 3에 나타낸 바와 같은 구조를 형성한다. 도 2는 비트선의 연장방향(이하, 비트선 방향이라 한다)의 단면도이고, 도 3은 워드선의 연장방향(이하, 워드선 방향이라 한다)의 단면도이다. 이하, 개략을 설명한다.

먼저, 반도체기판(예컨대, 실리콘기판; 11) 상에, 터널절연막(12) 및 부유게이트전극막(13)을 순차적으로 형성한다. 이어서, 반도체기판(11), 터널절연막(12) 및 부유게이트전극막(13)을 패터닝해서 비트선 방향으로 연장된 복수의 소자영역(11a) 및 소자분리도랑(isolation trench)을 형성한다. 이어서, 소자분리도랑 내에 절연물을 형성하여 소자분리영역(14)을 형성한다. 더욱이, 전극간(inter-electrode) 절연막(15) 및 제어게이트전극막(16)을 순차적으로 형성한다. 이와 같이 해서, 도 2 및 도 3에 나타낸 바와 같은 하지영역(下地領域: 밀바탕 영역)(이하, 밀바탕 영역이라 칭하기로 함)이 형성된다.

다음에, 도 4(비트선 방향의 단면도)에 나타낸 바와 같이, 밀바탕 영역 상에 BSG 등의 재료로 형성된 마스크막(21)을 형성한다. 더욱이, 마스크막(21) 상에 비정질실리콘 등의 재료로 형성된 하드 마스크막(22)을 형성한다.

다음에, 도 5에 나타낸 바와 같이, 워드선 형성영역 이외의 비워드선 형성영역의 패턴을 형성하기 위해, 통상의 리소그래피기술을 이용해서 하드 마스크막(22) 상에 포토레지스트 패턴(23a, 23b)을 형성한다. 포토레지스트 패턴(23a)은 선택 게이트선 패턴을 형성하기 위해 사용되고, 포토레지스트 패턴(23b)은 주변회로(peripheral circuit) 패턴(예컨대, 주변회로 트랜지스터의 게이트 패턴)을 형성하기 위해 사용된다.

다음에, 도 6에 나타낸 바와 같이, 포토레지스트 패턴(23a, 23b)을 마스크로 이용해서 하드 마스크막(22)을 RIE(reactive ion etching)에 의해 패터닝하여 하드 마스크 패턴(보호마스크 패턴; 22a, 22b)을 형성한다. 더욱이, 포토레지스트 패턴(23a, 23b)을 제거한다.

다음에, 도 7에 나타낸 바와 같이, 워드선 형성영역에 라인 앤 스페이스 패턴을 형성하기 위해, 통상의 리소그래피기술을 이용해서 마스크막(21) 상에 복수의 포토레지스트 패턴(예비패턴; 24)을 형성한다. 이들 포토레지스트 패턴(24)은 비트선 방향으로 동일 피치(P1; 제1피치)로 배치된다.

다음에, 도 8에 나타낸 바와 같이, 통상의 슬리밍(slimming)기술을 이용해서 포토레지스트 패턴(24)을 감소시킨다. 이에 따라, 포토레지스트 패턴(24)의 폭이 감소된 포토레지스트 패턴(24c)이 얻어진다. 이와 같이, 슬리밍기술을 이용함으로써, 포토레지스트 패턴(24)의 폭이 포토리소그래피의 해상한계폭 이상이어도 포토리소그래피의 해상한계폭보다도 폭이 좁은 포토레지스트 패턴(24c)을 얻는 것이 가능하다.

다음에, 도 9에 나타낸 바와 같이, 하드 마스크막(22a, 22b) 및 포토레지스트 패턴(24c)을 마스크로 이용해서 RIE에 의해 마스크막(21)을 패터닝한다. 이에 따라, 비워드선 형성영역에는 마스크패턴(제1마스크패턴; 21a, 21b)이 형성된다. 또, 워드선 형성영역에는 터미 라인패턴(21c)이 형성된다.

한편, 상술한 공정에서는, 포토레지스트 패턴(24)을 슬리밍하고 있지만, 마스크막(21)을 직접 슬리밍해도 좋다. 예컨대, 마스크막(21)이 BSG로 형성되어 있는 경우, 포토레지스트 패턴(24)을 마스크로 해서 저파워의 RIE로 마스크막(21)을 가공함으로써, 마스크막(21)을 직접 슬리밍하는 것이 가능하다.

다음에, 도 10에 나타난 바와 같이, CVD에 의해 전면에 실리콘질화막을 형성하고, 이 실리콘질화막에 의해 마스크패턴(21a, 21b)과 더미 라인패턴(21c) 및 하드 마스크패턴(22a, 22b)을 피복한다. 이어서, RIE 등의 이방성 에칭(anisotropic etching)에 의해 실리콘질화막을 에칭한다. 그 결과, 더미 라인패턴(21c)의 측벽(측면)에는 측벽 마스크패턴(제2마스크패턴; 25c)이 형성된다. 또, 마스크패턴(21a, 21b)의 측벽에는 측벽 마스크패턴(제3마스크패턴; 25a, 25b)이 형성된다.

다음에, 도 11에 나타난 바와 같이, 불산(HF)계의 웨트에칭액을 이용해서 더미 라인패턴(21c)을 제거한다. 이때, 마스크패턴(21a, 21b)의 상면은 하드 마스크패턴(22a, 22b)에 의해 피복되어 있기 때문에, 마스크패턴(21a, 21b)은 제거되지 않는다.

이와 같이 해서 얻어진 측벽 마스크패턴(25c)은 비트선 방향으로 동일 피치(P2; 제2피치)로 배치된다. 피치(P2)는 포토레지스트 패턴(24)의 피치(P1)의 절반, 즉 더미 라인패턴(21c)의 피치(P1)의 절반이다. 더미 라인패턴(21c)의 폭 및 측벽 마스크패턴(25c)의 폭(막두께)을 제어함으로써, 측벽 마스크패턴(25c) 사이의 스페이스폭을 서로 같게 할 수 있고, 측벽 마스크패턴(25c) 사이의 피치(P2)를 서로 같게 할 수 있다. 측벽 마스크패턴(25c)은, 포토리소그래피기술을 이용하지 않고 형성되기 때문에, 포토리소그래피의 해상한계로 결정되는 피치보다도 작은 피치로 측벽 마스크패턴(25c)을 형성하는 것이 가능하다.

여기서 주의해야 할 것은, 도 10의 공정에 있어서, 측벽 마스크패턴(25c)이 더미 라인패턴(21c)의 전 측면에 형성되어 버리는 일이다. 즉, 더미 라인패턴(21c)을 에워싸는 페루프 형상의 측벽 마스크패턴(25c)이 형성되게 된다. 이러한 페루프 형상의 측벽 마스크패턴(25c)을 마스크로 이용해서 밀바탕 영역을 에칭하면, 페루프 형상의 밀바탕 영역이 형성되게 된다. 특히, 밀바탕 패턴으로서 워드선 등의 배선을 형성하는 경우에는, 인접한 배선이 연결되어 버리기 때문에, 정상적인 동작이 방해받게 된다.

그래서, 도 12(평면도)에 나타난 바와 같이, 통상의 포토리소그래피를 이용해서 포토레지스트 패턴(26)을 형성한다. 이 포토레지스트 패턴(26)은 측벽 마스크패턴(25c) 중 더미 라인패턴(21c)의 양 길이 측면(더미 라인패턴(21c)의 길이방향에 따른 양 측면)에 형성된 소정 마스크 부분(25cp)을 피복하는 것이다. 비워드선 형성영역의 측벽 마스크패턴(25a, 25b)에 대해서도, 측벽 마스크패턴(25c)과 마찬가지로 소정 마스크 부분(25ap, 25bp)을 포토레지스트 패턴(26)으로 피복한다.

다음에, 도 13에 나타난 바와 같이, 포토레지스트 패턴(26)을 마스크로 이용해서 측벽 마스크패턴(25a, 25b 및 25c)을 에칭한다. 이에 따라, 측벽 마스크패턴(25c)의 양단 부분이 제거되고, 소정 마스크 부분(25cp)이 남는다. 비워드선 형성영역의 측벽 마스크패턴(25a, 25b)에 대해서도 마찬가지로, 소정 마스크 부분(25ap, 25bp)이 남는다. 더욱이, 포토레지스트 패턴(26)을 제거한다.

다음에, 도 14(단면도)에 나타난 바와 같이, 하드 마스크패턴(22a, 22b)을 제거한 후, 밀바탕 영역의 에칭을 동일 공정으로 실행한다. 즉, 워드선 형성영역에서는 소정 마스크 부분(25cp)을 마스크로 해서 제어게이트전극막(16), 전극간 절연막(15) 및 부유게이트전극막(13)이 에칭된다. 비워드선 형성영역에서는, 소정 마스크 부분(25ap, 25bp)과 마스크패턴(21a, 21b)을 마스크로 해서 제어게이트전극막(16), 전극간 절연막(15) 및 부유게이트전극막(13)이 에칭된다. 이와 같이, 워드선 형성영역 및 비워드선 형성영역에서 동시에 에칭을 실행하기 때문에, 효율적으로 패턴을 형성할 수 있다.

다음에, 도 15에 나타난 바와 같이, 소정 마스크 부분(25ap, 25bp 및 25cp)과 마스크패턴(21a, 21b)을 제거한다. 이에 따라, 워드선 형성영역에서는, 메모리셀 및 워드선의 패턴이 형성된다. 비워드선 형성영역에서는, 선택 트랜지스터 및 선택 게이트선의 패턴, 더욱이 주변회로 패턴(예컨대, 주변 트랜지스터의 게이트 패턴)이 형성된다.

도 16은 이와 같이 해서 얻어진 워드선 형성영역의 패턴배치를 나타낸 단면도이다. 도면에 나타난 바와 같이, 각 워드선(제어게이트선)의 선평(W)은 동일하고, 워드선 사이의 스페이스폭(S)도 동일하다. 선평(W)과 스페이스폭(S)은, 동일해도 좋고, 달라도 좋다. 워드선의 피치(P2)는 더미 라인패턴(21c)의 피치(P1)의 절반으로 되어 있다.

이상과 같이, 본 실시형태에서는 더미 라인패턴의 측벽에 형성된 패턴을 마스크로 해서 밀바탕 영역을 에칭함으로써, 포토리소그래피의 해상한계로 결정되는 피치보다도 작은 피치로 라인 앤 스페이스 패턴을 형성할 수 있다. 또, 이러한 라인 앤 스페이스 패턴을 형성할 때, 해상한계폭 이상의 폭을 갖는 패턴(선택게이트 패턴이나 주변회로 패턴 등)도 동일 공정에서 에칭되기 때문에, 효율적으로 패턴을 형성할 수 있다. 따라서, 본 실시형태에 의하면, 정확하면서 효과적으로 소망하는 패턴을 형성하는 것이 가능하다.

또, 본 실시형태에서는, 더미 라인패턴의 측벽에 형성된 페루프 형상의 마스크패턴의 양단 부분을 제거한다. 따라서, 페루프 형상의 밀바탕 패턴이 형성되는 것을 방지할 수 있어 적확하면서 효과적으로 소망하는 패턴을 형성하는 것이 가능하다. 특히, 밀바탕 패턴으로서 배선을 형성하는 경우, 인접한 배선을 확실히 분리할 수 있어 정상적인 동작을 확실히 확보할 수 있다.

또한, 상술한 실시형태에서는, 라인 앤 스페이스 패턴으로서 불휘발성 반도체메모리의 워드선을 예로 들어 설명했지만, 워드선 이외의 라인 앤 스페이스 패턴에 대해서도 상술한 실시형태의 방법은 적용가능하다. 예컨대, 도 2 및 도 3에서 설명한 바와 같은 소자영역 및 소자분리도랑의 패턴을 형성하는 경우에도, 상술한 실시형태의 방법과 마찬가지로의 방법을 적용가능하다.

또, 상술한 실시형태에서는, 도 14의 공정에서 밀바탕 패턴을 형성할 때, 비워드선 형성영역에 있어서도 측벽 패턴(소정 마스크 부분(25ap, 25bp)에 대응)을 마스크의 일부로서 이용했지만, 비워드선 형성영역에서는 반드시 이러한 측벽 패턴을 이용할 필요는 없다. 예컨대, 도 14의 공정보다도 앞의 적당한 단계에서 비워드선 형성영역의 측벽 패턴을 제거해 두면 좋다.

또, 상술한 실시형태에서 나타난 공정의 순서는 적절히 변경해도 좋다. 예컨대, 상술한 실시형태에서는, 더미 라인패턴(21c)을 제거한 뒤에 측벽 마스크패턴(25c)의 양단 부분을 제거하도록 했지만, 반대로 측벽 마스크패턴(25c)의 양단 부분을 제거한 뒤에 더미 라인패턴(21c)을 제거하도록 해도 좋다.

### 발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 적확하면서 효과적으로 소망하는 패턴을 형성하는 것이 가능한 반도체장치의 제조방법을 제공할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 실시형태에 따른 것으로 NAND형 플래쉬 메모리의 등가회로를 나타낸 도면이다.

도 2~도 11은 본 발명의 실시형태에 따른 것으로 불휘발성 반도체기억장치의 제조공정을 나타낸 단면도이다.

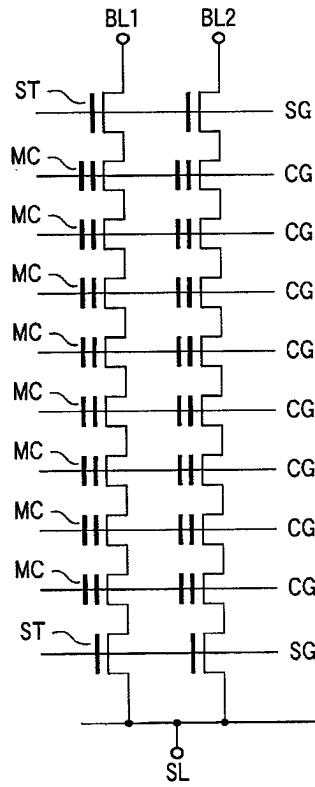
도 12 및 도 13은 본 발명의 실시형태에 따른 것으로 불휘발성 반도체기억장치의 제조공정을 나타낸 평면도이다.

도 14 및 도 15는 본 발명의 실시형태에 따른 것으로 불휘발성 반도체기억장치의 제조공정을 나타낸 단면도이다.

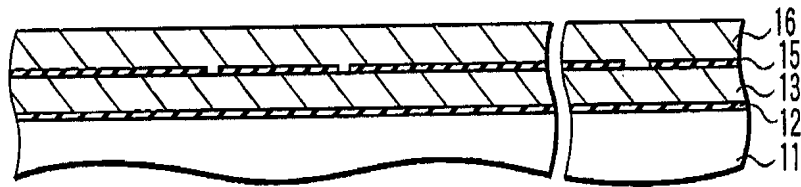
도 16은 본 발명의 실시형태에 따른 것으로 라인 앤 스페이스 패턴의 패턴배치를 나타낸 단면도이다.

### 도면

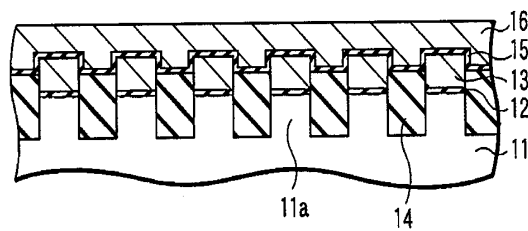
도면1



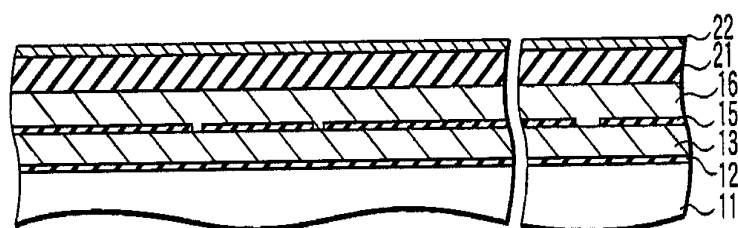
도면2



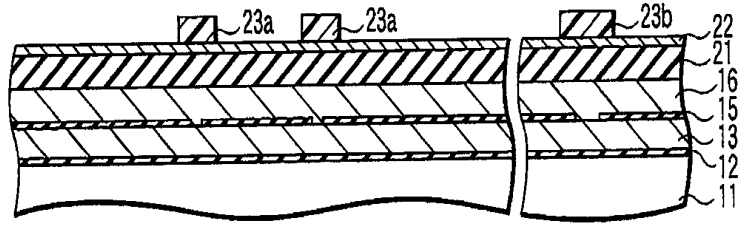
도면3



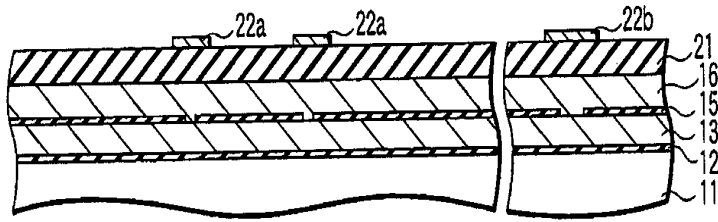
도면4



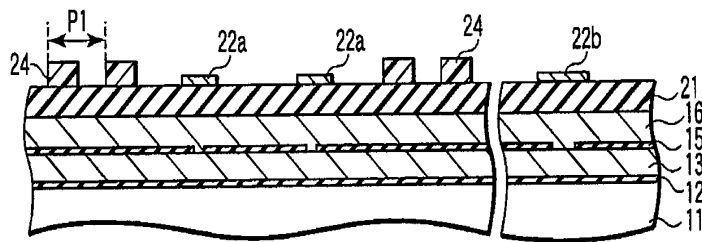
도면5



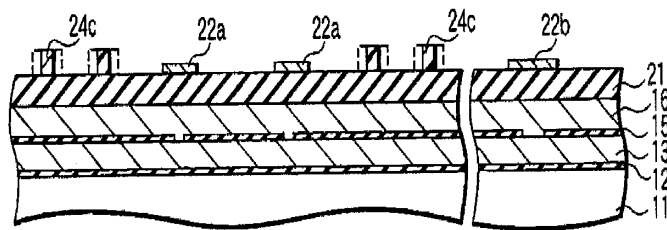
도면6



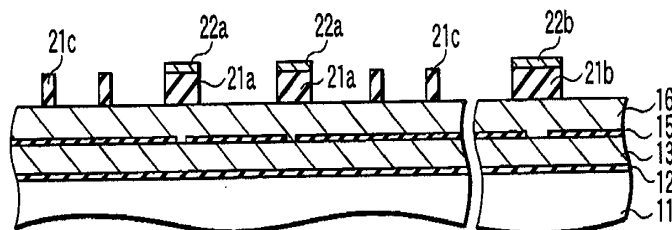
도면7



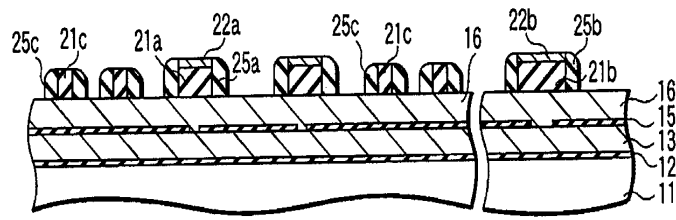
도면8



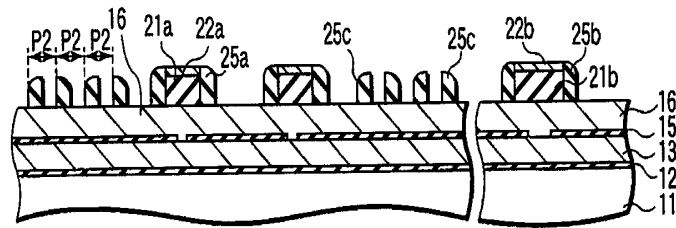
도면9



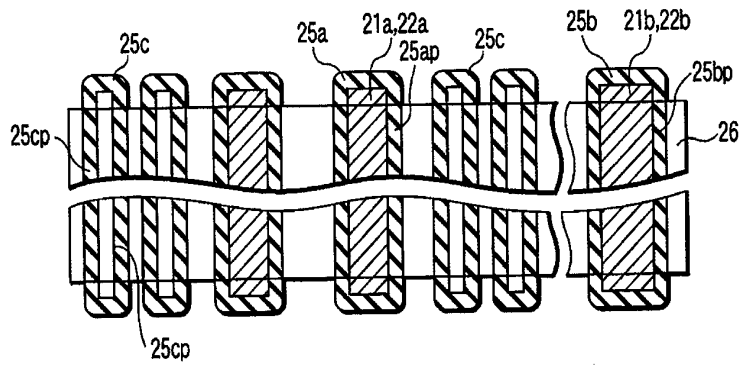
도면10



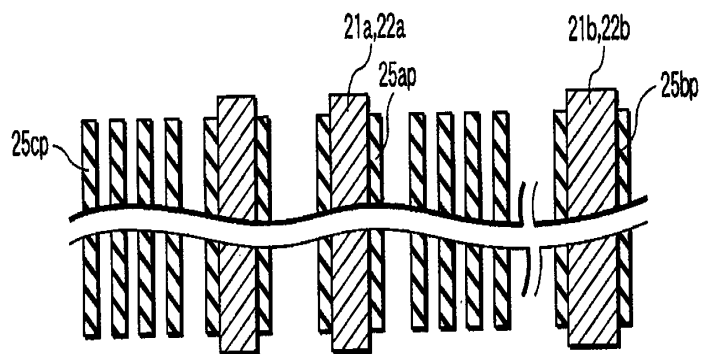
도면11



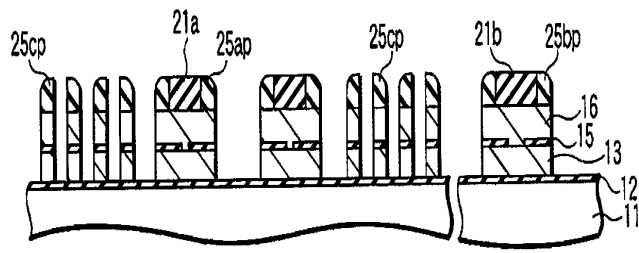
도면12



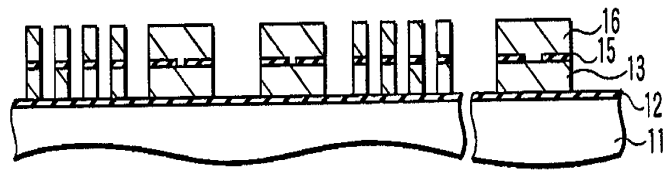
도면13



도면14



도면15



도면16

