



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

253217

(11) (B1)

(51) Int. Cl.⁴

G 06 F 9/28

(22) Přihlášeno 14 01 85

(21) PV 270-85

(40) Zveřejněno 16 12 85

(45) Vydáno 15 06 88

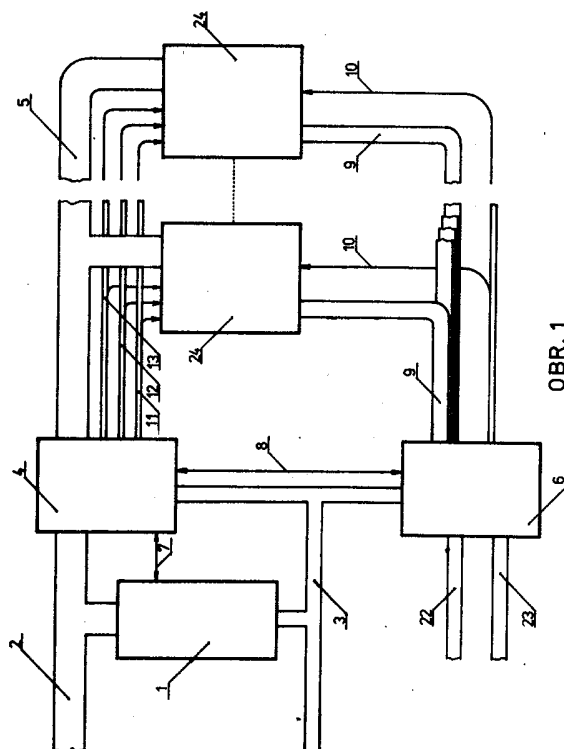
(75)

Autor vynálezu

VEVERKA MIROSLAV ing., STUDENOVSKÝ PAVEL ing., PRAHA

(54) Zapojení výpočetních bloků k řídicímu mikropočítači s možností
externího přístupu do jejich operačních pamětí

Zapojení výpočetních bloků k řídicímu mikropočítači s možností externího přístupu do jejich operačních pamětí, které spočívá v tom, že procesor řídicího mikropočítače je připojen přes centrální sběrnice adres a dat a první sběrnici řídicích signálů k řadiči externích pamětí a přes centrální sběrnici dat k řadiči dat opatřenému vnějším vstupem a výstupem dat a spojenému druhou sběrnici řídicích signálů s řadičem externích pamětí a dále jsou přes společnou externí sběrnici adres, čtvrtou sběrnici, pátou sběrnici a šestou sběrnici řídicích signálů k řadiči externích pamětí a přes samostatné sekundární sběrnice dat a třetí sběrnici řídicích signálů k řadiči dat paralelně připojeny nejméně dva výpočetní bloky.



Vynález se týká zapojení výpočetních bloků k řídícímu mikropočítači s možností externího přístupu do jejich operačních pamětí.

Znamé 8bitové mikroprocesory mají přímý rozsah operační paměti do 64 K 8bitových znaků byte s rychlostí přístupu omezenou možnostmi použitých součástek. Jejich parametry a základní frekvence procesoru omezují i rychlost provádění instrukcí a tak i výslednou rychlost výpočtu.

Výše uvedená omezení mikroprocesorů v mikropočítačových systémech odstraňuje zapojení výpočetních bloků k řídícímu mikropočítači s možností externího přístupu do jejich operačních pamětí podle vynálezu, jehož podstata spočívá v tom, že procesor řídícího mikropočítače je připojen přes centrální sběrnice adres a dat a první sběrnici řídících signálů k řadiči externích pamětí a přes centrální sběrnici dat k řadiči dat opatřenému vnějším vstupem a výstupem dat a spojenému druhou sběrnici řídících signálů s řadičem externích pamětí a dále jsou přes společnou externí sběrnici adres, čtvrtou sběrnici, pátou sběrnici a šestou sběrnici řídících signálů k řadiči externích pamětí a přes samostatné sekundární sběrnice dat a třetí sběrnici řídících signálů k řadiči dat paralelně připojeny nejméně dva výpočetní bloky, přičemž výpočetní blok je tvořen lokálním procesorem, registrem - generátorem adres, přepínačem adres, oboustranným přepínačem dat a blokem lokální paměti, jehož adresní sběrnice je přes přepínač adres připojena buď k lokálnímu procesoru nebo k registru - generátoru adres, jehož datová sběrnice je přes oboustranný přepínač dat připojena buď k lokálnímu procesoru nebo samostatnou sekundární sběrnici dat k řadiči dat, ke kterému je blok lokální paměti trvale připojen třetí sběrnici řídících signálů, k lokálnímu procesoru sedmou sběrnici řídících signálů, která je rovněž připojena k přepínačům adres a dat a přes pátou sběrnici řídících signálů k řadiči externích pamětí, který je přes šestou sběrnici řídících signálů připojen k lokálnímu procesoru a přes čtvrtou sběrnici řídících signálů k registru - generátoru adres, na jehož vstup je připojena společná externí sběrnice adres.

Výhody zapojení podle vynálezu spočívají v tom, že přímým přístupem centrálního, tj. řídícího procesoru k pamětem připojených lokálních procesorů se zvyšuje celková kapacita operační paměti, která v případě připojení 16 výpočetních bloků dosahuje objemu 1 Mbyte. Obsazením lokálních pamětí vhodně zvolenými programy lze několikanásobně zvýšit výpočetní výkon celého zapojení v důsledku paralelního provádění těchto programů lokálními procesory. S použitím fázově posunutých cyklů všech připojených lokálních pamětí v režimu blokového přenosu dat lze přijímat nebo vysílat data v případě připojení 16 výpočetních bloků rychlostí 10 Mbyte/sec a tak řešit řadu úloh vyžadujících zpracování dat v reálném čase. Paralelní připojení výpočetních bloků s uvažováním uvedených výhod nabývá parametrů srovnatelných s parametry základní jednotky středně velkých dnes běžně používaných výpočetních systémů avšak s menšími nároky na prostor a příkon elektrické energie. Efektivní využití nabízených výhod však v převážné míře záleží na použitém programovém vybavení a klade zvýšené nároky na jeho přípravu a provedení.

Příklad zapojení podle vynálezu je znázorněn na připojených výkresech, kde na obr. 1 je příklad připojení n počtu výpočetních bloků k řídícímu mikropočítači a na obr. 2 je zapojení jednoho výpočetního bloku.

Zapojení výpočetních bloků k řídícímu mikropočítači s možností externího přístupu do jejich operačních pamětí podle obr. 1 spočívá v tom, že procesor 1 řídícího mikropočítače je připojen přes centrální sběrnice 2 a 3 adres a dat a první sběrnici 7 řídících signálů k řadiči 4 externích pamětí a přes centrální sběrnici 3 dat k řadiči 6 dat opatřenému vnějším vstupem 22 a výstupem 23 dat a spojenému druhou sběrnici 8 řídících signálů s řadičem 4 externích pamětí a dále jsou přes společnou externí sběrnici 5 adres, čtvrtou sběrnici 11, pátou sběrnici 12 a šestou sběrnici 13 řídících signálů k řadiči 4 externích pamětí a přes samostatné sekundární sběrnice 9 dat a třetí sběrnici 10 řídících signálů k řadiči 6 dat paralelně připojeny nejméně dva výpočetní bloky 24, s výhodou 16.

Na obr. 2 výpočetní blok 24 tvoří lokální procesor 14, registr-generátor 21 adres, přepínač 17 adres, oboustranný přepínač 16 dat a blok 20 lokální paměti, jehož adresní sběrnice 18 je přes přepínač 17 adres připojena buď k lokálnímu procesoru 14 nebo k registru - generátoru 21 adres, jehož datová sběrnice 19 je přes oboustranný přepínač 16 dat připojena buď k lokálnímu procesoru 14 nebo samostatnou sekundární sběrnici 9 dat, k řadiči 6 dat, ke kterému je blok 20 lokální paměti trvale připojen třetí sběrnici 10 řídících signálů, k lokálnímu procesoru 14 sedmou sběrnici 15 řídících signálů, která je rovněž připojena k přepínači 17 adres a oboustrannému přepínači 16 dat a přes pátou sběrnici 12 řídících signálů k řadiči 4 externích pamětí, který je přes šestou sběrnici 13 řídících signálů připojen k lokálnímu procesoru 14 a přes čtvrtou sběrnici 11 řídících signálů k registru - generátoru 21 adres na jehož vstup je připojena společná externí sběrnice 5 adres.

Funkce zapojení podle vynálezu je následující: centrální procesor 1 řídícího mikropočítače přes centrální sběrnici 2 adres, centrální sběrnici 3 dat a první sběrnici 7 řídících signálů ovládá řadič 4 externích pamětí jako jedno ze svých vnějších zařízení. K centrální sběrnici 3 dat je dále připojen řadič 6 dat, který je přes druhou sběrnici 8 řídících signálů ovládán z řadiče 4 externích pamětí. Pokud řadič 4 externích pamětí není centrálním procesorem 1 aktivován (autonomní režim) jsou činnosti centrálního procesoru 1 a lokálních procesorů 14 zcela nezávislé. V autonomním režimu je lokální procesor 14 připojen přes přepínač 17 adres a oboustranný přepínač 16 dat k adresní sběrnici 18 a datové sběrnici 19 bloku lokální paměti 20, který používá při plnění svého programu.

V případě externího přístupu do lokální paměti je vybraný lokální procesor 14 od řadiče 4 externích pamětí zablokován příslušným řídícím signálem po šesté sběrnici 13 řídících signálů a jeho výstupní řídící signál po sedmé sběrnici 15 řídících signálů ovládá přepínač 17 adres, oboustranný přepínač 16 dat a blok lokální paměti 20 tak, že tento blok svojí adresní sběrnici 18 je připojen k registru - generátoru 21 adres a datovou sběrnici 19 připojen přes samostatnou sekundární sběrnici 9 dat k řadiči 6 dat. Současně s blokovacím signálem do vybraného lokálního procesoru generuje řadič 4 externích pamětí po páté sběrnici 12 řídících signálů příslušné řídící signály pro blok lokální paměti 20 při požadavku centrálního procesoru 1 na přístup do lokální paměti. Synchronizace přenosu dat lokální paměti s řadičem 6 dat je zajištěna kontrolními signály po třetí sběrnici 10 řídících signálů a s centrálním procesorem 1 pak kontrolními signály po první sběrnici 7 a druhé sběrnici 2 řídících signálů prostřednictvím řadiče 4 externích pamětí.

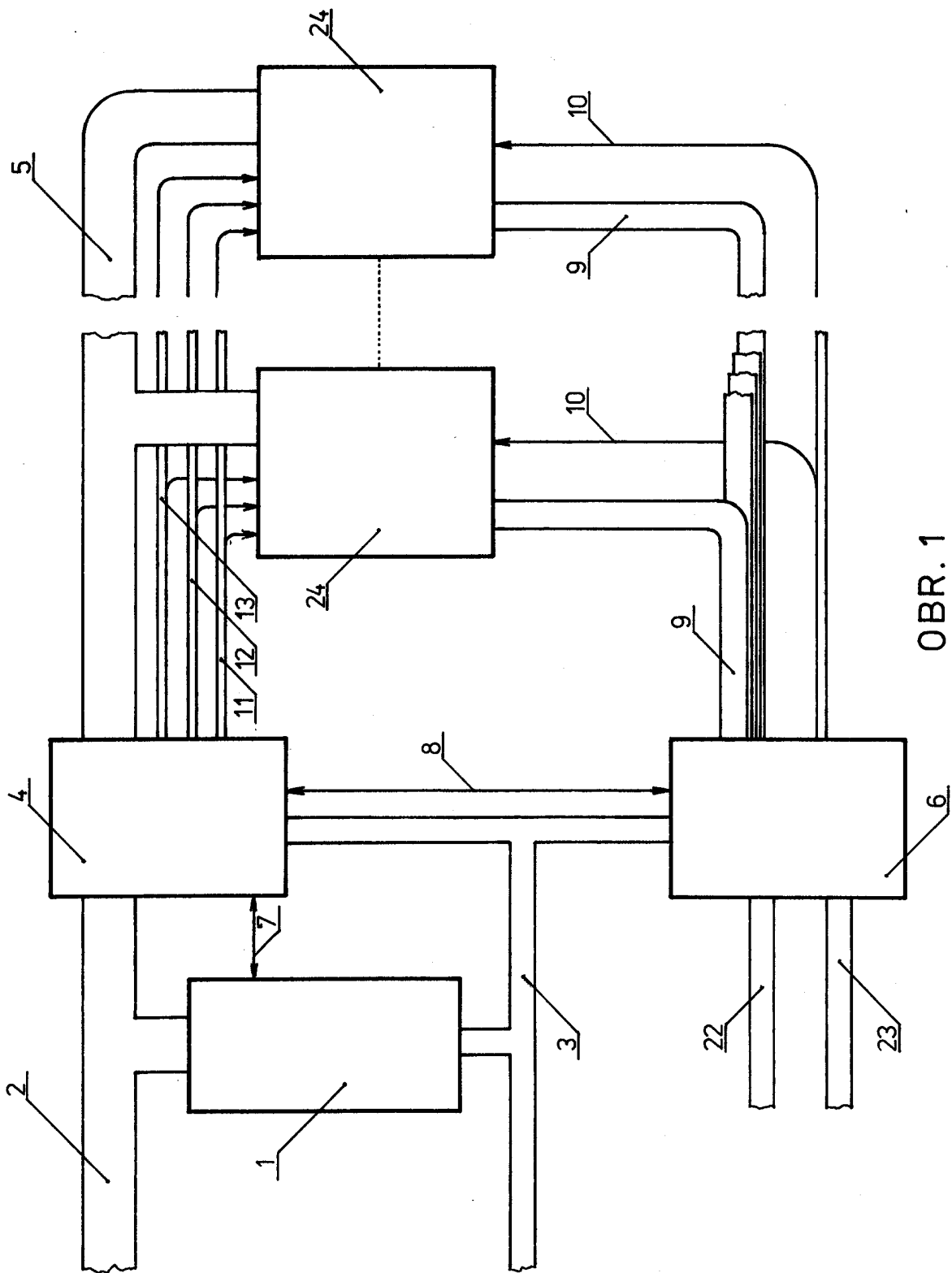
Externí sběrnice 5 adres je společná pro všechny připojené výpočetní bloky 24 a v podstatě je identická s centrální sběrnici 2 adres. Některé bity jsou generovány řadičem 4 externích pamětí tak, aby bylo možné programově zvolit přiřazení fyzické adresy stránky lokální paměti vybraného výpočetního bloku 24 logické adrese použité v programu centrálního procesoru 1. Ke společné externí sběrnici 5 adres jsou připojeny registry - generátory adres 21 jednotlivých připojených výpočetních bloků 24 a jsou ovládány řídícími signály čtvrté sběrnice 11 řídících signálů řadiče 4 externích pamětí a umožňují dva režimy externího přístupu do bloku lokálních pamětí 20 výpočetních bloků 24. Jednak je to externí přístup centrálního procesoru i do libovolné adresy bloku lokální paměti 20 programově zvoleného výpočetního bloku 24 a pak příslušný registr - generátor 21 adres propouští aktuální adresu ze společné externí sběrnice 5 adres přes přepínač 17 adres na adresní sběrnici 18 bloku lokální paměti 20 a nebo rychlý blokový přenos dat přes vnější vstup 22 nebo vnější výstup 23 řadiče 6 dat a pak registry - generátory 21 a bloky lokálních pamětí 20 všech připojených výpočetních bloků 24 řízené pomocí čtvrté sběrnice 11 a dále sběrnice 12 řídících signálů generují určitou posloupnost adres a paměťový cyklus ve fázovém posuvu tak, že řadič 6 dat řízený pomocí druhé sběrnice 8 řídících signálů cyklicky přepíná vnější vstup 22 nebo vnější výstup 23 v příslušné fázi na samostatné sekundární sběrnici 9 jednotlivých výpočetních bloků 24. Tím je dosaženo znásobení frekvence přenosu dat počtem připojených výpočetních bloků, která tak není omezena délkou paměťového cyklu bloku lokální paměti 20 ale rychlostí obvodů použitých k realizaci řadiče 6 dat a řadiče 4 externích pamětí.

Zapojení podle vynálezu se dá použít všude tam, kde je zapotřebí k počítačovému zpracování informací větší operační paměť a vyšší výpočetní výkon než dovolují běžné mikropočítačové systémy a tam, kde je zapotřebí přijmout nebo vyslat větší objem dat s vysokou rychlostí v reálném čase, např. při digitalizaci nebo zobrazení grafických informací. Zapojení podle vynálezu s 16 výpočetními bloky dává uživateli k dispozici 1 Mbyte externí operační paměti s 16 paralelně pracujícími mikroprocesory a možnost přenosu dat s rychlostí 10 Mbyte/sec.

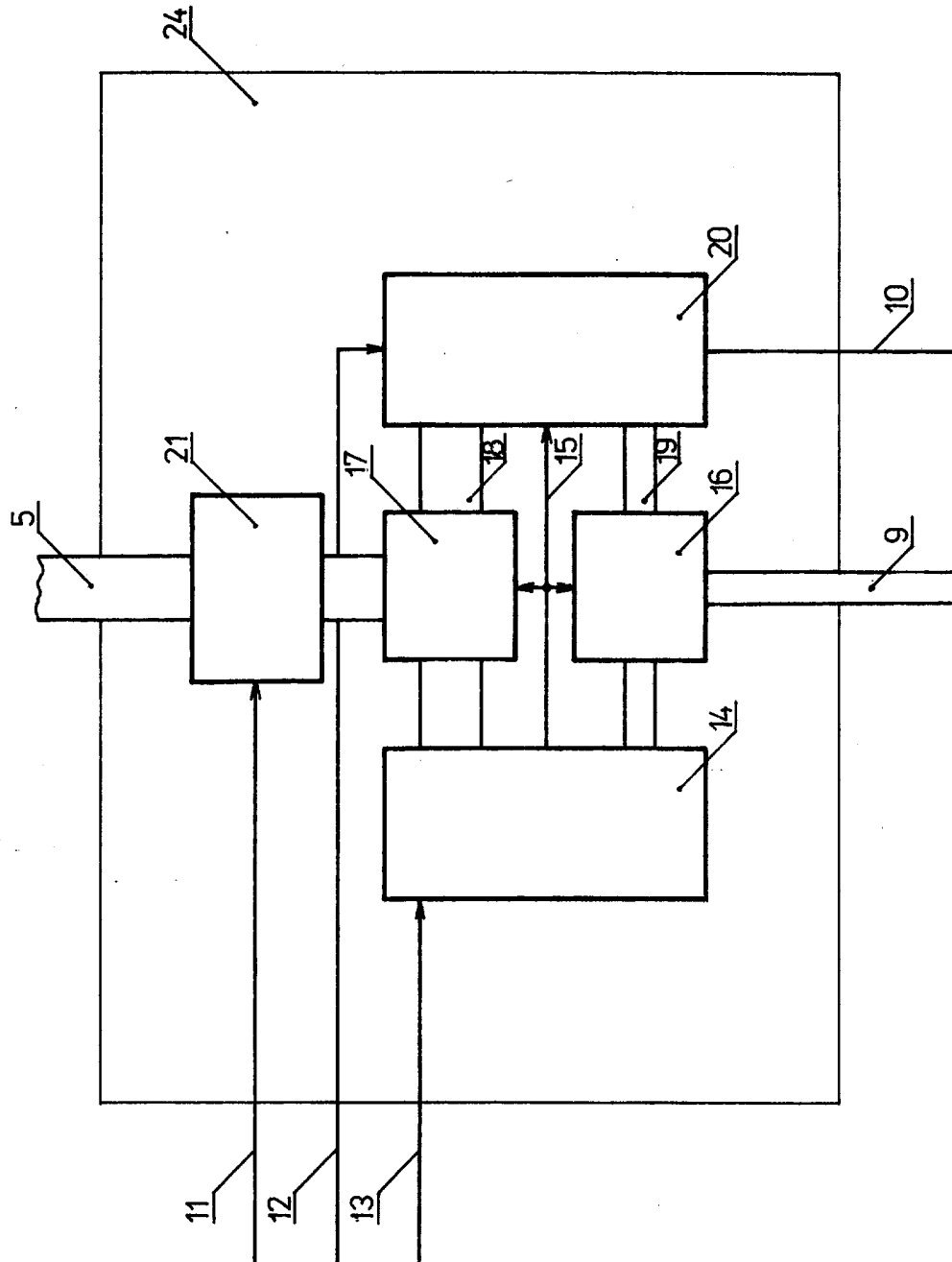
P R E D M Ě T V Y N Á L E Z U

Zapojení výpočetních bloků k řídícímu mikropočítači s možností externího přístupu do jejich operačních pamětí, vyznačující se tím, že procesor (1) řídícího mikropočítače je připojen přes centrální sběrnice (2, 3) adres a dat a první sběrnici (7) řídících signálů k řadiči (4) externích pamětí a přes centrální sběrnici (3) dat k řadiči (6) dat opatřenému vnějším vstupem (22) a výstupem (23) dat a spojenému druhou sběrnici (8) řídících signálů s řadičem (4) externích pamětí a dále jsou přes společnou externí sběrnici (5) adres, čtvrtou sběrnici (11), pátou sběrnici (12) a šestou sběrnici (13) řídících signálů k řadiči (4) externích pamětí a přes samostatné sekundární sběrnice (9) dat a třetí sběrnici (10) řídících signálů k řadiči (6) dat paralelně připojeny nejméně dva výpočetní bloky (24), přičemž výpočetní blok (24) je tvořen lokálním procesorem (14), registrem - generátorem (21) adres, přepínačem (18) adres, oboustranným přepínačem (16) dat a blokem (20) lokální paměti, jehož adresní sběrnice (18) je přes přepínač (17) adres připojena buď k lokálnímu procesoru (14) nebo k registru - generátoru (21) adres a jehož datová sběrnice (19) je přes oboustranný přepínač (17) dat připojena buď k lokálnímu procesoru (14) nebo samostatnou sekundární sběrnici (9) dat k řadiči (6) dat, ke kterému je blok (20) lokální paměti trvale připojen třetí sběrnici (10) řídících signálů, k lokálnímu procesoru (14) sedmou sběrnici (15) řídících signálů, která je rovněž připojena k přepínači (17, 16) adres a dat a přes pátou sběrnici (12) řídících signálů k řadiči (4) externích pamětí, který je přes šestou sběrnici (13) řídících signálů připojen k lokálnímu procesoru (14) a přes čtvrtou sběrnici (11) řídících signálů k registru - generátoru (21) adres, na jehož vstup je připojena společná externí sběrnice (5) adres.

2 výkresy



OBR. 1



OBR. 2