



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월04일
(11) 등록번호 10-1423723
(24) 등록일자 2014년07월21일

- (51) 국제특허분류(Int. Cl.)
H01L 33/08 (2010.01)
- (21) 출원번호 10-2007-0108687
(22) 출원일자 2007년10월29일
심사청구일자 2012년10월08일
- (65) 공개번호 10-2009-0043058
(43) 공개일자 2009년05월06일
- (56) 선행기술조사문현
JP2000294834 A*
JP2004006582 A*
JP2007173378 A*
- *는 심사관에 의하여 인용된 문현

(73) 특허권자
서울바이오시스 주식회사
경기도 안산시 단원구 산단로163번길 65-16, 1블
력 36호 (원시동)

(72) 발명자
김대원
경기 안산시 단원구 산단로163번길 65-16, 35호
(원시동)

갈대성
경기 안산시 단원구 산단로163번길 65-16, 35호
(원시동)

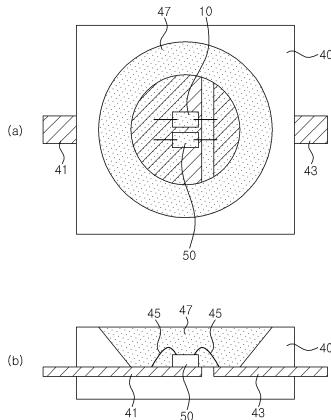
(74) 대리인
특허법인에이아이피

전체 청구항 수 : 총 4 항

심사관 : 김태연

(54) 발명의 명칭 **발광 다이오드 패키지****(57) 요약**

발광 다이오드 패키지가 개시된다. 이 패키지는, 제1 기판 상에 형성되고, 상대적으로 단파장의 광을 방출하는 발광셀들의 제1 직렬 어레이와, 제2 기판 상에 형성되고, 상대적으로 장파장의 광을 방출하는 발광셀들의 제2 직렬 어레이를 포함한다. 상기 제1 및 제2 직렬 어레이들은 서로 역병렬로 연결되어 동작한다. 이에 따라, 교류전 원하에서 동작할 수 있으며, 색재연성 및 발광효율이 우수한 백색광을 구현할 수 있는 발광 다이오드 패키지가 제공될 수 있다.

대 표 도 - 도1

특허청구의 범위

청구항 1

제1 기판 상에 형성되고, 상대적으로 단파장의 광을 방출하는 발광셀들의 제1 직렬 어레이;
 제2 기판 상에 형성되고, 상대적으로 장파장의 광을 방출하는 발광셀들의 제2 직렬 어레이를 포함하고,
 상기 제1 및 제2 직렬 어레이들은 서로 역병렬로 연결되어 동작하고,
 상기 제1 직렬 어레이에서 방출된 광의 적어도 일부를 파장 변환시키는 형광체를 포함하고,
 상기 제1 직렬 어레이 내의 발광셀들은 청색광을 방출하고,
 상기 제2 직렬 어레이 내의 발광셀들은 녹색광을 방출하고,
 상기 형광체는 청색광을 적색광으로 파장 변환시키고,
 상기 제1 및 제2 직렬 어레이를 덮는 몰딩부를 포함하고,
 상기 몰딩부는 상기 형광체를 함유하고,
 상기 제1 및 제2 직렬 어레이들의 발광셀은 플립 본딩에 의해 리드 전극에 전기적으로 연결되는 발광 다이오드 패키지.

청구항 2

청구항 1에 있어서,
 상기 몰딩부는 확산체를 더 함유하는 발광 다이오드 패키지.

청구항 3

청구항 1에 있어서,
 상기 제1 직렬 어레이 내의 발광셀들은 각각 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 개재된 제1 활성층을 포함하고,
 상기 제2 직렬 어레이 내의 발광셀들은 각각 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 개재된 제2 활성층을 포함하고,
 상기 제1 활성층은 AlInGaN 계열의 화합물로 형성되고, 상기 제2 활성층은 AlInGaP 계열의 화합물로 형성된 발광 다이오드 패키지.

청구항 4

청구항 1에 있어서,
 상기 제1 및 제2 직렬 어레이의 단부에 본딩 패드가 배치된 발광 다이오드 패키지.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 발광 다이오드 패키지에 관한 것으로, 더욱 상세하게는 혼색의 광을 방출하며, 교류전원하에서 구동될 수 있는 발광 다이오드 패키지에 관한 것이다.

배경기술

[0002] 질화갈륨(GaN) 계열의 발광 다이오드가 개발된 이래, GaN 계열의 LED는 LED 기술을 상당히 변화시켰으며, 현재 천연색 LED 표시소자, LED 교통 신호기, 백색 LED 등 다양한 응용에 사용되고 있다. 최근, 고효율 백색 LED는 형광 램프를 대체할 것으로 기대되고 있으며, 특히 백색 LED의 효율(efficiency)은 통상의 형광램프의 효율에 유사한 수준에 도달하고 있다.

[0003] 일반적으로, 발광 다이오드는 순방향 전류에 의해 광을 방출하며, 직류전류의 공급을 필요로 한다. 따라서, 발광 다이오드는, 교류전원에 직접 연결하여 사용할 경우, 전류의 방향에 따라 온/오프를 반복하며, 그 결과 연속적으로 빛을 방출하지 못하고, 역방향 전류에 의해 쉽게 파손되는 문제점이 있다.

[0004] 이러한 발광 다이오드의 문제점을 해결하여, 고전압 교류전원에 직접 연결하여 사용할 수 있는 발광 다이오드가 국제공개번호 WO 2004/023568(A1)호에 "발광 성분들을 갖는 발광소자"(LIGHT-EMITTING DEVICE HAVING LIGHT-EMITTING ELEMENTS)라는 제목으로 사카이 등(SAKAI et. al.)에 의해 개시된 바 있다.

[0005] 상기 WO 2004/023568(A1)호에 따르면, LED들(발광셀들)이 사파이어 기판과 같은 단일의 절연성 기판상에 2차원적으로 직렬연결되어 LED 어레이를 형성한다. 이러한 두개의 LED 어레이들이 상기 사파이어 기판 상에서 역병렬로 연결된다. 그 결과, AC 파워 서플라이에 의해 직접 구동될 수 있는 단일칩 발광소자가 제공된다. 한편, 상기 단일칩 발광소자는 GaN 계열의 화합물로 제조되어 자외선 또는 청색광을 방출하므로, 상기 단일칩 발광소자와 형광체를 조합함으로써 백색광 등의 혼색을 방출하는 발광 다이오드 패키지를 제공할 수 있다.

[0006] 예컨대, 청색광을 방출하는 단일칩 발광소자와, 청색광을 파장변환시키어 황색광을 방출하는 형광체, 또는 녹색광과 적색광을 방출하는 형광체들을 조합함으로써, 백색 발광 다이오드 패키지를 구현할 수 있다. 그러나, 청색발광소자와 황색 형광체의 조합에 의한 백색광은 색재연성이 좋지 못하며, 녹색 형광체 및 적색 형광체를 사용하는 것은 형광체의 과다 사용에 의해 발광 효율을 떨어뜨릴 수 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명이 해결하고자 하는 과제는 혼색의 광을 방출하며, 교류전원, 특히 고전압 교류전원하에서 구동될 수 있는 발광 다이오드 패키지를 제공하는 데 있다.

[0008] 본 발명이 해결하고자 하는 다른 과제는 색재연성 및 발광효율이 우수한 백색광을 구현할 수 있는 발광 다이오

드 패키지를 제공하는 데 있다.

과제 해결수단

[0009] 상기 과제들을 해결하기 위하여, 본 발명의 실시예들에 따른 발광 다이오드 패키지는, 제1 기판 상에 형성되고, 상대적으로 단파장의 광을 방출하는 발광셀들의 제1 직렬 어레이와, 제2 기판 상에 형성되고, 상대적으로 장파장의 광을 방출하는 발광셀들의 제2 직렬 어레이를 포함한다. 이에 더하여, 상기 제1 및 제2 직렬 어레이들은 서로 역병렬로 연결되어 동작한다. 이에 따라, 혼색의 광을 방출하며, 교류전원하에서 동작할 수 있는 발광 다이오드 패키지가 제공될 수 있다.

[0010] 여기서, "발광셀"은 동작시 광을 방출하는 단위 요소로서의 다이오드를 의미한다. 한편, "직렬 어레이"는, 그 어레이의 양단에 전압을 인가했을 때, 어레이 내의 모든 발광셀들에 순방향 전압이 인가되거나 역방향 전압이 인가되도록 상기 발광셀들이 순차적으로 연결된 어레이를 의미한다. 한편, "역병렬" 연결은, 그 양단에 전압이 인가될 때, 하나의 직렬 어레이에 순방향 전압이 인가되고 다른 직렬 어레이에 역방향 전압이 인가되는 연결을 의미한다.

[0011] 한편, 상기 발광 다이오드 패키지는 상기 제1 직렬 어레이에서 방출된 광의 적어도 일부를 파장 변환시키는 형광체를 더 포함할 수 있다. 이에 따라, 상기 제1 및 제2 직렬 어레이와 상기 형광체의 조합에 의해 혼색의 광을 방출할 수 있다.

[0012] 몇몇 실시예들에 있어서, 상기 제1 직렬 어레이 내의 발광셀들은 청색광을 방출하고, 상기 제2 직렬 어레이 내의 발광셀들은 적색광을 방출하고, 상기 형광체는 청색광을 녹색광으로 파장 변환시킬 수 있다. 다른 실시예들에 있어서, 상기 제1 직렬 어레이 내의 발광셀들은 청색광을 방출하고, 상기 제2 직렬 어레이 내의 발광셀들은 녹색광을 방출하고, 상기 형광체는 청색광을 적색광으로 파장 변환시킬 수 있다. 이에 따라, 색재연성 및 발광 효율이 우수한 백색광을 구현할 수 있다.

[0013] 이에 더하여, 상기 발광 다이오드 패키지는 상기 제1 및 제2 직렬 어레이를 덮는 몰딩부를 더 포함할 수 있으며, 상기 몰딩부는 확산체를 함유할 수 있다. 상기 확산체는 상기 직렬 어레이들에서 방출된 광을 혼합함으로써 균일한 혼색광이 외부로 방출되도록 한다. 상기 형광체는 상기 몰딩부 내에 함유될 수 있으나, 이에 한정되는 것은 아니다.

[0014] 한편, 상기 제1 직렬 어레이 내의 발광셀들은 각각 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 개재된 제1 활성층을 포함할 수 있다. 상기 제1 활성층은 AlInGaN 계열의 화합물로 형성될 수 있다. 이에 더하여, 상기 제2 직렬 어레이 내의 발광셀들은 각각 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 개재된 제2 활성층을 포함할 수 있으며, 상기 제2 활성층은 AlInGaP 계열의 화합물로 형성될 수 있다.

효과

[0015] 본 발명의 실시예들에 따르면, 서로 다른 파장의 광을 방출하는 직렬 어레이들을 실장함으로써 혼색의 광을 방출하며, 교류전원, 특히 고전압 교류전원하에서 구동될 수 있는 발광 다이오드 패키지를 제공할 수 있다. 이에 더하여, 상기 직렬 어레이들과 형광체를 조합하여 색재연성 및 발광효율이 우수한 백색광을 구현하는 발광 다이오드 패키지를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 구성요소의 폭, 길이, 두께 등을 편의를 위하여 과장되어 표현될 수 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0017] 도 1은 본 발명의 일 실시예에 따른 발광 다이오드 패키지를 설명하기 위한 평면도 및 단면도이고, 도 2는 본 발명의 일 실시예에 따른 발광 다이오드 패키지를 설명하기 위한 개략도이다. 여기서, 리세스된 패키지 본체(40)를 갖는 패키지를 설명하지만, 이에 한정되는 것은 아니며, 모든 종류의 패키지에 적용될 수 있다.

[0018] 도 1 및 도 2를 참조하면, 패키지 본체(40)의 칩 실장영역, 예컨대 리세스 내의 바닥면 상에 제1 단일칩(10) 및 제2 단일칩(50)이 실장된다. 이들 단일칩들(10, 50)은, 도시된 바와 같이, 칩 실장 영역 상에 각각 실장되어 본

딩와이어들(45)에 의해 패키지의 리드전극들(41, 43)에 전기적으로 연결될 수 있다. 또한, 상기 단일칩들(10, 50)은 서브 마운트(도시하지 않음)와 같은 다른 공통 기판 상에 함께 실장될 수도 있으며, 상기 서브 마운트 또는 상기 칩 실장 영역 상에 플립 본딩될 수도 있다. 상기 단일칩들(10, 50)은 에폭시 또는 실리콘과 같은 몰딩부(47)에 의해 봉지된다. 상기 몰딩부(40)는 형광체 및/또는 확산체를 함유할 수 있다.

[0019] 도 2를 참조하면, 상기 제1 단일칩(10)은 제1 기판(11) 상에 서로 직렬 연결된 발광셀들(18)의 제1 직렬 어레이(20)를 가지며, 제2 단일칩(50)은 제2 기판(51) 상에 서로 직렬 연결된 발광셀들(58)의 제2 직렬 어레이(60)를 갖는다. 상기 제1 기판 및 제2 기판은 절연기판이거나 상면에 절연층을 갖는 도전성 기판일 수 있다. 상기 제1 및 제2 단일칩들(10, 50)의 구조 및 제조 방법에 대해서는 아래에서 상세하게 설명된다.

[0020] 한편, 상기 발광셀들(18, 58)은 각각 배선에 의해 서로 직렬 연결되어 직렬 어레이들(20, 60)을 형성한다. 상기 직렬 어레이들(20, 60)의 양단부들에 본딩패드들(31, 71)이 배치될 수 있다. 본딩패드들(31, 71)은 상기 직렬 어레이들(20, 60)의 양단부들에 각각 전기적으로 연결된다. 상기 본딩패드들(31, 71)에 본딩 와이어들(45)이 본딩될 수 있다.

[0021] 상기 제1 직렬 어레이(20) 및 제2 직렬 어레이(60)는, 도 2에 도시된 바와 같이, 서로 역병렬로 연결된다. 즉, 제1 직렬 어레이(20)에 순방향 전압이 인가될 때, 제2 직렬 어레이(60)에 역방향 전압이 인가되고, 제1 직렬 어레이(20)에 순방향 전압이 인가될 때, 제2 직렬 어레이(60)에 순방향 전압이 인가된다. 따라서, 상기 제1 및 제2 직렬 어레이들(20, 60)의 양단에 교류전원을 연결할 경우, 상기 제1 및 제2 직렬 어레이들(20, 60)이 서로 교대로 동작하여 광을 방출한다.

[0022] 다시 도 1을 참조하면, 상기 제1 단일칩(10)은 상대적으로 단파장의 광을 방출하고, 제2 단일칩(50)은 상대적으로 장파장의 광을 방출하도록 구성된다. 한편, 상기 발광 다이오드 패키지는 상기 제1 단일칩(10)에서 방출된 광의 적어도 일부를 파장변환시키는 형광체를 포함할 수 있다. 이러한 형광체는 앞에서 설명한 바와 같이 몰딩부(47) 내에 함유될 수 있으나, 이에 한정되는 것은 아니며, 몰딩부(47) 아래 또는 그 위에 위치할 수도 있다. 또한, 상기 몰딩부(47)는 확산체를 함유하여, 상기 제1 단일칩(10) 및 제2 단일칩(50)에서 방출된 광을 균일하게 혼합시킬 수 있으며, 또한 이를 광과 형광체에서 방출된 광을 균일하게 혼합시킬 수 있다.

[0023] 상기 제1 단일칩(10) 및 제2 단일칩(50)과 상기 형광체의 조합에 의해 다양한 색의 혼색광, 예컨대 백색광을 구현하는 것이 가능하다. 예를 들어, 상기 제1 단일칩(10)은 청색광을 방출하고, 제2 단일칩(50)은 적색광을 방출할 수 있으며, 상기 형광체는 제1 단일칩(10)에서 방출된 청색광의 일부를 녹색광(또는 황색광)으로 파장 변환시킬 수 있다. 또한, 상기 제1 단일칩(10)은 청색광을 방출하고, 제2 단일칩(50)은 녹색광을 방출할 수 있으며, 상기 형광체는 제1 단일칩(10)에서 방출된 청색광의 일부를 적색광으로 파장 변환시킬 수 있다. 이에 따라, 형광체의 사용량을 증가시키지 않고도 색재연성이 우수한 백색광을 구현할 수 있어 발광 효율이 우수한 발광 다이오드 패키지를 제공할 수 있다.

[0024] 본 실시예에 있어서, 두개의 단일칩들(10, 50)이 실장된 것을 예시하였으나, 더 많은 수의 단일칩들이 교류 전원하에서 구동되도록 실장될 수 있다.

[0025] 한편, 제1 직렬 어레이(10) 또는 제2 직렬 어레이(50) 내에서 직렬 연결되는 발광셀들(18 또는 58)의 개수는 각 어레이에 인가되는 전압의 크기 및 발광셀들의 동작전압에 의해 조절될 수 있다. 이러한 발광셀들의 개수는 예컨대 일반 가정용 교류 전원인 110V 또는 220V에서 상기 발광 다이오드 패키지가 구동될 수 있도록 정해질 수 있다.

[0026] 이하, 상기 제1 단일칩(10) 및 제2 단일칩(50)의 구조 및 제조 방법에 대해 상세히 설명한다.

[0027] 도 3 및 도 4는 본 발명의 일 실시예에 따른 제1 단일칩(10)을 설명하기 위한 부분단면도이다. 여기서, 도 3은 에어브리지 공정에 의해 형성된 배선들(27)에 의해 발광셀들(18)이 직렬 연결된 것을 설명하기 위한 부분단면도이고, 도 4는 스텝커버 공정에 의해 형성된 배선들(37)에 의해 발광셀들이 직렬 연결된 것을 설명하기 위한 부분 단면도이다.

[0028] 도 3을 참조하면, 제1 기판(11) 상에 복수개의 발광셀들(18)이 서로 이격되어 위치한다. 상기 발광셀들 각각은 제1 도전형 하부 반도체층(15), 제1 활성층(17) 및 제2 도전형 상부 반도체층(19)을 포함한다. 상기 활성층(17)은 단일 양자웰 또는 다중 양자웰일 수 있으며, 요구되는 발광 파장에 따라 그 물질 및 조성이 선택된다. 예컨대, 상기 제1 활성층은 질화갈륨 계열의 화합물, 즉 AlInGaN 계열의 화합물로 형성될 수 있다. 한편, 상기 하부 및 상부 반도체층(15, 19)은 상기 활성층(17)에 비해 밴드갭이 큰 물질로 형성되며, 질화갈륨 계열의 화합물

로 형성될 수 있다.

[0029] 한편, 상기 하부 반도체층(15)과 상기 제1 기판(11) 사이에 베퍼층(13)이 개재될 수 있다. 베퍼층(13)은 제1 기판(11)과 하부 반도체층(15)의 격자부정합을 완화시키기 위해 채택된다. 상기 베퍼층(13)은 도시된 바와 같이 서로 이격될 수 있으나, 이에 한정되는 것은 아니며, 베퍼층(13)이 절연성이거나 저항이 큰 물질로 형성된 경우, 서로 연속적일 수 있다.

[0030] 상기 상부 반도체층(19)은, 도시한 바와 같이, 상기 하부 반도체층(15)의 일부 영역 상부에 위치하며, 상기 활성층은 상부 반도체층(19)과 하부 반도체층(15) 사이에 개재된다. 또한, 상기 상부 반도체층(19) 상에 투명전극층(21)이 위치할 수 있다. 상기 투명전극층(21)은 인디움탄산화막(ITO) 또는 Ni/Au 등의 물질로 형성될 수 있다.

[0031] 한편, 배선들(27)이 상기 발광셀들(18)을 전기적으로 연결한다. 상기 배선들(27)은 하나의 발광셀의 하부 반도체층(15)과 그것에 이웃하는 발광셀의 투명전극층(21)을 연결한다. 상기 배선들은 도시한 바와 같이, 상기 투명전극층(21) 상에 형성된 전극패드(24)와 상기 하부 반도체층(15)의 노출된 영역 상에 형성된 전극패드(25)를 연결할 수 있다. 여기서, 상기 배선들(27)은 에어브리지 공정에 의해 형성된 것으로, 접촉부를 제외한 부분은 기판(11) 및 발광셀들(18)로부터 물리적으로 떨어져 있다. 상기 배선들(27)에 의해 단일의 제1 기판(11) 상에서 발광셀들(18)이 직렬 연결된 제1 직렬 어레이(도 2의 10)이 형성된다.

[0032] 도 4를 참조하면, 상기 발광셀들(18)을 연결하는 배선들은 스텝커버 공정에 의해 형성될 수 있다. 즉, 배선들(37)을 접촉시키기 위한 부분들을 제외하고, 상기 발광셀들의 모든 층들 및 기판(11)은 절연층(35)으로 덮혀진다. 그리고, 상기 배선들(37)이 상기 절연층(35) 상에서 패터닝되어 상기 발광셀들(18)을 전기적으로 연결한다.

[0033] 예컨대, 상기 절연층(35)은 상기 전극패드들(24, 25)을 노출시키는 개구부들을 가지며, 상기 배선들(37)은 상기 개구부들을 통해 이웃하는 발광셀들의 전극패드들(24, 25)을 서로 연결하여 발광셀들(18)을 직렬 연결한다.

[0034] 본 실시예에 있어서, 서로 이격된 발광셀들(18)은 기판(11) 상에 에피층들을 차례로 성장시킨 후, 이들을 사진 및 식각 기술을 사용하여 패터닝함으로써 형성될 수 있다. 이와 달리, 상기 발광셀들(18)은 희생기판 상에 에피층들을 차례로 성장시킨 후, 제1 기판(11) 상에 상기 에피층들을 접착시키고 상기 희생기판을 제거하는 기판 분리 기술을 사용하여 형성될 수도 있다. 희생기판이 분리된 후, 사진 및 식각 기술을 사용하여 패터닝함으로써 상기 발광셀들(18)이 형성될 수 있다.

[0035] 도 5 및 도 6은 본 발명의 일 실시예에 따른 제2 단일침(50)을 설명하기 위한 부분단면도들이다.

[0036] 도 5를 참조하면, 상기 제2 단일침(50)은 제2 기판(51)을 포함한다. 상기 기판은 AlInGaP 에피층들을 성장시키기에 적합한 단결정 기판으로, GaAs 또는 GaP 기판일 수 있다.

[0037] 상기 제2 기판(51) 상부에 서로 이격되어 위치하는 복수개의 발광셀들(58)이 위치한다. 상기 발광셀들 각각은 제1 도전형 하부 반도체층(55), 제2 활성층(57) 및 제2 도전형 상부 반도체층(59)을 포함한다. 상기 하부 및 상부 반도체층(55)은 상기 활성층(57)에 비해 밴드갭이 큰 물질로 형성되며, AlInGaP 계 화합물 반도체로 형성될 수 있다. 또한, 상기 활성층(57)은 AlInGaP의 단일 양자웰 또는 다중 양자웰일 수 있다.

[0038] 한편, 상기 하부 반도체층(55) 아래에 제1 도전형 콘택층(54)이 위치할 수 있으며, 상기 제1 도전형 콘택층(54)의 일 영역이 노출된다. 상기 콘택층(54)은 상기 제1 도전형 하부 반도체층(55)에 비해 비저항이 작은 물질로 형성될 수 있다. 이와 달리, 상기 콘택층(54)은 제1 도전형 하부 반도체층(55)과 동일한 물질로 형성될 수 있다. 이 경우, 상기 콘택층(54)과 하부 반도체층(55) 사이에 계면이 사라진다.

[0039] 상기 제2 도전형 상부 반도체층(59)은 상기 콘택층(54) 일부분의 상부에 위치하며, 상기 제2 활성층은 상부 반도체층(59)과 하부 반도체층(55) 사이에 개재된다. 또한, 상기 상부 반도체층(59) 상에 윈도우층(61)이 위치할 수 있다. 상기 윈도우층은 GaAsP, AlGaAs 또는 GaP 등의 물질로 형성될 수 있으며, 상부 반도체층(59)에 비해 비저항이 작고 투명한 물질로 형성된다. 상기 윈도우층(61)은 에피성장기술을 사용하여 상부 반도체층(59) 상에서 성장될 수 있다. 또한, 상기 윈도우층은 AlInGaP 활성층(57)에 비해 더 넓은 밴드갭을 갖는 물질로 형성될 수 있으나, 순방향 전압(Vf)을 감소시키기 위해, 상기 활성층(57)과 동일한 밴드갭을 갖는 물질, 예컨대 AlInGaP로 형성될 수 있다.

[0040] 한편, 상기 제2 기판(51)과 상기 발광셀들 사이에 반절연 베퍼층들(53)이 개재될 수 있다. 반절연 베퍼층들(53)은, 도시한 바와 같이, 서로 이격될 수 있으나, 이에 한정되는 것은 아니며, 서로 연장되어 연속될 수 있다.

여기서, "반절연"층(semi-insulating layer)은 일반적으로 비저항이 상온에서 대략 $10^5 \Omega \cdot \text{cm}$ 이상인 고저항 물질층을 나타내며, 특별한 언급이 없는 한 절연성 물질층도 포함하는 것으로 사용된다. 상기 반절연 베피층들(53)은, 상기 제2 기판(51)이 도전성 기판인 경우, 상기 기판(51)과 상기 발광셀들(58)을 전기적으로 절연시킨다.

[0041] 상기 반절연 베피층들(53)은 도우평 없이 비저항이 높은 III-V계 물질로 형성되거나, 전자수용체가 도우평된 III-V계 물질일 수 있다. 상기 전자수용체는 1가 또는 2가의 전자가를 갖는 금속일 수 있으며, 알칼리 금속, 알칼리 토금속 및/또는 전이금속일 수 있다. 예컨대, 상기 전자수용체는 철(Fe) 또는 크롬(Cr) 이온들일 수 있다. 일반적으로, 인위적인 도우평 없이 성장된 화합물 반도체층들은 N형 도전형을 나타내며, 상기 전자수용체는 이러한 화합물 반도체층들 내에서 전자를 수용하여 비저항을 높여, 반절연층을 만든다.

[0042] 한편, 배선들(67)이 상기 발광셀들을 전기적으로 연결한다. 상기 배선들(67)은 하나의 발광셀의 콘택층(54)과 그것에 이웃하는 발광셀의 원도우층(61)을 연결한다. 상기 배선들은 도시한 바와 같이, 상기 원도우층(61) 상에 형성된 오믹 콘택층(64)과 상기 제1 도전형 콘택층(54)의 노출된 영역 상에 형성된 오믹 콘택층(65)을 연결할 수 있다. 여기서, 상기 배선들(67)은 에어브리지 공정에 의해 형성된 것으로, 접촉부를 제외한 부분은 제2 기판(51) 및 발광셀들(58)로부터 물리적으로 떨어져 있다.

[0043] 상기 배선들(67)에 의해 상기 기판(51) 상에 제2 직렬 어레이(도 2의 60)가 형성된다.

[0044] 도 6을 참조하면, 발광셀들을 연결하는 배선 구조를 제외하면 도 5의 단일칩과 동일한 구성요소들을 갖는다. 즉, 본 실시예에 따른 배선들(87)은 스텝 커버 공정에 의해 형성된 배선들이다. 이를 위해, 배선들(87)을 접촉시키기 위한 부분들을 제외하고, 상기 발광셀들의 모든 층들 및 제2 기판(51)은 절연층(85)으로 덮혀진다. 그리고, 상기 배선들(87)이 상기 절연층(85) 상에서 패터닝되어 상기 발광셀들을 전기적으로 연결한다.

[0045] 예컨대, 상기 절연층(85)은 상기 오믹콘택층들(64, 65)을 노출시키는 개구부들을 가지며, 상기 배선들(87)은 상기 개구부들을 통해 이웃하는 발광셀들의 오믹콘택층들(64, 65)을 서로 연결하여 발광셀들(58)을 직렬 연결한다.

[0046] 도 7 내지 도 9는 본 발명의 일 실시예에 따른 제2 단일칩(50)을 제조하는 방법을 설명하기 위한 단면도들이다.

[0047] 도 7을 참조하면, 제2 기판(51) 상에 반절연 베피층(53), 제1 도전형 하부 반도체층(55), 제2 활성층(57) 및 제2 도전형 상부 반도체층(59)을 성장시킨다. 또한, 상기 반절연 베피층(53) 상에 제1 도전형 콘택층(54)이 형성될 수 있으며, 상기 상부 반도체층(59) 상에 원도우층(61)이 형성될 수 있다.

[0048] 상기 제2 기판(51)은 AlInGaP 에피층을 성장시키기에 적합한 격자상수를 갖는 단결정 기판으로, GaAs 또는 GaP 기판일 수 있다. 한편, 상기 반절연 베피층(53)은 금속유기화학기상증착(metalorganic chemical mechanical deposition; MOCVD), 분자선 성장(molecular beam epitaxy; MBE)법 등을 사용하여 형성될 수 있다. 상기 반절연 베피층(53)은 AlInGaP계 또는 이와 유사한 격자상수를 III-V계 물질일 수 있다.

[0049] 한편, 상기 베피층(53)을 형성하는 동안, 전자수용체(acceptor)들이 도우평될 수 있다. 상기 전자수용체는 1가 또는 2가의 전자가를 갖는 금속일 수 있으며, 알칼리 금속, 알칼리 토금속 및/또는 전이금속일 수 있다. 예컨대, 상기 전자수용체는 철(Fe) 또는 크롬(Cr) 이온들일 수 있다.

[0050] 한편, 상기 반절연 베피층(53)의 모든 두께에 걸쳐 전자수용체를 도우평할 필요는 없으며, 베피층(53)의 일부 두께에 걸쳐 전자수용체를 도우평하여 비저항이 큰 반절연 베피층(53)을 형성할 수 있다.

[0051] 상기 제1 도전형 콘택층(54)은 AlInGaP 화합물 반도체로 형성될 수 있으며, 전류분산을 위해 비저항이 낮은 물질로 형성되는 것이 바람직하다. 한편, 상기 제1 도전형 하부 반도체층(55) 및 제2 도전형 상부 반도체층(59)은 모두 AlInGaP 화합물 반도체로 형성될 수 있으며, Al, Ga 및/또는 In의 조성비를 조절하여 상기 활성층(57)에 의해 밴드갭이 큰 물질로 형성된다. 하부 및 상부 반도체층들(55, 57)과 제2 활성층(57)은 모두 MOCVD 또는 MBE 기술을 사용하여 형성될 수 있다.

[0052] 한편, 상기 원도우층(61)은 활성층(57)에서 생성된 광을 투과시키면서 비저항이 작은 물질층, 예컨대 GaAsP, AlGaAs 또는 GaP로 형성될 수 있으며, 또한, 상기 활성층(57)과 동일한 밴드갭을 갖는 물질, 예컨대 AlInGaP로 형성될 수 있다. 상기 원도우층(61)은 에피성장기술을 사용하여 상부 반도체층(59) 상에서 성장될 수 있다. 상기 원도우층이 상기 활성층(57)과 동일한 밴드갭을 갖는 물질로 형성될 경우, 순방향 전압(Vf)을 낮출 수 있다.

[0053] 도 8을 참조하면, 상기 원도우층(61), 제2 도전형 상부 반도체층(59), 활성층(57), 제1 도전형 하부 반도체층

(55), 제1 도전형 콘택층(54) 및 반절연 버퍼층(53)을 패터닝하여 셀들을 분리하고, 제1 도전형 콘택층(54)의 일 영역을 노출시킨다. 그 결과, 노출된 제1 도전형 콘택층(54)을 갖는 발광셀들이 형성된다.

[0054] 도 8을 참조하면, 상기 윈도우층(61) 상에 오믹 콘택층(64)을 형성하고, 상기 노출된 제1 도전형 콘택층(54) 상에 오믹 콘택층(65)을 형성한다. 상기 오믹 콘택층(64)은 윈도우층(61)에 오믹 콘택되고, 상기 오믹 콘택층(65)은 제1 도전형 콘택층(54)에 오믹 콘택된다.

[0055] 이어서, 상기 발광셀들을 전기적으로 연결하는 배선들(도 5의 67)이 에어브리지(air bridge) 공정에 의해 형성된다. 상기 배선들(67)은 발광셀들을 연결하여 제2 직렬 어레이를 형성한다.

[0056] 한편, 발광셀들을 연결하는 배선들은 스텝 커버(step cover) 방식으로 형성될 수 있으며, 이에 따라 도 6의 단일침이 완성된다. 즉, 도 9의 오믹콘택층들(64, 65)이 형성된 후, 제2 기판(51)의 전면 상에 절연층(도 6의 85)이 형성된다. 상기 절연층은 예컨대, SiO_2 로 형성될 수 있다. 이어서, 상기 절연층을 패터닝하여 상기 오믹콘택층들(64, 65)을 노출시키는 개구부들을 형성한다. 그 후, 상기 절연층(85) 상에 도금 또는 증착기술을 사용하여 배선들(87)을 형성함으로써 발광셀들을 전기적으로 연결한다.

[0057] 도 10 및 도 11은 본 발명의 또 다른 실시예에 따른 제2 단일침(50)을 설명하기 위한 부분단면도들이다.

[0058] 도 10을 참조하면, 상기 제2 단일침은 제2 기판으로서 베이스 기판(171)을 포함한다. 본 실시예에 있어서, 상기 베이스 기판(171)은 AlInGaP계 에피층들을 성장시키기에 적합한 단결정 기판일 것을 요하지 않으며, 금속 기판 또는 GaP 기판과 같은 도전성 기판일 수 있다.

[0059] 상기 베이스 기판(171) 상에 복수개의 금속 패턴들(165)이 서로 이격되어 위치한다. 상기 베이스 기판과 상기 금속 패턴들 사이에 절연층(173)이 개재되어 상기 금속패턴들(165)을 베이스 기판(171)으로부터 전기적으로 절연시킨다. 상기 각 금속패턴들(165) 상에 발광셀들이 각각 위치한다. 상기 발광셀들은 각각 제1 도전형 하부 반도체층(155a), 제2 활성층(157a) 및 제2 도전형 상부 반도체층(159a)을 포함한다.

[0060] 상기 하부 및 상부 반도체층들(155a, 159a)은 상기 활성층(157a)에 의해 밴드갭이 큰 물질로 형성되며, AlInGaP계 화합물 반도체로 형성될 수 있다. 또한, 상기 제2 활성층(157a)은 AlInGaP계의 단일 양자웰 또는 다중 양자웰일 수 있다.

[0061] 한편, 상기 하부 반도체층(155a)의 일 영역이 노출되도록 상기 상부 반도체층(159a)은, 도시한 바와 같이, 상기 하부 반도체층(155a)의 일부 영역 상에 위치하고 상기 활성층(159a)은 상기 하부 및 상부 반도체층들(155a, 159a) 사이에 개재될 수 있다. 이와 달리, 상기 금속패턴들(165)의 일부 영역들이 노출되도록 상기 반도체층들이 상기 금속패턴들(165)의 일부 영역들 상에 위치할 수 있다.

[0062] 한편, 상기 각 제2 도전형 상부 반도체층(159a) 상에 윈도우층(154a)이 위치할 수 있다. 상기 윈도우층은 GaAsP, AlGaAs 또는 GaP 등의 물질로 형성될 수 있으며, 상부 반도체층(159a)에 의해 비저항이 작고 투명한 물질로 형성된다. 상기 윈도우층(154a)은 에피성장기술을 사용하여 성장될 수 있다. 상기 윈도우층은 제2 활성층(157a)에 의해 더 넓은 밴드갭을 갖는 물질로 형성될 수 있으나, 순방향 전압(Vf)을 감소시키기 위해, 상기 활성층(157a)과 동일한 밴드갭을 갖는 물질로 형성될 수 있다.

[0063] 한편, 배선들(179)이 상기 발광셀들을 전기적으로 연결한다. 배선들(179)은 하나의 발광셀의 하부 반도체층(155a)과 그것에 이웃하는 발광셀의 윈도우층(154a)을 연결한다. 상기 배선들은, 도시한 바와 같이, 상기 윈도우층(154a) 상에 형성된 오믹 콘택층(178)과 상기 제1 도전형 하부 반도체층(155a)의 노출된 영역 상에 형성된 오믹 콘택층(177)을 연결할 수 있다. 한편, 상기 금속패턴들(165)이 노출된 경우, 상기 배선들은 상기 오믹콘택층(178)과 금속패턴들(165)을 각각 연결할 수 있다. 여기서, 상기 배선들(179)은 에어브리지 공정에 의해 형성된 것으로, 접촉부를 제외한 부분은 베이스 기판(171) 및 발광셀들로부터 물리적으로 떨어져 있다.

[0064] 도 11을 참조하면, 본 실시예의 제2 단일침은 발광셀들을 연결하는 배선 구조를 제외하면 도 10의 제2 단일침과 동일한 구성요소들을 갖는다. 즉, 본 실시예에 따른 배선들(189)은 스텝 커버 공정에 의해 형성된 배선들이다. 이를 위해, 배선들(189)을 접촉시키기 위한 부분들을 제외하고, 상기 발광셀들의 모든 층들 및 베이스 기판(171)은 절연층(187)으로 덮혀진다. 그리고, 상기 배선들(189)이 상기 절연층(187) 상에서 패터닝되어 상기 발광셀들을 전기적으로 연결한다.

[0065] 예컨대, 상기 절연층(187)은 상기 오믹콘택층(178)과, 오믹콘택층(177) 또는 금속패턴(165)을 노출시키는 개구부들을 가지며, 상기 배선들(189)은 상기 개구부들을 통해 이웃하는 발광셀들을 서로 연결하여 직렬 연결한다.

- [0066] 도 12 내지 도 15는 본 발명의 상기 또 다른 실시예에 따른 제2 단일칩(50)을 제조하는 방법을 설명하기 위한 단면도들이다.
- [0067] 도 12를 참조하면, 희생기판(151) 상에 제1 도전형 반도체층(155), 제2 도전형 반도체층(159)과 상기 제1 및 제2 도전형 반도체층들 사이에 개재된 제2 활성층(157)을 포함하는 반도체층들이 형성된다. 또한, 상기 반도체층들은 희생기판(151) 상에 형성된 베피층(153)을 포함할 수 있으며, 상기 제2 도전형 반도체층(159)을 형성하기 전 원도우층(154)이 형성될 수 있다.
- [0068] 상기 희생기판(151)은 AlInGaP계 에피층을 성장시키기에 적합한 격자상수를 갖는 단결정 기판으로, GaAs 또는 GaP 기판일 수 있다. 한편, 상기 베피층(153)은 금속유기화학기상증착(metalorganic chemical mechanical deposition; MOCVD), 분자선 성장(molecular beam epitaxy; MBE)법 등을 사용하여 형성될 수 있다. 베피층(153)은 AlInGaP계 또는 이와 유사한 격자상수를 갖는 III-V계 물질일 수 있다.
- [0069] 한편, 상기 제1 도전형 반도체층(155), 제2 활성층(157) 및 제2 도전형 반도체층(159)은 모두 AlInGaP계 화합물 반도체로 형성될 수 있다. 상기 제1 도전형 반도체층(155) 및 제2 도전형 반도체층(159)은 Al, Ga 및/또는 In의 조성비를 조절하여 상기 제2 활성층(157)에 비해 밴드갭이 큰 물질로 형성된다. 제1 및 제2 반도체층들(155, 159)과 활성층(157)은 모두 MOCVD 또는 MBE 기술을 사용하여 형성될 수 있다.
- [0070] 상기 원도우층(154)은 활성층(157)에서 생성된 광을 투과시키면서 비저항이 작은 물질층, 예컨대 GaAsP, AlGaAs 또는 GaP으로 형성될 수 있으며, 순방향 전압(Vf)을 감소시키기 위해, 상기 제2 활성층(157)과 동일한 밴드갭을 갖는 물질로 형성될 수 있다. 상기 원도우층(154)은 에피성장기술을 사용하여 제2 도전형 반도체층(159)을 성장시키기 전에 성장될 수 있다.
- [0071] 도 13을 참조하면, 제2 기판으로서 베이스 기판(171)이 상기 희생기판(151)과 별개로 준비되고, 상기 베이스 기판(171) 상에 절연층(173)이 형성된다. 상기 베이스 기판(171)은 제2 단일칩(50)의 발광 효율을 향상시키기 위해 선택된다. 특히, 상기 베이스 기판(171)은 열전도율이 높은 도전성 기판일 수 있으며, 몇몇 실시예에 있어서, 투광성 기판일 수 있다. 상기 절연층(173)은 SiO₂와 같은 산화층, 또는 반절연층(semi-insulating layer)일 수 있다.
- [0072] 이어서, 상기 절연층(173)과 상기 반도체층들이 서로 마주보도록 본딩된다. 상기 절연층은 반도체층들 상에 직접 본딩될 수 있으며, 이와 달리 접착금속층(175)을 개재하여 본딩될 수 있다. 또한, 상기 접착금속층(175)과 상기 반도체층들 사이에 Ag 또는 Al과 같은 반사금속층(161)이 개재될 수 있다. 상기 접착금속층(175)은 상기 반도체층들 및/또는 상기 절연층(173) 상에 형성될 수 있으며, 상기 반사금속층(161)은 상기 반도체층들 상에 형성될 수 있다. 또한, 접착금속층(175)과 반사금속층(161) 사이에 확산방지층이 개재될 수 있다. 상기 확산방지층은 접착금속층(175)으로부터 반사금속층(161)으로 금속원소가 확산되어 반사금속층(161)의 반사율을 감소시키는 것을 방지한다.
- [0073] 도 14를 참조하면, 희생기판(151)이 반도체층들로부터 분리된다. 희생기판(151)은 습식 또는 건식식각, 폴리성, 이온밀링 또는 이들을 조합하여 분리될 수 있다. 이때, 상기 베피층(153)도 함께 제거될 수 있다.
- [0074] 상기 희생기판(151)은 상기 절연층(173)과 상기 반도체층들을 본딩한 후에 분리될 수 있으나, 이에 한정되는 것은 아니며, 상기 절연층(173)과 상기 반도체층들을 본딩하기 전에 분리될 수 있다. 이 경우, 상기 절연층(173)은 상기 희생기판(151)으로부터 분리된 면에 위치하는 반도체층에 본딩될 수도 있다. 또한, 다른 희생기판(도시하지 않음)을 먼저 상기 반도체층들에 부착한 후, 상기 희생기판(151)을 제거하고, 상기 베이스 기판(171)의 절연층(173)을 상기 반도체층들과 본딩할 수 있다. 그 후, 상기 다른 희생기판이 분리된다. 한편, 상기 절연층(173)이 희생기판(151)으로부터 분리된 면에 위치하는 반도체층에 본딩될 경우, 상기 원도우층(154)은 제1 도전형 반도체층(155) 상에 위치하도록 형성된다.
- [0075] 도 15를 참조하면, 상기 반도체층들을 패터닝하여 서로 이격된 복수개의 발광셀들(158)을 형성한다. 상기 발광셀들은 각각 패터닝된 제1 도전형 하부 반도체층(155a), 제2 활성층(157a) 및 제2 도전형 상부 반도체층(159a)을 포함하며, 또한 패터닝된 원도우층(154a)을 포함할 수 있다. 상기 반도체층들은 사진 및 식각 기술을 사용하여 패터닝될 수 있다.
- [0076] 한편, 접착금속층(161) 및/또는 반사금속층(175) 등이 절연층(173)과 반도체층들 사이에 개재된 경우, 이들도 패터닝되어 서로 이격된 금속패턴들(165)이 형성된다. 상기 패터닝된 제1 도전형 하부 반도체층(155a)은, 도시한 바와 같이, 그 일부 영역이 노출되도록 형성될 수 있다. 다만, 금속패턴들(165)이 형성된 경우, 상기 금속패

턴들(165)의 일부 영역들이 노출되고, 상기 제1 도전형 하부 반도체층(155a)의 일부 영역은 노출되지 않을 수도 있다.

[0077] 다시, 도 10를 참조하면, 상기 각 원도우층(154a) 상에 오믹 콘택층(178)을 형성하고, 상기 각 노출된 제1 도전형 하부 반도체층(155a) 상에 오믹 콘택층(177)을 형성한다. 상기 오믹 콘택층(178)은 원도우층(154a)에 오믹 콘택되고, 상기 오믹 콘택층(177)은 제1 도전형 하부 반도체층(155a)에 오믹 콘택된다. 한편, 금속패턴들(165)의 일부 영역들이 노출된 경우, 상기 오믹 콘택층(177)은 생략될 수 있다. 이 경우, 상기 금속패턴들(165)이 상기 제1 도전형 하부 반도체층(155a)에 오믹콘택되는 것이 바람직하다.

[0078] 이어서, 상기 발광셀들을 전기적으로 연결하는 배선들(179)이 에어브리지(air bridge) 공정에 의해 형성된다. 상기 배선들(179)은 발광셀들을 연결하여 제2 직렬 어레이를 형성한다.

[0079] 한편, 발광셀들을 연결하는 배선들은 스텝 커버(step cover) 방식으로 형성될 수 있으며, 이에 따라 도 11의 제2 단일칩이 완성된다. 즉, 도 10의 오믹콘택층들(167, 178)이 형성된 후, 베이스 기판(171)의 전면 상에 절연층(187)이 형성된다. 상기 절연층(187)은 예컨대, SiO_2 로 형성될 수 있다. 이어서, 상기 절연층(187)을 패터닝하여 상기 오믹콘택층들(177, 178)을 노출시키는 개구부들을 형성한다. 그 후, 상기 절연층(187) 상에 도금 또는 증착기술을 사용하여 배선들(189)을 형성함으로써 발광셀들이 전기적으로 연결된다.

[0080] 본 발명의 실시예들에 있어서, 제1 단일칩(10)이 AlInGaN 계열의 화합물로 제조되고, 제2 단일칩(50)이 AlInGaP 계열의 화합물로 제조되는 것으로 설명하였으나, 이들 재료에 한정되는 것은 아니다. 예컨대, 상기 제2 단일칩(50)이 제1 단일칩(10)과 다른 조성을 갖는 AlInGaN 계열의 화합물로 제조될 수도 있다.

[0081] 또한, 본 발명의 실시예들에 있어서, 제1 단일칩(10) 및 제2 단일칩(50)이 패키지 내에 실장되는 것으로 설명하였으나, 이들 단일칩들(10, 50)에 더하여 제3 단일칩이 함께 실장될 수 있다. 상기 제3 단일칩은 상기 제1 및 제2 단일칩들과 다른 파장의 광을 방출하는 발광셀들의 제3 직렬 어레이를 갖는다. 예컨대, 제1 단일칩(10)은 청색광을 방출하고, 제2 단일칩(50)은 적색광을 방출하고, 제3 단일칩은 녹색광을 방출할 수 있으며, 이에 따라 형광체를 사용하지 않고도 교류 전원하에서 백색광을 구현할 수 있다. 상기 제3 단일칩은 제1 단일칩 또는 제2 단일칩에 직렬로 연결되거나 병렬로 연결될 수 있다.

도면의 간단한 설명

[0082] 도 1은 본 발명의 일 실시예에 따른 발광 다이오드 패키지를 설명하기 위한 평면도 및 단면도이다.

[0083] 도 2는 본 발명의 일 실시예에 따른 발광 다이오드 패키지를 설명하기 위한 개략도이다.

[0084] 도 3 및 도 4는 본 발명의 일 실시예에 따른 제1 단일칩(10)을 설명하기 위한 부분단면도들이다.

[0085] 도 5 및 도 6은 본 발명의 일 실시예에 따른 제2 단일칩(50)을 설명하기 위한 부분단면도들이다.

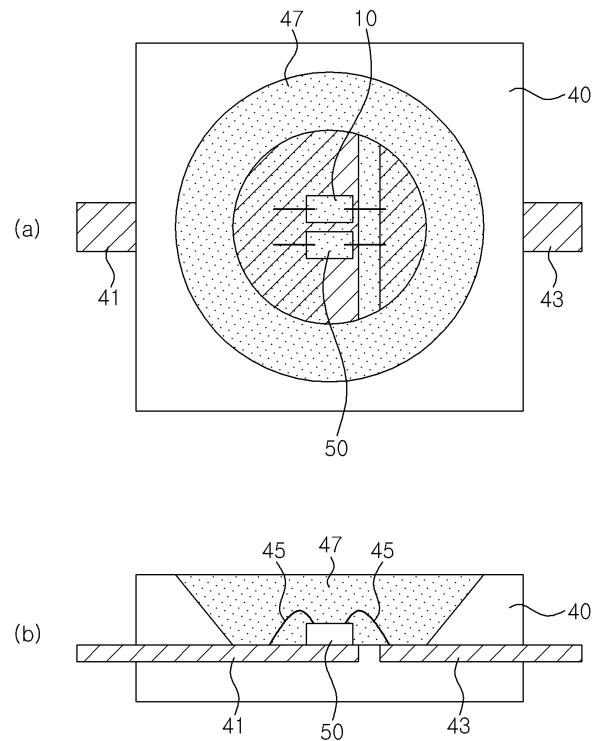
[0086] 도 7 내지 도 9는 본 발명의 일 실시예에 따른 제2 단일칩(50)을 제조하는 방법을 설명하기 위한 단면도들이다.

[0087] 도 10 및 11은 본 발명의 또 다른 실시예에 따른 제2 단일칩(50)을 설명하기 위한 부분단면도들이다.

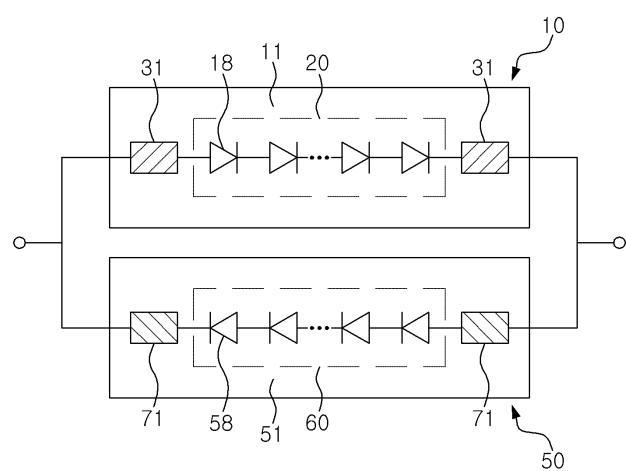
[0088] 도 12 내지 도 15는 본 발명의 상기 또 다른 실시예에 따른 제2 단일칩을 제조하는 방법을 설명하기 위한 단면도들이다.

도면

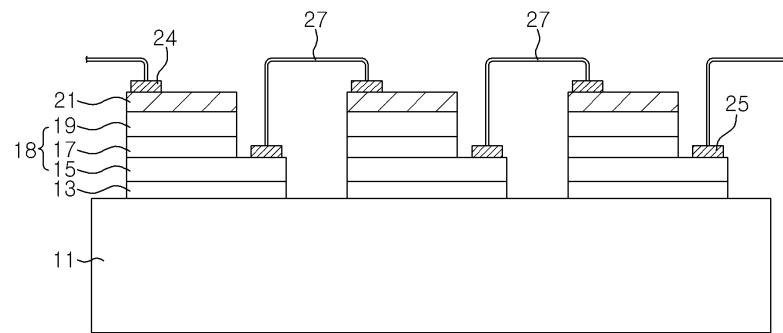
도면1



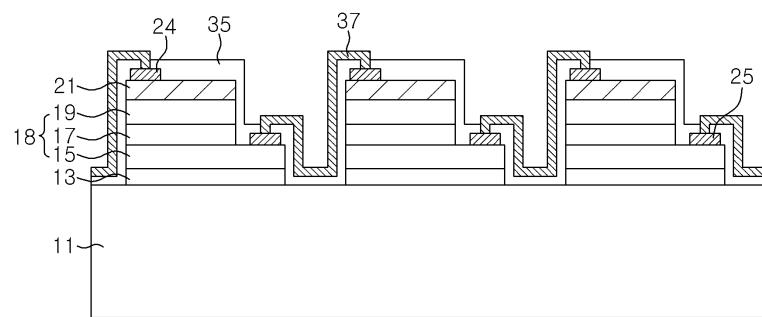
도면2



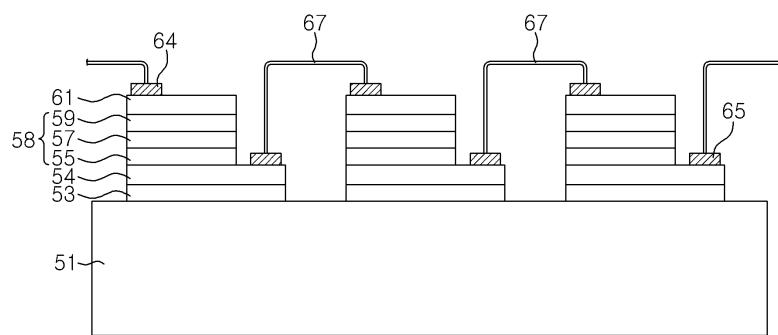
도면3



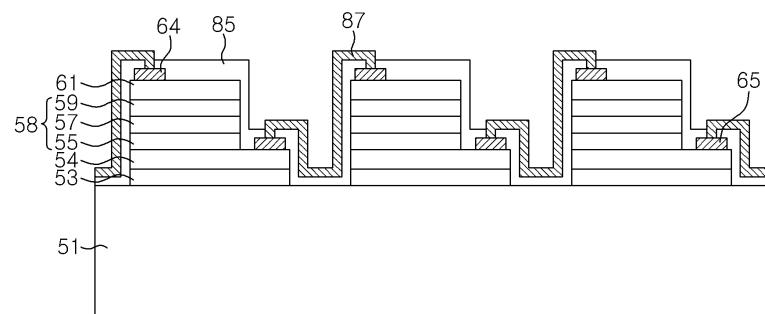
도면4



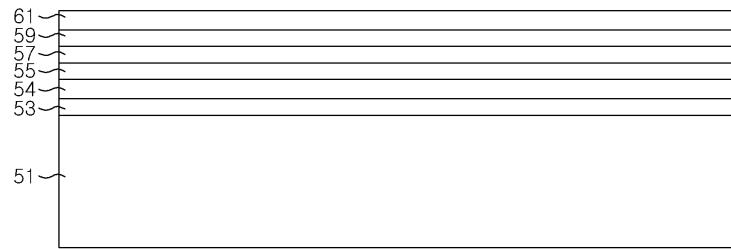
도면5



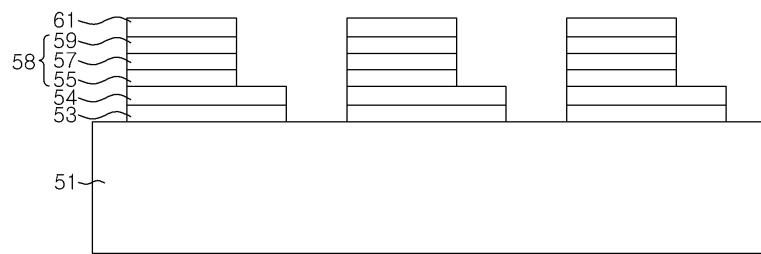
도면6



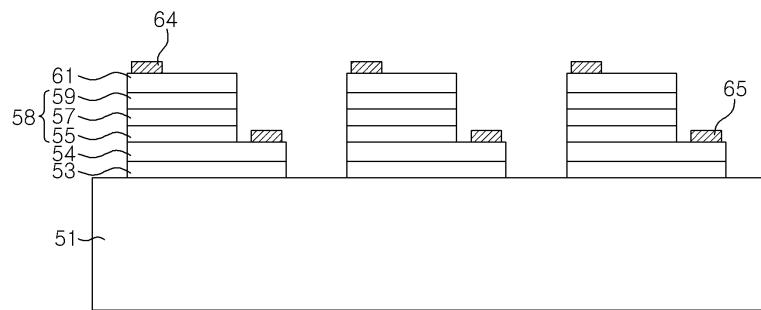
도면7



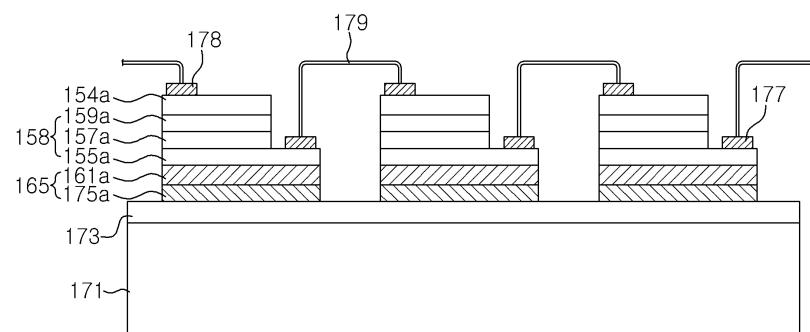
도면8



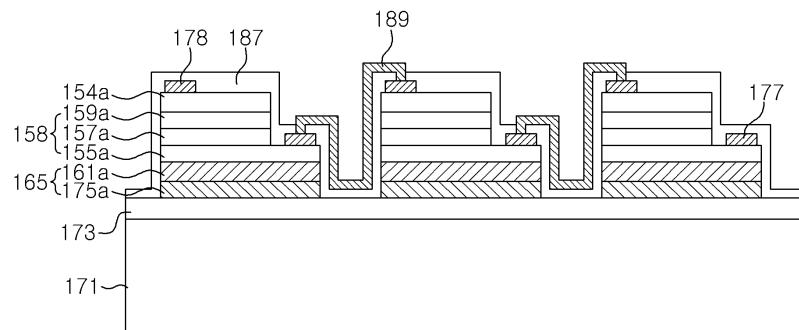
도면9



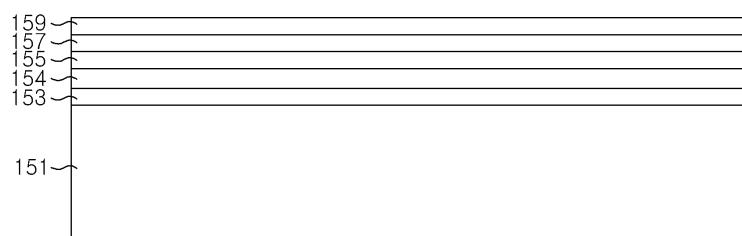
도면10



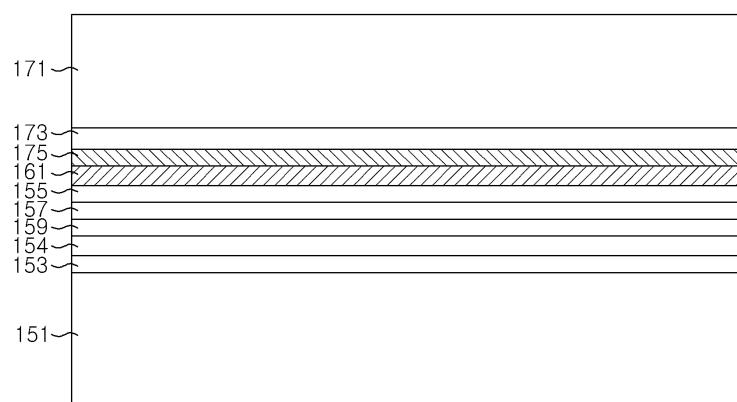
도면11



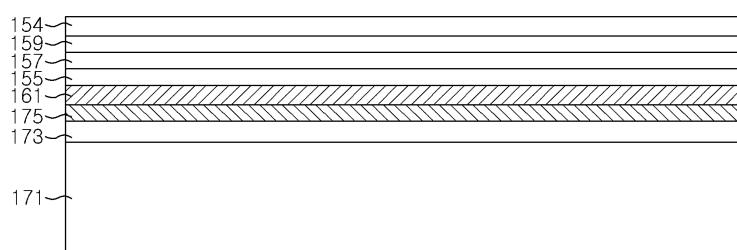
도면12



도면13



도면14



도면15

