

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-522673

(P2007-522673A)

(43) 公表日 平成19年8月9日(2007.8.9)

(51) Int.CI.	F 1	テーマコード (参考)
H01L 21/3065 (2006.01)	H01L 21/302 105A	2H096
H01L 21/027 (2006.01)	H01L 21/30 570	5FO04
G03F 7/40 (2006.01)	G03F 7/40 511	5FO46

審査請求 未請求 予備審査請求 未請求 (全 10 頁)

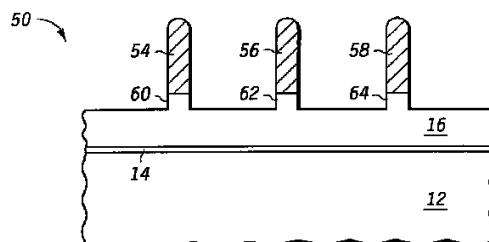
(21) 出願番号	特願2006-553127 (P2006-553127)	(71) 出願人	504199127 フリースケール セミコンダクター イン コーポレイテッド アメリカ合衆国 78735 テキサス州 オースティン ウィリアム キャノン ドライブ ウエスト 6501
(86) (22) 出願日	平成17年1月12日 (2005.1.12)	(74) 代理人	100116322 弁理士 桑垣 衛
(85) 翻訳文提出日	平成18年8月11日 (2006.8.11)	(72) 発明者	ガーザ、シーザー エム. アメリカ合衆国 78681 テキサス州 ラウンド ロック ローズバッド プレ イス 18024
(86) 國際出願番号	PCT/US2005/000961		
(87) 國際公開番号	W02005/082122		
(87) 國際公開日	平成17年9月9日 (2005.9.9)		
(31) 優先権主張番号	10/779,007		
(32) 優先日	平成16年2月13日 (2004.2.13)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】処理済みフォトレジストを使用して半導体素子を形成する方法

(57) 【要約】

半導体素子(50)は、導電層(16)をパターニングしてトランジスタ(80, 82, 84)のゲート(60, 62, 64)を形成することにより形成される。ゲート(60, 62, 64)を形成するプロセスは、導電層(16)を覆うフォトレジスト(54, 56, 58)をパターニングする工程を有する。パターニング済みフォトレジスト(54, 56, 58)をトリミングしてフォトレジストの幅が小さくなるようにする。フッ素、好適にはF₂をトリミング済みフォトレジスト(54, 56, 58)に導入して導電層に対するフォトレジストの硬度及びフォトレジストの選択性を高くする。トリミング済みのフッ素化フォトレジスト(54, 56, 58)をマスクとして使用して、導電層(16)をエッチングしてゲート(60, 62, 64)として有用な導電パターンを形成する。トランジスタ(80, 82, 84)は、導電性ピラーがゲート(60, 62, 64)となるよう形成される。他のハロゲン元素、特に塩素をフッ素の代わりに使用することができます。



【特許請求の範囲】**【請求項 1】**

基板を設ける工程と、
パターニングされるべきパターニング対象層を基板の上方に設ける工程と、
最小寸法を有するパターニング済みフォトレジスト層を、前記パターニング対象層の上に設ける工程と、
パターニング済みフォトレジスト層をトリミングする工程と、
フォトレジスト層の特性を改質して後続のエッチング処理に対する耐性を高めるために
トリミング済みのパターニング済みフォトレジスト層を処理する工程と、
トリミング済みのパターニング済みフォトレジスト層のパターンを前記パターニング対象層に転写する工程とを備える、半導体素子の製造方法。
10

【請求項 2】

前記パターニング対象層は複数の層から成る積層体を含む、請求項 1 記載の方法。

【請求項 3】

複数の層から成る積層体はパターニング対象の下地層を被覆する犠牲層を含む、請求項 2 記載の方法。

【請求項 4】

トリミングする処理では、最小寸法を機械的処理及び化学的処理の内の少なくとも一つの処理により小さくする、請求項 1 記載の方法。

【請求項 5】

機械的処理は反応性イオンエッティング (RIE) 及びイオン衝撃エッティングの少なくとも一つのエッティングを含む、請求項 4 記載の方法。

【請求項 6】

化学的処理では、少なくとも酸素と反応させる、請求項 4 記載の方法。

【請求項 7】

最小寸法は最小寸法の最大 80 %だけ小さくなる、請求項 4 記載の方法。

【請求項 8】

最小寸法は約 100 ナノメートルであり、トリミングによって、最小寸法は約 20 ~ 80 ナノメートルの範囲に収まるように小さくなる、請求項 4 記載の方法。

【請求項 9】

前記特性は化学的性質及び物理的性質の内の少なくとも一つを含む、請求項 1 記載の方法。
30

【請求項 10】

前記処理はハロゲン化を含む、請求項 1 記載の方法。

【請求項 11】

ハロゲン化は原子を結合させるハロゲン化及び分子を結合させるハロゲン化の内の少なくとも一つを含む、請求項 10 記載の方法。

【請求項 12】

ハロゲン化はフッ化及び塩素化の内の少なくとも一つを含む、請求項 10 記載の方法。

【請求項 13】

更に、フッ化は原子を結合させるフッ化及び分子を結合させるフッ化の内の少なくとも一つを含む、請求項 12 記載の方法。
40

【請求項 14】

更に、塩素化は原子を結合させる塩素化及び分子を結合させる塩素化の内の少なくとも一つを含む、請求項 12 記載の方法。

【請求項 15】

後続のエッティング処理は少なくとも一つのパターン転写エッティング処理を含む、請求項 1 記載の方法。

【請求項 16】

パターニング済みフォトレジスト層は、第 1 の大きさの短周期ラインエッジラフネスに
50

よって特徴付けられ、そしてトリミング済みのパターニング済みフォトレジスト層を処理することによって、i) 短周期ラインエッジラフネスの低減、及びii) 更に別の短周期ラインエッジラフネスの抑制の内の少なくとも一つを促進する、請求項1記載の方法。

【請求項17】

前記トリミング及び前記処理は同じ装置及び個別装置群の内の少なくとも一つにおいて行なわれる、請求項1記載の方法。

【請求項18】

パターニング対象の層は導電材料、半導体材料、及び絶縁材料の内の少なくとも一つを含む、請求項1記載の方法。

【請求項19】

トリミング済みのパターニング済みフォトレジスト層は、トランジスタの制御電極を形成する一部分を含む、請求項1記載の方法。

【請求項20】

半導体素子であって、

基板と、

基板上に形成される絶縁層と、

絶縁層上に形成される導電層と、

導電層上に形成されるフォトレジスト層とを備え、前記フォトレジスト層はパターニング済みフォトレジスト層からなり、パターニング済みフォトレジスト層は更にトリミング済みのパターニング済みフォトレジスト層を含み、トリミング済みのパターニング済みフォトレジスト層を処理してフォトレジスト層の特性を改質して後続のエッチング処理に対する耐性を高くしている、半導体素子。

【請求項21】

基板と、基板上に形成される絶縁層と、絶縁層上に形成される導電層と、導電層上に形成され、かつパターニング済みフォトレジスト層を含むフォトレジスト層とを備えた半導体素子を製造するための装置において、

前記パターニング済みフォトレジスト層をトリミングするトリミングモジュールと、

トリミング済みのパターニング済みフォトレジスト層を処理してフォトレジスト層の特性を改質して後続のエッチング処理に対する耐性を高くする処理モジュールとを備える、半導体素子の製造装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体素子を形成する方法に関し、特にこのような方法におけるフォトレジストの使用に関する。

【背景技術】

【0002】

半導体製造において寸法が益々小さくなるに従い、フォトリソグラフィでは益々短い波長が使用されるようになってきている。短い波長をもつ光によって異なるフォトレジストが必要になる。この必要性は、波長に起因する光の特性の変化だけでなく、光密度の低下によって生じている。フォトレジストにおいてこれらに対応して必要となる変化として、フォトレジストもフォトレジストの組成を変化させてきており、従ってエッチャントに対するフォトレジストの反応を変化させてきている。悪影響の内の一つは普通、フォトレジストがこれまでのフォトレジストよりも更に高いレートでエッチングされることであった。例えば、248ナノメートルの波長を使用する場合では、フォトレジストのエッチャングレートに対するポリシリコンのエッチャングレートの比は約3~1であった。193ナノメートルの波長で有用なフォトレジストの場合、この比は非常に小さくなつて約1.5~1であった。フォトレジストの厚さを大きくするというのは、焦点深度に関連する問題に起因して望ましくない。悪影響をもたらす別の特性は、エッチャングプロセスの間、小さい寸法のフォトレジストは、エッチャングの間に固有の形で生じる薄膜化によって倒壊してしま

10

20

30

40

50

うことさえあるということである。倒壊問題は、短波長光用のフォトレジストの硬度が低下することが原因であると考えられる。例えば、硬度の通常の指標であるヤング率は、波長248ナノメートルの光源を使用する商用的に利用可能なフォトレジストの場合よりも、波長193ナノメートルの光源を使用する商用的に利用可能なフォトレジストの場合の方が約40%小さい。

【0003】

従って、これらの問題の内の一つ以上を解決する、または無くす半導体製造プロセスが必要になる。

【発明を実施するための最良の形態】

【0004】

本発明は例を通して示され、そして添付の図によって制限されるものではなく、これらの図では、同様の参照記号は同様の構成要素を指す。

当業者であれば、これらの図における構成要素が説明を簡単かつ明瞭にするために示され、そして必ずしも寸法通りには描かれていないことが分かるであろう。例えば、これらの図における幾つかの構成要素の寸法を他の構成要素に対して誇張して描いて本発明の実施形態を理解し易くしている。

【0005】

一の態様では、半導体素子は、導電層をパターニングしてトランジスタのゲートを形成することにより形成される。ゲートを形成するプロセスは、導電層を被覆するフォトレジストをパターニングする工程を有する。パターニング済みフォトレジストをトリミングしてフォトレジストの幅を小さくする。フッ素、好適にはF₂をトリミング済みフォトレジストに導入して導電層に対するフォトレジストの硬度及びフォトレジストの選択性を高める。トリミング済みのフッ素含有フォトレジストをマスクとして使用して、導電層をエッチングしてゲートとして有用な導電パターンを形成する。導電性ピラーがゲートとなる構成のトランジスタが形成される。この様子は図及び次の記述を参考することにより一層深く理解される。

【0006】

図1に示すのは半導体素子10であり、この半導体素子は、基板12と、基板12上の誘電体14と、層16と、フォトレジストパターン18と、フォトレジストパターン20と、そしてフォトレジストパターン22と、を含む。基板12は半導体層を誘電体14下に有し、誘電体14はソース及びドレインを形成するために有用である。基板12はSOI基板とことができ、SOI基板では、誘電体層は半導体層の下に位置する。層16はこの例ではポリシリコンであるが、別の材料、特に金属のような導電材料とすることができます。更に、図示しない他の層を設けることもできる。例えば、反射防止コーティング(ARC)を層16の上に、従って層16とフォトレジストパターン18, 20, 及び22との間に設けることができる。フォトレジストパターン18~22は波長193ナノメートルの光源を使用する商業的に利用可能であるフォトレジスト材料により形成され、このフォトレジスト材料は水素を含む。フォトレジストパターン18~22は193ナノメートル技術の場合、100ナノメートルのような最小寸法を有することができる。

【0007】

図2に示すのはトリミング工程後の素子10であり、この工程では、フォトレジストパターン18~22の幅を元の幅の約40%にまで小さくして、結果として得られる幅がそれぞれ約40ナノメートルになるようとする。このトリミングは等方性エッチングプロセスにより行なわれ、このプロセスは等方性ドライエッティングであることが好ましい。横方向のエッティングレートが非常に高いことが望ましいが、フォトレジストパターン18~22の高さを小さくするエッティングレートに比べると実現するのが難しい。フォトレジストパターン18~22の高さは実際には幅よりも小さくすることができる。図2のようにトリミングされるこれらのフォトレジストパターン18~22は、トランジスタのゲート形成マスクとなるように構成される。

【0008】

10

20

30

40

50

図3に示すのは、フォトレジストパターン18～22をマスクとして使用する層16の部分エッチングである。図示の部分エッチングは、層16を貫通する方向に約3分の1だけ進行したものであり、着目ゲート36, 38, 及び40の一部分が層16に形成される様子を示す。共通する結果として、フォトレジストパターンはいずれも倒壊する、または変形する。フォトレジスト部分30はフォトレジストパターン18がエッチングの間に倒壊してしまった結果である。変形フォトレジストパターン32及び34はエッチング条件の下で、それぞれフォトレジストパターン20及び22から形成される。ポリシリコンである層16に関する例示としてのエッチング条件では、塩素、臭化水素、酸素、及びアルゴンを含有し、かつ100mTorr未満の圧力、30～100の範囲の温度、10～200SCCMの範囲の種々のガスの流量、200～2000ワットの範囲のソースパワー、そして0～200ワットの範囲のバイアスパワーの条件のプラズマを使用する。変形フォトレジストパターンは処理を継続する間に更に倒壊する恐れもあり、そして倒壊が生じない場合でも、これらの変形フォトレジストパターンは層16のエッチングの邪魔になる。倒壊フォトレジストパターン30は、所望領域よりもずっと広い領域に渡ってエッチングを阻止するだけでなく、非常に薄くなつてフォトレジストパターンが完全にエッチングされてしまって、ゲートが形成されるべき箇所のポリシリコンがエッチングされる。この箇所は欠陥の位置であり、この欠陥は修復することが不可能であり、かつ素子が正しく動作することができない故障を生じさせる。

10

20

【0009】

図4に示すのは、図3の素子10の上面図である。この図から、フォトレジストパターン30, 32, 及び34が、これらのパターンの利便性に悪影響を与える長周期変動(low frequency variation)及び短周期変動(high frequency variation)を有することが分かる。パターンが倒壊していない領域のパターン30のエッジの変形40は、長周期変動の影響の大きさを示している。大きさが20ナノメートルの変形40はめずらしいことではない。短周期変動は多くの場合、8ナノメートルに達し得る。これらの短周期変動及び長周期変動は出来る限り小さいことが好ましい。

30

30

【0010】

図5に示すのは、フッ素ソース52を使用して層16のエッチングを開始する前にフォトレジストパターン18～22をフッ素化する好適な別の方法を示す。好適には、フッ素ソース52はフッ素をF₂(フッ素分子)の形で供給する。この処理によってフォトレジストパターン18, 20, 及び22の特性を、図6の半導体素子50に示すように、それぞれフッ素含有フォトレジストパターン54, 56, 及び58に改質する。フッ素原子Fではなくフッ素分子が好ましい、というのは、フッ素分子はフォトレジストパターン18～22の表面で反応するだけでなく、反応前にフォトレジストパターンの内部に拡散するからである。フォトレジストパターン18～22が非常に薄い場合、結果として得られるフッ素含有フォトレジストパターン54～58は全体にフッ素を有する。フッ素は窒素に希釈されるフッ素分子ガスとして使用することが好ましい。温度は30であることが好ましい。別 の方法として、効果的な温度範囲は10～40とすることができる。他の温度も効果的であるが、70のような高い温度では有害な効果が生じる。フッ素濃度は約1%である。この濃度は変えることができる。濃度を低くすると、所要時間が長くなる。10分間の時間が約1%の濃度の場合に効果的であることが判明している。圧力は大気圧であることが好ましいが、低圧力にすると、ポリシリコン層のエッチングを行なう同じチャンバーを使用することができる、または少なくとも同じ装置を使用することができるといった利点が得られる。圧力を下げる場合、初期フッ素濃度を圧力低下に応じる形で高くして処理時間を同じになるように維持する必要がある。通常、装置全体は大気圧以下に維持される。フッ素が水素原子に代わって作用して、フッ素含有パターン54～58がフォトレジストパターン18～22よりも多量のフッ素を有するだけでなく、少ない量の水素を有するようになると考えられる。これによってエッチングレートが低くなり、かつフッ素含有フォトレジストパターン54～58の硬度が高くなる。このフッ素化工程の後、層

40

50

16のエッティングを行なう。

【0011】

図7に示すのは、図3及び4に示す半導体素子10のエッティングと同時に、かつ同じ条件で層16を部分的にエッティングした後の半導体素子50である。エッティングレートが下がり、かつフッ素含有フォトレジストパターン54～58の硬度が高くなっているので、これらのパターン54～58は倒壊せず、かつこれらのパターンの形状が維持され、更に所望のゲート60, 62, 及び64の一部分が層16に形成される。サイズ減少量は、図3及び4に示すフォトレジストパターン32及び34のサイズ減少量よりも遥かに小さい。図8に示すのは、図7の半導体素子50の上面図である。この図は、短周期変動及び長周期変動が改善されていることを示している。これらの変動は完全に無くなることはないが、極めて小さくなる。変動が1/3小さくなるだけでも大きな改善である。

【0012】

図9に示すのは、層16のエッティングを完了した後の半導体素子50である。この図は、ゲート60, 62, 及び64を層16から形成する処理を完了した様子を示している。これはゲート形成に関して望ましい結果を示している。フッ素含有フォトレジストパターン54～58は、層16のバーニングの完了後も十分な高さを維持している。これによってプロセスマージンを稼ぐことができ、そしてフォトレジスト厚さを減らす可能性も生まれるので、フォトレジストプロセスにおける焦点操作に余裕ができる。

【0013】

図10に示すのは、ゲート60, 62, 及び64を使用するトランジスタ80, 82, 及び84を形成した後の半導体素子50である。ゲート60, 62, 及び64の周りにはサイドウォールスペーサ66, 68, 及び70がそれぞれ設けられる。ソース/ドレイン領域72はゲート60の一方の側でゲート60に隣接し、ソース/ドレイン領域74はゲート60と62との間に位置し、ソース/ドレイン領域76はゲート62と64との間に位置し、そしてソース/ドレイン領域78は、ソース/ドレイン領域76から見てゲート64の反対側に位置する。ソース/ドレイン領域74はトランジスタ80及び82に共通するが、絶縁領域によって2つの領域に分離することが好ましい。同様に、ソース/ドレイン領域76はトランジスタ82及び84に共通するが、絶縁領域によって2つの領域に分離することが好ましい。

【0014】

従って、波長193ナノメートルの光源を利用するフォトレジストを使用するプロセスを使用してリソグラフィ自体の解像度よりもずっと小さい寸法にトリミングされたゲートを形成することができ、かつこのプロセスを单一の装置の中で実施することができる事が分かる。フォトレジストを塗布した後、半導体素子を单一の従来装置に搬入し、そして当該装置の中でゲートの形成が完了するまで処理することができる。

【0015】

トリミング後のフォトレジストパターンのフッ素化処理に加えて、フッ素化処理をトリミングの前に行なって、特に測定を実施することができる。通常、波長193ナノメートルの光源を利用するフォトレジストの幅を測定するプロセスでもフォトレジストは劣化する。フッ素原子を導入するフッ素化をトリミングの前に行ない、その後測定を行なって、フォトレジストの最初の幅が所望通りの幅であることを確認することができる。フォトレジストの最初の幅が所望通りの幅である場合には、トリミングプロセスをフッ素含有フォトレジストに対しても開始することができる。フッ素原子を導入するフッ素化を使用するとフォトレジストの外側がフッ素によってコーティングされるだけであるので、外側フッ素化層を除去した後、トリミングプロセスを、ほとんどフッ素化工程が実施されなかつたような状態で継続することができる。フッ素化は測定を実施する必要のあるどのような段階でも実施することができる。フッ素化によるフッ素を保護剤として使用して、ウェハを装置から取り出してどのような目的にも供することができ、その後装置に戻して処理を継続することができる。

【0016】

10

20

30

40

50

また、別のハロゲン元素、特に塩素をフッ素の代わりに使用して同様の目的を達成することができる。例えば、フッ素を使用するどのような場合に対しても塩素をフッ素の代わりに使用することができる。また、別のハロゲン元素も効果的であり、従って単純に或るハロゲン元素をフッ素の代わりに使用することができる。このような場合、フォトレジストパターンをハロゲン元素で処理して水素原子をハロゲン原子で置き換えるプロセスはフォトレジストパターンに関するハロゲン化と考えることができる。

【0017】

これまでの明細書では、本発明について特定の実施形態を参照しながら記載してきた。しかしながら、この技術分野の当業者であれば、種々の変形及び変更を、以下の請求項に示される本発明の技術範囲から逸脱しない範囲において加え得ることが分かるであろう。例えば、ゲートについてポリシリコンを使用する形で記載してきたが、ゲートは金属のような別の材料とすることもできる。従って、明細書及び図は制限的な意味ではなく、例示として捉えられるべきであり、かつこのような変形の全ては本発明の技術範囲に含まれるものである。

【0018】

効果、他の利点、及び技術的問題に対する解決法について、特定の実施形態に関して上に記載してきた。しかしながら、効果、利点、及び問題解決法、及びこのような効果、利点、または問題解決法をもたらし、またはさらに顕著にし得る全ての要素（群）が、いずれかの請求項または全ての請求項の必須の、必要な、または基本的な特徴または要素であると解釈されるべきではない。本明細書で使用されるように、「comprises」、「comprising」という用語、または他の全てのこれらの変形は包括的な意味で適用されるものであり、一連の要素を備えるプロセス、方法、製品、または装置がこれらの要素のみを含むのではなく、明らかには列挙されていない、またはそのようなプロセス、方法、製品、または装置に固有の他の要素も含むことができる。

【図面の簡単な説明】

【0019】

【図1】従来技術による処理の或る段階における半導体素子を示す断面図。

【図2】従来技術による有用な処理の次の段階における、図1の半導体素子を示す断面図。

【図3】従来技術による次の段階における、図2の半導体素子を示す断面図。

【図4】図3の半導体素子の上面図。

【図5】本発明の実施形態による処理の次の段階における、図2の半導体素子を示す断面図。

【図6】本発明の実施形態による処理の次の段階における、図5の半導体素子を示す断面図。

【図7】本発明の実施形態による処理の次の段階における、図6の半導体素子を示す断面図。

【図8】図7の半導体素子の上面図。

【図9】本発明の実施形態による処理の次の段階における、図7及び8の半導体素子を示す断面図。

【図10】本発明の実施形態による処理の次の段階における、図9の半導体素子を示す断面図。

10

20

30

40

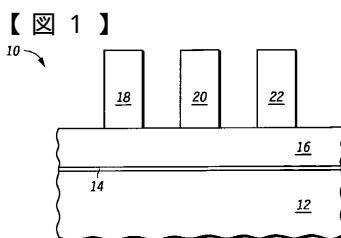


FIG. 1
-PRIOR ART-

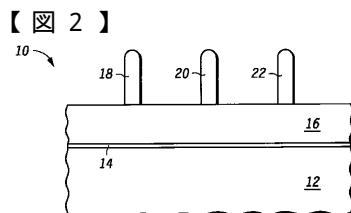


FIG. 2
-PRIOR ART-

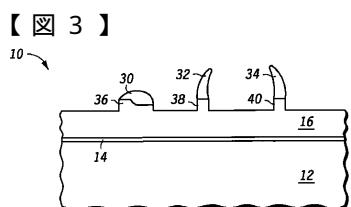


FIG. 3
-PRIOR ART-

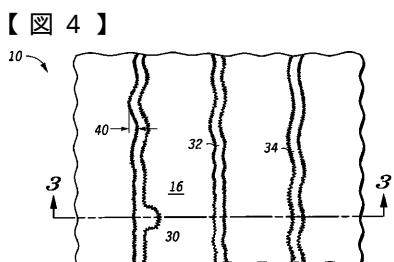


FIG. 4
-PRIOR ART-

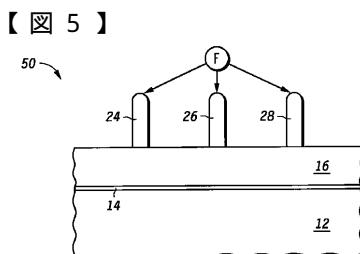


FIG. 5

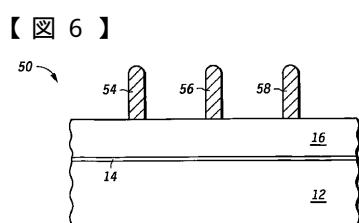


FIG. 6

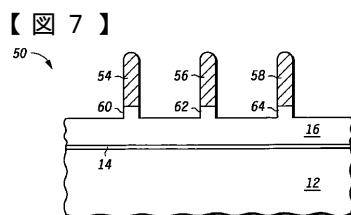


FIG. 7

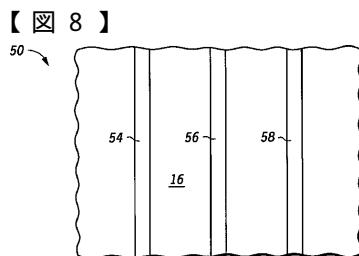


FIG. 8

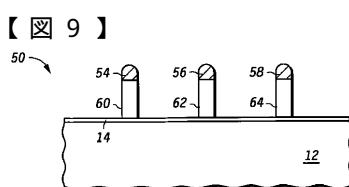


FIG. 9

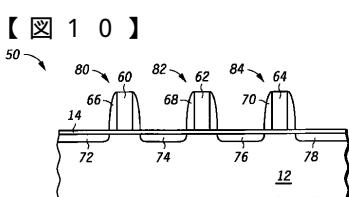


FIG. 10

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/00961																					
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H01L 21/311 US CL : 438/585,694,705,945,947 According to International Patent Classification (IPC) or to both national classification and IPC																							
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/585,694,705,945,947																							
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																							
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																							
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category *</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 6,716,571 B2 (GABRIEL et al.) 06 April 2004 (06.04.2004), column 7, lines 22-26.</td> <td style="padding: 2px;">20, 21</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">US 6,815,359 B2 (GABRIEL et al.) 09 November 2004 (09.11.2004), column 3, line 61 to column 6, line 14.</td> <td style="padding: 2px;">1-19</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">US 6,589,709 B1 (OKOROANYANWU et al.) 08 July 2003 (08.07.2003), column 8, lines 11-33.</td> <td style="padding: 2px;">1-19</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">US 20040244912 A1 (TEZUKA et al.) 09 December 2004 (09.12.2004), paragraphs 0021 and 0033.</td> <td style="padding: 2px;">4-8</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">US 6,630,288 B2 (SHIELDS et al.) 07 October 2003 (07.10.2003), column 8, lines 28-34.</td> <td style="padding: 2px;">14</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">US 6,790,782 B1 (YANG et al.) 14 September 2004 (14.09.2004), column 3, lines 11-15.</td> <td style="padding: 2px;">19</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 6,716,571 B2 (GABRIEL et al.) 06 April 2004 (06.04.2004), column 7, lines 22-26.	20, 21	Y	US 6,815,359 B2 (GABRIEL et al.) 09 November 2004 (09.11.2004), column 3, line 61 to column 6, line 14.	1-19	Y	US 6,589,709 B1 (OKOROANYANWU et al.) 08 July 2003 (08.07.2003), column 8, lines 11-33.	1-19	Y	US 20040244912 A1 (TEZUKA et al.) 09 December 2004 (09.12.2004), paragraphs 0021 and 0033.	4-8	Y	US 6,630,288 B2 (SHIELDS et al.) 07 October 2003 (07.10.2003), column 8, lines 28-34.	14	Y	US 6,790,782 B1 (YANG et al.) 14 September 2004 (14.09.2004), column 3, lines 11-15.	19
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																					
X	US 6,716,571 B2 (GABRIEL et al.) 06 April 2004 (06.04.2004), column 7, lines 22-26.	20, 21																					
Y	US 6,815,359 B2 (GABRIEL et al.) 09 November 2004 (09.11.2004), column 3, line 61 to column 6, line 14.	1-19																					
Y	US 6,589,709 B1 (OKOROANYANWU et al.) 08 July 2003 (08.07.2003), column 8, lines 11-33.	1-19																					
Y	US 20040244912 A1 (TEZUKA et al.) 09 December 2004 (09.12.2004), paragraphs 0021 and 0033.	4-8																					
Y	US 6,630,288 B2 (SHIELDS et al.) 07 October 2003 (07.10.2003), column 8, lines 28-34.	14																					
Y	US 6,790,782 B1 (YANG et al.) 14 September 2004 (14.09.2004), column 3, lines 11-15.	19																					
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.																					
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed																							
Date of the actual completion of the international search 14 November 2005 (14.11.2005)		Date of mailing of the international search report 13 DEC 2005																					
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer <i>Zandra Smith</i> Zandra Smith Telephone No. (571) 272-2429																					

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,L,U,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 ダーリントン、ウィリアム ディ.

アメリカ合衆国 78749 テキサス州 オースティン モロカイ ドライブ 4202

(72)発明者 フィリピアク、スタンリー エム.

アメリカ合衆国 78660 テキサス州 フルガービル グリーンウェイ ドライブ 5000

(72)発明者 ベイセク、ジェームズ イー.

アメリカ合衆国 78732 オースティン ジョン シンプソン トレイル 3902

Fターム(参考) 2H096 AA25 BA01 BA09 HA05 HA07

5F004 AA04 DA00 DA04 DA23 DA26 DB04 DB08 DB26 EA04 EA37

EB02 FA08

5F046 LA18