

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5481249号
(P5481249)

(45) 発行日 平成26年4月23日(2014.4.23)

(24) 登録日 平成26年2月21日(2014.2.21)

(51) Int.Cl. F I
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 P
 HO 1 L 21/60 (2006.01) HO 1 L 21/92 6 O 2 Q
 HO 1 L 21/60 3 1 1 Q

請求項の数 9 (全 23 頁)

(21) 出願番号	特願2010-71831 (P2010-71831)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成22年3月26日(2010.3.26)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2011-204966 (P2011-204966A)	(73) 特許権者	000237592 富士通テン株式会社
(43) 公開日	平成23年10月13日(2011.10.13)		兵庫県神戸市兵庫区御所通1丁目2番28号
審査請求日	平成24年11月22日(2012.11.22)	(74) 代理人	100092978 弁理士 真田 有
		(74) 代理人	100112678 弁理士 山本 雅久
		(72) 発明者	谷 元昭 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体素子と、

前記半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が第1の距離である第1バンプ形成面上に形成された第1バンプと、

前記半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が前記第1の距離よりも長い第2の距離である第2バンプ形成面上に形成され、前記半導体素子の裏面からバンプ先端位置までの距離が前記第1バンプよりも長く、前記半導体素子の裏面からバンプ先端位置までの距離の差がバンプ高さの10%よりも大きく、前記第1バンプよりも径が大きい第2バンプとを備えることを特徴とする半導体装置。

10

【請求項 2】

前記半導体素子上に少なくとも1層の導体層を含む配線層を備え、

前記第1バンプ形成面及び前記第2バンプ形成面は、前記配線層の表面にあることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】

前記配線層は、多層配線層であることを特徴とする、請求項 2 に記載の半導体装置。

【請求項 4】

表面電極を有する実装基板を備え、

前記実装基板の表面電極と前記第1バンプ及び前記第2バンプとが接合されていることを特徴とする、請求項 1 ~ 3 のいずれか1項に記載の半導体装置。

20

【請求項 5】

半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が第 1 の距離である第 1 バンプ形成面上に第 1 バンプを形成するとともに、前記半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が前記第 1 の距離よりも長い第 2 の距離である第 2 バンプ形成面上に、前記半導体素子の裏面からバンプ先端位置までの距離が前記第 1 バンプよりも長く、前記半導体素子の裏面からバンプ先端位置までの距離の差がバンプ高さの 10%よりも大きく、前記第 1 バンプよりも径が大きい第 2 バンプを形成し、

前記第 1 バンプ及び前記第 2 バンプと実装基板の表面電極とを接合することを特徴とする半導体装置の製造方法。

【請求項 6】

前記第 1 バンプ及び前記第 2 バンプと前記実装基板の表面電極とを、荷重を加えて接合することを特徴とする、請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 バンプ及び前記第 2 バンプと前記実装基板の表面電極とを、超音波接合することを特徴とする、請求項 5 又は 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 バンプ及び前記第 2 バンプを形成する前に、前記半導体素子上に少なくとも 1 層の導体層を含む配線層を形成し、

前記配線層の表面の一部を構成する前記第 1 バンプ形成面上に前記第 1 バンプを形成するとともに、前記配線層の表面の一部を構成する前記第 2 バンプ形成面上に前記第 2 バンプを形成することを特徴とする、請求項 5 ~ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記第 1 バンプ及び前記第 2 バンプを形成する前に、ウエハ状態の前記半導体素子をウエハレベルパッケージに変換し、

前記ウエハレベルパッケージの表面の一部を構成する前記第 1 バンプ形成面上に前記第 1 バンプを形成するとともに、前記ウエハレベルパッケージの表面の一部を構成する前記第 2 バンプ形成面上に前記第 2 バンプを形成し、

前記第 1 バンプ及び前記第 2 バンプを形成した後に、ダイシングして、前記第 1 バンプ、前記第 2 バンプ及び前記ウエハレベルパッケージを備える半導体チップを形成し、

前記第 1 バンプ及び前記第 2 バンプと前記実装基板の表面電極とを接合して、前記ウエハレベルパッケージを備える前記半導体チップを前記実装基板に搭載することを特徴とする、請求項 5 ~ 8 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

電子機器の小型化、薄型化に伴い、電子部品を高密度に実装するために、半導体デバイスなどの電子部品をダイレクトに実装基板に搭載するフリップチップ実装が用いられてきている。

低コストで接合する方法としては、例えば、半導体素子やウエハレベルパッケージの表面上に形成しためっきバンプやスタッドバンプなどの金属バンプを用い、接合時に荷重を加える接合方法がある。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許第 4024958 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0004】

ところで、図12に示すように、半導体素子上に形成された多層配線層上に同じ高さの複数のバンプを形成しても、多層配線層の表面の凹凸（段差）に起因して、各バンプの先端位置、即ち、各バンプの突出量がばらつき、同一平面上に位置しない場合がある。なお、多層配線層を有しない半導体素子上に同じ高さの複数のバンプを形成する場合も、同様に、各バンプの先端位置がばらついてしまう場合がある。

【0005】

この場合、図13に示すように、実装基板に接合する際に、突出量大きいバンプから順に実装基板に接することになる。荷重を加えて実装基板に接合する場合、突出量が最も小さいバンプが十分な接合強度で接合されるように荷重を加えると、突出量が最も小さいバンプよりも突出量大きいバンプは荷重過多となり、十分な接合強度が得られない。特に、突出量が最も大きいバンプは荷重過多となり、接合強度が弱くなってしま

10

【0006】

例えば超音波接合では、突出量が最も小さいバンプよりも突出量大きいバンプ、特に、突出量が最も大きいバンプは、荷重過多となり、超音波による振動が伝播されにくくなる。これにより、バンプと実装基板の電極との間の擦り合わせが不十分となり、フレッシュな金属面が生成されにくくなる。この結果、突出量が最も小さいバンプよりも突出量大きいバンプ、特に、突出量が最も大きいバンプは、金属結合しにくくなり、接合強度が弱くなってしまい、十分な接合強度が得られない。

20

【0007】

そこで、各バンプの先端位置、即ち、各バンプの突出量がばらついていても、実装基板に接合した場合に、全てのバンプにおいて十分な接合強度が得られるようにしたい。

【課題を解決するための手段】

【0008】

このため、本半導体装置は、半導体素子と、半導体素子の表面側に位置し、半導体素子の裏面との間の距離が第1の距離である第1バンプ形成面上に形成された第1バンプと、半導体素子の表面側に位置し、半導体素子の裏面との間の距離が第1の距離よりも長い第2の距離である第2バンプ形成面上に形成され、半導体素子の裏面からバンプ先端位置までの距離が第1バンプよりも長く、半導体素子の裏面からバンプ先端位置までの距離の差がバンプ高さの10%よりも大きく、第1バンプよりも径が大きい第2バンプとを備えることを要件とする。

30

【0009】

本半導体装置の製造方法は、半導体素子の表面側に位置し、半導体素子の裏面との間の距離が第1の距離である第1バンプ形成面上に第1バンプを形成するとともに、半導体素子の表面側に位置し、半導体素子の裏面との間の距離が第1の距離よりも長い第2の距離である第2バンプ形成面上に、半導体素子の裏面からバンプ先端位置までの距離が第1バンプよりも長く、半導体素子の裏面からバンプ先端位置までの距離の差がバンプ高さの10%よりも大きく、第1バンプよりも径が大きい第2バンプを形成し、第1バンプ及び第2バンプと実装基板の表面電極とを接合することを要件とする。

40

【発明の効果】

【0010】

したがって、本半導体装置及びその製造方法によれば、各バンプの先端位置、即ち、各バンプの突出量がばらついていても、実装基板に接合した場合に、全てのバンプにおいて十分な接合強度が得られるようにすることができるという利点がある。

【図面の簡単な説明】

【0011】

【図1】一実施形態にかかる半導体装置（半導体チップ）の構成を示す模式的断面図である。

50

【図 2】(A)、(B)は、一実施形態にかかる半導体装置(半導体チップを実装基板上に実装したもの)の構成及びその製造方法を説明するための模式的断面図である。

【図 3】(A)~(D)は、一実施形態にかかる半導体装置の製造方法の第 1 具体例を説明するための模式的断面図である。

【図 4】一実施形態にかかる半導体装置の製造方法の第 1 具体例を説明するための模式的断面図である。

【図 5】(A)~(D)は、一実施形態にかかる半導体装置の製造方法の第 1 具体例を説明するための模式的断面図である。

【図 6】(A)、(B)は、一実施形態にかかる半導体装置の製造方法の第 1 具体例を説明するための模式的断面図である。

10

【図 7】(A)、(B)は、一実施形態にかかる半導体装置の製造方法の第 1 具体例を説明するための模式的断面図である。

【図 8】(A)、(B)は、一実施形態にかかる半導体装置の製造方法の第 1 具体例を説明するための模式的断面図である。

【図 9】(A)、(B)は、一実施形態にかかる半導体装置の製造方法の第 1 具体例を説明するための模式的断面図である。

【図 10】一実施形態にかかる半導体装置の製造方法の第 1 具体例によって製造された半導体装置の信頼性評価の結果を示す図である。

【図 11】一実施形態にかかる半導体装置の製造方法の第 1 具体例の比較例によって製造された半導体装置の信頼性評価の結果を示す図である。

20

【図 12】本発明の課題を説明するための模式的断面図である。

【図 13】本発明の課題を説明するための模式図である。

【発明を実施するための形態】

【0012】

以下、図面により、本発明の実施の形態にかかる半導体装置及びその製造方法について、図 1 ~ 図 11 を参照しながら説明する。

本実施形態にかかる半導体装置は、図 1 に示すように、複数のパンプ 1 (1A ~ 1E) を有する半導体チップ 2 である。つまり、本半導体装置は、半導体素子 3 と、半導体素子 3 の表面側に位置し、半導体素子 3 の裏面 3A との間の距離が互いに異なる複数のパンプ形成面 4 (4A ~ 4E) 上のそれぞれに形成された異なる径を有するパンプ 1 (1A ~ 1E) とを有する半導体チップ 2 である。なお、半導体素子 3 を半導体デバイスともいう。

30

【0013】

ここで、半導体素子 3 は、集積回路(図示せず)と、表面電極 5 とを備える。また、半導体素子 3 は、例えばガリウム砒素やシリコン等の半導体素子である。

本実施形態では、半導体チップ 2 は、半導体素子 3 上に少なくとも 1 層の導体層 6 を含む配線層 7 を備える。つまり、半導体チップ 2 は、半導体素子 3 とパンプ 1 との間に配線層 7 を備える。このため、各パンプ形成面 4 は、配線層 7 の表面にある。ここでは、配線層 7 として多層配線層を備える。また、配線層 7 は、導体層 6 として配線 6A 及び配線電極(ビア) 6B を含み、さらに、例えば感光性ポリベンゾオキサゾールや感光性ポリイミドなどを用いた保護層 8 を含む。

40

【0014】

本実施形態では、半導体チップ 2 は、ウエハレベルパッケージ(WLP; Wafer Level Package) 9 を備える半導体チップである。なお、ウエハレベルパッケージ 9 は、ウエハレベルチップサイズパッケージ(WL- CSP; Wafer Level - Chip Size Package)、あるいは、チップサイズパッケージ(CSP; Chip Size Package)ともいう。

ここで、ウエハレベルパッケージ 9 を備える半導体チップ 2 は、ウエハレベルで少なくとも 1 層の導体層 6 を含む配線層 7 を形成した後、個片にダイシングして形成される。例えばシリコンやガリウム砒素等の半導体素子 3 (ウエハ) の表面電極 5 上に再配線層等の多層配線層 7 を形成した後、個片にダイシングして形成される。

【0015】

50

このため、ウエハレベルパッケージ9を備える半導体チップ2は、半導体素子3上にチップサイズと同等のサイズのパッケージ9を備える半導体チップである。つまり、ウエハレベルパッケージ9を備える半導体チップ2は、半導体素子3上に、チップサイズと同等のサイズのパッケージ9として少なくとも1層の導体層6を含む配線層7を備える半導体チップである。この場合、各バンプ形成面4A~4Eは、パッケージ9(配線層7)の表面にある。このため、ウエハレベルパッケージ9を備える半導体チップ2は、半導体素子3とバンプ1との間に配線層7を備える。

【0016】

なお、本実施形態では、半導体チップ2を、配線層7を備えるもの、特に、ウエハレベルパッケージ9を備えるものとしているが、これに限られるものではなく、配線層やウエハレベルパッケージを備えないものであっても良い。例えば、半導体チップ2はベアチップであって良い。

10

また、バンプ1は、金属めっき(ここでは金めっき)で形成されためっきバンプ(ここでは金めっきバンプ)である。なお、バンプ1は、金又は銅を少なくとも含む金属バンプであれば良い。例えば、金属ワイヤで形成するスタッドバンプであって良い。但し、異なる径のバンプを低コストで作製するには、めっきで形成される金属めっきバンプが好ましい。つまり、フォトリソグラフィ技術でレジストをパターニングした後、金属をめっきする方法で金属めっきバンプを形成するようにすれば、後述する異なる径を有するバンプ1A~1Eを低コストで作製することが可能となる。

【0017】

20

また、複数のバンプ1A~1Eは、同一の高さになるように形成される。但し、各バンプ1A~1Eの高さは、めっきで形成されるバンプのばらつきの範囲内ではらついてしまう。例えば、各バンプ1A~1Eは、高さの差がバンプ高さの10%以内になる。この場合、一のバンプ(第1バンプ)の高さと他のバンプ(第2バンプ)の高さととの差は、一のバンプの高さ又は他のバンプの高さの10%以内となる。

【0018】

これに対し、半導体素子3又は半導体素子3上に形成された配線層7の表面には凹凸(段差)があるため、即ち、複数のバンプ1A~1Eが形成される複数のバンプ形成面4A~4Eは、半導体素子3の裏面3Aとの間の距離が異なる。このため、各バンプ1A~1Eの高さがめっきで形成されるバンプのばらつきの範囲内にならなくても、各バンプ1A~1Eの突出量のばらつきは、めっきで形成されるバンプのばらつきの範囲内にならない。つまり、複数のバンプ1A~1Eは、半導体素子3の表面3Bからの突出量の差、即ち、半導体素子3の表面3Bからバンプ先端位置までの距離の差がバンプ高さの10%よりも大きくなっている少なくとも2つのバンプを含むことになる。また、複数のバンプ1A~1Eは、半導体素子3の裏面3Aからの突出量の差、即ち、半導体素子3の裏面3Aからバンプ先端位置までの距離(デバイス高さ)の差がバンプ高さの10%よりも大きくなっている少なくとも2つのバンプを含むことになる。

30

【0019】

本実施形態では、バンプ形成面4A~4Eの半導体素子3の裏面3Aからの距離として異なる5つの距離があるが、即ち、5つの段差があるが、これらを3つのグループに分け、3つの異なる径(バンプ径)を有するバンプ1A~1Eを設けている。つまり、バンプ形成面4A~4Eの半導体素子3の裏面3Aからの距離を3つのグループに分け、距離が段階的に長くなるにしたがって、バンプ径が3段階で段階的に大きくなるようにしている。この場合、半導体素子3の裏面3Aからの距離が2番目及び3番目に短いバンプ形成面4D, 4C上に形成されるバンプ1D, 1Cは、半導体素子3の裏面3Aからの距離が最も短いバンプ形成面4E上に形成されるバンプ1Eよりも径が大きくなる。また、半導体素子3の裏面3Aからの距離が最も長いバンプ形成面4A及び2番目に長いバンプ形成面4B上に形成されるバンプ1A, 1Bは、半導体素子3の裏面3Aからの距離が2番目及び3番目に短いバンプ形成面4D, 4C上に形成されるバンプ1D, 1Cよりも径が大きくなる。なお、バンプ1A~1Eは円形や楕円形に限られるものではなく、多角形であっ

40

50

ても良い。この場合、対角線がバンプ径に相当する。

【 0 0 2 0 】

なお、これに限られるものではなく、バンプ形成面 4 A ~ 4 E の半導体素子 3 の裏面 3 A からの距離、即ち、バンプ 1 A ~ 1 E の突出量に応じて、バンプ 1 A ~ 1 E の径を変えれば良い。

例えば、複数のバンプ 1 A ~ 1 E は、半導体素子 3 の裏面 3 A とバンプ形成面 4 A ~ 4 E との間の距離が長くなるほど径が大きくなるようにしても良い。つまり、突出量が多いバンプほどバンプ径が大きくなるようにしても良い。この場合、半導体素子 3 の裏面 3 A との間の距離が異なるバンプ形成面 4 C ~ 4 E 上に形成されるバンプ 1 A ~ 1 E は互いに異なる径になる。

10

【 0 0 2 1 】

また、例えば、半導体素子 3 の裏面 3 A との間の距離が最も長いバンプ形成面 4 A 上に形成されるバンプ 1 A の径のみを大きくするようにしても良い。つまり、半導体素子 3 の裏面 3 A との間の距離が最も長いバンプ形成面 4 A 以外のバンプ形成面 4 B ~ 4 E 上に形成されるバンプ 1 B ~ 1 E の径を同一にし、このバンプ径よりも、半導体素子 3 の裏面 3 A との間の距離が最も長いバンプ形成面 4 A 上に形成されるバンプ 1 A の径を大きくするようにしても良い。

【 0 0 2 2 】

また、例えば、半導体素子 3 の裏面 3 A との間の距離が最も短いバンプ形成面 4 E 以外のバンプ形成面 4 A ~ 4 D 上に形成されるバンプ 1 A ~ 1 D の径を同一にし、このバンプ径を、半導体素子 3 の裏面 3 A との間の距離が最も短いバンプ形成面 4 E 上に形成されるバンプ 1 E の径よりも大きくするようにしても良い。

20

また、例えば、半導体素子 3 の表面 3 B からの突出量が、半導体素子 3 の裏面 3 A との間の距離が最も短いバンプ形成面 4 E 上に形成されたバンプ 1 E の半導体素子 3 の表面 3 B からの突出量にバンプ高さの 10 % に相当する量を加えた突出量よりも大きいバンプの径を少なくとも大きくするようにしても良い。つまり、半導体素子 3 の表面 3 B からバンプ先端位置までの距離が、半導体素子 3 の裏面 3 A との間の距離が最も短いバンプ形成面 4 E 上に形成されたバンプ 1 E の半導体素子 3 の表面 3 B からバンプ先端位置までの距離にバンプ高さの 10 % に相当する距離を加えた距離よりも長いバンプの径を少なくとも大きくするようにしても良い。

30

【 0 0 2 3 】

また、例えば、半導体素子 3 の裏面 3 A からの突出量が、半導体素子 3 の裏面 3 A との間の距離が最も短いバンプ形成面 4 E 上に形成されるバンプ 1 E の半導体素子 3 の裏面 3 A からの突出量にバンプ高さの 10 % に相当する量を加えた突出量よりも大きいバンプの径を少なくとも大きくするようにしても良い。つまり、半導体素子 3 の裏面 3 A からバンプ先端位置までの距離が、半導体素子 3 の裏面 3 A との間の距離が最も短いバンプ形成面 4 E 上に形成されたバンプ 1 E の半導体素子 3 の裏面 3 A からバンプ先端位置までの距離にバンプ高さの 10 % に相当する距離を加えた距離よりも長いバンプの径を少なくとも大きくするようにしても良い。

【 0 0 2 4 】

このように、複数のバンプ 1 A ~ 1 E のうち、少なくとも半導体素子 3 の裏面 3 A との間の距離が最も長いバンプ形成面 4 A 上に形成されるバンプ 1 A の径を、他のバンプ 1 B ~ 1 E の径よりも大きくすれば良い。

40

要するに、半導体素子 3 の裏面 3 A との間の距離が第 1 の距離になっているバンプ形成面を第 1 バンプ形成面とし、半導体素子 3 の裏面 3 A との間の距離が第 1 の距離よりも長い第 2 の距離になっているバンプ形成面を第 2 バンプ形成面とし、第 1 バンプ形成面上に形成されるバンプを第 1 バンプとし、第 2 バンプ形成面上に形成されるバンプを第 2 バンプとした場合に、大きな接合面積を得るために、第 2 バンプの径を第 1 バンプの径よりも大きくすれば良い。さらに、半導体素子 3 の裏面 3 A との間の距離が第 1 の距離よりも短い第 3 の距離になっているバンプ形成面を第 3 バンプ形成面とし、第 3 バンプ形成面上に

50

形成される bumps を第 3 bumps とした場合に、第 3 bumps の径を第 1 bumps の径よりも小さくすれば良い。

【 0 0 2 5 】

このようにして、半導体チップ 2 の bumps 1 と実装基板の電極とを接合する際に、実装基板の電極に接するのが先の bumps 1 は、実装基板の電極に接するのが後の bumps よりも径が大きくなるようにしている。ここでは、半導体チップ 2 の bumps 1 と実装基板の電極とを接合する際に、実装基板の電極に接する順に bumps 径が大きくなるようにしている。このため、実装基板の電極に最初に接する bumps 1 A は、最後に接する bumps 1 E よりも径が大きくなっている。

【 0 0 2 6 】

ところで、上述のように、bumps 形成面 4 A ~ 4 E の半導体素子 3 の裏面 3 A からの距離、即ち、bumps 1 A ~ 1 E の突出量に応じて、bumps 1 A ~ 1 E の径を変えているのは、以下の理由による。

複数の bumps 1 A ~ 1 E を有する半導体チップ 2 を実装基板上に搭載するために、半導体素子 3 に同じ高さの複数の bumps 1 A ~ 1 E を形成したとしても、半導体素子 3 又は半導体素子 3 上に形成された配線層 7 の表面の凹凸に起因して、各 bumps 1 A ~ 1 E の先端位置、即ち、各 bumps 1 A ~ 1 E の突出量がばらついてしまい、同一平面上に位置しない場合がある。例えば、半導体素子 3 と bumps 1 A ~ 1 E との間に多層配線層 7 を備える半導体チップ 2 において、半導体素子 3 と多層配線層 7 との境界面から各 bumps 1 A ~ 1 E の先端までの高さを接合高さ（実装基板への接合高さ）とすると、接合高さに差が生じ、

【 0 0 2 7 】

なお、bumps 1 は半導体素子 3 又は半導体素子 3 上に形成された配線層 7 の表面上に形成されるため、半導体素子 3 又は半導体素子 3 上に形成された配線層 7 の表面が下地となる。bumps 1 の下地となる半導体素子 3 又は半導体素子 3 上に形成された配線層 7 の表面は凹凸（段差）を有する。例えばウエハレベルパッケージ 9 を備える半導体チップ 2 など、多層配線層などの配線層 7 を備える半導体チップ 2 の場合、配線層 7 のそれぞれの領域に積層される配線 6 A 及び配線電極 6 B（これらを導体層という）の数によって配線層 7 の各領域において厚さが変わってしまうことに起因して、配線層 7 の表面に凹凸が生じる。特に、半導体素子 3 が例えばガリウム砒素等を用いる高周波デバイスである場合、信号

【 0 0 2 8 】

上述のように、各 bumps 1 A ~ 1 E の先端位置がばらついてしまうと、実装基板に接合する際に、突出量大きい bumps から順に実装基板に接することになる。荷重を加えて実装基板に接合する接合方法の場合、突出量が最も小さい bumps が十分な接合強度で接合されるように荷重を加えると、突出量が最も小さい bumps よりも突出量大きい bumps は荷重過多となり、十分な接合強度が得られない。

【 0 0 2 9 】

例えば、超音波と荷重を加えて接合する超音波接合は、bumps 1 と実装基板の電極を超音波の振動で擦り合わせることによって、フレッシュな金属面を生成させ、金属結合させる接合方法である。このような超音波接合を用いる場合、突出量が最も小さい bumps よりも突出量大きい bumps は、荷重過多となり、超音波による振動が伝播されにくくなる。これにより、bumps 1 と実装基板の電極との間の擦り合わせが不十分となり、フレッシュな金属面が生成されにくくなる。この結果、突出量が最も小さい bumps よりも突出量大きい bumps は、金属結合しにくくなり、十分な接合強度が得られない。

【 0 0 3 0 】

そこで、本実施形態では、bumps 1 の突出量に応じて荷重過多となる度合いが異なるた

10

20

30

40

50

め、バンプ1の突出量、即ち、バンプ形成面4の半導体素子3の裏面3Aからの距離に応じて、バンプ1の径を変えている。少なくとも突出量が最も大きいバンプ1Aは荷重過多となるため、複数のバンプ1A~1Eのうち、少なくとも半導体素子3の裏面3Aとの間の距離が最も長いバンプ形成面4A上に形成されるバンプ1Aの径を、他のバンプ1B~1Eの径よりも大きくしている。これにより、荷重過多となるバンプ1の接合面積を大きくすることができ、荷重過多となるバンプ1の接合強度を大きくすることができる。

【0031】

また、本実施形態では、必要最小限のバンプ1A~1Dのみ、即ち、荷重過多となるバンプ1A~1Dのみ、バンプ径を大きくし、接合面積を大きくして、接合強度を大きくしている。つまり、荷重過多となるバンプ1A~1Dの径を大きくすることで、デバイス全体

10

【0032】

ところで、本実施形態では、半導体装置を、複数のバンプ1A~1Eを有する半導体チップ2としているが、これに限られるものではない。例えば図2に示すように、半導体装置を、上述の複数のバンプ1を有する半導体チップ2と、表面電極11を有する実装基板10とを備え、実装基板10の表面電極11と半導体チップ2の複数のバンプ1とが接合されているものとしても良い。つまり、半導体装置は、実装基板10の表面電極11と半導体チップ2の複数のバンプ1とを接合することによって、複数のバンプ1を有する半導体チップ2が実装基板10上に搭載されているものであっても良い。この場合、接合後に接続部を補強するために、図2に示すように、半導体チップ2と実装基板10との間にアンダーフィル剤(封止樹脂剤)12を充填しても良い。つまり、まず、図2(A)に示すように、半導体チップ2と実装基板10との間にアンダーフィル剤12を注入した後、図2(B)に示すように、アンダーフィル剤12を硬化させれば良い。

20

【0033】

次に、本実施形態にかかる半導体装置の製造方法について説明する。

まず、半導体素子3の表面3B側に複数のバンプ1A~1Eを形成する(図1参照)。

ここでは、半導体素子3は、集積回路(図示せず)と、表面電極5とを備える。また、半導体素子3は、例えばガリウム砒素やシリコン等の半導体素子である。

30

また、半導体素子3の表面3B側には複数(ここでは5つ)の段差(凹凸)がある。つまり、半導体素子3の表面3B側には、半導体素子3の裏面3Aとの間の距離が互いに異なる複数(ここでは5つ)のバンプ形成面4A~4Eがある。そこで、複数のバンプ形成面4A~4E上に径の異なるバンプ1A~1Eを形成する。つまり、バンプ1の突出量、即ち、バンプ形成面4の半導体素子3の裏面3Aからの距離に応じて、バンプ1の径を変えている。ここでは、荷重過多となるバンプ1の径のみが大きくなるようにしている。ここでは、複数のバンプ1を、金属をめっきすることによって形成する。なお、バンプ1は、金又は銅を少なくとも含む金属によって形成すれば良い。また、例えば金属ワイヤで形成するスタッドバンプであっても良い。但し、異なる径のバンプ1を低コストで作製するには、めっきで形成される金属めっきバンプが好ましい。

40

【0034】

なお、半導体素子3の裏面3Aとの間の距離が第1の距離になっているバンプ形成面を第1バンプ形成面とし、半導体素子3の裏面3Aとの間の距離が第1の距離よりも長い第2の距離になっているバンプ形成面を第2バンプ形成面とし、第1バンプ形成面上に形成されるバンプを第1バンプとし、第2バンプ形成面上に形成されるバンプを第2バンプとした場合に、大きな接合面積を得るために、第2バンプの径を第1バンプの径よりも大きくすれば良い。さらに、半導体素子3の裏面3Aとの間の距離が第1の距離よりも短い第3の距離になっているバンプ形成面を第3バンプ形成面とし、第3バンプ形成面上に形成されるバンプを第3バンプとした場合に、第3バンプの径を第1バンプの径よりも小さくすれば良い。

50

【0035】

このようにして、複数のパンプ1を有する半導体チップ2（半導体装置）を製造する（図1参照）。

次に、半導体チップ2の複数のパンプ1と実装基板10の表面電極11とを接合する（図2参照）。

ここでは、半導体チップ2の複数のパンプ1と実装基板10の表面電極11とを超音波接合する。

【0036】

なお、半導体チップ2の複数のパンプ1と実装基板10の表面電極11とは荷重を加えて接合すれば良い。具体的には、半導体チップ2の複数のパンプ1と実装基板10の表面電極11とを、1パンプあたり0.05N以上の荷重を加えて接合すれば良い。例えば、半導体チップ2のめっきパンプやスタッドパンプなどの金属パンプを用いて、低コストで接合する方法として、熱圧着接合、圧接接合、超音波接合を用いることができる。これらの接合方法は、全て、接合時に荷重を加える接合方法である。熱圧着接合及び圧接接合において加えられる荷重は、1パンプあたり0.2N～1N程度であり、超音波接合において加えられる荷重は、1パンプあたり0.05N～0.3N程度である。

【0037】

その後、半導体チップ2と実装基板10との間にアンダーフィル剤（封止樹脂剤）12を注入し、硬化させることで、半導体チップ2と実装基板10との間にアンダーフィル剤12を充填する（図2参照）。なお、このようなアンダーフィル剤12の充填工程は接合前に行なうようにしても良い。

ところで、本実施形態では、上述のように、複数のパンプ1を有する半導体チップ2は、半導体素子3の表面上に少なくとも1層の導体層6を含む配線層7（例えば多層配線層）を備える半導体チップ2である（図1参照）。この場合、パンプ形成面4は、配線層7の表面にある。

【0038】

特に、本実施形態では、上述のように、複数のパンプ1を有する半導体チップ2は、ウエハレベルパッケージ9を備える半導体チップ2である（図1参照）。この場合、パンプ形成面4は、ウエハレベルパッケージ9（配線層7）の表面にある。

なお、配線層7は、導体層6として配線6A及び配線電極6Bを含み、さらに、例えば感光性ポリベンゾオキサゾールや感光性ポリイミドなどを用いた保護層8を含む。

【0039】

この場合、本半導体装置の製造方法は、以下の工程を含むものとする。

複数のパンプ1を有する半導体チップ2が、半導体素子3の表面上に少なくとも1層の導体層6を含む配線層7（例えば多層配線層）を備える半導体チップ2である場合は、半導体素子3の表面3B側に複数のパンプ1を形成する前に、半導体素子3上に少なくとも1層の導体層6を含む配線層7（例えば多層配線層）を形成する（図1参照）。

【0040】

また、複数のパンプ1を有する半導体チップ2が、ウエハレベルパッケージ9を備える半導体チップ2である場合は、半導体素子3の表面3B側に複数のパンプ1を形成する前に、ウエハ状態の半導体素子3上にウエハレベルパッケージ9を形成する。つまり、ウエハレベルで少なくとも1層の導体層6を含む配線層7（例えば多層配線層）を形成することによって、ウエハ状態の半導体素子3上にウエハレベルパッケージ9を形成する。このようにして、ウエハ状態の半導体素子3をウエハレベルパッケージ9に変換する。

【0041】

このようにして形成される半導体素子3上に形成された配線層7の表面には複数（ここでは5つ）の段差（凹凸）がある（図1参照）。つまり、半導体素子3上に形成された配線層7の表面には、半導体素子3の裏面3Aとの間の距離が互いに異なる複数（ここでは5つ）のパンプ形成面4がある。

ここで、半導体素子3の表面3B上に少なくとも1層の導体層6を含む配線層7を備え

10

20

30

40

50

る半導体チップ2である場合、パンプ形成面4は配線層7の表面にある。特に、ウエハレベルパッケージ9を備える半導体チップ2である場合、パンプ形成面4は、ウエハレベルパッケージ9（配線層7）の表面にある。

【0042】

このため、複数のパンプ1を有する半導体チップ2が、半導体素子3の表面3B上に少なくとも1層の導体層6を含む配線層7を備える半導体チップ2である場合、配線層7の表面の一部を構成する複数のパンプ形成面4上に径の異なる複数のパンプ1を形成する。また、複数のパンプ1を有する半導体チップ2が、ウエハレベルパッケージ9を備える半導体チップ2である場合、ウエハレベルパッケージ9（配線層7）の表面の一部を構成する複数のパンプ形成面4上に径の異なる複数のパンプ1を形成する。

10

【0043】

そして、複数のパンプ1を有する半導体チップ2が、ウエハレベルパッケージ9を備える半導体チップ2である場合、上述のようにして、ウエハレベルパッケージ9（配線層7）の表面の一部を構成する複数のパンプ形成面4上に径の異なる複数のパンプ1を形成した後、個片にダイシングすることによって、複数のパンプ1及びウエハレベルパッケージ9を備える半導体チップ2を形成する（図1参照）。この場合、ウエハレベルパッケージ9を備える半導体チップ2の複数のパンプ1と実装基板10の表面電極11とを接合して、ウエハレベルパッケージ9を備える半導体チップ2を実装基板10に搭載することになる。

【0044】

20

以下、本半導体装置の製造方法の第1具体例について、図3～図9を参照しながら説明する。

なお、ここでは、ウエハレベルパッケージ9を備える半導体チップ2上にめっきパンプ1を形成する場合を例に挙げて説明する。この場合、複数のパンプ形成面4は、ウエハレベルパッケージ9（配線層7）の表面にある。ここでは、半導体素子3をガリウム砒素ウエハ3Xとし、このガリウム砒素ウエハ3Xの裏面3XAとの間の距離が最も長いパンプ形成面4A上に形成される最も径の大きいめっきパンプ1A、及び、ガリウム砒素ウエハ3Xの裏面3XAとの間の距離が最も長いパンプ形成面4E上に形成される最も径の小さいめっきパンプ1Eが形成される工程を図示して説明することとする。

【0045】

30

まず、図3（A）に示すように、ウエハ状態で集積回路（図示せず）及び表面電極5A、5B（集積回路の表面電極；例えば金電極）まで形成した例えば厚さ約0.4mmのガリウム砒素ウエハ（半導体素子）3Xを準備する。

次に、図3（B）に示すように、ガリウム砒素ウエハ3X上に、例えば感光性ポリベンゾオキサゾールを用いて、例えば膜厚約3μmを有し、表面電極5A上に例えば直径約15μmのビア部を有する保護層8Xを形成する。

【0046】

次いで、図示していないが、例えばチタンタングステン/金を用いて、例えば厚さ約0.2μmのシード層を、例えばスパッタ法で形成する。ここで、チタンタングステン/金とは、真空を保持したまま、チタンタングステンに続けて金をスパッタすることを意味する。後述の「/」で表示したのも同様の意味を有する。また、厚さ約0.2μmは、チタンタングステンの厚さと金の厚さとを合わせた厚さである。

40

【0047】

その後、図3（C）に示すように、1層目の配線6Xとして、例えばフォトリソグラフィ法及び電気めっきで、例えば膜厚約3μm、線幅約20μmの金配線（図示せず）を形成する。この際、ガリウム砒素ウエハ3Xの表面電極5A上の保護層8Xのビア部が金で埋め込まれて、1層目の配線6Xの電極として金電極6XAが形成される。なお、1層目の金配線（図示せず）及び金電極6XAを、まとめて導体層ともいう。また、金電極6XAを、配線電極（再配線層電極）ともいう。

【0048】

50

再度、図3(D)に示すように、例えば感光性ポリベンゾオキサゾールを用いて、例えば膜厚約3 μm を有し、1層目の配線6Xの金電極6XA上に例えば直径約15 μm のビア部を有する保護層8Yを形成する。

これにより、1層目の金配線(図示せず)及び金電極6XA、及び、保護層8X, 8Yを含む、1層目の配線層7Xが形成される。

【0049】

次いで、図示していないが、例えばチタタングステン/金を用いて、例えば厚さ約0.2 μm のシード層を、例えばスパッタ法で形成する。

その後、図4に示すように、2層目の配線6Yとして、例えばフォトリソグラフィ法及び電気めっきで、例えば膜厚約3 μm 、線幅約20 μm の金配線(図示せず)を形成する。この際、1層目の配線6Xの金電極6XA上の保護層8Yのビア部が金で埋め込まれて、2層目の配線6Yの電極として金電極6YAが形成される。また、ガリウム砒素ウエハ3Xの表面電極5Bの上方の保護層8Yの表面上に、2層目の配線6Yの電極として金電極6YBが形成される。なお、2層目の金配線(図示せず)及び金電極6YA, 6YBを、まとめて導体層ともいう。また、金電極6YA, 6YBも、配線電極(再配線層電極)ともいう。なお、ここでは、2層目の金電極6YA, 6YBは、再配線層の表面電極である。

10

【0050】

この時点で、ガリウム砒素ウエハ3Xの裏面(背面)3XAから各再配線層表面電極6YA, 6YBの表面までの厚さを測定したところ、最大と最小で約5 μm の厚さのばらつきがあった。

20

次に、図5(A), 図5(B)に示すように、再度、例えば感光性ポリベンゾオキサゾールを用いて、例えば膜厚約3 μm を有し、表面電極としての金電極6YA, 6YB上に例えば直径約40 μm のビア部8ZA, 8ZBを有する保護層8Zを形成する。

【0051】

これにより、2層目の金配線(図示せず)及び金電極6YA, 6YB、及び、保護層8Zを含む、2層目の配線層7Yが形成される。

このようにして、ガリウム砒素ウエハ3X上に再配線層7(ウエハレベルパッケージ9;ここでは2層配線層)が形成される。この場合、複数のバンプ形成面4は、再配線層7の表面、即ち、ウエハレベルパッケージ9の表面にある。ここでは、再配線層7の表面電極6YAの表面が、ガリウム砒素ウエハ3Xの裏面3XAとの間の距離が最も長いバンプ形成面4Aとなる。また、再配線層7の表面電極6YBの表面が、ガリウム砒素ウエハ3Xの裏面3XAとの間の距離が最も長いバンプ形成面4Eとなる。

30

【0052】

次に、図5(C), 図5(D)に示すように、上述のようにして形成された再配線層7の表面上に、例えばチタタングステン/金を用いて、例えば厚さ約0.2 μm のシード層13を、例えばスパッタ法で形成する。

その後、図6~図9に示すように、例えばフォトリソグラフィ法で、各再配線層表面電極6YA, 6YB上に、シード層13を介して、めっきバンプ1を形成する。

【0053】

なお、ここでは、最も径の大きいめっきバンプ1A、及び、最も径の小さいめっきバンプ1Eを形成する工程のみを図示して説明する。つまり、ガリウム砒素ウエハ3Xの裏面3XAとの間の距離が最も長いバンプ形成面4Aの表面上、即ち、再配線層7の表面電極6YAの表面上に形成されるめっきバンプ1A、及び、ガリウム砒素ウエハ3Xの裏面3XAとの間の距離が最も短いバンプ形成面4Eの表面上、即ち、再配線層7の表面電極6YBの表面上に形成されるめっきバンプ1Eを形成する工程のみを図示して説明する。

40

【0054】

つまり、まず、図6(A), 図6(B)に示すように、めっきバンプ形成用のフォトレジスト14を、例えば膜厚約30 μm で形成する。その後、フォトマスクを用いて、ガリウム砒素ウエハ3Xの裏面3XAから各再配線層表面電極6YA, 6YBの表面までの厚

50

さ、即ち、パンプ形成面 4 A , 4 E の位置に応じて、異なる径の開口部 1 4 A , 1 4 B を形成する。

【 0 0 5 5 】

ここでは、上述のように、ガリウム砒素ウエハ 3 X の裏面 3 X A から各再配線層表面電極 6 Y A , 6 Y B の表面までの厚さは、最大値と最小値との差が約 5 μm であった。このため、最大値から最大値との差が約 2 μm までの厚さになっている再配線層表面電極 (6 Y A) 上には、直径 約 4 0 μm の開口径を有する開口部 1 4 A を形成した。つまり、ガリウム砒素ウエハ 3 X の裏面 3 X A から各再配線層表面電極 (6 Y A) の表面までの厚さが所定値以上の再配線層表面電極 (6 Y A) 上には直径 約 4 0 μm の開口径を有する開口部 1 4 A を形成した。また、最大値との差が約 2 μm よりも大きい厚さになっている再配線層表面電極 (6 Y B) 上には、直径 約 3 0 μm の開口径を有する開口部 1 4 B を形成した。つまり、ガリウム砒素ウエハ 3 X の裏面 3 X A から各再配線層表面電極 (6 Y B) の表面までの厚さが所定値よりも薄い再配線層表面電極 (6 Y B) 上には直径 約 3 0 μm の開口径を有する開口部 1 4 B を形成した。

10

【 0 0 5 6 】

そして、このようにして形成された異なる径の開口部 1 4 A , 1 4 B を有するレジストマスク 1 4 を用いて、図 7 (A) , 図 7 (B) に示すように、例えば電解めっきで例えば金を厚さ約 2 5 μm めっきして、金めっきパンプ 1 A , 1 E を形成する。ここでは、金めっきパンプ 1 A は、直径約 4 0 μm のパンプであり、その断面積は 1 2 5 6 μm^2 である。また、金めっきパンプ 1 E は、直径約 3 0 μm のパンプであり、その断面積は 7 0 6 . 5 μm^2 である。

20

【 0 0 5 7 】

最後に、図 8 (A) , 図 8 (B) に示すように、フォトリジスト 1 4 を剥離 (除去) し、図 9 (A) , 図 9 (B) に示すように、金めっきパンプ 1 A , 1 E が形成されている領域以外の領域に形成されているシード層 1 3 をエッチングによって除去する。その後、ウエハ 3 X を個片にダイシングして、複数のパンプ 1 を有する半導体チップ 2 (ガリウム砒素チップ) を作製する (図 1 参照) 。

【 0 0 5 8 】

次に、表面電極として金電極 1 1 を有する実装基板 1 0 (ここでは樹脂パッケージ基板) を準備する (図 2 参照) 。

30

そして、上述のようにして作製された半導体チップ 2 の複数のパンプ 1 と、実装基板 1 0 の表面電極 1 1 とを例えば超音波接合して、半導体チップ 2 を実装基板 1 0 上に搭載する。ここでは、1 パンプあたりの荷重を約 0 . 1 N とし、約 5 0 k H z の超音波を約 1 . 5 秒印加して、超音波接合を行なった。

【 0 0 5 9 】

このようにして、本実施形態の第 1 具体例の半導体装置が製造される。

次に、本半導体装置の製造方法の第 2 具体例について説明する。

なお、ここでは、ウエハレベルパッケージ 9 を備える半導体チップ 2 上にめっきパンプ 1 を形成する場合を例に挙げて説明する。この場合、複数のパンプ形成面 4 は、ウエハレベルパッケージ 9 (配線層 7) の表面にある。ここでは、半導体素子 3 をシリコンウエハとし、このシリコンウエハの裏面との間の距離が最も長いパンプ形成面 4 A 上に形成される最も径の大きいめっきパンプ 1 A 、及び、シリコンウエハの裏面との間の距離が最も長いパンプ形成面 4 E 上に形成される最も径の小さいめっきパンプ 1 E が形成される工程を図示して説明することとする。また、本第 2 具体例は、上述の第 1 具体例に対し、主にウエハ (半導体素子) 、電極、保護層、シード層等の材料が異なる。一方、本第 2 具体例の各工程は上述の第 1 具体例の場合と同様である。このため、材料が異なるウエハ (半導体素子) 、保護層、シード層等についても同一の符号を付し、同一の図面を参照しながら説明することとする。

40

【 0 0 6 0 】

まず、ウエハ状態で集積回路 (図示せず) 及び表面電極 5 A , 5 B (集積回路の表面電

50

極；例えば金電極）まで形成した例えば厚さ約0.6mmのシリコンウエハ（半導体素子）3Xを準備する〔図3（A）参照〕。

次に、シリコンウエハ3X上に、例えば感光性ポリイミドを用いて、例えば膜厚約3μmを有し、表面電極5A上に例えば直径約15μmのビア部を有する保護層8Xを形成する〔図3（B）参照〕。

【0061】

次いで、図示していないが、例えばチタン/銅、又は、チタタングステン/銅を用いて、例えば厚さ約0.2μmのシード層を、例えばスパッタ法で形成する。

その後、1層目の配線6Xとして、例えばフォトリソグラフィ法及び電気めっきで、例えば膜厚約5μm、線幅約20μmの銅配線（図示せず）を形成する〔図3（C）参照〕。この際、シリコンウエハ3Xの表面電極5A上の保護層8Xのビア部が銅で埋め込まれて、1層目の配線6Xの電極として銅電極6XAが形成される。なお、1層目の銅配線（図示せず）及び銅電極6XAを、まとめて導体層ともいう。また、銅電極6XAを、配線電極（再配線層電極）ともいう。

10

【0062】

次に、再度、例えば感光性ポリイミドを用いて、例えば膜厚約3μmを有し、1層目の配線6Xの銅電極6XA上に例えば直径約15μmのビア部を有する保護層8Yを形成する〔図3（D）参照〕。

これにより、1層目の銅配線（図示せず）及び銅電極6XA、及び、保護層8X、8Yを含む、1層目の配線層7Xが形成される。

20

【0063】

次に、図示していないが、例えばチタン/銅、又は、チタタングステン/銅を用いて、例えば厚さ約0.2μmのシード層を、例えばスパッタ法で形成する。

次いで、2層目の配線6Yとして、例えばフォトリソグラフィ法及び電気めっきで、例えば膜厚約5μm、線幅約20μmの銅配線（図示せず）を形成する〔図4参照〕。この際、1層目の配線6Xのための銅電極6XA上の保護層8Yのビア部が銅で埋め込まれて、2層目の配線6Yの電極として銅電極6YAが形成される。また、シリコンウエハ3Xの表面電極5Bの上方の保護層8Yの表面上に、2層目の配線6Yの電極として銅電極6YBが形成される。なお、2層目の銅配線（図示せず）及び銅電極6YA、6YBを、まとめて導体層ともいう。また、銅電極6YA、6YBを、配線電極（再配線層電極）ともいう。なお、ここでは、2層目の銅電極6YA、6YBは、再配線層の表面電極である。

30

【0064】

この時点で、シリコンウエハ3Xの裏面（背面）3XAから各再配線層表面電極6YA、6YBの表面までの厚さを測定したところ、最大と最小で約5μmの厚さのばらつきがあった。

次に、再度、例えば感光性ポリイミドを用いて、例えば膜厚約3μmを有し、表面電極としての銅電極6YA、6YB上に例えば直径約40μmのビア部8ZA、8ZBを有する保護層8Zを形成する〔図5（A）、図5（B）参照〕。

【0065】

これにより、2層目の銅配線（図示せず）及び銅電極6YA、6YB、及び、保護層8Zを含む、2層目の配線層7Yが形成される。

40

このようにして、シリコンウエハ3X上に再配線層7（ウエハレベルパッケージ9；ここでは2層配線層）が形成される。この場合、複数のパンプ形成面4は、再配線層7の表面、即ち、ウエハレベルパッケージ9の表面にある。ここでは、再配線層7の表面電極6YAの表面が、シリコンウエハ3Xの裏面3XAとの間の距離が最も長いパンプ形成面4Aとなる。また、再配線層7の表面電極6YBの表面が、シリコンウエハ3Xの裏面3XAとの間の距離が最も長いパンプ形成面4Eとなる。

【0066】

次に、上述のようにして形成された再配線層7の表面上に、例えばチタン/金、又は、チタタングステン/金を用いて、例えば厚さ約0.2μmのシード層13を、例えばス

50

パッタ法で形成する〔図5(C), 図5(D)参照〕。

その後、図6～図9に示すように、例えばフォトリソグラフィ法で、各再配線層表面電極6YA, 6YB上に、シード層13を介して、めっきバンプ1を形成する。

【0067】

なお、ここでは、最も径の大きいめっきバンプ1A、及び、最も径の小さいめっきバンプ1Eを形成する工程のみを図示して説明する。つまり、シリコンウエハ3Xの裏面3XAとの間の距離が最も長いバンプ形成面4Aの表面上、即ち、再配線層7の表面電極6YAの表面上に形成されるめっきバンプ1A、及び、シリコンウエハ3Xの裏面3XAとの間の距離が最も短いバンプ形成面4Eの表面上、即ち、再配線層7の表面電極6YBの表面上に形成されるめっきバンプ1Eを形成する工程のみを図示して説明する。

10

【0068】

つまり、まず、めっきバンプ形成用のフォトレジスト14を、例えば膜厚約30μmで形成する。その後、フォトマスクを用いて、シリコンウエハ3Xの裏面3XAから各再配線層表面電極6ZY, 6YBの表面までの厚さ、即ち、バンプ形成面4A, 4Eの位置に応じて、異なる径の開口部14A, 14Bを形成する〔図6(A), 図6(B)参照〕。

ここでは、上述のように、シリコンウエハ3Xの裏面3XAから各再配線層表面電極6YA, 6YBの表面までの厚さは、最大値と最小値との差が約5μmであった。このため、最大値から最大値との差が約2μmまでの厚さになっている再配線層表面電極(6YA)上には、直径約50μmの開口径を有する開口部14Aを形成した。つまり、シリコンウエハ3Xの裏面3XAから各再配線層表面電極(6YA)の表面までの厚さが所定値以上の再配線層表面電極(6YA)上には直径約50μmの開口径を有する開口部14Aを形成した。また、最大値との差が約2μmよりも大きい厚さになっている再配線層表面電極(6YB)上には、直径約40μmの開口径を有する開口部14Bを形成した。つまり、シリコンウエハ3Xの裏面3XAから各再配線層表面電極(6YB)の表面までの厚さが所定値よりも薄い再配線層表面電極(6YB)上には直径約40μmの開口径を有する開口部14Bを形成した。

20

【0069】

そして、このようにして形成された異なる径の開口部14A, 14Bを有するレジストマスク14を用いて、例えば電解めっきで例えば金を厚さ約25μmめっきして、金めっきバンプ1A, 1Eを形成する〔図7(A), 図7(B)参照〕。ここでは、金めっきバンプ1Aは、直径約50μmのバンプであり、その断面積は1962.5μm²である。また、金めっきバンプ1Eは、直径約40μmのバンプであり、その断面積は1256μm²である。

30

【0070】

最後に、フォトレジスト14を剥離(除去)し〔図8(A), 図8(B)参照〕、金めっきバンプ1A, 1Eが形成されている領域以外の領域に形成されているシード層13をエッチングによって除去する〔図9(A), 図9(B)参照〕。その後、ウエハ3Xの背面3XAを研磨した後、ウエハ3Xを個片にダイシングして、複数のバンプ1を有する半導体チップ2(シリコンチップ)を作製する(図1参照)。

【0071】

次に、表面電極として金電極11を有する実装基板10(ここでは樹脂パッケージ基板)を準備する(図2参照)。

40

そして、上述のようにして作製された半導体チップ2の複数のバンプ1と、実装基板10の表面電極11とを例えば超音波接合して、半導体チップ2を実装基板10上に搭載する。ここでは、1バンプあたりの荷重を約0.1Nとし、約50kHzの超音波を約2秒印加して、超音波接合を行なった。

【0072】

このようにして、本実施形態の第2具体例にかかる半導体装置が製造される。

したがって、本半導体装置及びその製造方法によれば、各バンプ1の先端位置、即ち、各バンプ1の突出量がばらついていても、実装基板10に接合した場合に、全てのバンプ

50

1において十分な接合強度が得られるようにすることができるという利点がある。また、信頼性の高い接合を有する半導体装置を実現することができるという利点もある。

【0073】

ここで、上述の本半導体装置の製造方法の第1具体例によって製造された半導体装置の信頼性を評価すべく、バンプシエア強度を測定したところ、図10に示すような評価結果になった。

図10に示すように、ガリウム砒素チップの裏面(チップ背面)から再配線層表面電極の表面までの厚さにかかわらず、即ち、バンプ形成面の位置にかかわらず、全てのめっきバンプ(バンプ番号1~12)において、1バンプあたり0.2N以上の高いシエア強度が得られた。

10

【0074】

また、第1比較例の半導体装置を、めっきバンプ1を形成するためのレジストマスク14の開口部を全て同一の開口径(ここでは直径約30 μm)とし、それ以外は上述の本半導体装置の製造方法の第1具体例と同様の方法によって製造した。そして、第1比較例の半導体装置の信頼性を評価すべく、同様に、バンプシエア強度を測定したところ、図11に示すような評価結果になった。

【0075】

図11に示すように、ガリウム砒素チップの裏面から再配線層表面電極の表面までの厚さが薄い再配線層表面電極上に形成されためっきバンプ(バンプ番号1~6)のみ、1バンプあたり0.2N以上の高いシエア強度が得られた。つまり、ガリウム砒素チップの裏面から再配線層表面電極の表面までの厚さが厚い再配線層表面電極上に形成されためっきバンプ(バンプ番号7~12)は、1バンプあたり0.13N以下の低いシエア強度しか得られなかった。

20

【0076】

そこで、この第1比較例の半導体装置において接合面積を測定したところ、ガリウム砒素チップの裏面から再配線層表面電極の表面までの厚さが薄い再配線層表面電極上に形成されためっきバンプ(バンプ番号1~6)では、おおよそ900 μm^2 程度の接合面積になっていた。これに対し、ガリウム砒素チップの裏面から再配線層表面電極の表面までの厚さが厚い再配線層表面電極上に形成されためっきバンプ(バンプ番号7~12)では、おおよそ400 μm^2 程度の接合面積になっていた。このように、ガリウム砒素チップの裏面から再配線層表面電極の表面までの厚さが厚い再配線層表面電極上に形成されためっきバンプ(バンプ番号7~12)では、十分な接合面積が得られていなかったため、十分なシエア強度(接合強度)が得られなかった。

30

【0077】

これに対し、上述の第1具体例の半導体装置において接合面積を測定したところ、ガリウム砒素チップの裏面から再配線層表面電極の表面までの厚さが薄い再配線層表面電極上に形成されためっきバンプ(バンプ番号1~6)では、おおよそ900 μm^2 程度の接合面積になっていた。また、ガリウム砒素チップの裏面から再配線層表面電極の表面までの厚さが厚い再配線層表面電極上に形成されためっきバンプ(バンプ番号7~12)では、おおよそ1200 μm^2 程度の接合面積になっていた。このように、ガリウム砒素チップの裏面から再配線層表面電極の表面までの厚さが厚い再配線層表面電極上に形成されためっきバンプ(バンプ番号7~12)のバンプ径を約40 μm とし、バンプ径を大きくすることによって、十分な接合面積が得られた。この結果、上述のように、全てのめっきバンプ(バンプ番号1~12)において、十分なシエア強度(接合強度)が得られた。

40

【0078】

同様に、上述の第2具体例の半導体装置の信頼性を評価すべく、バンプシエア強度を測定したところ、シリコンチップの裏面から再配線層表面電極の表面までの厚さにかかわらず、即ち、バンプ形成面の位置にかかわらず、全てのめっきバンプにおいて、1バンプあたり0.2N以上の高いシエア強度が得られた。

また、第2比較例の半導体装置を、めっきバンプ1を形成するためのレジストマスク1

50

4の開口部を全て同一の開口径(ここでは直径 約40 μm)とし、それ以外は上述の本半導体装置の製造方法の第2具体例と同様の方法によって製造した。そして、第2比較例の半導体装置の信頼性を評価すべく、同様に、バンプシヤ強度を測定したところ、シリコンチップの裏面から再配線層表面電極の表面までの厚さが薄い再配線層表面電極上に形成されためっきバンプのみ、1バンプあたり0.2N以上の高いシヤ強度が得られた。つまり、シリコンチップの裏面から再配線層表面電極の表面までの厚さが厚い再配線層表面電極上に形成されためっきバンプは、1バンプあたり0.1N以下の低いシヤ強度しか得られなかった。

[その他]

なお、本発明は、上述した実施形態に記載した構成に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形することが可能である。

10

【0079】

以下、上述の実施形態に関し、更に、付記を開示する。

(付記1)

半導体素子と、

前記半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が第1の距離である第1バンプ形成面上に形成された第1バンプと、

前記半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が前記第1の距離よりも長い第2の距離である第2バンプ形成面上に形成され、前記第1バンプよりも径が大きい第2バンプとを備えることを特徴とする半導体装置。

20

【0080】

(付記2)

前記第1バンプは、前記半導体素子の裏面との間の距離が最も短いバンプ形成面上に形成されたバンプであり、

前記第2バンプは、前記半導体素子の表面又は裏面からバンプ先端位置までの距離が前記第1バンプの前記半導体素子の表面又は裏面からバンプ先端位置までの距離にバンプ高さの10%に相当する距離を加えた距離よりも長いバンプであることを特徴とする、付記1に記載の半導体装置。

【0081】

(付記3)

前記半導体素子は、集積回路と、表面電極とを備えることを特徴とする、付記1又は2に記載の半導体装置。

30

(付記4)

前記半導体素子上に少なくとも1層の導体層を含む配線層を備え、

前記第1バンプ形成面及び前記第2バンプ形成面は、前記配線層の表面にあることを特徴とする、付記1～3のいずれか1項に記載の半導体装置。

【0082】

(付記5)

前記配線層は、多層配線層であることを特徴とする、付記4に記載の半導体装置。

(付記6)

ウエハレベルパッケージを備え、

前記第1バンプ形成面及び前記第2バンプ形成面は、前記ウエハレベルパッケージの表面にあることを特徴とする、付記1～5のいずれか1項に記載の半導体装置。

40

【0083】

(付記7)

前記第1バンプ及び前記第2バンプは、めっきバンプであることを特徴とする、付記1～6のいずれか1項に記載の半導体装置。

(付記8)

前記第1バンプ及び前記第2バンプは、金又は銅を少なくとも含む金属バンプであることを特徴とする、付記1～7のいずれか1項に記載の半導体装置。

50

【 0 0 8 4 】

(付 記 9)

表面電極を有する実装基板を備え、

前記実装基板の表面電極と前記第 1 バンプ及び前記第 2 バンプとが接合されていることを特徴とする、付記 1 ~ 8 のいずれか 1 項に記載の半導体装置。

(付 記 1 0)

前記半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が前記第 1 の距離よりも短い第 3 の距離である第 3 バンプ形成面上に形成され、前記第 1 バンプよりも径が小さい第 3 バンプを備えることを特徴とする、付記 1 ~ 9 のいずれか 1 項に記載の半導体装置。

10

【 0 0 8 5 】

(付 記 1 1)

半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が第 1 の距離である第 1 バンプ形成面上に第 1 バンプを形成するとともに、前記半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が前記第 1 の距離よりも長い第 2 の距離である第 2 バンプ形成面上に前記第 1 バンプよりも径が大きい第 2 バンプを形成し、

前記第 1 バンプ及び前記第 2 バンプと実装基板の表面電極とを接合することを特徴とする半導体装置の製造方法。

【 0 0 8 6 】

(付 記 1 2)

前記第 1 バンプ及び前記第 2 バンプと前記実装基板の表面電極とを、荷重を加えて接合することを特徴とする、付記 1 1 に記載の半導体装置の製造方法。

20

(付 記 1 3)

前記第 1 バンプ及び前記第 2 バンプと前記実装基板の表面電極とを、1 バンプあたり 0 . 0 5 N 以上の荷重を加えて接合することを特徴とする、付記 1 2 に記載の半導体装置の製造方法。

【 0 0 8 7 】

(付 記 1 4)

前記第 1 バンプ及び前記第 2 バンプと前記実装基板の表面電極とを、超音波接合することを特徴とする、付記 1 1 ~ 1 3 のいずれか 1 項に記載の半導体装置の製造方法。

30

(付 記 1 5)

前記第 1 バンプ及び前記第 2 バンプを形成する前に、前記半導体素子上に少なくとも 1 層の導体層を含む配線層を形成し、

前記配線層の表面の一部を構成する前記第 1 バンプ形成面上に前記第 1 バンプを形成するとともに、前記配線層の表面の一部を構成する前記第 2 バンプ形成面上に前記第 2 バンプを形成することを特徴とする、付記 1 1 ~ 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 8 8 】

(付 記 1 6)

前記配線層として多層配線層を形成することを特徴とする、付記 1 5 に記載の半導体装置の製造方法。

40

(付 記 1 7)

前記第 1 バンプ及び前記第 2 バンプを形成する前に、ウエハ状態の前記半導体素子をウエハレベルパッケージに変換し、

前記ウエハレベルパッケージの表面の一部を構成する前記第 1 バンプ形成面上に前記第 1 バンプを形成するとともに、前記ウエハレベルパッケージの表面の一部を構成する前記第 2 バンプ形成面上に前記第 2 バンプを形成し、

前記第 1 バンプ及び前記第 2 バンプを形成した後に、ダイシングして、前記第 1 バンプ、前記第 2 バンプ及び前記ウエハレベルパッケージを備える半導体チップを形成し、

前記第 1 バンプ及び前記第 2 バンプと前記実装基板の表面電極とを接合して、前記ウエ

50

ハレベルパッケージを備える前記半導体チップを前記実装基板に搭載することを特徴とする、付記 11 ~ 16 のいずれか 1 項に記載の半導体装置の製造方法。

【0089】

(付記 18)

前記第 1 バンプ及び前記第 2 バンプを、金属をめっきすることによって形成することを特徴とする、付記 11 ~ 17 のいずれか 1 項に記載の半導体装置の製造方法。

(付記 19)

前記第 1 バンプ及び前記第 2 バンプを、金又は銅を少なくとも含む金属によって形成することを特徴とする、付記 11 ~ 18 のいずれか 1 項に記載の半導体装置の製造方法。

【0090】

(付記 20)

前記第 1 バンプ及び前記第 2 バンプを形成するときに、前記半導体素子の表面側に位置し、前記半導体素子の裏面との間の距離が前記第 1 の距離よりも短い第 3 の距離である第 3 バンプ形成面上に前記第 1 バンプよりも径が小さい第 3 バンプを形成することを特徴とする、付記 11 ~ 19 のいずれか 1 項に記載の半導体装置の製造方法。

【符号の説明】

【0091】

1, 1A ~ 1E バンプ

2 半導体チップ

3 半導体素子

3A 半導体素子の裏面

3B 半導体素子の表面

3X ウエハ(半導体素子)

3XA ウエハの裏面

4, 4A ~ 4E バンプ形成面

5, 5A, 5B 表面電極

6 導体層

6A, 6X, 6Y 配線

6B, 6XA 配線電極

6YA, 6YB 配線電極(再配線層表面電極)

7, 7X, 7Y 配線層

8, 8X, 8Y, 8Z 保護層

8ZA, 8ZB 保護層の開口部

9 ウエハレベルパッケージ

10 実装基板

11 表面電極

12 アンダーフィル剤

13 シード層

14 フォトレジスト

14A, 14B レジストの開口部

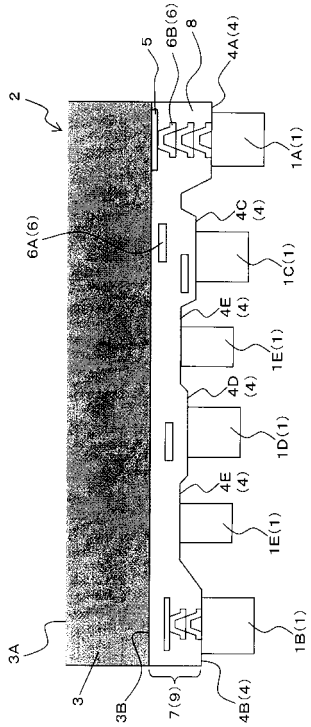
10

20

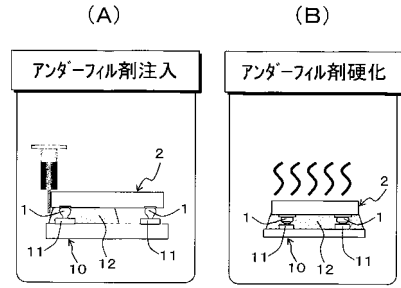
30

40

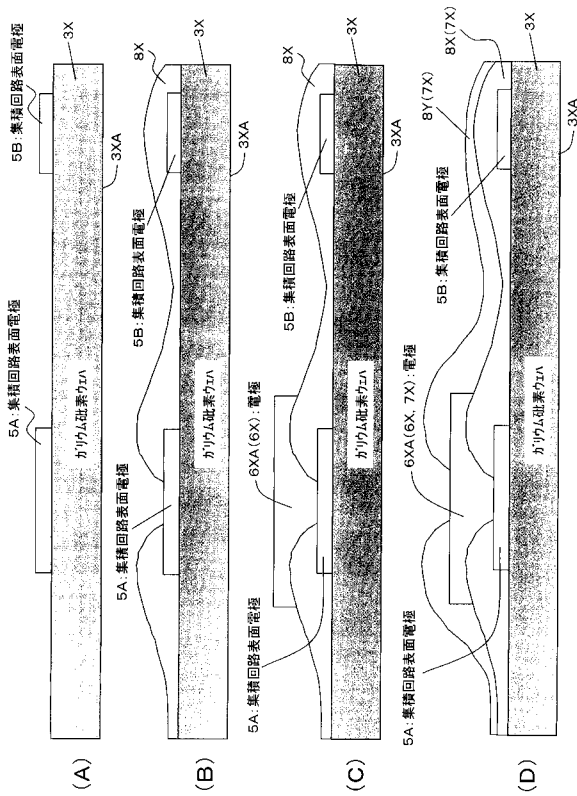
【図1】



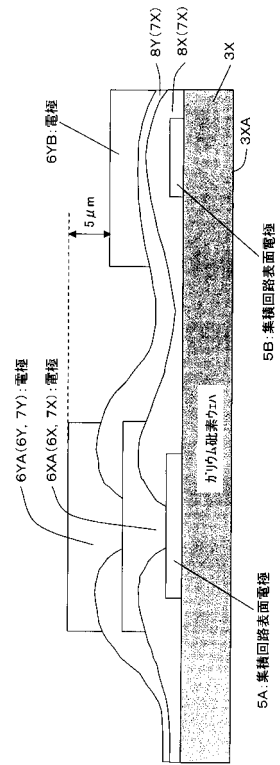
【図2】



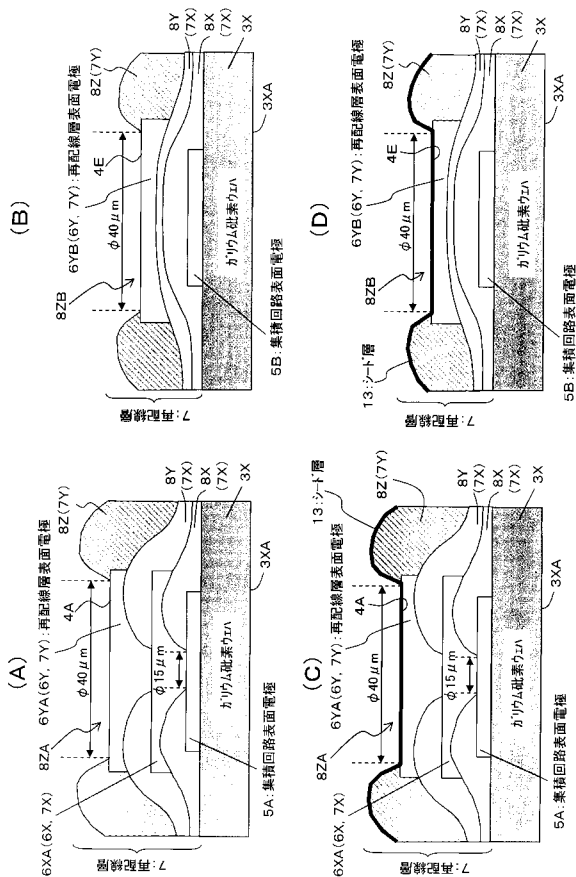
【図3】



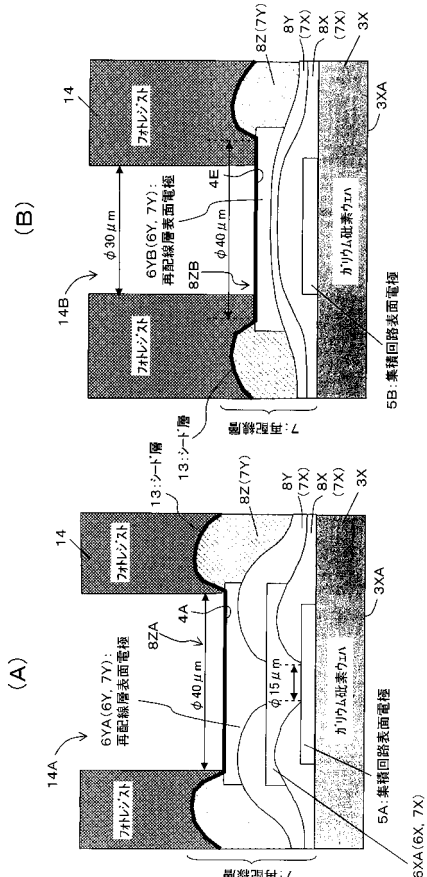
【図4】



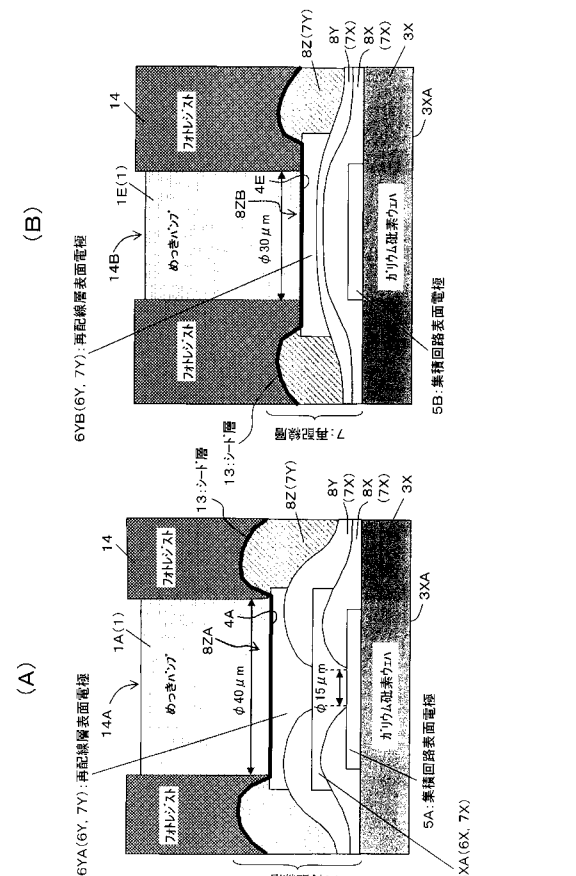
【図5】



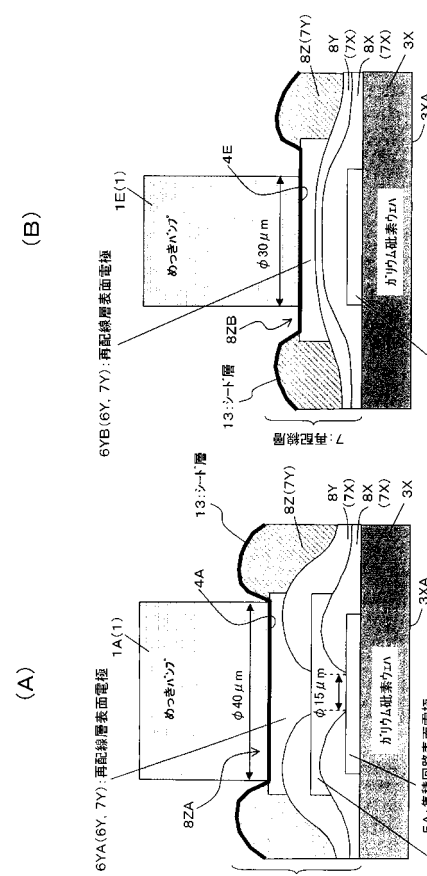
【図6】



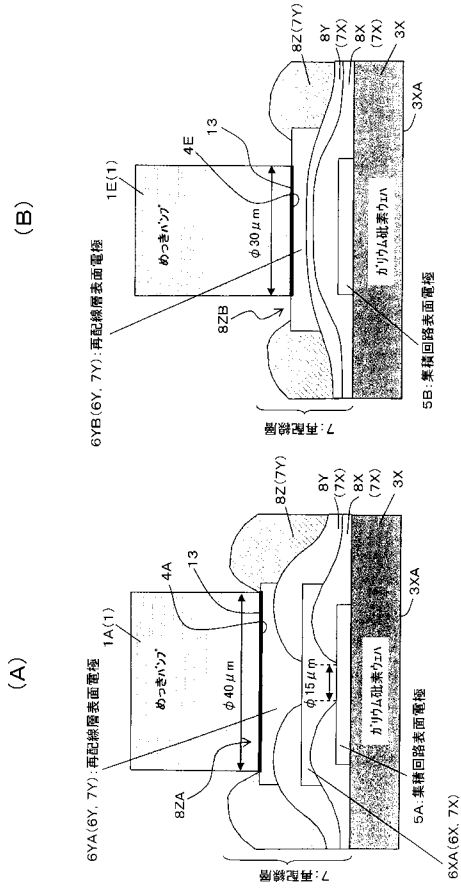
【図7】



【図8】



【図9】



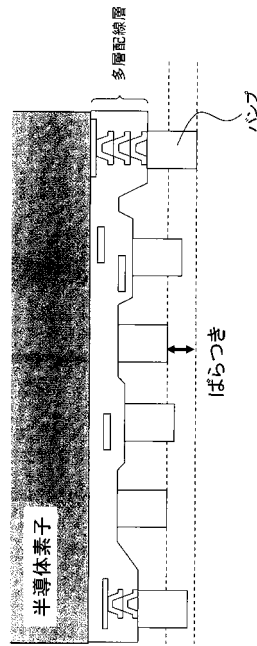
【図10】

ハンパNo	ハンパロケーション	ハンパ径(μm)	接合面積(μm ²)	ハンパシェア強度(N)	評価
1			930	0.22	○
2			898	0.23	○
3	チップ背面からの厚さが他に比べ薄い	30	922	0.22	○
4			858	0.23	○
5			895	0.24	○
6			908	0.21	○
7			1155	0.25	○
8			1190	0.27	○
9	チップ背面からの厚さが他に比べ厚い	40	1172	0.27	○
10			1250	0.31	○
11			1198	0.28	○
12			1204	0.30	○

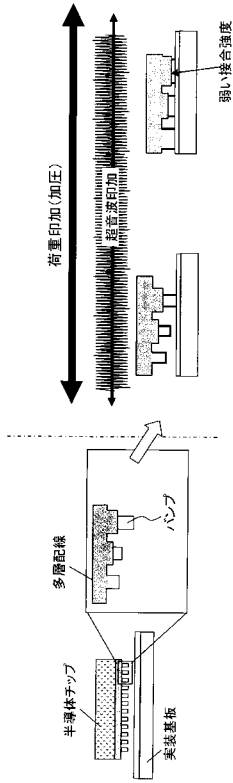
【図11】

ハンパNo	ハンパロケーション	ハンパ径(μm)	接合面積(μm ²)	ハンパシェア強度(N)	評価
1			925	0.23	○
2			883	0.24	○
3	チップ背面からの厚さが他に比べ薄い		947	0.22	○
4			933	0.22	○
5			875	0.24	○
6			948	0.21	○
7		30	455	0.11	×
8			390	0.09	×
9	チップ背面からの厚さが他に比べ厚い		372	0.10	×
10			360	0.11	×
11			398	0.08	×
12			404	0.10	×

【図12】



【図13】



フロントページの続き

- (72)発明者 飯島 真也
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 杉浦 慎一
兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内
- (72)発明者 渡辺 弘道
兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内

審査官 石野 忠志

- (56)参考文献 特開2008-227355(JP,A)
特開2010-272716(JP,A)
特開平08-181144(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H01L | 23/12 |
| H01L | 21/60 |