



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년04월18일  
(11) 등록번호 10-2523235  
(24) 등록일자 2023년04월14일

(51) 국제특허분류(Int. Cl.)  
H04L 7/00 (2006.01) H03K 5/135 (2006.01)  
H04L 25/02 (2006.01) H04L 5/00 (2006.01)  
H04L 7/033 (2006.01) H04L 7/04 (2006.01)  
H04L 7/08 (2006.01)  
(52) CPC특허분류  
H04L 7/0008 (2013.01)  
H03K 5/135 (2013.01)  
(21) 출원번호 10-2018-7009212  
(22) 출원일자(국제) 2016년08월09일  
심사청구일자 2021년07월21일  
(85) 번역문제출일자 2018년03월30일  
(65) 공개번호 10-2018-0048950  
(43) 공개일자 2018년05월10일  
(86) 국제출원번호 PCT/US2016/046208  
(87) 국제공개번호 WO 2017/039984  
국제공개일자 2017년03월09일  
(30) 우선권주장  
14/842,610 2015년09월01일 미국(US)  
(56) 선행기술조사문헌  
US05771264 A\*  
(뒷면에 계속)

(73) 특허권자  
퀄컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(72) 발명자  
두안 잉  
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
이 철규  
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
(뒷면에 계속)  
(74) 대리인  
특허법인코리아나

전체 청구항 수 : 총 26 항

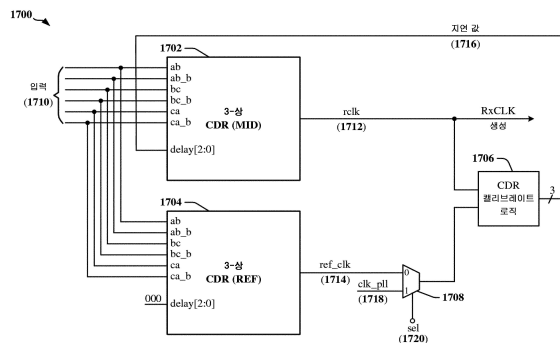
심사관 : 김성태

(54) 발명의 명칭 다상 클록 데이터 복원 회로 캘리브레이션

(57) 요약

클록 캘리브레이션을 위한 방법들, 장치들, 및 시스템들이 개시된다. 클록 데이터 복원 회로 캘리브레이션을 위한 방법으로서, 제 1 주파수를 가지고 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 단일 펄스를 포함하는 클록 신호를 제공하도록 제 1 클록 복원 회로를 구성하는 단계, 및 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수 미만인 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시키는 것, 및 제 1 클록 복원 회로가 제 1 주파수 미만인 주파수를 가질 경우, 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수와 매칭하는 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 감소시키는 것에 의해 제 1 클록 복원 회로를 캘리브레이트하는 단계를 포함한다.

대표도



(52) CPC특허분류

*H04L 25/0272* (2013.01)

*H04L 5/0048* (2021.01)

*H04L 7/033* (2013.01)

*H04L 7/04* (2013.01)

*H04L 7/08* (2013.01)

(72) 발명자

**당 해리**

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

**권 오준**

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

(56) 선행기술조사문헌

US20030141910 A1\*

US20080055139 A1\*

US20130241759 A1\*

KR1020180048952 A

KR1020160057483 A

US20090153205 A1\*

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

데이터 통신 방법으로서,

제 1 주파수를 가지고 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 단일 펄스를 포함하는 클럭 신호를 제공하도록 제 1 클럭 복원 회로를 구성하는 단계; 및

상기 제 1 클럭 복원 회로에 의해 제공된 상기 클럭 신호가 상기 제 1 주파수 미만인 주파수를 가질 때까지 상기 제 1 클럭 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시키는 것, 및 상기 제 1 클럭 복원 회로가 상기 제 1 주파수 미만인 주파수를 가질 경우, 상기 제 1 클럭 복원 회로에 의해 제공된 상기 클럭 신호가 상기 제 1 주파수와 매칭하는 주파수를 가질 때까지 상기 제 1 클럭 복원 회로의 상기 지연 엘리먼트에 의해 제공된 상기 지연 주기를 점진적으로 감소시키는 것에 의해, 상기 제 1 클럭 복원 회로를 캘리브레이션하는 단계를 포함하고,

상기 제 1 클럭 복원 회로의 상기 지연 엘리먼트는 상기 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 시그널링 상태에서 제 1의 검출된 트랜지션에 응답하여 펄스를 생성하는데 이용되는 펄스 생성 사이클과 연관된 루프 지연을 제어하고,

상기 시그널링 상태에서 다른 트랜지션들의 검출은 상기 펄스 생성 사이클 동안 억제되는, 데이터 통신 방법.

#### 청구항 2

삭제

#### 청구항 3

제 1 항에 있어서,

상기 지연 주기를 점진적으로 증가시키는 것은,

상기 제 1 클럭 복원 회로에 의해 제공된 상기 클럭 신호가 상기 제 1 주파수의 절반인 주파수를 가질 때까지 상기 지연 주기를 증가시키는 것을 포함하는, 데이터 통신 방법.

#### 청구항 4

제 1 항에 있어서,

상기 제 1 클럭 복원 회로를 캘리브레이션하는 것을 위해 사용된 참조 신호를 제공하도록 제 2 클럭 복원 회로를 구성하는 단계를 더 포함하며,

상기 참조 신호는 상기 제 1 주파수와 매칭하는 주파수를 갖는, 데이터 통신 방법.

#### 청구항 5

제 4 항에 있어서,

상기 제 2 클럭 복원 회로는 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들의 스트림에서 각각의 심볼에 대한 단일 펄스를 생성함으로써 상기 참조 신호를 제공하는, 데이터 통신 방법.

#### 청구항 6

제 4 항에 있어서,

상기 제 1 클럭 복원 회로를 캘리브레이션하는 단계는,

복수의 캘리브레이션 사이클들의 각각 동안 상기 클럭 신호와 상기 참조 신호의 주파수들을 비교하는 단계;

상기 클록 신호가 상기 참조 신호의 주파수보다 큰 주파수를 가질 경우, 상기 지연 주기를 증가시키는 단계;  
상기 클록 신호가 상기 참조 신호의 주파수 미만인 주파수를 가질 경우, 상기 지연 주기를 감소시키는 단계; 및  
상기 클록 신호가 상기 참조 신호의 주파수와 동일한 주파수를 가질 경우, 상기 복수의 캘리브레이션 사이클들을 종료하는 단계를 포함하는, 데이터 통신 방법.

#### 청구항 7

제 1 항에 있어서,  
상기 제 1 클록 복원 회로를 캘리브레이트하는 단계는,  
초기 지연 주기를 제공하도록 상기 지연 엘리먼트를 구성하는 단계; 및  
트레이닝 시퀀스가 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들로부터 성공적으로 디코딩될 때까지 복수의 캘리브레이션 사이클들에 걸쳐 상기 초기 지연 주기를 증가시키는 단계를 포함하는, 데이터 통신 방법.

#### 청구항 8

제 1 항에 있어서,  
상기 제 1 클록 복원 회로를 캘리브레이트하는 단계는,  
초기 지연 주기를 제공하도록 상기 지연 엘리먼트를 구성하는 단계; 및  
트레이닝 시퀀스가 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들로부터 성공적으로 디코딩될 때까지 복수의 캘리브레이션 사이클들에 걸쳐 상기 초기 지연 주기를 감소시키는 단계를 포함하는, 데이터 통신 방법.

#### 청구항 9

제 1 클록 복원 회로를 포함하는, 3-와이어, 3-상 인터페이스로부터의 신호들을 복원하는 수단;  
제 1 주파수를 가지고 상기 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 단일 펄스를 포함하는 클록 신호를 제공하도록 상기 제 1 클록 복원 회로를 구성하는 수단; 및  
상기 제 1 클록 복원 회로에 의해 제공된 상기 클록 신호가 상기 제 1 주파수 미만인 주파수를 가질 때까지 상기 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시키고, 그리고 상기 제 1 클록 복원 회로가 상기 제 1 주파수 미만인 주파수를 가질 경우, 상기 제 1 클록 복원 회로에 의해 제공된 상기 클록 신호가 상기 제 1 주파수와 매칭하는 주파수를 가질 때까지 상기 제 1 클록 복원 회로의 상기 지연 엘리먼트에 의해 제공된 상기 지연 주기를 점진적으로 감소시키도록 구성되는, 상기 제 1 클록 복원 회로를 캘리브레이트하는 수단을 포함하고,  
상기 제 1 클록 복원 회로의 상기 지연 엘리먼트는 상기 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 시그널링 상태에서 제 1의 검출된 트랜지션에 응답하여 펄스를 생성하는데 이용되는 펄스 생성 사이클과 연관된 루프 지연을 제어하고,  
상기 시그널링 상태에서 다른 트랜지션들의 검출은 상기 펄스 생성 사이클 동안 억제되는, 장치.

#### 청구항 10

삭제

#### 청구항 11

제 9 항에 있어서,  
상기 제 1 클록 복원 회로를 캘리브레이트하는 수단은,  
상기 제 1 클록 복원 회로에 의해 제공된 상기 클록 신호가 상기 제 1 주파수의 절반인 주파수를 가질 때까지 상기 지연 주기를 점진적으로 증가시키도록  
구성되는, 장치.

## 청구항 12

제 9 항에 있어서,

상기 3-와이어, 3-상 인터페이스로부터의 신호들을 복원하는 수단은 제 2 클럭 복원 회로를 포함하고,

상기 제 1 클럭 복원 회로를 캘리브레이트하는 것을 위해 사용된 참조 신호를 제공하도록 상기 제 2 클럭 복원 회로를 구성하는 수단을 더 포함하며,

상기 참조 신호는 상기 제 1 주파수와 매칭하는 주파수를 갖는, 장치.

## 청구항 13

제 12 항에 있어서,

상기 제 2 클럭 복원 회로는 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들의 스트림에서 각각의 심볼에 대한 단일 펄스를 생성함으로써 상기 참조 신호를 제공하도록 구성되는, 장치.

## 청구항 14

제 12 항에 있어서,

상기 제 1 클럭 복원 회로를 캘리브레이트하는 수단은,

복수의 캘리브레이션 사이클들의 각각 동안 상기 클럭 신호와 상기 참조 신호의 주파수들을 비교하고;

상기 클럭 신호가 상기 참조 신호의 주파수보다 큰 주파수를 가질 경우, 상기 지연 주기를 증가시키고;

상기 클럭 신호가 상기 참조 신호의 주파수 미만인 주파수를 가질 경우, 상기 지연 주기를 감소시키며; 그리고

상기 클럭 신호가 상기 참조 신호의 주파수와 동일한 주파수를 가질 경우, 상기 복수의 캘리브레이션 사이클들을 종료하도록

구성되는, 장치.

## 청구항 15

제 9 항에 있어서,

상기 제 1 클럭 복원 회로를 캘리브레이트하는 수단은,

초기 지연 주기를 제공하도록 상기 지연 엘리먼트를 구성하고; 그리고

트레이닝 시퀀스가 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들로부터 성공적으로 디코딩될 때까지 복수의 캘리브레이션 사이클들에 걸쳐 상기 초기 지연 주기를 증가시키도록

구성되는, 장치.

## 청구항 16

제 9 항에 있어서,

상기 제 1 클럭 복원 회로를 캘리브레이트하는 수단은,

초기 지연 주기를 제공하도록 상기 지연 엘리먼트를 구성하고; 그리고

트레이닝 시퀀스가 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들로부터 성공적으로 디코딩될 때까지 복수의 캘리브레이션 사이클들에 걸쳐 상기 초기 지연 주기를 감소시키도록

구성되는, 장치.

## 청구항 17

데이터 통신을 위한 장치로서,

3-와이어, 3-상 인터페이스 상에서 제 1 주파수에서 심볼들의 스트림으로 송신된 심볼들에 대응하는 펄스들을

포함하는 클록 신호를 제공하도록 구성되는 제 1 클록 복원 회로; 및

상기 제 1 클록 복원 회로에 의해 제공된 상기 클록 신호가 상기 제 1 주파수 미만인 주파수를 가질 때까지 상기 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시키는 것, 및 상기 제 1 클록 복원 회로가 상기 제 1 주파수 미만인 주파수를 가질 경우, 상기 제 1 클록 복원 회로에 의해 제공된 상기 클록 신호가 상기 제 1 주파수와 매칭하는 주파수를 가질 때까지 상기 제 1 클록 복원 회로의 상기 지연 엘리먼트에 의해 제공된 상기 지연 주기를 점진적으로 감소시키는 것에 의해, 상기 제 1 클록 복원 회로를 캘리브레이트하도록 구성된 프로세싱 회로를 포함하고,

상기 제 1 클록 복원 회로의 상기 지연 엘리먼트는 상기 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 시그널링 상태에서 제 1의 검출된 트랜지션에 응답하여 펄스를 생성하는데 이용되는 펄스 생성 사이클과 연관된 루프 지연을 제어하고,

상기 시그널링 상태에서 다른 트랜지션들의 검출은 상기 펄스 생성 사이클 동안 억제되는, 데이터 통신을 위한 장치.

#### 청구항 18

삭제

#### 청구항 19

제 17 항에 있어서,

상기 프로세싱 회로는,

상기 제 1 클록 복원 회로에 의해 제공된 상기 클록 신호가 상기 제 1 주파수의 절반인 주파수를 가질 때까지 상기 지연 주기를 증가시키는 것

에 의해, 상기 제 1 클록 복원 회로를 캘리브레이트하도록 구성되는, 데이터 통신을 위한 장치.

#### 청구항 20

제 17 항에 있어서,

상기 제 1 주파수에서 참조 신호를 제공하도록 구성된 제 2 클록 복원 회로를 더 포함하며,

상기 참조 신호는 상기 제 1 클록 복원 회로를 캘리브레이트하기 위해 사용되는, 데이터 통신을 위한 장치.

#### 청구항 21

제 20 항에 있어서,

상기 제 2 클록 복원 회로는 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들의 스트림에서 각각의 심볼에 대한 단일 펄스를 생성함으로써 상기 참조 신호를 제공하도록 구성되는, 데이터 통신을 위한 장치.

#### 청구항 22

제 20 항에 있어서,

상기 프로세싱 회로는,

복수의 캘리브레이션 사이클들의 각각 동안 상기 클록 신호와 상기 참조 신호의 주파수들을 비교하는 것;

상기 클록 신호가 상기 참조 신호의 주파수보다 큰 주파수를 가질 경우, 상기 지연 주기를 증가시키는 것;

상기 클록 신호가 상기 참조 신호의 주파수 미만인 주파수를 가질 경우, 상기 지연 주기를 감소시키는 것; 및

상기 클록 신호가 상기 참조 신호의 주파수와 동일한 주파수를 가질 경우, 상기 복수의 캘리브레이션 사이클들을 종료하는 것

에 의해, 상기 제 1 클록 복원 회로를 캘리브레이트하도록 구성되는, 데이터 통신을 위한 장치.

#### 청구항 23

제 17 항에 있어서,

상기 프로세싱 회로는,

초기 지연 주기를 제공하도록 상기 지연 엘리먼트를 구성하는 것; 및

트레이닝 시퀀스가 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들로부터 성공적으로 디코딩될 때까지 복수의 캘리브레이션 사이클들에 걸쳐 상기 초기 지연 주기를 증가시키는 것

에 의해, 상기 제 1 클록 복원 회로를 캘리브레이트하도록 구성되는, 데이터 통신을 위한 장치.

#### 청구항 24

제 17 항에 있어서,

상기 프로세싱 회로는,

초기 지연 주기를 제공하도록 상기 지연 엘리먼트를 구성하는 것; 및

트레이닝 시퀀스가 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들로부터 성공적으로 디코딩될 때까지 복수의 캘리브레이션 사이클들에 걸쳐 상기 초기 지연 주기를 감소시키는 것

에 의해, 상기 제 1 클록 복원 회로를 캘리브레이트하도록 구성되는, 데이터 통신을 위한 장치.

#### 청구항 25

코드를 포함하는 프로세서 판독가능 저장 매체로서,

상기 코드는,

제 1 주파수를 가지고 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 단일 펄스를 포함하는 클록 신호를 제공하도록 제 1 클록 복원 회로를 구성하고; 그리고

상기 제 1 클록 복원 회로에 의해 제공된 상기 클록 신호가 상기 제 1 주파수 미만인 주파수를 가질 때까지 상기 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시키는 것, 및 상기 제 1 클록 복원 회로가 상기 제 1 주파수 미만인 주파수를 가질 경우, 상기 제 1 클록 복원 회로에 의해 제공된 상기 클록 신호가 상기 제 1 주파수와 매칭하는 주파수를 가질 때까지 상기 제 1 클록 복원 회로의 상기 지연 엘리먼트에 의해 제공된 상기 지연 주기를 점진적으로 감소시키는 것에 의해, 상기 제 1 클록 복원 회로를 캘리브레이트하기 위한 것이고,

상기 제 1 클록 복원 회로의 상기 지연 엘리먼트는 상기 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 시그널링 상태에서 제 1의 검출된 트랜지션에 응답하여 펄스를 생성하는데 이용되는 펄스 생성 사이클과 연관된 루프 지연을 제어하고,

상기 시그널링 상태에서 다른 트랜지션들의 검출은 상기 펄스 생성 사이클 동안 억제되는, 프로세서 판독가능 저장 매체.

#### 청구항 26

삭제

#### 청구항 27

제 25 항에 있어서,

상기 지연 주기를 점진적으로 증가시키는 것은,

상기 제 1 클록 복원 회로에 의해 제공된 상기 클록 신호가 상기 제 1 주파수의 절반인 주파수를 가질 때까지 상기 지연 주기를 증가시키는 것을 포함하는, 프로세서 판독가능 저장 매체.

#### 청구항 28

제 25 항에 있어서,

상기 제 1 클록 복원 회로를 캘리브레이트하는 것을 위해 사용된 참조 신호를 제공하도록 제 2 클록 복원 회로를 구성하기 위한 코드를 더 포함하며,

상기 참조 신호는 상기 제 1 주파수와 매칭하는 주파수를 가지는, 프로세서 판독가능 저장 매체.

#### 청구항 29

제 28 항에 있어서,

상기 제 1 클록 복원 회로를 캘리브레이트하는 것은,

복수의 캘리브레이션 사이클들의 각각 동안 상기 클록 신호와 상기 참조 신호의 주파수들을 비교하는 것;

상기 클록 신호가 상기 참조 신호의 주파수보다 큰 주파수를 가질 경우, 상기 지연 주기를 증가시키는 것;

상기 클록 신호가 상기 참조 신호의 주파수 미만인 주파수를 가질 경우, 상기 지연 주기를 감소시키는 것; 및

상기 클록 신호가 상기 참조 신호의 주파수와 동일한 주파수를 가질 경우, 상기 복수의 캘리브레이션 사이클들을 종료하는 것

을 포함하는, 프로세서 판독가능 저장 매체.

#### 청구항 30

제 25 항에 있어서,

상기 제 1 클록 복원 회로를 캘리브레이트하는 것은,

초기 지연 주기를 제공하도록 상기 지연 엘리먼트를 구성하는 것; 및

트레이닝 시퀀스가 상기 3-와이어, 3-상 인터페이스로부터 수신된 심볼들로부터 성공적으로 디코딩될 때까지 복수의 캘리브레이션 사이클들에 걸쳐 상기 초기 지연 주기를 조정하는 것

을 포함하는, 프로세서 판독가능 저장 매체.

### 발명의 설명

#### 기술 분야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2015 년 9 월 1 일자로 미국 특허 상표청에서 출원된 가출원 제 14/842,610 호를 우선권 주장하고 그 이점을 청구하며, 그 전체 내용은 참조에 의해 본원에 통합된다.

[0003] 기술 분야

[0004] 본 개시물은 일반적으로 고속 데이터 통신 인터페이스들에 관한 것이고, 더 구체적으로, 멀티-와이어, 다상 데이터 통신 링크에 커플링된 수신기에서의 클록 생성 회로들의 캘리브레이션에 관한 것이다.

#### 배경 기술

[0005] 셀룰러 폰들과 같은 모바일 디바이스들의 제조업자들은 상이한 제조업자들을 포함하여 다양한 소스들로부터 모바일 디바이스들의 컴포넌트들을 획득할 수도 있다. 예를 들어, 셀룰러 폰에서의 애플리케이션 프로세서는 제 1 제조업자로부터 획득될 수도 있는 반면, 이미징 디바이스 또는 카메라는 제 2 제조업자로부터 획득될 수도 있고, 디스플레이는 제 3 제조업자로부터 획득될 수도 있다. 애플리케이션 프로세서, 이미징 디바이스, 디스플레이 제어기, 또는 다른 타입의 디바이스는 표준-기반 또는 전매특허의 물리적 인터페이스를 사용하여 상호 접속될 수도 있다. 일 예에서, 이미징 디바이스는 MIPI (Mobile Industry Processor Interface) 얼라이언스에 의해 정의된 CSI (Camera Serial Interface) 를 사용하여 접속될 수도 있다. 다른 예에서, 디스플레이는 MIPI (Mobile Industry Processor Interface) 얼라이언스에 의해 명시된 DSI (Display Serial Interface) 표준에 부합하는 인터페이스를 포함할 수도 있다.

[0006] MIPI 얼라이언스에 의해 정의된 다상 3-와이어 (C-PHY) 인터페이스는 디바이스들 간에 정보를 송신하기 위해 컨덕터들의 트리오를 이용한다. 3 개의 와이어들 각각은 C-PHY 인터페이스를 통한 심볼의 송신 동안 3 개의



시그널링 상태들 중 한 상태에 있을 수도 있다. 클록 정보는 C-PHY 인터페이스 상에서 송신된 심볼들의 시퀀스로 인코딩되며, 수신기는 연속적인 심볼들 간의 트랜지션들로부터 클록 신호를 생성한다. C-PHY 인터페이스의 최대 속도와 클럭 정보를 복원하기 위한 클록 및 데이터 복원 (CDR) 회로의 능력은 통신 링크의 상이한 와이어들에서 송신되는 신호들의 트랜지션들에 관련된 최대 시간 변동에 의해 제한될 수도 있다. 수신기는 트리오 내의 모든 컨덕터들이 샘플링 에지를 제공하기 전에 안정된 시그널링 상태를 나타내는 것을 보장하도록 지연 회로들을 이용할 수도 있다. 링크의 송신 레이트는 이용되는 지연 값들에 의해 제한될 수도 있고, 멀티-와이어 인터페이스들의 시그널링 주파수들이 증가함에 따라 신뢰성있게 기능할 수 있는 클록 생성 회로들에 대한 요구가 계속되고 있다.

## 발명의 내용

## 해결하려는 과제

### 과제의 해결 수단

- [0007] 본원에 개시된 실시형태들은 멀티-와이어 및/또는 다상 통신 링크 상에서 개선된 통신을 가능하게 하는 시스템들, 방법들 및 장치들을 제공한다. 통신 링크는 다수의 집적 회로 (IC) 디바이스들을 갖는 모바일 단말기와 같은 장치에 배치될 수도 있다.
- [0008] 본 개시의 일 양태에서, 데이터 통신의 방법은 제 1 주파수를 가지고 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 펄스를 포함하는 클록 신호를 제공하도록 제 1 클록 복원 회로를 구성하는 단계 및 제 1 클록 복원 회로를 캘리브레이트하는 단계를 포함한다. 제 1 클록 복원 회로는, 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수 미만인 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시키는 것, 및 제 1 클록 복원 회로가 제 1 주파수 미만인 주파수를 가질 경우, 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수와 매칭하는 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 감소시키는 것에 의해 캘리브레이트될 수도 있다.
- [0009] 본 개시의 일 양태에서, 3-와이어, 3-상 인터페이스 상에서 송신된 데이터를 디코딩하기 위한 장치는, 제 1 클록 복원 회로를 포함하는, 3-와이어, 3-상 인터페이스 신호들로부터의 신호들을 복원하는 수단, 제 1 주파수를 가지고 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 단일 펄스를 포함하는 클록 신호를 제공하도록 제 1 클록 복원 회로를 구성하는 수단, 및 제 1 클록 복원 회로를 캘리브레이트하는 수단을 포함한다. 제 1 클록 복원 회로를 캘리브레이트하는 수단은 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수 미만인 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시키고, 그리고 제 1 클록 복원 회로가 제 1 주파수 미만인 주파수를 가질 경우, 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수와 매칭하는 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 감소시키도록 구성될 수도 있다.
- [0010] 본 개시의 일 양태에서, 데이터 통신을 위한 장치는 3-와이어 버스에 커플링된 복수의 차동 수신기들, 3-와이어, 3-상 인터페이스 상의 제 1 주파수에서 심볼들의 스트림에서 송신된 각각의 심볼에 대한 펄스를 포함하는 제 1 클록 신호를 제공하도록 구성된 클록 복원 회로, 및 프로세싱 회로를 포함한다. 프로세싱 회로는 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수 미만인 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시키는 것, 및 제 1 클록 복원 회로가 제 1 주파수 미만인 주파수를 가질 경우, 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수와 매칭하는 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 감소시키는 것에 의해 제 1 클록 복원 회로를 캘리브레이트하도록 구성될 수도 있다.
- [0011] 본 개시의 일 양태에서, 프로세서 판독가능 저장 매체가 개시된다. 저장 매체는 비-일시적인 저장 매체일 수도 있고, 하나 이상의 프로세서들에 의해 실행될 경우, 하나 이상의 프로세서들로 하여금, 제 1 주파수를 가지고 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 단일 펄스를 포함하는 클록 신호를 제공하도록 제 1 클록 복원 회로를 구성하게 하고, 그리고 제 1 클록 복원 회로를 캘리브레이트하게 한다. 제 1 클록 복원 회로는 상기 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수 미만인 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시키는 것, 및 제 1 클

록 복원 회로가 제 1 주파수 미만인 주파수를 가질 경우, 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수와 매칭하는 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 감소시키는 것에 의해 구성될 수도 있다.

### 도면의 간단한 설명

[0012]

도 1 은 복수의 가용 표준들 중 하나에 따라 선택적으로 동작하는 IC 디바이들 사이의 데이터 링크를 채택하는 장치를 나타낸다.

도 2 는 복수의 가용 표준들 중 하나에 따라 선택적으로 동작하는 IC 디바이들 사이의 데이터 링크를 채택하는 장치의 시스템 아키텍처를 예시한다.

도 3 은 C-PHY 3-상 데이터 인코더를 예시한다.

도 4 는 C-PHY 3-상 인코딩된 인터페이스에서 시그널링을 예시한다.

도 5 는 C-PHY 3-상 인코딩된 인터페이스에서의 가능성있는 상태 트랜지션들을 예시하는 상태도이다.

도 6 은 C-PHY 디코더를 예시한다.

도 7 은 C-PHY 디코더에서 트랜지션 검출시 신호 상승 시간들의 효과들의 일 예이다.

도 8 은 C-PHY 디코더에서의 트랜지션 검출을 예시한다.

도 9 는 C-PHY 인터페이스 상에서 송신된 연속하는 심볼들의 쌍들 사이에서 발생하는 신호 트랜지션들의 일 예를 예시한다.

도 10 은 아이 패턴에서의 트랜지션 영역들 및 아이 영역들을 예시한다.

도 11 은 C-PHY 3-상 인터페이스에 대해 생성된 아이 패턴의 일 예를 예시한다.

도 12 는 C-PHY 3-상 인터페이스에 대한 CDR 회로의 일 예를 예시한다.

도 13 은 도 12 의 CDR 회로와 연관된 타이밍을 예시한다.

도 14 는 C-PHY 3-상 신호 상에서 송신된 신호들 사이의 스큐보다 더 짧은 루프 시간을 갖는 CDR 회로와 연관된 타이밍을 예시한다.

도 15 는 C-PHY 3-상 신호의 심볼 인터벌보다 더 긴 루프 시간을 갖는 CDR 회로와 연관된 타이밍을 예시한다.

도 16 은 본원에 개시된 특정 양태들에 따라 적용된 CDR 의 동작을 예시하는 타이밍도이다.

도 17 은 본원에 개시된 특정 양태들에 따른 클록 생성 회로의 일 예를 예시한다.

도 18 은 본원에 개시된 특정 양태들에 따라 제공된 클록 생성 회로를 캘리브레이트하는데 이용될 수도 있는 회로의 일 예를 예시한다.

도 19 는 본원에 개시된 특정 양태들에 따라 적용될 수도 있는 프로세싱 회로를 채용하는 장치의 일 예를 예시하는 블록도이다.

도 20 은 본원에 개시된 특정 양태들에 따른 클록 생성 방법의 흐름도이다.

도 21 은 본원에 개시된 특정 양태들에 따라 적용되는 프로세싱 회로를 채택하는 프로세싱을 채택하는 장치에 대한 하드웨어 구현의 일 예를 예시하는 다이어그램이다.

### 발명을 실시하기 위한 구체적인 내용

[0013]

첨부된 도면들과 연계하여 하기에 설명되는 상세한 설명은, 여러 구성들의 설명으로서 의도된 것이며 본원에서 설명되는 개념들이 실시될 수도 있는 구성들만을 나타내도록 의도된 것은 아니다. 상세한 설명은 여러 개념들의 철저한 이해를 제공하기 위한 목적으로 특정 세부사항들을 포함한다. 그러나, 이들 개념들이 이들 특정 세부사항들 없이 실시될 수도 있음이 당업자에게는 명백할 것이다. 몇몇 예시들에서, 이러한 개념들을 모호하게 하는 것을 방지하기 위해 공지의 구조들 및 컴포넌트들이 블록도의 형태로 도시된다.

[0014]

본 출원에서 이용된 바와 같이, 용어들 "컴포넌트", "모듈", "시스템" 등은 하드웨어, 펌웨어, 하드웨어와 펌웨어의 조합, 소프트웨어, 실행 중인 소프트웨어와 같은 컴퓨터 관련 엔티티를 포함하지만 이들에 제한되는 것

은 아니도록 의도된다. 예를 들면, 컴포넌트는 프로세서 상에서 동작하는 프로세스, 프로세서, 오브젝트, 실행가능물, 실행 스레드, 프로그램, 및/또는 컴퓨터일 수도 있지만, 이들에 제한되는 것은 아니다. 예시로서, 컴퓨팅 디바이스 상에서 실행하는 애플리케이션 및 컴퓨팅 디바이스 양쪽이 컴포넌트일 수 있다. 하나 이상의 컴포넌트들은 프로세스 및/또는 실행의 스레드 내에 상주할 수도 있고, 컴포넌트는 하나의 컴퓨터에 국부화되고/되거나 두 개 이상의 컴퓨터들 사이에 분산될 수도 있다. 또한, 이들 컴포넌트들은 여러 데이터 구조들이 저장된 여러 컴퓨터 판독 가능한 매체로부터 실행될 수도 있다. 컴포넌트들은 하나 이상의 데이터 패킷들 (예를 들면, 로컬 시스템의 다른 컴포넌트, 분산 시스템 및/또는 인터넷과 같은 네트워크를 통해 신호를 통해 다른 시스템들과 상호작용하는 하나의 컴포넌트로부터의 데이터) 을 구비하는 신호에 따르는 것과 같이 로컬 및/또는 원격 프로세스들을 통해 통신할 수도 있다.

[0015] 또한, 용어 "또는" 은 배타적 "or" 이기보다는 포괄적 "or" 을 의미하도록 의도된다. 즉, 달리 특정되어 있지 않거나 또는 문맥으로부터 명백한 것이 아닌 한, 구절 "X 는 A 또는 B 를 채택한다"는 자연적으로 포괄적 조합들 중 어느 것을 의미하도록 의도된다. 즉, 구절 "X 는 A 또는 B 를 채택한다" 는 다음의 예시들 중 임의의 예시에 의해 만족된다: X 는 A 를 채택한다; X 는 B 를 채택한다; 또는 X 는 A 와 B 양쪽 모두를 채택한다. 또한, 본 출원 및 첨부된 청구항들에서 이용된 바와 같은 관사 "하나 (a)" 및 "한 (an)" 은 일반적으로, 단수 형태인 것으로 특정되거나 문맥에서 명확하지 않는 한 "하나 이상" 을 의미하는 것으로 해석되어야 한다.

## [0016] 개관

[0017] 본 발명의 특정 양태들은 MIPI 얼라이언스에 의해 규정된 C-PHY 인터페이스에 적용가능할 수도 있으며, 이는 모바일 디바이스, 이를 테면, 전화기, 모바일 컴퓨팅 디바이스, 전자 기기, 자동차 전자 기기, 항공 시스템 등의 서브컴포넌트들인 전자 디바이스들을 접속하도록 배치될 수도 있다. 모바일 장치의 예들은 셀룰라 폰, 스마트폰, 세션 개시 프로토콜 (SIP) 폰, 랩탑, 노트북, 넷북, 스마트 북, 개인 휴대 정보 단말기 (PDA), 위성 라디오, 글로벌 포지셔닝 시스템 (GPS) 디바이스, 멀티미디어 디바이스, 비디오 디바이스, 디지털 오디오 플레이어 (예를 들어, MP3 플레이어), 카메라, 게임 콘솔, 웨어러블 컴퓨팅 디바이스 (예를 들어, 스마트워치, 헬스 또는 피트니스 트랙커 등), 가전제품, 센서, 밴딩 머신 또는 임의의 다른 유사한 기능 디바이스를 포함한다.

[0018] C-PHY 인터페이스는 대역폭이 제한된 채널에서 높은 스루풋을 제공할 수 있는 고속 직렬 인터페이스이다. C-PHY 인터페이스는 디스플레이 및 카메라를 포함하는 주변기기들에 애플리케이션 프로세서들을 접속하도록 배치될 수도 있다. C-PHY 인터페이스는 데이터를, 트리오 또는 와이어들의 트리오로서 지칭될 수도 있는 3 개의 와이어들의 세트를 통하여 3 상 신호에서 송신되는 심볼들로 인코딩한다. 3-상 신호는 상이한 위상들에서 트리오의 각각의 와이어에서 송신된다. 각각의 3-와이어 트리오는 통신 링크에 레인을 제공한다. 심볼 인터벌은 단일의 심볼이 트리오의 시그널링 상태를 제어하는 시간 인터벌으로서 정의될 수도 있다. 각각의 심볼 구간에서, 하나의 와이어는 "비구동되는" 반면, 3 개의 와이어들 중 나머지 2 개는 차동방식으로 구동되어, 2 개의 차동 구동된 와이어들 중 하나가 제 1 전압 레벨을 취하고 다른 차동 구동된 와이어는 제 1 전압 레벨과는 상이한 제 2 전압 레벨을 취하도록 된다. 비구동된 와이어는 제 1 전압 레벨과 제 2 전압 레벨 사이의 중간 레벨 전압에 또는 그 부근에 있는 제 3 전압 레벨을 취하도록 플로팅, 구동 및/또는 종료될 수도 있다. 일 예에서, 구동 전압 레벨들은 +V 및 -V 일 수도 있고, 비구동 전압은 0V 일 수 있다. 다른 예에서, 구동 전압 레벨들은 +V 및 0V 일 수도 있고 비구동 전압은 +V/2 일 수도 있다. 연속적으로 송신된 각각의 심볼들의 쌍에서 상이한 심볼들이 송신되고, 상이한 심볼 인터벌들에서 상이한 와이어들의 쌍이 차동적으로 구동될 수도 있다.

[0019] 도 1 은 C-PHY 3-상 통신 링크를 채택할 수도 있는 장치 (100) 의 예를 나타낸다. 장치 (100) 는 무선 액세스 네트워크 (RAN), 코어 액세스 네트워크, 인터넷 및/또는 다른 네트워크와 RF (radio frequency) 트랜시버 (106) 를 통하여 통신하는 무선 통신 디바이스를 포함할 수도 있다. 통신 트랜시버 (106) 는 프로세싱 회로 (102) 에 동작가능하게 커플링될 수도 있다. 프로세싱 회로 (102) 는 하나 이상의 IC 디바이스들, 이를 테면, 응용 주문형 IC (ASIC) (108) 를 포함할 수도 있다. ASIC (108) 은 하나 이상의 프로세싱 디바이스들, 논리 회로들 등을 포함할 수도 있다. 프로세싱 회로 (102) 는 프로세싱 회로 (102) 및 디바이스들에 의한 실행 또는 다른 사용을 위한 명령들 및 데이터를 저장 및 유지하는 프로세서 판독가능 디바이스들을 포함할 수도 있는 메모리 디바이스들 (112), 및/또는 디스플레이 (124) 를 지원하는 메모리 카드들과 같은 프로세서 판독가능 스토리지에 포함 및/또는 커플링될 수도 있다. 프로세싱 회로 (102) 는 무선 디바이스의 메모리 디바이스 (112) 와 같은 저장 매체 내에 상주하는 소프트웨어 모듈들의 실행을 인에이블 및 지원하는 애플리케이션 프로그래밍 인터페이스 (API)(110) 계층 및 오퍼레이팅 시스템 중 하나 이상에 의해 제어될 수도 있다. 메모리 디바이스 (112) 는 ROM (read-only memory), DRAM (dynamic random-access memory), 하나 이상의 유형들

의 PROM (programmable read-only memory), 플래쉬 카드들 또는 프로세싱 시스템들 및 컴퓨팅 플랫폼들에 이용될 수 있는 임의의 메모리 유형을 포함할 수도 있다. 프로세싱 회로 (102) 는 장치 (100) 를 구성하고 동작시키는데 이용된 동작 파라미터들 및 다른 정보를 유지할 수 있는 로컬 데이터베이스 (114) 를 포함하거나 로컬 데이터베이스 (114) 에 액세스할 수도 있다. 로컬 데이터베이스 (114) 는 데이터베이스 모듈, 플래시 메모리, 자기 매체, EEPROM (electrically-erasable PROM), 광학 매체, 테이프, 소프트 또는 하드 디스크 등 중 하나 이상을 이용하여 구현될 수도 있다. 프로세싱 회로는 또한, 다른 컴포넌트들 중에서 안테나 (122), 디스플레이 (124), 오퍼레이터 제어부들, 이를 테면 버튼 (128) 및 키패드 (126) 와 같은 외부 디바이스들에 동작가능하게 커플링될 수도 있다.

[0020] 도 2 는 통신 링크 (220) 를 통해 데이터 및 제어 정보를 교환할 수 있는 복수의 IC 디바이스들 (202 및 230) 을 포함하는 장치 (200) 의 특정 양태들을 개략적으로 예시하는 블록도이다. 통신 링크 (220) 는 서로 근접하여 가깝게 위치되거나, 또는 장치 (200) 의 상이한 부분들에 물리적으로 위치되는 IC 디바이스들 (202 및 230) 의 쌍을 접속하는데 이용될 수도 있다. 일 예에서, 통신 링크 (220) 는 IC 디바이스들 (202 및 230) 을 반송하는 칩 캐리어, 기판 또는 회로 기판 상에 제공될 수도 있다. 다른 예에서, 제 1 IC 디바이스 (202) 는 플립형 전화의 키패드 섹션에 위치될 수도 있는 반면, 제 2 IC 디바이스 (230) 는 플립형 전화의 디스플레이 섹션에 위치될 수도 있다. 다른 예에서, 통신 링크 (220) 의 부분은 케이블 또는 광학 접속부를 포함할 수도 있다.

[0021] 통신 링크 (220) 는 다수의 채널들 (222, 224 및 226) 을 포함할 수도 있다. 하나 이상의 채널 (226) 은 양방향성일 수도 있고, 반이중 및/또는 전이중 모드들에서 동작할 수도 있다. 하나 이상의 채널 (222 및 224) 은 단방향성일 수도 있다. 통신 링크 (220) 는 비대칭일 수도 있어, 일 방향에서 더 높은 대역폭을 제공할 수도 있다. 본원에 기술된 일 예에서, 제 1 통신 채널 (222) 은 순방향 채널 (222) 로 지칭될 수도 있는 반면, 제 2 통신 채널 (224) 은 역방향 채널 (224) 로 지칭될 수도 있다. 제 1 및 제 2 양쪽의 IC 디바이스들 (202 및 230) 이 통신 채널 (222) 을 통해 송신 및 수신하도록 구성되는 경우에도, 제 1 IC 디바이스 (202) 는 호스트 시스템 또는 송신기로서 지정될 수도 있는 한편, 제 2 IC 디바이스 (230) 는 클라이언트 시스템 또는 수신기로서 지정될 수도 있다. 일 예에서, 순방향 채널 (222) 은 제 1 IC 디바이스 (202) 로부터 제 2 IC 디바이스 (230) 로 데이터를 통신할 때 더 높은 데이터 레이트로 동작할 수도 있는 한편, 역방향 채널 (224) 은 제 2 IC 디바이스 (230) 로부터 제 1 IC 디바이스 (202) 로 데이터를 통신할 때 더 낮은 데이터 레이트로 동작할 수도 있다.

[0022] IC 디바이스들 (202 및 230) 은 각각이 프로세서 또는 다른 프로세싱 및/또는 컴퓨팅 회로 또는 디바이스 (206, 236) 를 포함할 수도 있다. 일 예에서, 제 1 IC 디바이스 (202) 는 무선 트랜시버 (204) 와 안테나 (214) 를 통한 무선 통신들을 확립하고 유지하는 것을 포함하는 장치 (200) 의 핵심 기능들을 수행할 수도 있는 한편, 제 2 IC 디바이스 (230) 는 디스플레이 제어기 (232) 를 관리하거나 동작시키는 사용자 인터페이스를 지원할 수도 있고, 카메라 제어기 (234) 를 이용하여 카메라 또는 비디오 입력 디바이스의 동작들을 제어할 수도 있다. IC 디바이스들 (202 및 230) 중 하나 이상에 의해 지원된 다른 특징들은 키보드, 음성 인식 컴포넌트, 및 다른 입력 또는 출력 디바이스들을 포함할 수도 있다. 디스플레이 제어기 (232) 는 액정 디스플레이 (LCD) 패널, 터치-스크린 디스플레이, 인디케이터들 등과 같은 디스플레이들을 지원하는 회로들 및 소프트웨어 드라이버들을 포함할 수도 있다. 저장 매체 (208 및 238) 는 개별 프로세서들 (206 및 236), 및/또는 IC 디바이스들 (202 및 230) 의 다른 컴포넌트들에 의해 사용된 명령들 및 데이터를 유지하도록 구성된 일시적 및/또는 비-일시적 저장 디바이스들을 포함할 수도 있다. 각각의 프로세서 (206, 236) 와 그 대응하는 저장 매체 (208 및 238) 및 다른 모듈들 및 회로들 간의 통신은 각각 하나 이상의 내부 버스 (212 및 242) 에 의해 그리고/또는 통신 링크 (220) 의 채널 (222, 224 및/또는 226) 에 의해 용이하게 실시될 수도 있다.

[0023] 역방향 채널 (224) 은 순방향 채널 (222) 과 동일한 방식으로 동작될 수도 있으며, 순방향 채널 (222) 과 역방향 채널 (224) 은 대등한 속도들 또는 상이한 속도들로 송신할 수도 있으며, 여기서 속도는 데이터 전송 레이트 및/또는 클럭킹 레이트들로 표현될 수도 있다. 순방향 및 역방향 데이터 레이트들은 애플리케이션에 의존하여, 크기의 정도들에 의해 실질적으로 동일 또는 상이할 수도 있다. 일부 애플리케이션들에서, 단일 양방향 채널 (226) 은 제 1 IC 디바이스 (202) 및 제 2 IC 디바이스 (230) 사이의 통신들을 지원할 수도 있다. 순방향 채널 (222) 및/또는 역방향 채널 (224) 은 예를 들어, 순방향 및 역방향 채널들 (222 및 224) 이 동일한 물리적 접속들을 공유하고 반이중 방식으로 동작할 때, 양방향 모드로 동작하도록 구성가능할 수도 있다. 일 예에서, 통신 링크 (220) 는 산업 또는 다른 표준에 따라서, 제 1 IC 디바이스 (202) 및 제 2 IC 디바이스 (230) 사이에서 제어, 커맨드 및 다른 정보를 통신하도록 동작될 수도 있다.



- [0024] 도 2의 통신 링크 (220)는 C-PHY를 위한 MIPI 얼라이언스 사양들에 따라 구현될 수도 있고, (M개의 와이어들로 표기되는) 복수의 신호 와이어들을 포함하는 와이어 버스를 제공할 수도 있다. M개의 와이어들은 모바일 디스플레이 디지털 인터페이스(MDDI)와 같은 고속 디지털 인터페이스에서 N상 인코딩된 데이터를 반송하도록 구성될 수도 있다. M개의 와이어들은 채널들(222, 224 및 226) 중 하나 이상에서 N상 극성 인코딩을 용이하게 실시할 수도 있다. 물리 계층 드라이버들(210 및 240)은 통신 링크(220)를 통한 송신을 위하여 N-상 극성 인코딩된 데이터를 생성하도록 구성 또는 적응될 수도 있다. N-상 극성 인코딩의 이용은 고속 데이터 전송을 제공하고, 다른 인터페이스들의 전력의 절반 또는 그 미만을 소비할 수도 있는데, 이는 더 적은 드라이버들이 N-상 극성 인코딩된 데이터 링크들에서 활성화되기 때문이다.
- [0025] N-상 극성 인코딩 디바이스들(210 및/또는 240)은 일반적으로 통신 링크(220) 상에서 트랜지션 당 다수의 비트들을 인코딩할 수 있다. 일 예에서, 3-상 인코딩 및 극성 인코딩의 조합은 프레임 버퍼 없이 제 2 LCD 드라이버 IC마다 WVGA(wide video graphics array) 80개 프레임들을 지원하는데 사용될 수도 있어, 디스플레이 리프레시를 위해 810 Mbps에서 픽셀 데이터를 전달한다.
- [0026] 도 3은 도 2에 나타난 통신 링크(220)의 특정 양태들을 구현하기 위해 이용될 수도 있는 3-와이어, 3-상 극성 인코더를 예시하는 개략적 다이어그램(300)이다. 3-와이어, 3-상 인코딩의 예는 오직 본 발명의 특정 양태들의 설명들을 간략화하기 위한 목적으로 선택된다. 3-와이어, 3-상 인코더들에 대하여 개시된 원리들 및 기술들은 M-와이어, N-상 극성 인코더들의 다른 구성들에 적용될 수 있다.
- [0027] 3-와이어, 3-상 극성 인코딩 방식에서 3개의 와이어들의 각각에 대해 정의된 시그널링 상태들은 비구동된 상태, 양의 구동된 상태 및 음의 구동된 상태를 포함할 수도 있다. 양의 구동된 상태 및 음의 구동된 상태는 신호 와이어들(310a, 310b 및/또는 310c) 중 2개의 신호 와이어들 사이에 전압 차를 제공하고/하거나 직렬로 접속된 신호 와이어들(310a, 310b 및/또는 310c) 중 2개의 신호 와이어들을 통하여 전류를 구동시켜 2개의 신호 와이어들(310a, 310b 및/또는 310c)에서 상이한 방향으로 전류가 흐르도록 하는 것에 의해 획득될 수도 있다. 비구동 상태는 신호 와이어(310a, 310b 또는 310c)의 드라이버의 출력을 하이 임피던스 모드로 배치하는 것에 의해 실현될 수도 있다. 선택적으로, 또는 부가적으로, 비구동된 상태는 "비구동" 신호 와이어(310a, 310b 또는 310c)로 하여금 능동으로 또는 수동으로, 구동된 신호 와이어(310a, 310b 및/또는 310c) 상에 제공된 양의 전압과 음의 전압 사이의 실질적으로 중간에 놓이는 전압 레벨을 달성하도록 하는 것에 의해 신호 와이어(310a, 310b 또는 310c) 상에서 획득될 수도 있다. 통상적으로, 비구동된 신호 와이어(310a, 310b 또는 310c)를 통과하는 상당한 전류 흐름은 없다. 3-와이어, 3-상 극성 인코딩 방식에 대해 정의된 신호 상태들은 3개의 전압 또는 전류 상태들(+1, -1 및 0)을 이용하여 표기될 수도 있다.
- [0028] 3-와이어, 3-상 극성 인코더는 신호 와이어들(310a, 310b 및 310c)의 시그널링 상태를 제어하기 위해 라인 드라이버들(308)을 채택할 수도 있다. 드라이버들(308)은 유닛 레벨 전류 모드 또는 전압 모드 드라이버들로서 구현될 수도 있다. 일 예에서, 각각의 드라이버(308)는 대응하는 신호 와이어들(310a, 310b 및 310c)의 출력 상태를 결정하는 신호들(316a, 316b 및 316c) 중 2개 이상의 신호들의 세트들을 수신할 수도 있다. 일 예에서, 2개의 신호들(316a, 316b 및 316c)의 세트는 하이일 때, 신호 와이어들(310a, 310b, 및 310c)을 각각 상위 레벨 또는 하위 레벨 전압을 향하여 구동시키는 풀업 및 풀다운 회로들을 활성화시키는 풀업 신호(PU 신호) 및 풀다운 신호(PD 신호)를 포함할 수도 있다. 이 예에서, PU 신호 및 PD 신호가 모두 로우일 때, 신호 와이어(310a, 310b 및 310c)는 중간 레벨 전압으로 종료될 수도 있다.
- [0029] M-와이어, N-상 극성 인코딩 방식에서 각각의 송신된 심볼 인터벌에 대해, 적어도 하나의 신호 와이어(310a, 310b 또는 310c)는 중간 레벨/비구동된(0) 전압 또는 전류 상태에 있는 한편, 양으로 구동된(+1 전압 또는 전류 상태) 신호 와이어들(310a, 310b 또는 310c)의 수는 음으로 구동된(-1 전압 또는 전류 상태) 신호 와이어(310a, 310b 또는 310c)의 수와 동일하여, 수신기로 흐르는 전류의 합이 항상 0이도록 한다. 각각의 심볼에 대해, 적어도 하나의 신호 와이어(310a, 310b 또는 310c)의 상태는 선행하는 송신 인터벌에서 송신된 심볼로부터 변경된다.
- [0030] 동작에서, 매퍼(302)는 16-비트 데이터(310)를 수신하여 7개 심볼들(312)에 매핑할 수도 있다. 3-와이어 예에서, 7개 심볼들 각각은 하나의 심볼 인터벌 동안 신호 와이어들(310a, 310b, 및 310c)의 상태들을 정의한다. 7개 심볼들(312)은 각각의 신호 와이어(310a, 310b 및 310c)에 대한 타이밍된 심볼들의 시퀀스(314)를 제공하는 병렬-대-직렬 컨버터들(304)을 이용하여 직렬화될 수도 있다. 심볼들의 시퀀스(314)는 통상적으로 송신 클록을 이용하여 타이밍된다. 3-와이어, 3-상 인코더(306)는 매퍼에 의해 한번에 하나의 심볼이 생성된 7개 심볼들의 시퀀스(314)를 수신하고, 각각의 심볼 인터벌 동안 각각의 신호 와이어

어 (310a, 310b 및 310c) 의 상태를 컴퓨팅한다. 3-와이어 인코더 (306) 는 신호 와이어들 (310a, 310b 및 310c) 의 이전 상태들 및 현재 입력 심볼들 (314) 에 기초하여 신호 와이어들 (310a, 310b 및 310c) 의 상태들을 선택한다.

[0031] M-와이어, N-상 인코딩의 이용은, 심볼당 비트들이 정수가 아닌 경우, 다수의 비트들이 복수의 심볼들로 인코딩되는 것을 허용한다. 3-와이어 통신 링크의 예에서, 동시에 구동될 수도 있는 2 개 와이어들의 3 개의 이용 가능한 조합들, 및 구동되는 와이어들의 쌍에서 극성의 2 개의 가능한 조합들이 존재하여, 6 개의 가능한 상태들을 발생시킨다. 각각의 트랜지션이 전류 상태에서부터 발생하기 때문에 6 개 상태들 중 5 개 상태는 매 트랜지션에서 이용가능하다. 적어도 하나의 와이어의 상태는 각각의 트랜지션시 변화하도록 요구된다. 5 개 상태들에서,  $\log_2(5) \cong 2.32$  비트들이 심볼마다 인코딩될 수도 있다. 따라서, 심볼당 2.32 비트들을 반송하는 7 개 심볼들이 16.24 비트들을 인코딩할 수 있기 때문에, 맵퍼는 16-비트 워드를 수용하여 7 개 심볼들로 변환할 수도 있다. 즉, 5 개 상태들을 인코딩하는 7 개 심볼들의 조합은  $5^7$  (78,125) 순열들을 갖는다. 따라서, 7 개 심볼들은 16 비트들의  $2^{16}$  (65,536) 순열들을 인코딩하는데 사용될 수도 있다.

[0032] 도 4 는 순환 상태 다이어그램 (450) 에 기초한 3 상 변조 데이터 - 인코딩 방식을 이용하여 인코딩된 신호들에 대한 타이밍 차트 (400) 의 예를 포함한다. 정보는 예를 들어, 와이어 또는 커넥터가 순환 상태 다이어그램 (450) 에 의해 정의된 3 개의 위상 상태들 ( $S_1$ ,  $S_2$  및  $S_3$ ) 중 하나에 있는 시그널링 상태들의 시퀀스로 인코딩될 수도 있다. 각각의 상태는  $120^\circ$  위상-시프트에 의해 다른 상태들과 분리될 수 있다. 일 예에서, 데이터는 와이어 또는 커넥터 상의 위상 상태들의 회전 방향으로 인코딩될 수도 있다. 신호에서의 위상 상태들은 시계 방향 (452 및 452') 또는 반시계 방향 (454 및 454') 으로 회전할 수도 있다. 예를 들어, 시계 방향 (452 및 452') 에서, 위상 상태들은  $S_1$  으로부터  $S_2$  로,  $S_2$  로부터  $S_3$  으로 그리고  $S_3$  로부터  $S_1$  으로의 트랜지션들 중 하나 이상의 트랜지션을 포함하는 시퀀스로 진행할 수도 있다. 반시계 방향 (454 및 454') 에서, 위상 상태들은  $S_1$  으로부터  $S_3$  으로,  $S_3$  로부터  $S_2$  로 그리고  $S_2$  로부터  $S_1$  으로의 트랜지션들 중 하나 이상의 트랜지션을 포함하는 시퀀스로 진행할 수도 있다. 3 개의 신호 와이어들 (310a, 310b 및 310c) 은 상이한 버전들의 동일한 신호를 반송할 수도 있고, 여기에서 버전들은 서로에 대해  $120^\circ$  로 시프트된 위상일 수도 있다. 각각의 시그널링 상태는 와이어 또는 커넥터 상의 상이한 전압 레벨 및/또는 와이어 또는 커넥터를 통한 전류 흐름의 방향으로서 표현될 수도 있다. 3-와이어 시스템에서의 시그널링 상태의 시퀀스 각각 동안, 각각의 신호 와이어 (310a, 310b 및 310c) 는 다른 와이어들과는 상이한 시그널링 상태들에 있다. 3 개 보다 많은 신호 와이어들 (310a, 310b 및 310c) 이 3-상 인코딩 시스템에 이용될 때, 각각의 상태가 모든 시그널링 인터벌에서 적어도 하나의 신호 와이어 (310a, 310b 및/또는 310c) 상에 존재하지만, 2 개 이상의 신호 와이어들 (310a, 310b 및/또는 310c) 이 각각의 시그널링 인터벌에서 동일한 시그널링 상태에 있을 수 있다.

[0033] 정보는 각각의 위상 트랜지션 (410) 에서 회전 방향으로 인코딩될 수도 있고, 3-상 신호는 각각의 시그널링 상태에 대해 방향을 변경할 수도 있다. 회전 방향은 어느 신호 와이어들 (310a, 310b 및/또는 310c) 이 위상 트랜지션 전 및 후에 '0' 상태에 있는지를 고려하는 것에 의해 결정될 수도 있는데, 이는 비구동된 신호 와이어 (310a, 310b 및/또는 310c) 가 회전 방향과 무관하게 회전하는 3-상 신호에서의 모든 시그널링 상태에서 변화하기 때문이다.

[0034] 인코딩 방식은 또한 능동으로 구동되는 2 개의 신호 와이어들 (310a, 310b 및/또는 310c) 의 극성 (408) 으로 정보를 인코딩할 수도 있다. 3-와이어 구현에서 임의의 시간에서, 신호 와이어들 (310a, 310b, 310c) 중 정확히 2 개의 신호 와이어들은 반대 방향으로의 전류들로 그리고/또는 전압 차이로 구동된다. 일 구현예에서, 데이터는 2 개의 비트 값들 (412) 을 이용하여 인코딩될 수도 있으며, 여기서 하나의 비트는 위상 트랜지션 (410) 의 방향으로 인코딩되고 제 2 비트는 전류 상태에 대한 극성 (408) 으로 인코딩된다.

[0035] 타이밍 차트 (400) 는 위상 회전 방향 및 극성 모두를 이용하는 데이터 인코딩을 예시한다. 커브들 (402, 404 및 406) 은 다수의 위상 상태들에 대해 각각 3 개의 신호 와이어들 (310a, 310b 및 310c) 상에서 반송되는 신호들에 관련된다. 초기에, 위상 트랜지션들 (410) 의 회전이 시간 414 에서 최상위 비트의 바이너리 '0' 으로 표현되는 반시계방향으로 스위칭될 때까지, 위상 트랜지션들 (410) 은 시계 방향으로 존재하고 최상위 비트는 바이너리 '1' 에 의해 설정된다. 최하위 비트는 각각의 상태에서 신호의 극성 (408) 을 반영한다.

[0036] 본원에 설명된 특정 양태들에 따르면, 1 비트의 데이터는 3-와이어, 3-상 인코딩 시스템에서 회전으로 또는 위상 변화로 인코딩되고, 추가 비트는 2 개의 구동된 와이어들의 극성으로 인코딩될 수도 있다. 추가 정보는

전류 상태로부터의 가능한 상태들의 어느 것으로의 트랜지션을 허용하는 것에 의해 3-와이어, 3-상 인코딩 시스템의 각각의 트랜지션시 인코딩될 수도 있다. 3 개의 회전 위상들 및 각각의 위상에 대한 2 개의 극성들이 주어지면, 3-와이어, 3-상 인코딩 시스템에서는 6 개의 상태들이 이용가능하다. 따라서, 임의의 전류 상태에서부터 5 개의 상태들이 이용가능하고, 심볼 (트랜지션) 당  $\log_2(5) \cong 2.32$  비트들이 존재할 수도 있어 맵퍼 (302) 가 16-비트 워드를 수용하여 이를 7 개의 심볼들로 인코딩할 수도 있다.

[0037] N-상 데이터 전달은 통신 매체, 이를 테면, 버스에 제공될 때 3개 보다 많은 와이어들을 이용할 수도 있다. 동시에 구동될 수도 있는 추가적인 신호 와이어들의 이용은 상태들 및 극성들의 더 많은 조합들을 제공하고, 상태들 사이의 각각의 트랜지션시 더 많은 비트들의 데이터가 인코딩되는 것을 허용한다. 이는 증가된 대역폭을 제공하면서, 데이터 비트들을 송신하기 위해 다수의 차동 쌍들을 이용하는 접근방식에 비해 전력 소모를 감소시키고 시스템의 스루풋을 개선시킨다.

[0038] 일 예에서, 인코더는 6 개의 와이어들을 이용하여 심볼들을 송신하고, 여기에서 와이어들의 2 개의 쌍들이 각각의 상태에 대해 구동된다. 6 개의 와이어들은 A 내지 F 로 라벨링될 수도 있어, 일 상태에서, 와이어 A 및 F 는 양으로 구동되고 와이어들 B 및 E 는 음으로 구동되고 그리고 C 및 D 는 비구동된다 (또는 전류를 운반하지 않는다). 6 개의 와이어들에 대하여, 능동으로 구동되는 와이어들의

$$C(6,4) = \frac{6!}{(6-4)! \cdot 4!} = 15$$

[0039] 개의 가능한 조합들이 있을 수도 있고, 각각의 위상 상태에 대한 극성의:

$$C(4,2) = \frac{4!}{(4-2)! \cdot 2!} = 6$$

[0041] 개의 상이한 조합들을 갖는다.

[0042] 능동으로 구동되는 와이어들의 15 개의 조합들은 다음을 포함할 수도 있다:

A B C D	A B C E	A B C F	A B D E	A B D F
A B E F	A C D E	A C D F	A C E F	A D E F
B C D E	B C D F	B C E F	B D E F	C D E F

[0044] 구동되는 4 개의 와이어들 중에서, 2 개의 와이어들의 가능한 조합들이 양으로 구동된다 (다른 2개는 음이어야 한다). 극성의 조합들은 다음을 포함할 수도 있다:

[0045] + + - -      + - - +      + - + -      - + - +      - + + -      - - + +

[0046] 따라서, 상이한 상태들의 총 수는  $15 \times 6 = 90$  로서 계산될 수도 있다. 심볼들 사이의 트랜지션을 보장하기 위하여, 89개의 상태들이 임의의 전류 상태로부터 이용가능하며, 각각의 심볼에서 인코딩될 수도 있는 비트들의 수는 심볼 당  $\log_2(89) \cong 6.47$  비트들로서 계산될 수도 있다. 이 예에서,  $5 \times 6.47 = 32.35$  비트인 것으로 주어지면, 32-비트 워드가 맵퍼에 의해 5 개의 심볼들로 인코딩될 수 있다.

[0047] 임의의 사이즈의 버스에 대하여 구동될 수 있는 와이어들의 조합들의 수에 대한 일반 식은, 그 버스에서의 와이어들의 수 및 동시에 구동되는 와이어들의 수의 함수로서 나타낸다:

$$C(N_{wires}, N_{driven}) = \frac{N_{wires}!}{(N_{wires} - N_{driven})! \cdot N_{driven}!}$$

[0049] 구동중에 있는 와이어들에 대한 극성의 조합들의 수를 계산하는 하나의 식은 다음과 같다:

$$C\left(N_{driven}, \frac{N_{driven}}{2}\right) = \frac{N_{driven}!}{\left(\left(\frac{N_{driven}}{2}\right)!\right)^2}$$

[0051] - 15 -

[0052] 심볼 당 동등한 비트들의 수는 다음과 같이 표현될 수도 있다:

$$\log_2 \left( C(N_{wires}, N_{driven}) \cdot C \left( N_{driven}, \frac{N_{driven}}{2} \right) - 1 \right)$$

[0053]

[0054] 도 5 는 3-와이어, 3-상 통신 링크의 예에서 6 개의 상태들 및 30 개의 가능한 상태 트랜지션들을 나타내는 상태 다이어그램 (500) 이다. 상태 다이어그램 (500) 에서의 가능한 상태들 (502, 504, 506, 512, 514 및 516) 은 도 4 의 순환 상태 다이어그램 (450) 에 도시된 상태들을 포함하여 이 상태들로 확장된다. 상태 엘리먼트 (520) 의 예시로서 도시된 바와 같이, 상태 다이어그램 (500) 에서의 각각의 상태 (502, 504, 506, 512, 514 및 516) 는 (각각 신호 와이어들 (310a, 310b 및 310c) 상에서 송신되는) 신호들 (A, B 및 C) 의 전압 상태를 나타내는 필드 (522), 개별적으로 차동 수신기들 (예를 들어, 도 6 의 차동 수신기들 (602) 을 참조) 에 의한 와이어 전압들의 감산의 결과를 나타내는 필드 (524), 회전 방향을 나타내는 필드 (526) 를 포함한다. 예를 들어, 상태 (502)(+x) 에서, 와이어 A = +1, 와이어 B = -1 및 와이어 C = 0 가 되어, 차동 수신기 (702a) 의 출력은 (A-B) = +2 을 가져오고, 차동 수신기 (702b) 의 출력은 (B-C) = -1 가져오고 차동 수신기 (702c) 의 출력은 (C-A) = +1 을 가져온다. 상태 다이어그램에 의해 예시된 바와 같이, 수신기에서의 위상 변화 검출 회로부에 의해 행해진 트랜지션 결정들은 -2, -1, 0, +1 및 +2 전압 상태들을 포함하는, 차동 수신기들에 의해 생성된 5 개의 가능한 레벨들에 기초한다.

[0055] 도 6 은 3-와이어, 3-상 디코더 (600) 의 특정 양태들을 예시하는 다이어그램이다. 차동 수신기들 (602) 및 와이어 상태 디코더 (604) 는 서로에 대하여 3 개의 송신 라인들 (예를 들어, 도 3 에 예시된 신호 와이어들 (310a, 310b 및 310c)) 의 상태의 디지털 표현을 제공하고, 그리고 이전 심볼 주기에서 송신된 상태에 비해 3 개의 송신 라인들의 상태에서의 변화를 검출하도록 구성된다. 7 개의 연속하는 상태들은 디맵퍼 (608) 에 의해 프로세싱될 7 개의 심볼들의 세트를 획득하기 위해 직렬-대-병렬 컨버터들 (606) 에 의해 어셈블리된다. 디맵퍼 (608) 는 선입선출 (FIFO) 레지스터 (610) 에서 버퍼링될 수도 있는 16 비트들의 데이터를 생성한다.

[0056] 와이어 상태 디코더 (604) 는 신호 와이어들 (310a, 310b 및 310c) 상에서 수신되는 위상 인코딩된 신호들로부터 심볼들 (614) 의 시퀀스를 추출한다. 심볼들 (614) 은 본원에 개시된 위상 회전 및 극성의 조합으로서 인코딩된다. 와이어 상태 디코더는 신호 와이어들 (310a, 310b 및 310c) 로부터 심볼들을 신뢰성있게 캡처하는데 이용될 수 있는 클록 (626) 을 추출하는 CDR 회로 (624) 를 포함할 수도 있다. 트랜지션은 각각의 심볼 바운더리에서 신호 와이어들 (310a, 310b 및 310c) 중 적어도 하나에서 발생하며, CDR 회로 (624) 는 일 트랜지션 또는 다수의 트랜지션들의 발생에 기초하여 클록 (626) 을 생성하도록 구성될 수도 있다. 클록의 예지는 모든 신호 와이어들 (310a, 310b 및 310c) 이 안정화되는 시간을 허용하도록 그리고 이에 의해 현재 심볼이 디코딩 목적을 위하여 캡처되는 것을 보장하도록 지연될 수도 있다.

### [0057] 3-상 인터페이스들에서의 지터

[0058] 3-상 송신기는 고, 저, 및 중간 레벨 전압들을 송신 채널 상에 제공하는 드라이버들을 포함한다. 이는 연속하는 심볼 인터벌들 간에 일부 가변적인 트랜지션 시간들을 발생할 수 있다. 저-대-고, 및 고-대-저 전압 트랜지션들은 풀 스윙 트랜지션들로 지칭될 수도 있는 한편, 저-대-중간 및 고-대-중간 전압 트랜지션들은 하프-스윙 트랜지션들로 지칭될 수도 있다. 상이한 유형들의 트랜지션들은 상이한 상승 또는 하강 시간들을 가질 수도 있고, 수신기에서 상이한 제로 크로싱을 일으킬 수도 있다. 이들 차이들은 "인코딩 지터"를 일으킬 수 있고 이는 링크 신호 무결성 성능에 영향을 줄 수도 있다.

[0059] 도 7 은 C-PHY 3-상 송신기의 출력에서 트랜지션 변동성의 특정 양태들을 예시하는 타이밍도 (700) 이다. 신호 트랜지션 시간들에서의 변동성은 3-상 시그널링에 이용된 상이한 전압 및/또는 전류 레벨들의 존재에 기여할 수도 있다. 타이밍도 (700) 는 단일의 신호 와이어 (310a, 310b 또는 310c) 로부터 수신된 신호에서의 트랜지션 시간들을 예시한다. 제 1 심볼  $Sym_n$  (702) 은 제 2 심볼  $Sym_{n+1}$  (724) 이 제 2 심볼 인터벌에서 송신될 때의 시간 (722) 에서 종료하는 제 1 심볼 인터벌에서 송신된다. 제 2 심볼 인터벌은 제 3 심볼  $Sym_{n+2}$  (706) 이 제 3 심볼 인터벌에서 송신될 때 시간 (726) 에서 종료할 수도 있고, 제 3 심볼 인터벌은 제 4 심볼  $Sym_{n+3}$  (708) 이 제 4 심볼 인터벌에서 송신될 때 종료한다. 제 1 심볼 (702) 에 의해 결정된 상태로부터 제 2 심볼 (704) 에 대응하는 상태로의 트랜지션은 신호 와이어 (310a, 310b 또는 310c) 에서의 전압이 임계 전압 (718 및/또는 720) 에 도달하는데 걸리는 시간에 기여가능한 지연 (712) 후에 검출가능할 수도 있다. 임계 전압들은 신호 와이어 (310a, 310b 또는 310c) 의 상태를 결정하는데 이용될 수도 있다. 제 2 심볼 (704)



에 의해 결정된 상태에서부터 제 3 심볼 (706) 에 대한 상태로의 트랜지션은 신호 와이어 (310a, 310b 또는 310c) 에서의 전압이 임계 전압 (718 및/또는 720) 중 하나에 도달하는데 걸리는 시간에 기여가능한 지연 (714) 후에 검출가능할 수도 있다. 제 3 심볼 (706) 에 의해 결정된 상태에서부터 제 4 심볼 (708) 에 대한 상태로의 트랜지션은 신호 와이어 (310a, 310b 또는 310c) 에서의 전압이 임계 전압 (718 및/또는 720) 에 도달하는데 걸리는 시간에 기여가능한 지연 (716) 후에 검출가능할 수도 있다. 지연들 (712, 714 및 716) 은 상이한 지속기간들을 가질 수도 있으며, 이는 3 개의 상태들 및/또는 상이한 트랜지션 양들과 연관된 상이한 전압 또는 전류 레벨들 사이의 트랜지션들에 불균등한 영향을 줄 수도 있는 디바이스 제조 프로세스들 및 동작 조건들에서의 변동들에 부분적으로 기여가능할 수도 있다. 이들 차이들은 C-PHY 3-상 수신기에서의 지터 및 다른 문제들에 기여할 수도 있다.

[0060] 도 8 은 C-PHY 3-상 인터페이스에서 수신기에 제공될 수도 있는 CDR 회로들의 특정 양태들을 예시하는 블록 개략도 (800) 를 포함한다. 차동 수신기들 (802a, 802b 및 802c) 의 세트는 트리오에서의 3 개의 신호 와이어들 (310a, 310b 및 310c) 의 각각을 트리오에서의 3 개의 신호 와이어들 (310a, 310b 및 310c) 중 다른 것과 비교하는 것에 의해 상이한 신호들 (810) 의 세트를 생성하도록 구성된다. 도시된 예에서, 제 1 차동 수신기 (802a) 는 신호 와이어들 (310a 및 310b) 의 상태들을 비교하고, 제 2 차동 수신기 (802b) 는 신호 와이어들 (310b 및 310c) 의 상태들을 비교하고 제 3 차동 수신기 (802c) 는 신호 와이어들 (310a 및 310c) 의 상태들을 비교한다. 따라서, 차동 수신기들 (802a, 802b 및 802c) 중 적어도 하나의 출력이 각각의 심볼 인터벌의 종료시 변화하기 때문에, 트랜지션 검출 회로 (804) 는 위상 변화의 발생을 검출하도록 구성될 수 있다.

[0061] 송신된 심볼들 사이의 특정 트랜지션들이 단일의 차동 수신기 (802a, 802b 또는 802c) 에 의해 검출가능할 수도 있고, 다른 트랜지션들은 차동 수신기들 (802a, 802b 및 802c) 중 둘 이상에 의해 검출될 수도 있다. 일 예에서, 2 개의 와이어들의 상태들 또는 상대적 상태들은, 대응하는 차동 수신기 (802a, 802b 또는 802c) 의 트랜지션 및 출력이 위상 트랜지션 후에 또한 변경되지 않을 수도 있는 후에는, 변경되지 않을 수도 있다. 다른 예에서, 신호 와이어들 (310a, 310b 및/또는 310c) 의 쌍에서의 양쪽 와이어들이 제 1 시간 인터벌에서 동일한 상태에 있을 수도 있고, 양쪽 와이어들이 제 2 시간 인터벌에서 동일한 제 2 상태에 있을 수도 있고 대응하는 차동 수신기 (802a, 802b 또는 802c) 는 위상 트랜지션 후에 변경되지 않을 수도 있다. 따라서, 클록 생성 회로 (806) 는 위상 트랜지션이 발생한 때를 결정하기 위하여 모든 차동 수신기들 (802a, 802b 및 802c) 의 출력들을 모니터링하도록 트랜지션 검출 회로 (804) 및/또는 다른 로직을 포함할 수도 있다. 클록 생성 회로는 검출된 위상 트랜지션들에 기초하여 수신 클록 신호 (808) 를 생성할 수도 있다.

[0062] 3 와이어들의 시그널링 상태들에서의 변화들은 신호 와이어들 (310a, 310b 및/또는 310c) 의 상이한 조합들에 대한 상이한 시간들에서 검출될 수도 있다. 시그널링 상태 변화들의 검출 타이밍은 발생하였던 시그널링 상태 변화의 유형에 따라 다를 수도 있다. 이러한 변동성의 결과는 도 8 에서의 타이밍 차트 (850) 에 예시된다. 마커들 (822, 824 및 826) 은 트랜지션 검출 회로 (804) 에 제공된 차동 신호들 (810) 에서의 트랜지션들의 발생을 나타낸다. 마커들 (822, 824 및 826) 은 단지 설명의 명료화를 위하여 타이밍 차트 (850) 에 상이한 높이들이 배정되며, 마커들 (822, 824 및 826) 의 상대 높이들은 클록 생성 또는 데이터 디코딩에 이용된 전압 또는 전류 레벨들, 극성 또는 가중치들에 대한 특정 관계들을 보여주는 것으로 의도되지 않는다. 타이밍 차트 (850) 는 3 개의 신호 와이어들 (310a, 310b 및 310c) 상에서 위상 및 극성으로 송신되는 심볼들과 연관된 트랜지션들의 타이밍의 효과를 예시한다. 타이밍 차트 (850) 에서, 일부 심볼들 사이의 트랜지션들은 가변적인 캡처 윈도우들 (830a, 830b, 830c, 830d, 830e, 830f 및/또는 830g)(이들은 총괄적으로 심볼 캡처 윈도우들 (830)) 을 일으킬 수도 있고, 이들 윈도우 동안에 심볼들이 신뢰성있게 캡처될 수도 있다. 검출된 복수의 상태 변화들 및 이들의 상대적 타이밍은 클록 신호 (808) 상에 지터를 일으킬 수도 있다.

[0063] C-PHY 통신 링크의 스루풋은 신호 트랜지션 시간들에서의 변동성 및 지속기간에 의해 영향을 받을 수도 있다. 예를 들어, 검출 회로들에서의 변동성은 전압 및 전류 소스들의 제조 프로세스 허용오차들, 변동성 및 안정성, 및 동작 온도 뿐만 아니라 신호 와이어들 (310a, 310b 및 310c) 의 전기 특성들에 의해 야기될 수도 있다. 검출 회로들에서의 변동성은 채널 대역폭을 제한할 수도 있다.

[0064] 도 9 는 특정의 연속하는 심볼들 사이에서 제 1 시그널링 상태에서부터 제 2 시그널링 상태로의 트랜지션들의 특정 예들을 표현하는 타이밍 차트들 (900 및 920) 을 포함한다. 타이밍 차트들 (900 및 920) 에 예시된 시그널링 상태 트랜지션들은 예시의 목적을 위하여 선택되며, 다른 트랜지션들 및 트랜지션들의 조합들이 MIPI 얼라이언스 C-PHY 인터페이스에서 발생할 수 있다. 타이밍 차트들 (900 및 920) 은 3-와이어, 3-상 통신 링크의 일 예에 대한 것이고, 여기에서 다수의 수신기 출력 트랜지션들이, 와이어들의 트리어 상의 신호 레벨들 간의 상승 시간과 하강 시간에서의 차이들에 기인하여, 각각의 심볼 인터벌 바운더리에서 발생할 수도 있다. 또

한 도 8 을 참조하여 보면, 제 1 타이밍 차트들 (900) 은 트랜지션 전과 트랜지션 후의 신호 와이어들 (310a, 310b 및 310c) 의 트리오 (A, B, 및 C) 의 시그널링 상태들을 예시하며, 제 2 타이밍 차트들 (920) 은 신호 와이어들 (310a, 310b 및 310c) 사이의 차이들을 나타내는 차동 신호들 (810) 을 제공하는 차동 수신기들 (802a, 802b 및 802c) 의 출력들을 예시한다. 많은 예시들에서, 차동 수신기들 (802a, 802b 및 802c) 의 세트는 2 개의 신호 와이어들 (310a, 310b 및 310c) 에 대한 상이한 조합들을 비교하는 것에 의해 트랜지션들을 캡처하도록 구성될 수도 있다. 일 예에서, 이들 차동 수신기들 (802a, 802b 및 802c) 은 이들 개별적인 입력 전압들의 차이를 (예를 들어, 감산에 의해) 결정하는 것에 의해 출력들을 생성하도록 구성될 수도 있다.

[0065] 타이밍 차트들 (900 및 920) 에 나타난 예들 각각에서, 초기 심볼 (-z)(516)(도 8 참조) 이 상이한 심볼로 트랜지션한다. 타이밍 차트들 (902, 904 및 906) 에 도시된 바와 같이, 신호 A 는 초기에 +1 상태에 있고, 신호 B 는 0 상태에 있고, 신호 C 는 -1 상태에 있다. 따라서, 차동 수신기 출력들에 대하여 타이밍 차트들 (922, 932, 938) 로 도시된 바와 같이, 차동 수신기들 (802a, 802b) 은 초기에 +1 차이 (924) 를 측정하고, 차동 수신기 (802c) 는 -2 차이 (926) 를 측정한다.

[0066] 타이밍 차트들 (902, 922) 에 대응하는 제 1 예에서, 트랜지션은 심볼 (-z)(516) 로부터 심볼 (-x)(512) 로 발생하고 (도 8 참조) 여기에서 신호 A 는 -1 상태로 트랜지션하고 신호 B 는 +1 상태로 트랜지션하고 신호 C 는 0 상태로 트랜지션하고, 차동 수신기 (802a) 는 +1 차이 (924) 로부터 -2 차이 (930) 로 트랜지션하고 차동 수신기 (802b) 는 +1 차이 (924, 928) 에서 유지되고, 차동 수신기 (802c) 는 -2 차이 (926) 로부터 +1 차이 (928) 로 트랜지션한다.

[0067] 타이밍 차트들 (904, 932) 에 대응하는 제 2 예에서, 트랜지션은 심볼 (-z)(516) 로부터 심볼 (+z)(506) 로 발생하고 여기에서 신호 A 는 -1 상태로 트랜지션하고 신호 B 는 0 상태로 유지되고 신호 C 는 +1 상태로 트랜지션하고, 2 개의 차동 수신기들 (802a 및 802b) 는 +1 차이 (924) 로부터 -1 차이 (936) 로 트랜지션하고 차동 수신기 (802c) 는 -2 차이 (926) 로부터 +2 차이 (934) 로 트랜지션한다.

[0068] 타이밍 차트들 (906, 938) 에 대응하는 제 3 예에서, 트랜지션은 심볼 (-z)(516) 로부터 심볼 (+x)(502) 로 발생하고 여기에서 신호 A 는 +1 상태로 트랜지션하고 신호 B 는 -1 상태로 트랜지션하고 신호 C 는 0 상태로 트랜지션하고, 차동 수신기 (802a) 는 +1 차이 (924) 로부터 +2 차이 (940) 로 트랜지션하고 차동 수신기 (802b) 는 +1 차이 (924) 로부터 -1 차이 (942) 로 트랜지션하고, 차동 수신기 (802c) 는 -2 차이 (926) 로부터 -1 차이 (942) 로 트랜지션한다.

[0069] 이들 예들은 0, 1, 2, 3, 4 및 5 레벨들의 범위에 이르는 차이 값들로의 트랜지션을 예시한다. 통상의 차분 또는 신호단 직렬 송신기들에 이용된 프리-엠퍼시스 기술들이 2 개의 레벨 트랜지션들에 대해 개발되었고, MIPI 얼라이언스 C-PHY 3-상 신호에 이용되면 특정한 역효과를 도입할 수도 있다. 특히, 트랜지션 동안 신호를 과구동시키는 프리-엠퍼시스 회로는 1 또는 2 레벨의 범위에 이르는 트랜지션 동안 오버슈트를 야기할 수도 있고 에지 감지 회로들에 잘못된 트리거들의 발생을 야기할 수도 있다.

[0070] 도 10 은 단일의 심볼 인터벌 (1002) 을 포함한 다수의 심볼 인터벌들의 오버레이로서 생성된 아이 패턴 (1000) 을 예시한다. 신호 트랜지션 영역 (1004) 은 가변 신호 상승 시간들이 신뢰성있는 디코딩을 방해하는, 2 개의 심볼들 사이에 바운더리에서 불확실성의 기간을 나타낸다. 상태 정보는 심볼이 안정적이고 신뢰성있게 수신 및 디코딩될 수 있는 기간을 나타내는 "아이 오프닝" 내에서 아이 마스크 (1006) 에 의해 정의된 영역에서 신뢰성있게 결정될 수도 있다. 아이 마스크 (1006) 는 제로 크로싱이 발생하지 않는 영역을 마스크 오프하고, 아이 마스크는 제 1 신호 제로 크로싱을 뒤따르는 심볼 인터벌 바운더리에서의 후속의 제로 크로싱들의 효과로 인하여 다수의 클로킹을 방지하기 위해 디코더에 의해 이용된다.

[0071] 신호의 주기적 샘플링 및 디스플레이의 개념은 수신된 데이터에 나타나는 빈번한 트랜지션들을 이용하여 수신된 데이터 타이밍 신호를 재형성하는 클록 데이터 복원 회로를 이용하는 시스템들의 설계, 적응 및 구성 동안에 유용하다. 직렬화기/역직렬화기 (SERDES) 기술에 기초한 통신 시스템은 아이 패턴 (1000) 이 아이 패턴 (1000) 의 아이 오프닝에 기초하여 데이터를 신뢰성있게 복원하는 능력을 판정하기 위한 기초로서 이용될 수 있는 시스템의 예이다.

[0072] 3-와이어 3-상 인코더와 같은 M-와이어 N-상 인코딩 시스템은 모든 심볼 바운더리에서 적어도 하나의 트랜지션을 갖는 신호를 인코딩할 수 있으며, 수신기는 이들 보장된 트랜지션을 이용하여 클록을 복원할 수도 있다. 수신기는 심볼 바운더리에서 제 1 신호 트랜지션 직전에 신뢰가능한 데이터를 요구할 수 있으며 동일한 심볼 바운더리에 상관되는 다수의 트랜지션들의 임의의 발생들을 신뢰성있게 마스크할 수 있어야 한다. M-와이어

들 (예를 들어, 와이어들의 트리오) 상에서 반송되는 신호들 사이의 상승 시간과 하강 시간에서의 미소한 차이들로 인하여 그리고 수신된 신호 쌍들의 조합 (예를 들어, 도 6 의 차동 수신기들 (802a, 802b 및 802c) 의 A-B, B-C, 및 C-A 출력들) 간의 신호 전파 시간에서의 미소한 차이에 기인하여 다수의 수신기 트랜지션들이 발생할 수도 있다.

[0073] 도 11 은 C-PHY 3-상 신호에 대해 생성된 아이 패턴 (1100) 의 일 예를 예시한다. 아이-패턴 (1100) 은 다수의 심볼 인터벌들 (1102) 의 오버레이로부터 생성될 수도 있다. 아이-패턴 (1100) 은 고정된 및/또는 심볼 독립적인 트리거 (1130) 를 이용하여 생성될 수도 있다. 아이-패턴 (1100) 은 N-상 수신기 회로 (도 8 참조) 에서의 차동 수신기들 (802a, 802b, 802c) 에 의해 측정된 다수의 전압 레벨들에 기인할 수도 있는 증가된 수의 전압 레벨들 (1120, 1122, 1124, 1126, 1128) 을 포함한다. 예에서, 아이-패턴 (1100) 은 차동 수신기들 (802a, 802b, 및 802c) 에 제공된 3-와이어, 3-상 인코딩된 신호들에서의 가능한 트랜지션들에 대응할 수도 있다. 3개의 전압 레벨들은 차동 수신기들 (802a, 802b, 및 802c) 로 하여금 양의 극성 및 음의 극성 양쪽에 대해 강 전압 레벨들 (1126, 1128) 및 약 전압 레벨들 (1122, 1124) 을 생성하게 할 수도 있다. 통상적으로, 오직 하나의 신호 와이어 (310a, 310b 및 310c) 만이 어느 심볼에서도 비구동되고 차동 수신기들 (802a, 802b, 및 802c) 은 출력으로서 0 상태 (여기서는, 0 볼트) 를 생성하지 않는다. 강 및 약 레벨들과 연관된 전압들은 0 볼트 레벨에 대하여 균일하게 이격되는 것이 필요하지 않다. 예를 들어, 약 전압 레벨들 (1122, 1124) 은 비구동 신호 와이어 (310a, 310b 및 310c) 에 의해 도달된 전압 레벨을 포함할 수도 있는 전압들의 비교를 나타낸다. 아이-패턴 (1100) 은 데이터가 수신 디바이스에서 캡처될 때 신호들의 모든 3 개의 쌍들이 동시에 고려되기 때문에, 차동 수신기들 (802a, 802b, 및 802c) 에 의해 생성된 파형들을 오버랩할 수도 있다. 차동 수신기들 (802a, 802b, 및 802c) 에 의해 생성된 파형들은 신호들의 3 개의 쌍들 (A-B, B-C, 및 C-A) 의 비교들을 나타내는 차동 신호들 (810) 을 나타낸다.

[0074] C-PHY 3-상 디코더에 이용된 드라이버들, 수신기들 및 다른 디바이스들은 3 개의 와이어들로부터 수신된 신호들 사이의 상대적 지연들을 도입할 수 있는 상이한 스위칭 특성들을 나타낼 수도 있다. 다수의 수신기 출력 트랜지션들은 신호 와이어들 (310a, 310b 및 310c) 의 트리오의 3 개의 신호들 사이의 상승 및 하강 시간에서의 미소한 차이들에 기인하여 그리고 신호 와이어들 (310a, 310b 및 310c) 로부터 수신된 신호들의 쌍들의 조합 사이의 신호 전파 시간들에서의 미소한 차이들에 기인하여 각각의 심볼 인터벌 바운더리 (1108 및/또는 1114) 에서 관측될 수도 있다. 아이-패턴 (1100) 은 각각의 심볼 인터벌 바운더리 (1108 및 1114) 근방에서의 트랜지션들에서 상대적 지연으로서 상승 및 하강 시간들에서의 변동들을 캡처할 수도 있다. 상승 및 하강 시간들에서의 변동들은 3-상 드라이버들의 상이한 특성들에 기인할 수도 있다. 상승 및 하강 시간들에서의 차이들은 또한 임의의 주어진 심볼에 대해 심볼 인터벌 (1102) 의 지속기간의 효과적인 단축 또는 연장을 야기할 수도 있다.

[0075] 신호 트랜지션 영역 (1104) 은 시간 또는 불확실성의 기간을 나타내며, 여기에서 가변 신호 상승 시간은 신뢰성 있는 디코딩을 방해한다. 상태 정보는 심볼이 안정성있고 신뢰성있게 수신 및 디코딩될 수 있는 기간을 나타내는 "아이 오프닝" (1106) 에서 신뢰성있게 결정될 수도 있다. 일 예에서, 아이 오프닝 (1106) 은 신호 트랜지션 영역 (1104) 의 종점 (1112) 에서 시작하여 심볼 인터벌 (1102) 의 심볼 인터벌 바운더리 (1114) 에서 종료하도록 결정될 수도 있다. 도 11 에 도시된 예에서, 아이 오프닝 (1106) 은 신호 트랜지션 영역 (1104) 의 종점 (1112) 에서 시작하여 신호 와이어들 (310a, 310b, 310c) 의 시그널링 상태 및/또는 3 개의 차동 수신기들 (802a, 802b 및 802c) 의 출력이 다음 심볼을 반영하도록 변화하기 시작할 때의 시간 (1116) 에서 종료하도록 결정될 수도 있다.

[0076] N-상 인코딩을 위하여 구성된 통신 링크 (220) 의 최대 속도는 수신된 시간에 대응하는 아이 오프닝 (1106) 에 비교되는 신호 트랜지션 영역 (1104) 의 지속기간에 의해 제한될 수도 있다. 심볼 인터벌 (1102) 에 대한 최소 주기는 예를 들어, 도 6 에 예시된 디코더 (600) 에서 CDR 회로 (624) 와 연관된 설계 마진들을 타이트하게 함으로써 제약될 수도 있다. 상이한 시그널링 상태 트랜지션들은 2 개 이상의 신호 와이어들 (310a, 310b 및/또는 310c) 에 대응하는 신호 트랜지션 시간들에서의 상이한 변동들과 연관될 수도 있어, 이에 의해 수신 디바이스에서의 차동 수신기들 (802a, 802b 및 802c) 의 출력들로 하여금 심볼 인터벌 바운더리 (1108) 에 대하여 상이한 시간 및/또는 레이트들로 변화하게 하며, 여기에서 차동 수신기들 (802a, 802b 및 802c) 의 입력들이 변화하기 시작한다. 신호 트랜지션 시간들 사이의 차이들은 둘 이상의 차동 신호들 (810) 에서의 시그널링 트랜지션들 사이의 타이밍 스큐들을 야기할 수도 있다. CDR 회로들은 차동 신호들 (810) 사이의 타이밍 스큐들을 수용하도록 지연 엘리먼트들 및 다른 회로들을 포함할 수도 있다.

[0077] 도 12 는 3-와이어, 3-상 인터페이스에 대한 CDR 회로 (1200) 의 일 예를 제공한다. 예시된 CDR 회로

(1200) 는 많은 상이한 유형들의 클록 복원 회로들에 공통되는 특정 피처들 및 기능 엘리먼트들을 포함한다.

CDR 회로 (1200) 는 차동 신호들 (1202, 1204, 1206) 을 수신하고, 이 신호들은 예를 들어, 도 8 의 차동 수신기들 (802a, 802b 및 802c) 에 의해 생성되는 차동 신호들 (810) 로부터 유도될 수도 있다. CDR 회로 (1200) 에서, 각각의 차동 신호 (1202, 1204, 1206) 는 출력 신호들 (1230a-1230f) 을 생성하기 위해 D 플립-플롭들 (1210a, 1210b, 1210c) 의 쌍을 클록킹한다. 출력 신호들 (1230a-1230f) 은 트랜지션이 대응하는 차동 신호 (1202, 1204, 1206) 상에서 검출될 때 펄스를 반송한다. D 플립-플롭 상의 클록 입력에 제공된 상승 에지는 D 플립-플롭을 통하여 논리 1 을 클록킹한다. 인버터들 (1208a, 1208b, 1208c) 은 D 플립-플롭들 (1210a, 1210b, 1210c) 의 각각의 대응하는 쌍에서 D 플립-플롭들 중 하나에 반전된 버전들의 차동 신호들 (1202, 1204, 1206) 을 제공하는데 이용될 수도 있다. 따라서, D 플립-플롭들 (1210a, 1210b, 1210c) 의 각각의 쌍은 대응하는 차동 신호 (1202, 1204, 1206) 에서 검출된 상승 에지 및 하강 에지에 응답하여 펄스들을 생성한다.

[0078] 예를 들어, AB 차동 신호 (1202) 가 D 플립-플롭 (1210a) 의 제 1 쌍의 제 1 D 플립-플롭 (1232) 에 제공되고, 인버터 (1208a) 는 D 플립-플롭들 (1210a) 의 제 1 쌍의 제 2 D 플립-플롭 (1234) 에 반전된 버전의 AB 차동 신호 (1202) 를 제공한다. D 플립-플롭들은 초기에 리셋 상태에 있다. AB 차동 신호 (1202) 에서의 상승 에지는 제 1 D 플립-플롭 (1232) 을 통하여 논리 1 을 클록킹하여 제 1 플립-플롭 (r\_AB)(1230a) 의 출력이 논리 1 상태로 트랜지션하도록 한다. AB 차동 신호 (1202) 에서의 상승 에지는 제 2 D 플립-플롭 (1234) 을 통하여 논리 1 을 클록킹하여 제 2 플립-플롭 (f\_AB)(1230b) 의 출력이 논리 1 상태로 트랜지션하도록 한다.

[0079] 출력 신호들 (1230a-1230f) 은 수신기 클록 (RxCLK) 신호 (1222) 로서 역할을 할 수도 있는 출력 신호를 생성하는 로직, 이를 테면, OR 게이트 (1212) 에 제공된다. RxCLK 신호 (1222) 는 임의의 차동 신호들 (1202, 1204, 1206) 의 시그널링 상태에서 트랜지션이 발생할 때 논리 1 상태로 트랜지션한다. RxCLK 신호 (1222) 는 프로그래밍 지연 엘리먼트 (1214) 에 제공되고, 이 엘리먼트는 D 플립-플롭들 (1210a, 1210b, 1210c) 의 쌍들에서 D 플립-플롭을 리셋하는 리셋 신호 (rb)(1228) 를 구동시킨다. 도시된 예에서, 인버터 (1216) 는 D 플립-플롭들이 로우 신호에 의해 리셋될 때 포함될 수도 있다. D 플립-플롭들이 리셋될 때, OR 게이트 (1212) 의 출력은 논리 0 상태로 복귀되고, RxCLK 신호 (1222) 상의 펄스가 종료된다. 이 논리 0 상태가 프로그래밍가능 지연 엘리먼트 (1214) 및 인버터 (1216) 를 통하여 전파할 때 D 플립-플롭 상의 리셋 조건은 릴리즈된다. D 플립-플롭이 리셋 조건에 있는 한편, 차동 신호들 (1202, 1204, 1206) 상의 트랜지션들은 무시된다.

[0080] 프로그래밍가능 지연 엘리먼트 (1214) 는 통상적으로, 차동 신호들 (1202, 1204, 1206) 상의 제 1 및 마지막 트랜지션들의 발생 사이에 타이밍 스큐에서의 차이를 초과하는 지속기간을 갖는 지연을 생성하도록 구성된다. 프로그래밍 지연 엘리먼트 (1214) 는 RxCLK 신호 (1222) 상의 펄스들의 지속기간 (즉, 펄스 폭) 을 구성한다. 프로그래밍가능 지연 엘리먼트 (1214) 는 Set 신호 (1226) 가 다른 제어 및/또는 구성 로직 또는 프로세서에 의해 표명될 때를 구성될 수도 있다.

[0081] RxCLK 신호 (1222) 는 또한, 차동 신호들 (1202, 1204, 1206) 의 시그널링 상태를 캡처하는 3 개의 플립-플롭들 (1220) 의 세트에 제공될 수도 있어, RxCLK 신호 (1222) 상에서 발생하는 각각의 펄스에 대한 안정적인 출력 심볼 (1224) 을 제공한다. 지연 또는 정렬 로직 (1218) 은 차동 신호들 (1202, 1204, 1206) 의 세트의 타이밍을 조정할 수도 있다. 예를 들어, 지연 또는 정렬 로직 (1218) 은 RxCLK 신호 (1222) 상의 펄스들에 대하여 차동 신호들 (1202, 1204, 1206) 의 타이밍을 조정하여, 차동 신호들 (1202, 1204, 1206) 이 안정상태에 있을 때 플립 플롭들 (1220) 이 차동 신호들 (1202, 1204, 1206) 의 시그널링 상태를 캡처하는 것을 보장할 수도 있다. 지연 또는 정렬 로직 (1218) 은 프로그래밍가능 지연 엘리먼트 (1214) 에 대하여 구성된 지연에 기초하여 차동 신호들 (1202, 1204, 1206) 에서의 에지들을 지연시킬 수도 있다.

[0082] 프로그래밍가능 지연 엘리먼트 (1214) 는 차동 신호들 (1202, 1204, 1206) 에서의 트랜지션 시간들에서 가능한 큰 변동들을 수용하도록 CDR 회로 (1200) 에서 구성될 수도 있다. 일 예에서, 프로그래밍가능 지연 엘리먼트 (1214) 는 차동 신호들 (1202, 1204, 1206) 상의 제 1 및 마지막 트랜지션들의 발생 사이의 타이밍 스큐의 지속기간을 초과하는 최소 지연 주기를 도입할 수도 있다. CDR 회로 (1200) 의 신뢰성있는 동작을 위하여, 프로그래밍가능 지연 엘리먼트 (1214) 에 의해 제공된 최대 지연 시간은 심볼 인터벌 보다 더 크지 않을 수도 있다. 더 고속의 데이터 레이트들에서, 타이밍 스큐는 심볼 인터벌 (1102) 에 비례하여 증가하고 아이 오프닝 (1106) 은 심볼 인터벌 (1102) 에 비교하여 작게 될 수 있다. 신뢰성있는 심볼들의 캡처를 지원할 수 있는 임계 사이즈 미만으로 아이 오프닝 (1106) 에 의해 점유되는 심볼 인터벌 (1102) 의 백분율을 감소시킬 때 최대



심볼 송신 레이트는 제한될 수도 있다.

[0083] 도 13 은 CDR 회로 (1200) 의 동작의 특정 양태들을 예시하는 타이밍 도이다. 이 다이어그램은 프로그래밍 가능 지연 엘리먼트 (1214) 가 구성된 후의 동작들에 관한 것이고, Set 신호 (1226) 는 비활성이다. CDR 회로 (1200) 는 에지 검출기로서 동작한다. C-PHY 3-상 인코딩은 유닛 인터벌 (UI)(1302) 당 단일의 시그널링 상태 트랜지션을 제공한다. 트리오의 각각의 와이어의 상태에서의 차이들 및/또는 트리오의 송신 특성들은 상이한 시간들에서 2 개 이상의 와이어들 상에서 트랜지션이 나타나게 할 수도 있다. 차동 신호들 (1202, 1204, 1206) 에서의 트랜지션들의 발생의 시간에 최대 차이는 스큐 시간 ( $t_{skew}$ )(1304) 으로서 지칭될 수도 있다. CDR 회로 (1200) 와 연관된 다른 지연들은 D 플립-플롭들 (1210a, 1210b, 1210c) 의 쌍들을 관통하는 전파 지연 ( $t_{ck2q}$ )(1314), OR 게이트 (1212) 를 관통하는 상승 에지와 연관된 전파 지연 ( $t_{OR\_0}$ )(1316), OR 게이트 (1212) 를 관통하는 하강 에지와 연관된 전파 지연 ( $t_{OR\_1}$ )(1318), 프로그래밍가능 지연 엘리먼트 (1214) 와 드라이버/인버터 (1216) 에 의해 도입된 지연을 결합하는 전파 지연 ( $t_{pgm}$ )(1310) 및 D 플립-플롭들 (1210a, 1210b, 1210c) 의 쌍들에 의해 rb 신호 (1228) 의 수신 시간과, 플립-플롭 출력들이 클리어되는 시간 사이의 지연에 대응하는 리셋 지연 ( $t_{rst}$ )(1312) 을 포함한다.

[0084] 루프 시간 ( $t_{loop}$ )(1320) 은 다음과 같이 정의될 수도 있다:

$$t_{loop} = t_{ck2q} + t_{OR\_1} + t_{pgm} + t_{rst} + t_{OR\_0} + t_{pgm}.$$

[0086]  $t_{loop}$  (1320) 와 UI (1302) 사이의 관계는 CDR 회로 (1200) 의 동작의 신뢰성을 결정할 수도 있다. 이 관계는 UI (1302) 에 직접 영향을 미치는 송신에 이용되는 클록 주파수 및 프로그래밍가능 지연 엘리먼트 (1214) 의 동작의 가변성에 의해 영향을 받는다.

[0087] 일부 디바이스들에서, 프로그래밍가능 지연 엘리먼트 (1214) 의 동작은 제조 프로세스, 회로 공급 전압 및 다이 온도 (PVT) 에서의 변동에 의해 영향을 받을 수 있다. 구성된 값에 대해 프로그래밍가능 지연 엘리먼트 (1214) 에 의해 제공되는 지연 시간은 디바이스마다 및/또는 디바이스와 디바이스 회로 마다 상당히 다를 수도 있다. 통상의 시스템들에서, CDR 회로 (1200) 의 공칭 동작 조건은 일반적으로, 클록 에지가 최악의 경우의 PVT 효과에서 조차도, 신호 트랜지션 영역 (1104) 의 종점 (1112) 뒤에 그리고 다음 심볼로의 트랜지션 영역의 시작 전에 발생하는 것을 보장하기 위하여, 모든 PVT 조건들 하에서 아이 오프닝 (1106) 의 중간에서 어딘가에 클록 에지를 생성하도록 설계에 의해 설정된다. 송신 주파수가 증가하고 차동 신호들 (1202, 1204, 1206) 의 타이밍 스큐가 UI (1302) 에 비해 클 때, 아이 오프닝 (1106) 내의 클록 에지를 보장하는 CDR 회로 (1200) 를 설계하는 데 어려움이 발생할 수 있다. 예를 들어, 통상의 지연 엘리먼트는 모든 PVT 조건들에 대해 2 배 만큼 변화하는 지연 값을 생성할 수도 있다.

[0088] 도 14 는 불충분한 지연을 제공하는 프로그래밍가능 지연 엘리먼트 (1214) 의 효과를 예시하는 타이밍도 (1400) 이다. 이 예에서,  $t_{loop}$  (1406) 는 관찰된  $t_{skew}$  (1404) 에 비해 너무 짧고, 다수의 클럭 펄스들 (1408, 1410) 은 하나의 UI (1402) 에서 생성된다. 즉, 루프 지연  $t_{loop}$  (1406) 는  $t_{skew}$  (1404) 에 비해 충분히 크지 않고, 차동 신호들 (1202, 1204, 1206) 에 대한 나중에 발생하는 트랜지션들이 마스킹되지 않는다. 도시된 예에서, 차동 신호들 (1206) 중 하나에서의 제 2 트랜지션 (1414) 은 차동 신호들 (1202) 의 다른 신호에서 제 1 발생 트랜지션 (1412) 에 응답하여 펄스 (1408) 가 생성된 후에 검출될 수도 있다. 이 예에서, 복원된 클록 주파수는 3-상 인터페이스에서 심볼들을 송신하는데 사용된 클록 주파수의 2 배일 수도 있다.

[0089] 도 15 는 너무 긴 지연을 제공하는 프로그래밍가능 지연 엘리먼트 (1214) 의 효과를 예시하는 타이밍도 (1500) 이다. 이 예에서,  $t_{loop}$  (1506) 는 UI (1502) 보다 크다. CDR 회로 (1200) 는 제 1 UI (1502) 에서 제 1 발생 트랜지션 (1514) 에 응답하여 클럭 펄스 (1508) 를 생성할 수도 있지만, 제 2 UI (1512) 에서 트랜지션들 (1516, 1518) 이 발생할 때 rb 신호 (1228) 가 활성화될 수도 있다. 도시된 예에서, 제 2 UI (1512) 에서 트랜지션들 (1516, 1518) 은 마스킹되고, 제 2 UI (1512) 에 대응하는 예상된 펄스 (1510) 는 억제된다. 이 예에서, 복원된 클록 주파수는 3-상 인터페이스에서 심볼들을 송신하는데 사용된 클록 주파수의 절반일 수도 있다.

[0090] 도 14 및 도 15 의 예들에 의해 예시된 바와 같이, CDR 회로 (1200) 는 다음의 제약을 받을 수도 있다:

- [0091]  $t_{\text{skew}} < t_{\text{loop}} < UI$ .
- [0092] 경험적 증거는  $t_{\text{loop}}$  (1320, 1406, 1506) 가 PVT 에 매우 민감하다는 것을 제안한다. 일부 예시들에서, 프로그램밍가능 지연 엘리먼트 (1214) 에 의해 제공된 지연은 PVT 의 가능성있는 변동들의 범위를 수용하도록 증가될 수도 있다. 데이터 레이트들이 증가함에 따라, UI 의 지속기간이 감소하고,  $t_{\text{skew}}$  가 UI 에 대하여 비례하여 증가하여, 프로그램밍가능 지연 엘리먼트 (1214) 를 구성하는데 이용가능한 잠재적 지연 범위를 감소시킨다.
- [0093] **C-PHY 3-상 인터페이스들에 대한 클록 캘리브레이션**
- [0094] 본원에 개시된 특정 양태들은 C-PHY 다상 수신기들에 이용된 클록 복원 회로들의 캘리브레이션에 관련된다. 클록 복원 회로는 PVT 에서의 변화들과 연관된 이슈들을 수용하도록 캘리브레이트될 수도 있다. 특정 양태들에 따르면, C-PHY 3-상 수신기에서의 클록 복원 회로는 UI (1302) 에 기초하여 캘리브레이트될 수도 있다 (도 13 참조). 심볼 송신 인터벌 또는 심볼 인터벌로 또한 지칭될 수도 있는 UI (1302) 는, 수신기에서 변화하는 PVT 조건들에 걸쳐 일정하게 유지되는 것으로 가정될 수도 있는 시스템-정의 파라미터이다.
- [0095] 특정 양태들에 따르면, 클록 복원 회로는 UI (1302) 의 루프 시간  $t_{\text{loop}}$  과 지속기간 간의 차이가 최소화될 때 캘리브레이트될 수도 있다.  $t_{\text{loop}}$  가 UI (1302) 의 지속기간을 절대 초과하지 않을 때, 어떤 클록 펄스들도 손실되지 않는다.  $t_{\text{loop}}$  가 지속기간에 있어서 UI (1302) 에 인접할 때, UI (1302) 에서 다수의 펄스들의 최대 역제가 획득된다. 본원에 개시된 특정 양태들은  $t_{\text{loop}} < UI$  인 제약을 만족하면서 최대 지터 마스킹을 제공하는  $t_{\text{loop}}$  지속기간을 획득하도록 클록 복원 회로를 구성하는데 사용될 수도 있는 캘리브레이션 프로세스에 관련된다.
- [0096] 도 16 은 본원에 개시된 특정 양태들에 따라 캘리브레이트된 C-PHY 3-상 수신기에서의 클록 복원 회로의 동작을 예시하는 타이밍도 (1600) 이다. 도시된 예에서,  $t_{\text{loop}}$  지속기간 (1604) 은 UI (1602) 미만이고,  $t_{\text{loop}}$  지속기간 (1604) 은  $t_{\text{skew}}$  (1612) 보다 크다.  $t_{\text{loop}}$  지속기간 (1604) 과 UI (1602) 간의 차이 ( $UI - t_{\text{loop}}$ ) (1606) 는 최소화될 수도 있고, 예컨대, 도 12 의 CDR 회로 (1200) 의 잠재적 실패 모드들은 하나 이상의 프로그램밍가능 지연 엘리먼트들을 구성하기 위한 캘리브레이션 프로세스의 사용을 통해 회피될 수도 있다.
- [0097] 캘리브레이션은  $t_{\text{loop}}$  지속기간 (1604) 에 영향을 주는 하나 이상의 지연 엘리먼트들을 조정하면서 클록 복원 회로에 의해 생성된 수신 클록의 주파수를 관측하는 것을 포함할 수도 있다. 도 12 의 CDR 회로 (1200) 의 예에서, 프로그램밍가능 지연 (1214) 은  $t_{\text{loop}}$  지속기간 (1604) 을 조정하는데 사용될 수도 있다. 프로그램밍가능 지연 (1214) 은 CDR 회로 (1200) 의 2 개의 잠재적 실패 모드들을 예시하는 도 14 및 도 15 의 타이밍 다이어그램들에 예시된 것과 같이, RxCLK 신호 (1222) 의 주파수에 영향을 줄 수 있다. 예를 들어, CDR 회로 (1200) 의 제 1 실패 모드는  $t_{\text{loop}} > UI$  일 때 발생하고, CDR 회로 (1200) 에 의해 복원된 RxCLK 신호 (1222) 가 C-PHY 인터페이스의 공칭 심볼 송신 주파수의 절반인 주파수를 가지게 한다. CDR 회로 (1200) 의 제 2 실패 모드는  $t_{\text{loop}} < t_{\text{skew}}$  일 때 발생하고, 여기서  $t_{\text{skew}}$  는, CDR 회로 (1200) 에 의해 복원된 RxCLK 신호 (1222) 가 C-PHY 인터페이스의 공칭 심볼 송신 주파수일 수도 있는 주파수를 가질 때 지터 주기를 나타낸다 (도 11 의 트랜지션 영역 (1104) 참조).
- [0098] CDR 회로 (1200) 는 RxCLK 신호 (1222) 의 주파수가 변경될 때까지 프로그램밍가능 지연 엘리먼트 (1214) 를 점진적으로 증분시킴으로써 캘리브레이트될 수도 있다. 주파수가 절반이 되거나 2 배가 되는 변화들은 CDR 회로 (1200) 에 대한 안정적인 동작 조건들을 기술할 수도 있다. 캘리브레이션은 프로그램밍가능 지연 엘리먼트 (1214) 에 대한 낮은 값으로 또는 프로그램밍가능 지연 엘리먼트 (1214) 에 대한 높은 값으로 시작할 수도 있다. 그 후에, 지연 값은 하나 이상의 주파수 변화가 발생할 때까지, 점진적으로 변화된다. 정상 동작 시 사용되는 지연 값은 RxCLK 신호 (1222) 의 주파수의 2 배 또는 절반 이전의 최종 값에 기초하여 결정될 수도 있다. 일부 예시들에서, 지연 값은 RxCLK 신호 (1222) 의 주파수가 절반이 될 때까지 증가될 수도 있고, 그 후에 지연 값은 RxCLK 신호 (1222) 의 주파수가 그 이전 값으로 리턴할 때까지 점진적으로 감소된다. 다른 예시들에서, 지연 값은 RxCLK 신호 (1222) 의 주파수가 2 배가 될 때까지 감소될 수도 있고, 그 후에 지연 값은 RxCLK 신호 (1222) 의 주파수가 그 이전 값으로 리턴할 때까지 점진적으로 증가된다.
- [0099] 일 예에서, 프로그램밍가능 지연 (1214) 은 RxCLK 신호 (1222) 가 C-PHY 인터페이스의 공칭 심볼 송신 주파수와

매칭하는 주파수를 가지도록 초기화될 수도 있다. 프로그래밍가능 지연 (1214)은 RxCLK 신호 (1222)의 주파수가 감소할 때까지  $t_{loop}$  지속기간 (1604)을 증가시키도록 조정될 수도 있으며, 이는 펄스 생성이 하나 이상의 트랜지션들에 대하여 억제된 것을 표시한다. 프로그래밍가능 지연 (1214)은 C-PHY 인터페이스의 공칭 심볼 송신 주파수와 매칭하는 주파수를 갖는 RxCLK 신호 (1222)를 발생하는  $t_{loop}$  지속기간 (1604)을 제공하기 위해 관측된 최대 값으로 세팅될 수도 있다. 일부 예시들에서, 프로그래밍가능 지연 (1214)의 값은 RxCLK 신호 (1222)의 주파수가 C-PHY 인터페이스의 송신 주파수와 매칭할 때까지 증분들에서 감소될 수도 있다.

[0100] 다른 예에서, 프로그래밍가능 지연 (1214)은 RxCLK 신호 (1222)가 C-PHY 인터페이스의 공칭 심볼 송신 주파수 미만인 주파수를 가지도록 초기화될 수도 있다. 그 후에, 프로그래밍가능 지연 (1214)은 RxCLK 신호 (1222)의 주파수가 C-PHY 인터페이스의 송신 주파수와 매칭할 때까지  $t_{loop}$  지속기간 (1604)을 감소시키도록 조정될 수도 있다.

[0101] 특정 양태들에 따르면, 수신기는 C-PHY 인터페이스의 공칭 심볼 송신 주파수를 선형적으로 인식할 필요가 없고, 트레이닝 시퀀스가 정확하게 수신될 때 캘리브레이션이 달성된 것으로 결정할 수도 있다. 송신기는 링크 초기화 동안, 데이터의 개별 패킷들을 송신하기 전에, 수신기에서 에러의 검출 후에, 및/또는 애플리케이션 또는 시스템 제어 하에서, 트레이닝 시퀀스를 전송할 수도 있다. 수신기는 활동을 위해 C-PHY 인터페이스를 모니터링할 수도 있으며 트랜지션들의 검출시 캘리브레이션을 수행할 수도 있다. 일부 예시들에서, 수신기는 CDR 회로 (1200)가 이미 캘리브레이트된 것으로 결정할 수도 있고, 트레이닝 시퀀스가 적절하게 수신되지 않는다면 캘리브레이션을 수행할 수도 있다.

[0102] 일 예에서, 프로그래밍가능 지연 (1214)이 CDR 회로 (1200)가 트레이닝 시퀀스를 검출할 수 있게 하는 미리 결정된 값으로 초기화될 때, 캘리브레이션이 시작된다. 그 후에, 프로그래밍가능 지연 (1214)은 트레이닝 시퀀스에서 에러들이 검출될 때까지  $t_{loop}$  지속기간 (1604)을 증가시키도록 조정될 수도 있다. CDR 회로 (1200)는 트레이닝 시퀀스에서 에러들이 검출되게 한 값 미만의 하나 이상의 증분값들인 값으로 프로그래밍가능 지연 (1214)에 의한 정상 동작을 위해 구성될 수도 있다.

[0103] 다른 예에서, 프로그래밍가능 지연 (1214)이 CDR 회로 (1200)가 트레이닝 시퀀스를 에러들 없이 수신하는 것을 방해하는 미리 결정된 값으로 초기화될 때, 캘리브레이션이 시작된다. 그 후에, 프로그래밍가능 지연 (1214)은 트레이닝 시퀀스가 CDR 회로 (1200)에 의해 수신될 때 일관적으로 에러 없을 때까지  $t_{loop}$  지속기간 (1604)을 증가시키거나 감소시키도록 조정될 수도 있다.

[0104] 도 17은 본원에 개시된 특정 양태들에 따라 캘리브레이트될 수 있는 클록 복원 회로 (1700)를 도시한다. 클록 복원 회로 (1700)는, 타이밍 제약  $t_{skew} < t_{loop} < UI$  일 때 3-상 인터페이스 상에서 송신된 심볼들을 신뢰성 있게 캡처하기 위해 사용될 수 있는 제 1 클록 신호 (rclk 신호 (1712))를 제공할 수도 있다. 클록 복원 회로 (1700)는 차동 신호들 (1202, 1204, 1206) 및 차동 신호들 (1202, 1204, 1206)의 반전된 버전들을 포함할 수도 있는 입력 (1710)으로부터 클록 정보를 복원하는데 이용될 수도 있는 rclk 클록 신호 (1712) 및 제 2 클록 신호 (ref\_clk 신호 (1714))를 생성하도록 구성되는 2개의 CDR 회로들 (1702, 1704)을 포함한다. ref\_clk 신호 (1714)는  $F_{ref}$ 의 주파수를 갖는 참조 클록으로서 사용될 수도 있다. rclk 클록 신호 (1712)는 ref\_clk 신호 (1714)의 주파수의 배수 (즉,  $2 F_{ref}$ ,  $1 F_{ref}$ ,  $0.5 F_{ref}$ ,  $0.25X F_{ref}$  등)인 주파수를 가질 수도 있다. 제 1 CDR 회로 (1702) 및 제 2 CDR 회로 (1704)는 유사한 아키텍처들을 가질 수도 있다.

[0105] CDR 캘리브레이트 로직 (1706)은 ref\_clk 신호 (1714)의 주파수에 대한 rclk 신호 (1712)의 주파수를 검출하고, rclk 신호 (1712)와 ref\_clk 신호 (1714)의 주파수들 간의 원하는 관계까지 제 1 CDR 회로 (1702)내의 하나 이상의 프로그래밍가능 지연 엘리먼트들의 값을 조정하도록 제공될 수도 있다. 일 예에서, CDR 캘리브레이트 로직 (1706)은 제 1 CDR 회로 (1702)에서 프로그래밍가능 지연 엘리먼트에 의해 생성된 지연들의 지속기간을 구성하는, 멀티-비트 제어 신호 (1716)를 제공할 수도 있다. 하나의 캘리브레이션 모드에서, 프로그래밍가능 지연의 값은 UI들 (1618, 1620)의 일부 부분에 대한 펄스 생성의 억제가 획득될 때까지 조정될 수도 있다. 다른 캘리브레이션 모드에서, 프로그래밍가능 지연의 값은 다수의 클록 펄스들이 특정 UI들 (1618, 1620)내에서 생성될 때까지 조정될 수도 있다.

[0106] 프로그래밍가능 지연 엘리먼트는 rclk 클록 신호 (1712)의 주파수를 모니터링하는 동안 프로그래밍된 지연을 조정하는 것에 의해 구성될 수도 있다. 초기에, 프로그래밍된 지연은 UI 시간 (하나의 심볼을 송신하는데 요구되는 시간) 미만인 값으로 초기에 설정될 수도 있다. 따라서, 3-상 신호가 초기에 수신될 때, 클록 복

원 회로는 심볼 송신 주파수와 동일한 주파수를 갖는 rclk 클럭 신호 (1712) 를 생성하도록 구성될 수도 있다.

프로그램밍 지연의 값은 그 후에, rclk 클럭 신호 (1712) 의 주파수가 2, 3, 또는 임의의 원하는 인자로 나누어질 때까지 점진적으로 증가된다.

[0107]

도 18 은 제 1 CDR 회로 (1702) 의 지연 엘리먼트를 구성하는데 이용될 수도 있는 CDR 캘리브레이션 회로 (1800) 의 일 예를 도시한다. CDR 캘리브레이션 회로 (1800) 는 프로세싱 회로에 의해 제공될 수도 있는, 신호 (1812) 에 의해 인에이블될 수도 있다. CDR 캘리브레이션 회로 (1800) 는 ref\_clk 신호 (1714) 및 캘리브레이션 클럭 (cal\_clk) 신호 (1816) 를 구동 및/또는 조정하는데 이용되는 컨디셔닝 로직 (1802) 을 포함할 수도 있다. 일 예에서, ref\_clk 신호 (1714) 는 참조 CDR 회로 (예를 들어, CDR 회로 (1704)), 자유 구동 오실레이터, 위상 고정 루프 또는 다른 클럭 생성 회로로부터 도출될 수도 있다. CDR 캘리브레이션 회로 (1800) 는 컨디셔닝된 버전의 ref\_clk 신호 (1714) 및 cal\_clk 신호 (1816) 에 의해 클럭킹된 카운터들 (1804 및 1806) 을 포함할 수도 있다. 카운터들 (1804 및 1806) 의 출력은 cal\_clk 신호 (1816) 에 대한 ref\_clk 신호 (1714) 의 주파수를 결정할 수도 있는 비교기 로직 (1808) 에 의해 모니터링될 수도 있다. 캘리브레이션 카운터 (1810) 는 CDR 회로 (예를 들어, 제 1 CDR 회로 (1702)) 에서 하나 이상의 프로그램밍가능 지연 엘리먼트들을 제어하기 위해 연속적인 캘리브레이션 사이클들 동안 조정될 수도 있다. 캘리브레이션 카운터 (1810) 는 예를 들어, 비교기 로직 (1808) 에 의해 행해진 결정에 의존하여 각각의 캘리브레이션 사이클 후에 증분되거나 감분될 수도 있다. 비교기 로직 (1808) 은 업/다운 신호 (1818), 인에이블 카운터 신호 (1820) 및 캘리브레이션 사이클 클럭 신호 (1822) 중 하나 이상을 이용하여 캘리브레이션 카운터 (1810) 를 제어할 수도 있다.

[0108]

클럭 주파수들은 카운터들 (1804, 1806) 을 이용하여 측정될 수도 있다. 카운터들 (1804, 1806) 은 예를 들어, 캘리브레이션 사이클 클럭 신호 (1824) 에 의해 결정될 수도 있는, 소정 기간 동안 ref\_clk 신호 (1714) 및 cal\_clk 신호 (1816) 에 의해 증분될 수도 있다. 제 1 카운터 (1804) 는 ref\_clk 신호 (1714) 에 대응하는 클럭 사이클들의 수 (ref\_val) (1816) 를 캡처할 수도 있다. 일부 예시들에서, 제 1 카운터는 풀-레이트 심볼 송신 클럭의 척도인 ref\_val (1816) 을 캡처하는 초기화 직후에 동작될 수도 있고, 일부 예시들에서, 이 초기에 획득된 ref\_val (1816) 는 후속 캘리브레이션 사이클들 동안에 이용되도록 등록되거나 그렇지 않으면 캡처될 수도 있다. 제 2 카운터 (1806) 는 캘리브레이션 사이클 동안 발생하는 클럭 사이클들의 수 (cal\_val) (1818) 를 카운트한다. 캘리브레이션 사이클은 미리 정해진 기간으로 구성될 수도 있거나 조정가능한 기간일 수도 있다. 각각의 캘리브레이션 사이클 동안, 제어 신호 (1716) 는 지연 파라미터를 캘리브레이션 하에 있는 CDR 회로 (1702) 에 제공하고, 결과적인 cal\_clk 신호 (1814) 의 주파수는 캘리브레이션 사이클 동안 제 2 카운터 (1806) 에 의해 누산된 cal\_val (1818) 로서 측정될 수도 있다. cal\_val (1818) 이 원하는 인자로 클럭 주파수를 나눈 값을 반영할 때, 구성은 완료되고, 지연 파라미터의 대응하는 값은 클럭 복원 회로를 동작 시키는데 이용될 수도 있다.

[0109]

도 19 는 본원에 개시된 하나 이상의 기능들을 수행하도록 구성될 수도 있는 프로세싱 회로 (1902) 를 채택하는 장치에 대한 하드웨어 구현의 간략화된 예를 예시하는 개념도 (1900) 이다. 본 개시의 여러 양태들에 따르면, 본원에 개시된 엘리먼트 또는 엘리먼트의 임의의 부분 또는 엘리먼트들의 임의의 조합은 프로세싱 회로 (1902) 를 이용하여 구현될 수도 있다. 프로세싱 회로 (1902) 는 하드웨어 및 소프트웨어 모듈들의 일부 조합에 의해 제어되는 하나 이상의 프로세서들을 (1904) 을 포함할 수도 있다. 프로세서들 (1904) 의 예들은 마이크로프로세서들, 마이크로제어기들, 디지털 신호 프로세서들 (DSP들), 필드 프로그램밍가능 게이트 어레이들 (FPGA들), 프로그램밍가능 로직 디바이스들 (PLD들), 상태 머신들, 시퀀서들, 게이트된 로직, 이산 하드웨어 회로들, 및 본 개시물에 걸쳐 설명된 여러 기능들을 수행하도록 구성되는 다른 적절한 하드웨어를 포함한다.

하나 이상의 프로세서들 (1904) 은 특정 기능들을 수행하고 소프트웨어 모듈들 (1916) 중 하나에 의해 구성, 증강 또는 제어될 수도 있는 특수화된 프로세서들을 포함할 수도 있다. 하나 이상의 프로세서들 (1904) 은 초기화 동안에 로딩된 하나 이상의 소프트웨어 모듈들 (1916) 의 조합을 통하여 구성될 수도 있고, 동작 동안에 소프트웨어 모듈들 (1916) 중 하나 이상을 로딩 또는 언로딩함으로써 추가로 구성될 수도 있다.

[0110]

예시된 예에서, 프로세싱 회로 (1902) 는 버스 (1910) 에 의해 일반적으로 표현되는 버스 아키텍처로 구현될 수도 있다. 버스 (1910) 는 프로세싱 회로 (1902) 의 특정 애플리케이션 및 전체 설계 제약들에 의존하여 임의의 수의 상호접속하는 버스들 및 브리지들을 포함할 수도 있다. 버스 (1910) 는 하나 이상의 프로세서들 (1904) 및 스토리지 (1906) 를 포함하는 여러 회로들을 함께 링크한다. 스토리지 (1906) 는 메모리 디바이스들 및 대용량 디바이스들을 포함할 수도 있고, 본원에서 컴퓨터 판독가능 매체 및/또는 프로세서 판독가능 매체로서 지칭될 수도 있다. 버스 (1910) 는 또한 타이밍 소스들, 타이머들, 주변기기를, 전압 레귤레이터들,



및 전력 관리 회로들과 같은 여러 다른 회로들을 링크할 수도 있다. 버스 인터페이스 (1908) 는 버스 (1910) 와, 하나 이상의 트랜시버들 (1912) 사이에 인터페이스를 제공할 수도 있다. 트랜시버 (1912) 는 프로세싱 회로에 의해 지원되는 각각의 네트워킹 기술에 대하여 제공될 수도 있다. 일부 경우들에서, 다수의 네트워킹 기술들이 트랜시버 (1912) 에서 찾아지는 프로세싱 모듈들 또는 회로의 일부 또는 전부를 공유할 수도 있다. 각각의 트랜시버 (1912) 는 송신 매체를 통하여 여러 다른 장치와 통신하는 수단을 제공한다. 장치의 특성에 의존하여, 사용자 인터페이스 (1918)(예를 들어, 키패드, 디스플레이, 스피커, 마이크로폰, 조이스틱) 가 또한 제공될 수도 있고, 버스 인터페이스 (1908) 를 통하여 또는 버스 (1910) 에 직접적으로 통신가능하게 커플링될 수도 있다.

[0111] 프로세서 (1904) 는 스토리지 (1906) 를 포함할 수도 있는 컴퓨터 관독가능 매체에 저장된 소프트웨어의 실행을 포함할 수도 있는 범용 프로세싱을 그리고 버스 (1910) 의 관리를 담당할 수도 있다. 이러한 점에서, 프로세서 (1904) 를 포함한, 프로세싱 회로 (1902) 는 본원에 개시된 방법들, 기능들, 및 기술들 중 어느 것을 구현하는데 이용될 수도 있다. 스토리지 (1906) 는 소프트웨어를 실행할 때 프로세서 (1904) 에 의해 조작되는 데이터를 저장하기 위해 이용될 수도 있고, 소프트웨어는 본원에 개시된 방법들 중 어느 하나를 구현하도록 구성될 수도 있다.

[0112] 프로세싱 회로 (1902) 에서의 하나 이상의 프로세서들 (1904) 은 소프트웨어를 실행할 수도 있다. 본원에서 이용되는 바와 같이, 소프트웨어, 펌웨어, 미들웨어, 마이크로코드, 하드웨어 기술 언어, 또는 달리 지칭되더라도, 소프트웨어는 명령들, 명령 세트들, 코드, 코드 세그먼트들, 프로그램 코드, 프로그램들, 하위프로그램들, 소프트웨어 모듈들, 애플리케이션들, 소프트웨어 애플리케이션들, 소프트웨어 패키지들, 루틴들, 서브루틴들, 오브젝트들, 실행가능물들, 실행의 스레드들, 절차들, 기능들, 알고리즘들 등을 의미하는 것으로 광범위하게 간주되어야 한다. 소프트웨어는 외부 컴퓨터 관독가능 매체에서 또는 스토리지 (1906) 에서 컴퓨터 관독가능 형태로 상주할 수도 있다. 컴퓨터 관독가능 매체 및/또는 스토리지 (1906) 는 비일시적 컴퓨터 관독가능 매체일 수도 있다. 비일시적 컴퓨터 관독가능 저장 매체는 예를 들어, 자기 저장 디바이스 (예를 들어, 하드 디스크, 플로피 디스크, 마그네틱 스트립), 광학 디스크 (예를 들어, 콤팩트 디스크 (CD) 또는 디지털 다기능 디스크 (DVD)), 스마트 카드, 플래시 메모리 디바이스 (예를 들어, "플래시 드라이브", 카드, 스틱, 키 드라이브), 랜덤 액세스 메모리 (RAM), ROM, PROM, 소거가능 PROM (EPROM), EEPROM, 레지스터, 탈착가능 디스크, 및/또는 컴퓨터에 의해 액세스 및 관독될 수도 있는 소프트웨어 및/또는 명령들을 저장하기 위한 임의의 다른 적절한 매체를 포함한다. 컴퓨터 관독가능 저장 매체 및/또는 스토리지 (1906) 는 또한 예를 들어, 반송파, 송신 라인, 및 컴퓨터에 의해 액세스 및 관독될 수도 있는 소프트웨어 및/또는 명령들을 송신하기 위한 임의의 다른 적절한 매체를 포함할 수도 있다. 컴퓨터 관독가능 저장 매체 및/또는 스토리지 (1906) 는 프로세싱 회로 (1902) 에, 프로세서 (1904) 에, 프로세싱 회로 (1902) 의 외부에, 또는 프로세싱 회로 (1902) 를 포함한 다수의 엔티티들에 걸쳐 분산될 수도 있다. 컴퓨터 관독가능 매체 및/또는 스토리지 (1906) 는 컴퓨터 프로그램 제품에서 구현될 수도 있다. 예를 들어, 컴퓨터 프로그램 제품은 패키징 재료들에서 컴퓨터 관독가능 매체를 포함할 수도 있다. 당해 기술 분야의 당업자는 전체 시스템 상에 부여되는 전체 설계 제약들 및 특정 애플리케이션에 따라 본 개시를 전반에 걸쳐 제시된 설명의 기능성을 최상으로 구현하는 방법을 알고 있을 것이다.

[0113] 스토리지 (1906) 는 소프트웨어 모듈들 (1916) 로서 본원에서는 지칭될 수도 있는 로딩가능 코드 세그먼트들, 모듈들, 애플리케이션들, 프로그램들 등에서 유지 및/또는 구성되는 소프트웨어를 유지할 수도 있다. 소프트웨어 모듈들 (1916) 각각은 프로세싱 회로 (1902) 상에 설치 또는 로딩되고 하나 이상의 프로세서들 (1904) 에 의해 실행될 때 하나 이상의 프로세서들 (1904) 의 동작을 제어하는 런타임 이미지 (1914) 에 기여하는 명령들 및 데이터를 포함할 수도 있다. 실행될 때, 특정 명령들은 프로세싱 회로 (1902) 로 하여금 본원에 설명된 특정 방법들, 알고리즘들, 및 프로세스들에 따라 기능을 수행하게 할 수도 있다.

[0114] 소프트웨어 모듈들 (1916) 의 일부는 프로세싱 회로 (1902) 의 초기화 동안에 로딩될 수도 있고, 이들 소프트웨어 모듈들 (1916) 은 본원에 설명된 여러 기능들의 수행을 실행하도록 프로세싱 회로 (1902) 를 구성할 수도 있다. 예를 들어, 일부 소프트웨어 모듈들 (1916) 은 프로세서 (1904) 의 내부 디바이스들 및/또는 로직 회로들 (1922) 을 구성할 수도 있고, 트랜시버 (1912), 버스 인터페이스 (1908), 사용자 인터페이스 (1918), 타이머들, 수학적 코프로세서들 등과 같은 외부 디바이스들에 대한 액세스를 관리할 수도 있다. 소프트웨어 모듈들 (1916) 은 인터럽트 핸들러들 및 디바이스 드라이버들과 상호작용하고 프로세싱 회로 (1902) 에 의해 제공된 여러 리소스들에 대한 액세스를 제어하는 제어 프로그램 및/또는 오퍼레이팅 시스템을 포함할 수도 있다. 리소스들은 메모리, 프로세싱 시간, 트랜시버 (1912), 사용자 인터페이스 (1918) 에 대한 액세스 등을 포함할

수도 있다.

- [0115] 프로세싱 회로 (1902) 의 하나 이상의 프로세서들 (1904) 은 다기능성일 수도 있어, 소프트웨어 모듈들 (1916) 중 일부가 상이한 인스턴스들, 또는 동일한 기능의 상이한 인스턴스들을 수행하도록 로딩 및 구성된다. 하나 이상의 프로세서들 (1904) 은 예를 들어, 사용자 인터페이스 (1918), 트랜시버 (1912) 및 디바이스 드라이버들로부터의 입력들에 응답하여 개시된 백그라운드 작업들을 관리하도록 추가적으로 적응될 수도 있다. 다수의 기능들의 수행을 지원하기 위하여, 하나 이상의 프로세서들 (1904) 은 멀티태스킹 환경을 제공하도록 구성될 수도 있어, 이에 의해 복수의 기능들 각각이 필요에 따라, 또는 원하는 바에 따라 하나 이상의 프로세서들 (1904) 에 의해 서비스되는 작업들의 세트로서 구현된다. 일 예에서, 멀티태스킹 환경은 상이한 작업들 간에 프로세서 (1904) 의 제어를 통과시키는 시간 공유 프로그램 (1920) 을 이용하여 구현될 수도 있고, 이에 의해 임의의 현저한 동작들의 완료시에, 및/또는 이러한 인터럽트와 같은 입력에 응답하여, 각각의 작업이 하나 이상의 프로세서들 (1904) 의 제어를 시간 공유 프로그램 (1920) 으로 리턴시킨다. 작업이 하나 이상의 프로세서들 (1904) 의 제어를 행할 때, 프로세싱 회로는 제어 중인 작업과 연관된 기능에 의해 어드레싱되는 목적들에 대하여 효과적으로 특수화된다. 시간 공유 프로그램 (1920) 은 오퍼레이팅 시스템, 라운드 로빈 기반으로 제어들을 트랜스퍼하는 메인 루프, 기능들의 우선순위화에 따라 하나 이상의 프로세서들 (1904) 의 제어를 할당하는 기능 및/또는 하나 이상의 프로세서들 (1904) 의 제어를 핸들링 기능에 제공함으로써 외부 이벤트들에 응답하는 인터럽트 구동된 메인 루프를 포함할 수도 있다.
- [0116] 도 20 은 C-PHY 3-상 인터페이스에 커플링된 장치에서의 수신기 회로에 의해 수행될 수도 있는 데이터 통신 방법의 흐름도 (2000) 이다.
- [0117] 블록 (2002) 에서, 수신기 회로는 제 1 주파수를 가지고 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 단일 펄스를 포함하는 클록 신호를 제공하도록 클록 복원 회로를 구성할 수도 있다.
- [0118] 블록 (2004) 에서, 수신기 회로는 제 1 클록 복원 회로를 캘리브레이트할 수도 있다. 수신기 회로는 예컨대, 제 1 클록 복원 회로의 지연 주기를 초기화할 수도 있다. 지연 주기는 제 1 클록 복원 회로에서 지연 엘리먼트에 의해 제공될 수도 있다.
- [0119] 블록 (2006) 에서, 수신기 회로는 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수 미만인 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 증가시킬 수도 있다.
- [0120] 블록 (2008) 에서, 수신기 회로는 클록 신호의 현재 주파수를 제 1 주파수와 비교할 수도 있다. 주파수들이 동일하다면, 수신기 회로는 블록 (2006) 에서 다른 캘리브레이션 사이클을 실행할 수도 있다. 주파수들이 동일하지 않아서 제 1 클록 복원 회로가 제 1 주파수 미만인 주파수를 갖는다면, 수신기 회로는 블록 (2010) 으로 진행할 수도 있다.
- [0121] 블록 (2010) 에서, 수신기 회로는 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수와 매칭하는 주파수를 가질 때까지 제 1 클록 복원 회로의 지연 엘리먼트에 의해 제공된 지연 주기를 점진적으로 감소시킬 수도 있다.
- [0122] 제 1 클록 복원 회로의 지연 엘리먼트는 3-와이어, 3-상 인터페이스 상에서 송신된 각각의 심볼에 대한 시그널링 상태에서 제 1 의 검출된 트랜지션에 응답하여 펄스를 생성하는데 이용되는 펄스 생성 사이클과 연관된 루프 지연을 제어할 수도 있다. 시그널링 상태에서 다른 트랜지션들의 검출은 펄스 생성 사이클 동안 억제될 수도 있다.
- [0123] 일부 예들에서, 지연 주기를 점진적으로 증가시키는 것은 제 1 클록 복원 회로에 의해 제공된 클록 신호가 제 1 주파수의 절반인 주파수를 가질 때까지 지연 주기를 증가시키는 것을 포함한다.
- [0124] 일부 예들에서, 제 2 클록 복원 회로는 제 1 클록 복원 회로를 캘리브레이트하기 위해 사용된 참조 신호를 제공하도록 구성된다. 참조 신호는 제 1 주파수와 매칭하거나 대응하는 주파수를 가질 수도 있다. 제 2 클록 복원 회로는 3-와이어, 3-상 인터페이스로부터 수신된 심볼들의 스트림에서 각각의 심볼에 대한 단일 펄스를 생성함으로써 참조 신호를 제공할 수도 있다. 제 1 클록 복원 회로를 캘리브레이트하는 것은, 복수의 캘리브레이션 사이클들의 각각 동안 클록 신호와 참조 신호의 주파수들을 비교하는 것, 클록 신호가 참조 신호의 주파수보다 큰 주파수를 가질 때 지연 주기를 증가시키는 것, 클록 신호가 참조 신호의 주파수 미만인 주파수를 가질 때 지연 주기를 감소시키는 것, 및 클록 신호가 참조 신호의 주파수와 동일한 주파수를 가질 때 복수의 캘

리브레이션 사이클들을 종료하는 것을 포함할 수도 있다.

- [0125] 제 1 클럭 복원 회로를 캘리브레이트하는 것은 초기 지연 주기를 제공하도록 지연 엘리먼트를 구성하는 것을 포함할 수도 있다. 일 예에서, 지연 주기는 트레이닝 시퀀스가 3-와이어, 3-상 인터페이스로부터 수신된 심볼들로부터 성공적으로 디코딩될 때까지 복수의 캘리브레이션 사이클들에 걸쳐 증가될 수도 있다. 다른 예에서, 지연 주기는 트레이닝 시퀀스가 3-와이어, 3-상 인터페이스로부터 수신된 심볼들로부터 성공적으로 디코딩될 때까지 복수의 캘리브레이션 사이클들에 걸쳐 감소될 수도 있다.
- [0126] 도 21 은 프로세싱 회로 (2102) 를 채용하는 장치 (2100) 에 대한 하드웨어 구현의 일 예를 예시하는 다이어그램이다. 프로세싱 회로는 통상적으로 마이크로프로세서, 마이크로제어기, 디지털 신호 프로세서, 시퀀서, 및 상태 머신 중 하나 이상을 포함할 수도 있는 프로세서 (2116) 를 갖는다. 프로세싱 회로 (2102) 는 버스 (2120) 에 의해 일반적으로 표현되는 버스 아키텍처로 구현될 수도 있다. 버스 (2120) 는 프로세싱 회로 (2102) 의 특정 애플리케이션 및 전체 설계 제약들에 의존하여 임의의 수의 상호접속하는 버스들 및 브리지들을 포함할 수도 있다. 버스 (2120) 는 프로세서 (2116), 모듈 또는 회로들 (2104, 2106, 2108 및 2110) 로 표현되는 하나 이상의 프로세서 및/또는 하드웨어 모듈들, 커넥터들 또는 와이어들 (2114) 의 차동 쌍들과 컴퓨터 판독가능 저장 매체 (2118) 사이의 차동 시그널링 상태를 결정하는 차동 수신기 회로들 (2112) 을 포함하는 여러 회로를 함께 링크한다. 버스 (2120) 는 또한 여러 다른 회로들, 이를 테면, 타이밍 소스들, 주변기기들, 전압 레귤레이터들, 및 전력 관리 회로들을 링크할 수도 있으며, 이는 공지되어 있으므로, 더 이상 설명되지 않을 것이다.
- [0127] 프로세서 (2116) 는 컴퓨터 판독가능 저장 매체 (2118) 상에 저장된 소프트웨어의 실행을 포함하는, 일반 프로세싱을 담당한다. 프로세서 (2116) 에 의해 실행될 때, 소프트웨어는 프로세싱 회로 (2102) 로 하여금 임의의 특정 장치에 대하여 위에 설명된 여러 기능들을 수행하게 한다. 컴퓨터 판독가능 저장 매체 (2118) 는 또한, 소프트웨어를 실행시킬 때 데이터 레인 및 클럭 레인으로서 구성될 수도 있는 커넥터들 또는 와이어들 (2114) 상에서 송신된 심볼들로부터 디코딩된 데이터를 포함하고 프로세서 (2116) 에 의해 조작되는 데이터를 저장하는데 이용될 수도 있다. 프로세싱 회로 (2102) 는 모듈들 (2104, 2106, 2108 및 2110) 중 적어도 하나를 더 포함한다. 모듈들 (2104, 2106, 2108 및 2110) 은 컴퓨터 판독가능 저장 매체 (2118) 상에 상주/저장되는, 프로세서 (2116) 에서 실행되는 소프트웨어 모듈, 프로세서 (2116) 에 커풀링되는 하나 이상의 하드웨어 모듈들 또는 이들의 일정 조합일 수도 있다. 모듈들 (2104, 2106, 2108 및/또는 2110) 은 마이크로제어기 명령들, 상태 머신 구성 파라미터들, 또는 이들의 일정 조합을 포함할 수도 있다.
- [0128] 일 구성에서, 장치 (2100) 는 C-PHY 3-상 인터페이스 상의 데이터 통신을 위하여 구성될 수도 있다. 장치 (2100) 는 커넥터들 또는 와이어들 (2114) 상에서 송신된 심볼들의 시퀀스에 임베드된 타이밍 정보로부터 클럭 신호를 복원하도록 구성되는 모듈 및/또는 회로 (2104), 참조 신호를 생성하기 위한 모듈들 및/또는 회로 (2106), 및 클럭 복원 모듈 및/또는 회로 (2104) 를 캘리브레이트할 수 있는 모듈 및/또는 회로 (2108) 를 포함할 수도 있다.
- [0129] 장치 (2100) 는 여러 동작 모드들을 위하여 구성될 수도 있다. 일 예에서, 클럭 복원 모듈 및/또는 회로 (2104) 는 3-와이어, 3-상 인터페이스 상에서 제 1 주파수에서 송신되는 각각의 심볼에 대한 펄스를 포함하는 제 1 클럭 신호를 제공하도록 적응될 수도 있고, 캘리브레이션 모듈 및/또는 회로 (2110) 는 클럭 복원 회로의 루프 지연을 캘리브레이트하도록 적응될 수도 있고, 클럭 생성 모듈 및/또는 회로 (2106) 는 제 2 클럭 신호를 제공하도록 적응될 수도 있고, 심볼 캡처 모듈 및/또는 회로 (2108) 는 제 1 클럭 신호 및 제 2 클럭 신호를 이용하여 3-와이어, 3-상 인터페이스로부터 심볼들을 캡처하도록 적응될 수도 있다. 일 동작 모드에서, 캘리브레이션 모듈 및/또는 회로 (2110) 는 제 1 주파수의 절반보다 크지 않은 제 2 주파수를 갖도록 제 1 클럭 신호를 수정한다. 제 1 동작 모드에서, 클럭 복원 모듈 및/또는 회로 (2104) 는 정수개의 심볼들의 제 1 심볼에 대한 제 1 클럭 신호에서 펄스를 생성하고 정수개의 심볼들에서 다른 심볼들에 대한 펄스 생성을 억제한다. 제 2 클럭 신호는 상기 정수개의 심볼들에서의 다른 심볼들 각각에 대응하는 펄스들을 포함할 수도 있다.
- [0130] 일부 예시들에서, 루프 지연은 3-와이어, 3-상 인터페이스의 시그널링 상태에서 제 1 검출된 트랜지션에 응답하여 펄스를 생성하는데 이용되는 펄스 발생 사이클에 대응한다. 3-와이어, 3-상 인터페이스의 시그널링 상태에서 다른 트랜지션의 검출은 펄스 생성 사이클 동안 억제될 수도 있다. 캘리브레이션 모듈 및/또는 회로 (2110) 는 프로그래밍 지연 회로를 프로그래밍하도록 구성될 수도 있다.
- [0131] 일 예에서, 제 1 주파수는 상기 제 2 주파수의 2 배이고, 제 2 클럭 신호는 제 1 클럭 신호에서 매 펄스마다 하나의 펄스를 포함한다. 제 2 클럭 신호는 제 1 클럭 신호에 대하여 180 도 위상-시프트될 수도 있다.

다른 예에서, 제 2 주파수는 제 1 주파수의  $1/3$  이고, 제 2 클록 신호는 제 1 클록 신호에서의 매 펄스마다 2 개의 펄스들을 포함할 수도 있다. 다른 예에서, 제 2 주파수는 제 1 주파수의  $1/4$  이고, 제 2 클록 신호는 제 1 클록 신호에서의 매 펄스마다 3 개의 펄스들을 포함할 수도 있다.

[0132] 일부 예시들에서, 캘리브레이션 모듈 및/또는 회로 (2110) 는 제 1 회로로 하여금, 3-와이어, 3-상 인터페이스로부터 수신된 심볼들의 스트림으로부터 참조 클록 신호를 복원하게 하고, 복수의 캘리브레이션 사이클들 각각 동안 참조 클록 신호 및 제 1 클록 신호의 주파수들을 비교하는 것에 의해 제 1 클록 신호의 현재 주파수를 결정하게 하고, 현재 주파수가 제 2 주파수보다 더 크다고 결정될 때 루프 지연을 증가시키게 하고, 현재 주파수가 제 2 주파수보다 더 작다고 결정될 때 루프 지연을 감소시키게 하며, 현재 주파수가 제 2 주파수와 동일하다고 결정될 때 복수의 캘리브레이션 사이클들을 종료하게 하도록 적응된다. 참조 클록 신호는 심볼들의 스트림의 송신 레이트에 대응하는 주파수를 가질 수도 있다.

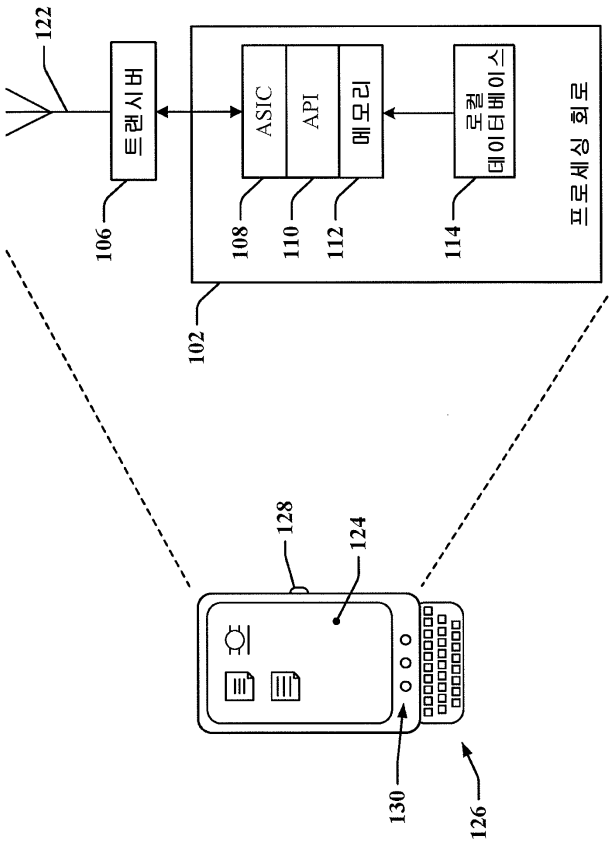
[0133] 개시된 프로세스들에서 단계들의 특정의 순서 또는 계층은 예시적인 접근방식들의 예시인 것이 이해된다. 설계 선호사항들에 기초하여, 프로세서들에서의 단계들의 특정 순서 또는 계층은 재배열될 수도 있음이 이해된다. 추가로, 일부 단계들은 결합 또는 생략될 수도 있다. 수반하는 방법 청구항들은 샘플 순서에서의 다양한 단계들의 요소들을 제시하고, 제시된 특정 순서 또는 계층으로 제한되는 것으로 의도되지 않는다.

[0134] 이전 설명은 임의의 당업자가 여러 본원에서 설명하는 양태들을 실시할 수 있도록 하기 위해서 제공된다. 이들 양태들에 대한 여러 변경들은 당업자들에게 매우 자명할 것이며, 본원에서 정의하는 일반 원리들은 다른 양태들에 적용될 수도 있다. 따라서, 청구항들은 본원에서 나타낸 양태들에 한정시키려고 의도된 것이 아니며, 전문용어 청구항들 (language claims) 에 부합하는 전체 범위를 부여하려는 것이며, 여기서, 엘리먼트에 대한 단수형 참조는 "하나 및 오직 하나" 로 구체적으로 달리 말하지 않는 한, "하나 및 오직 하나" 를 의미하기 보다는, "하나 이상" 을 의미하도록 의도된다. 달리 언급되지 않은 한, 용어 "일부" 는 하나 이상을 지칭한다. 당업자들에게 알려져 있거나 또는 추후 알려지는, 본 개시물을 통해서 설명한 여러 양태들의 엘리먼트들에 대한 모든 구조적 및 기능적 균등물들이 본원에 참조로 명백히 포함되며, 청구항들에 의해 포괄되도록 의도된다. 또한, 본원에서 개시된 어떤 것도 이런 개시물이 청구항들에 명시적으로 인용되는지에 상관없이, 대중에게 지정되도록 의도된 것이 아니다. 어떠한 청구항 엘리먼트도 그 엘리먼트가 어구 "하는 수단" 을 이용하여 명백히 언급되지 않는 한, 기능식 (means plus function) 청구항으로서 해석되지 않아야 한다.

도면

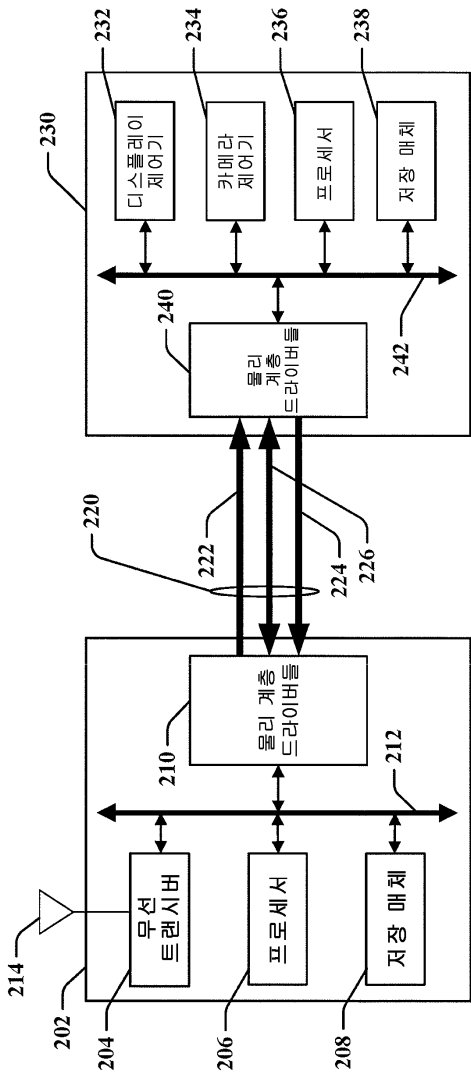
도면1

100 ↗

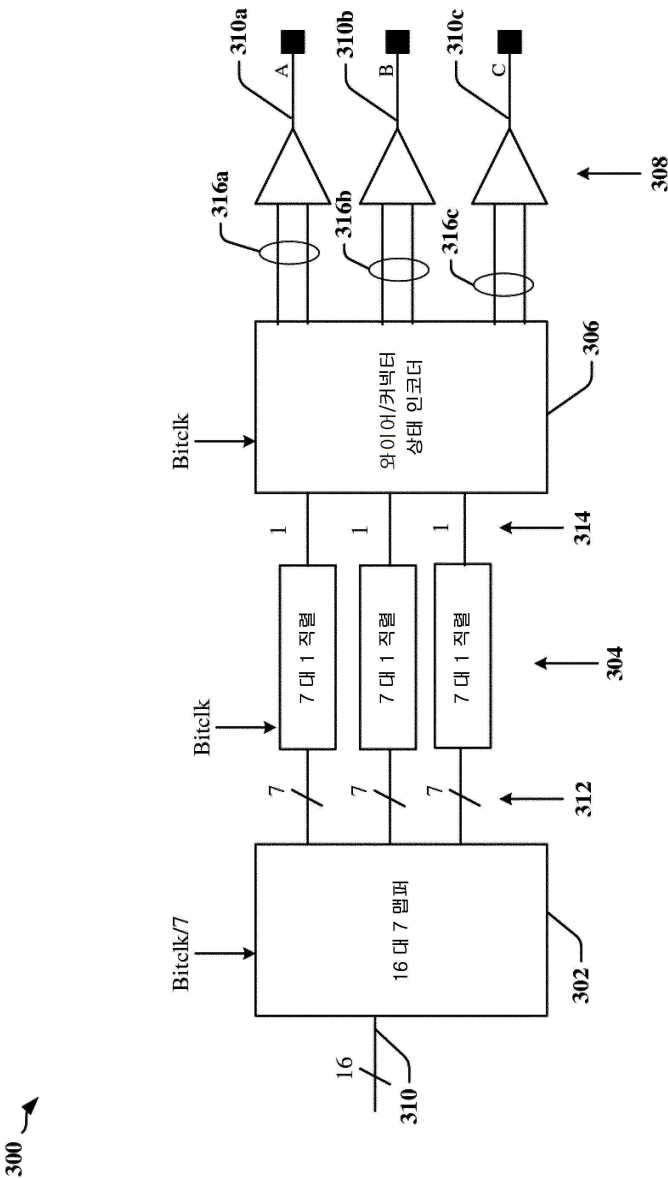


도면2

200



도면3

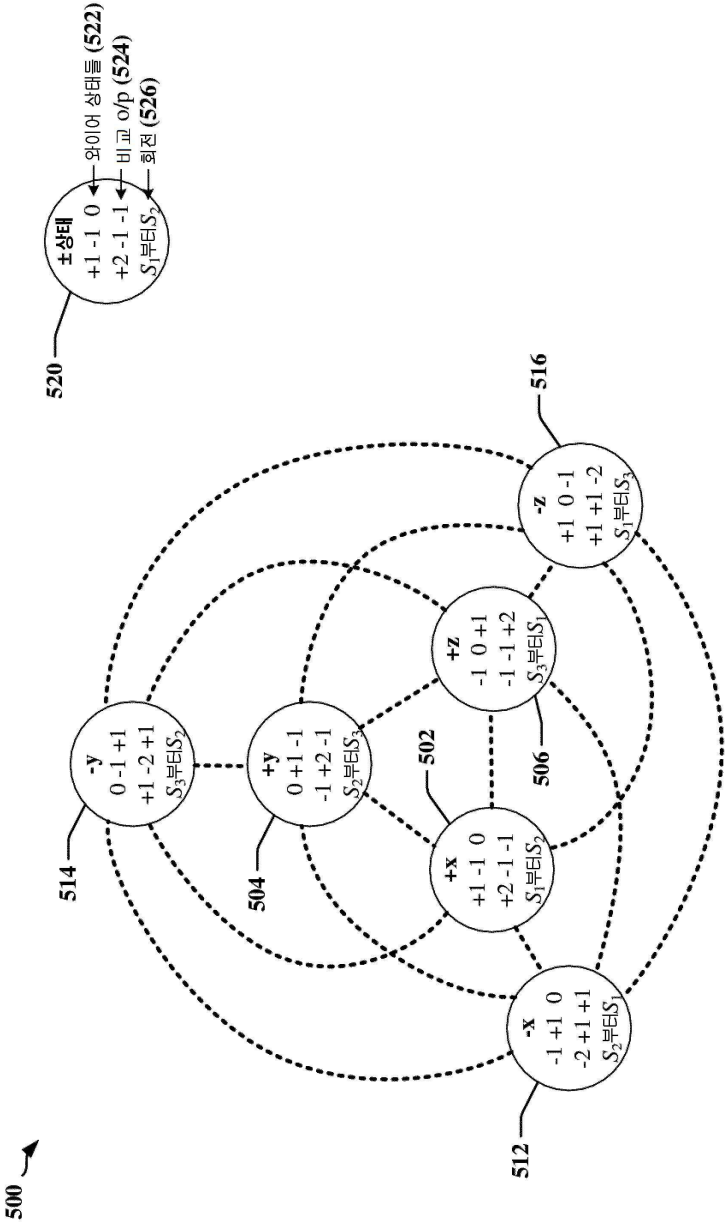




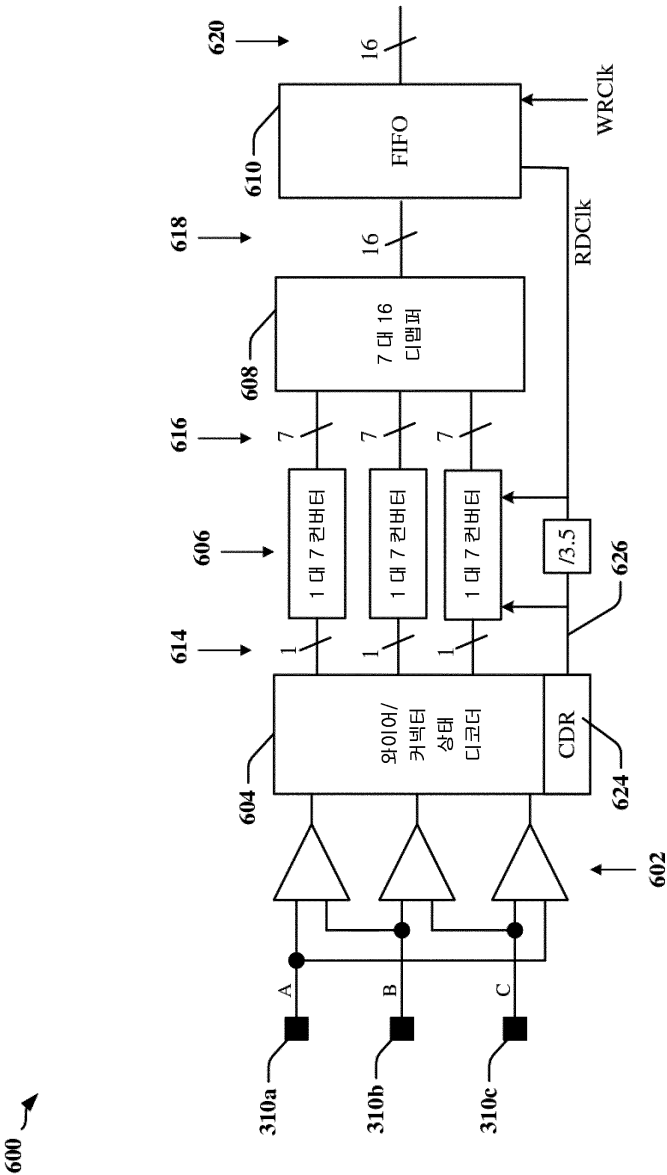




도면5

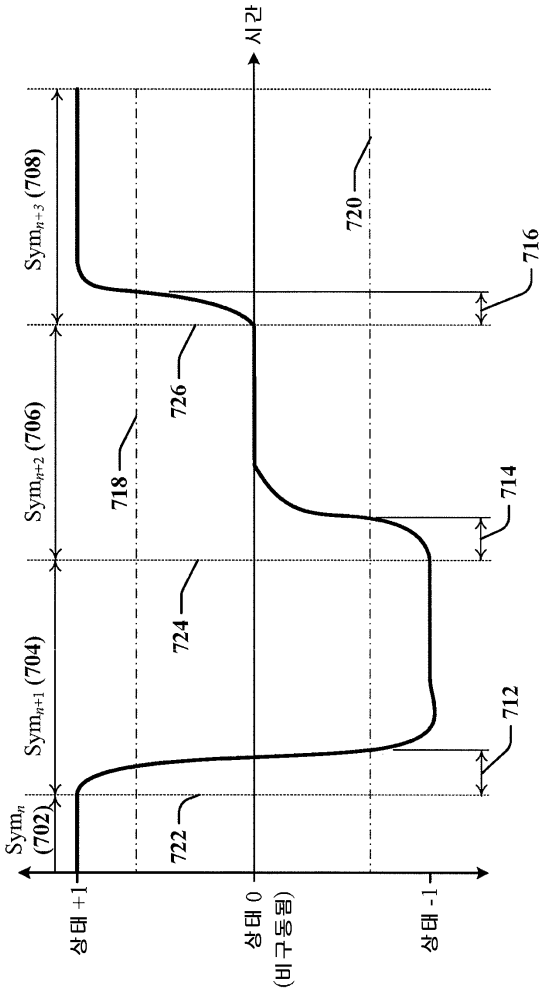


도면6

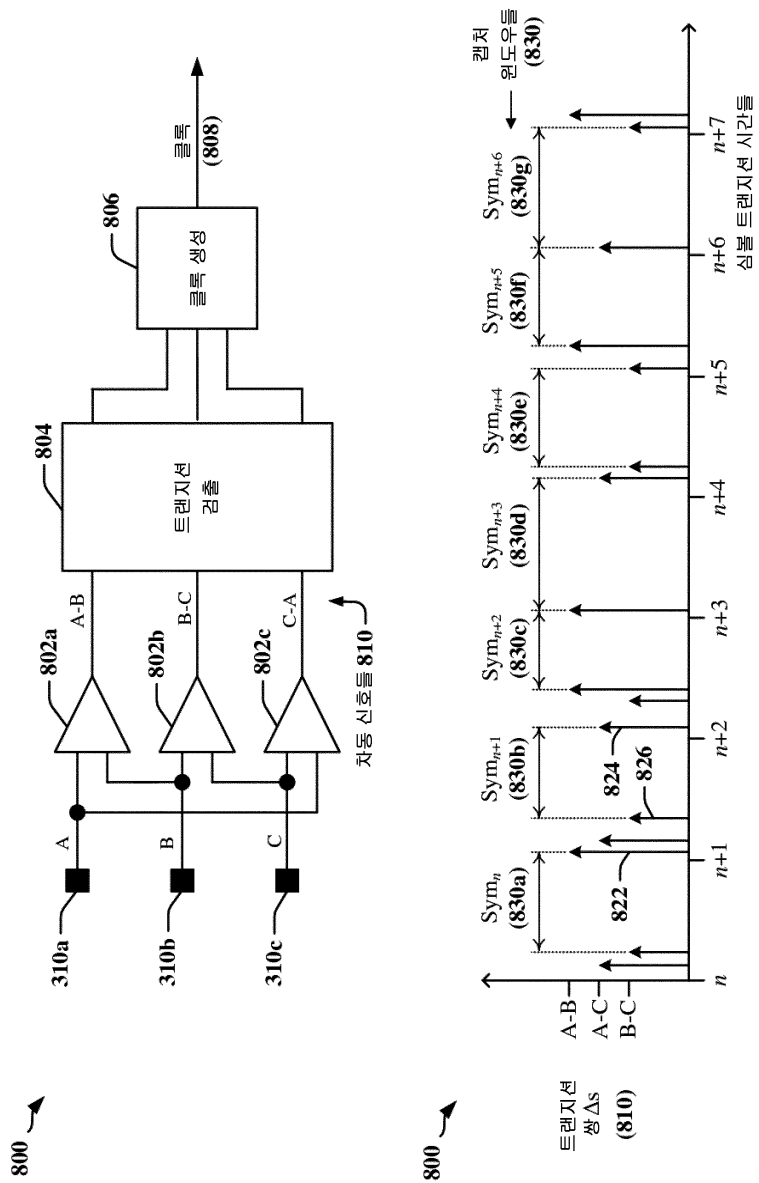


도면7

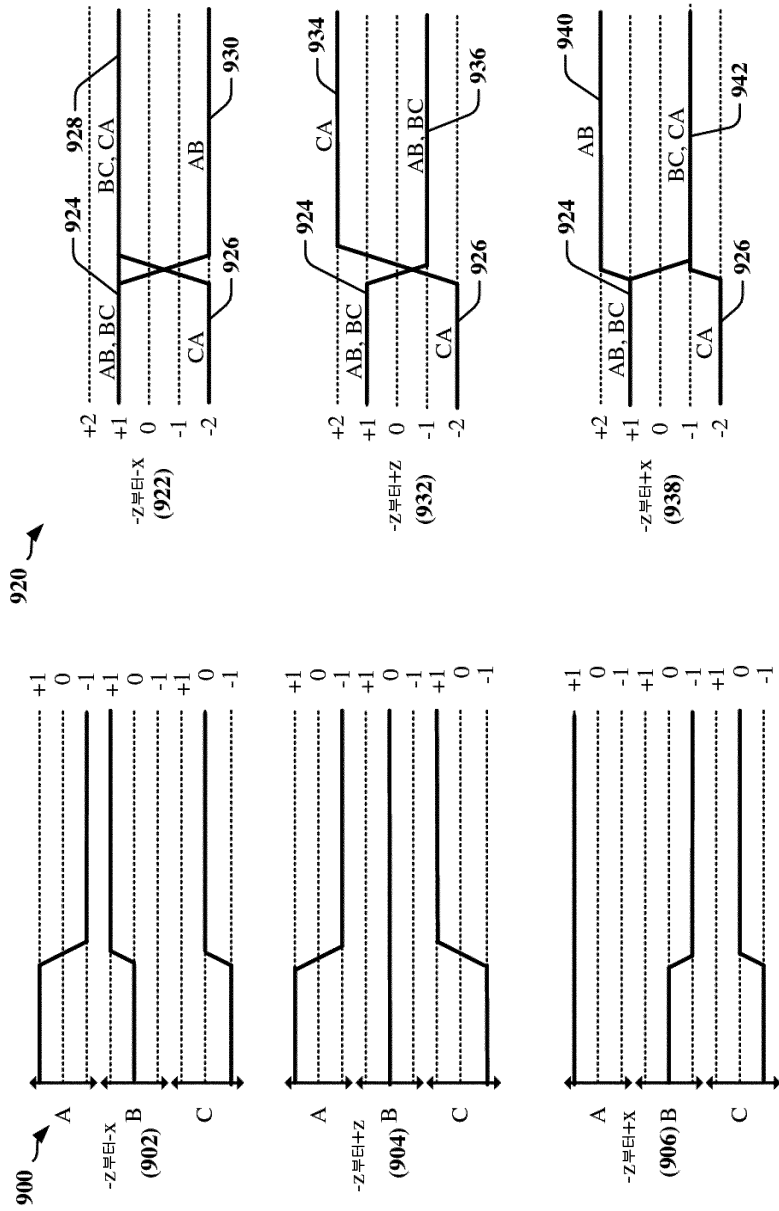
700 →



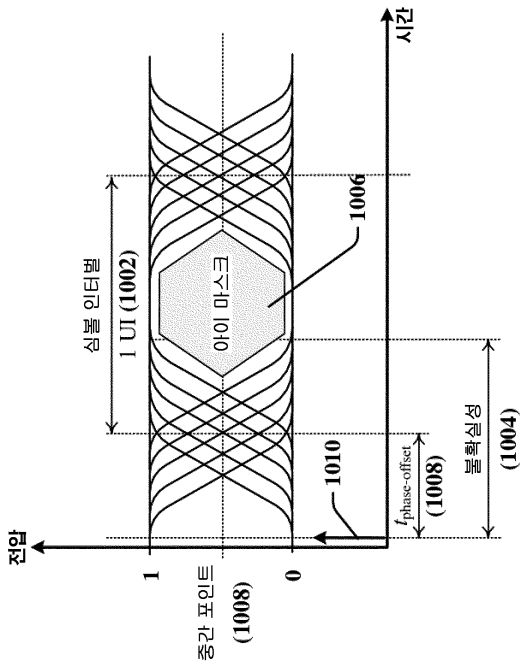
도면8



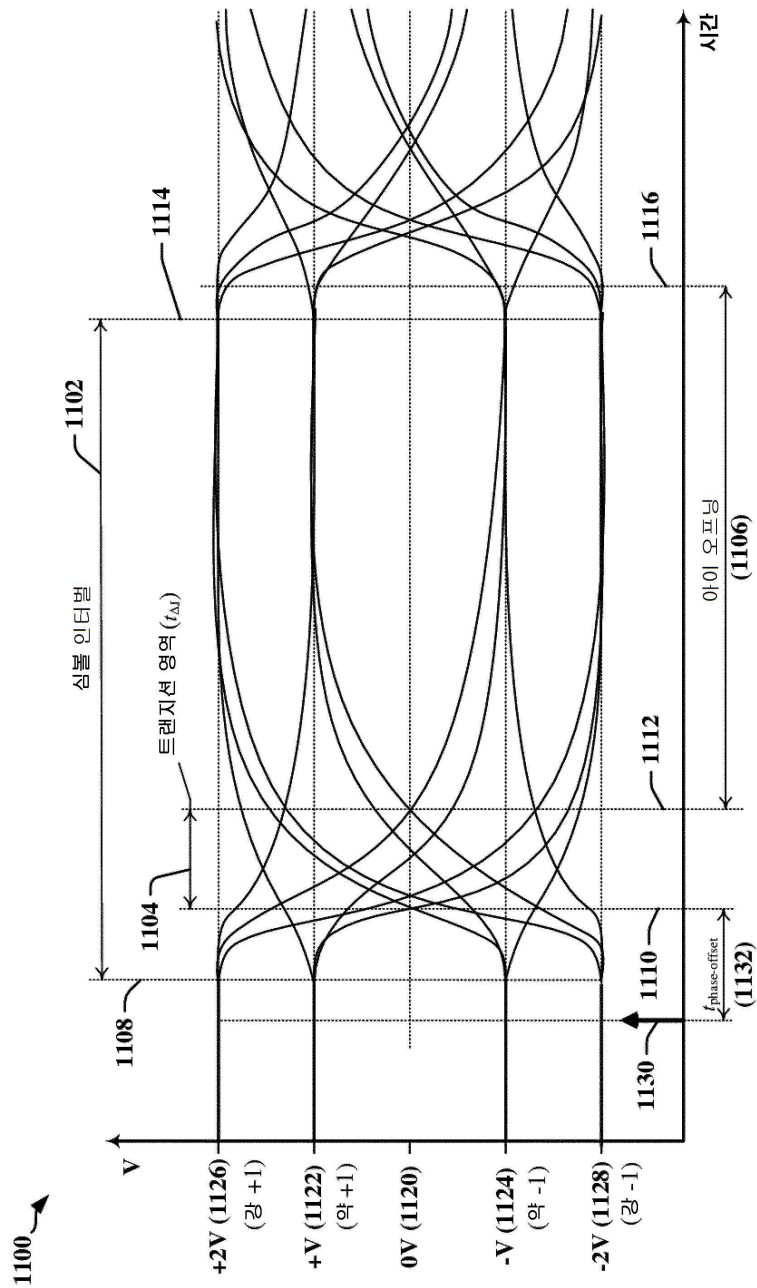
도면9



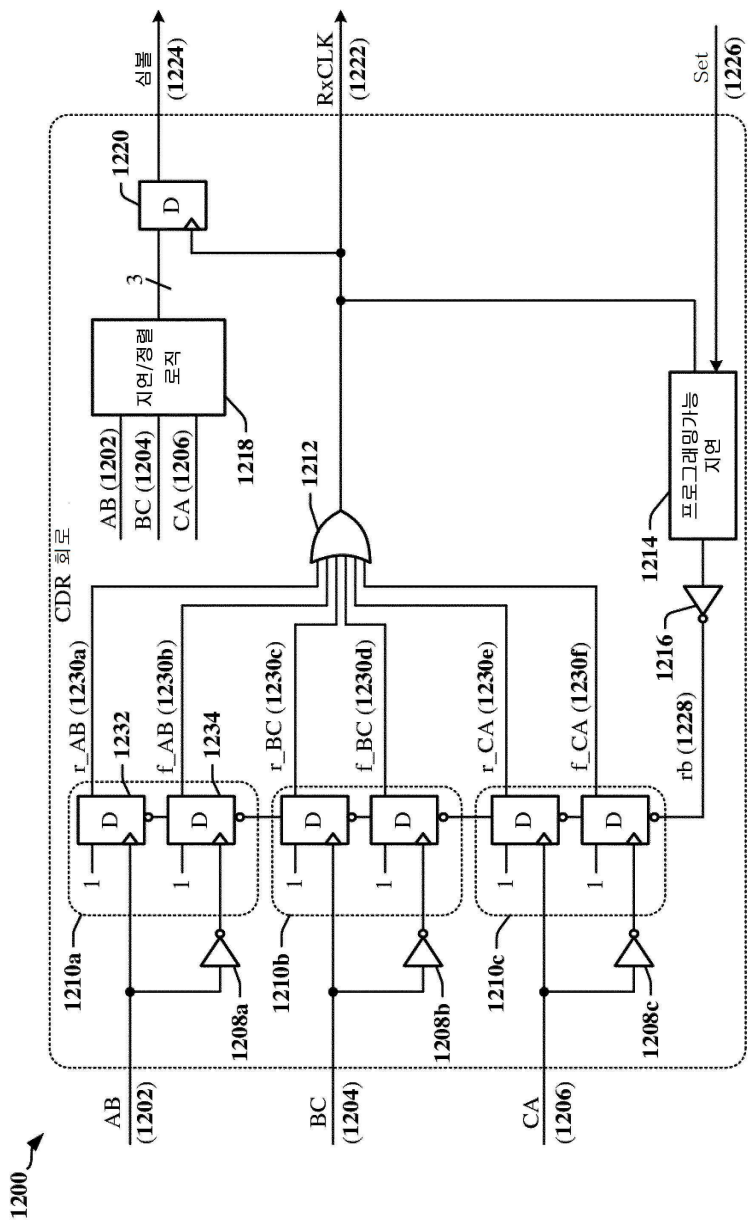
도면10



도면11



도면12

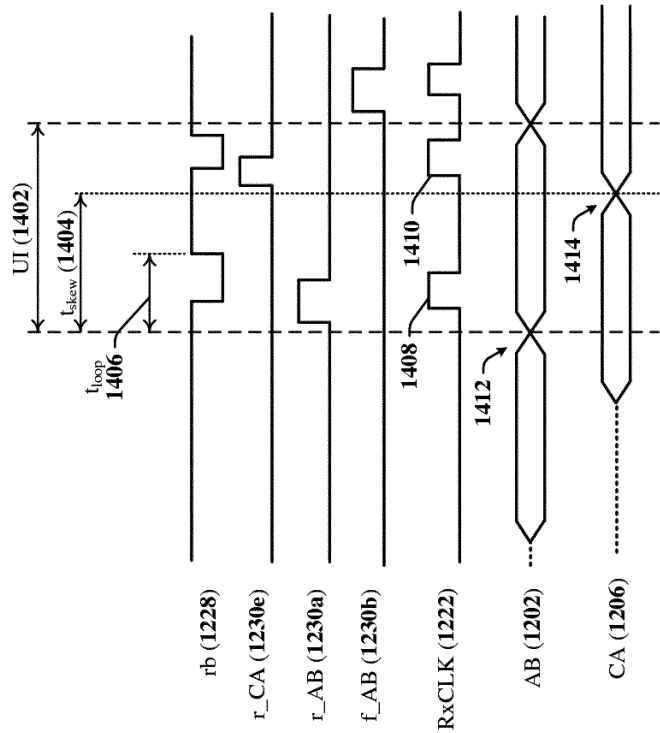






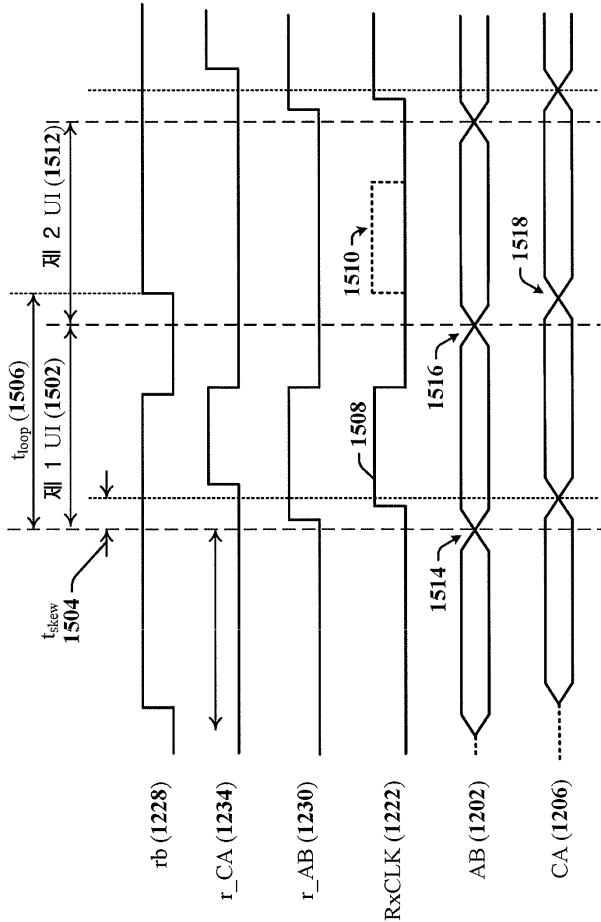
도면14

1400 ↗



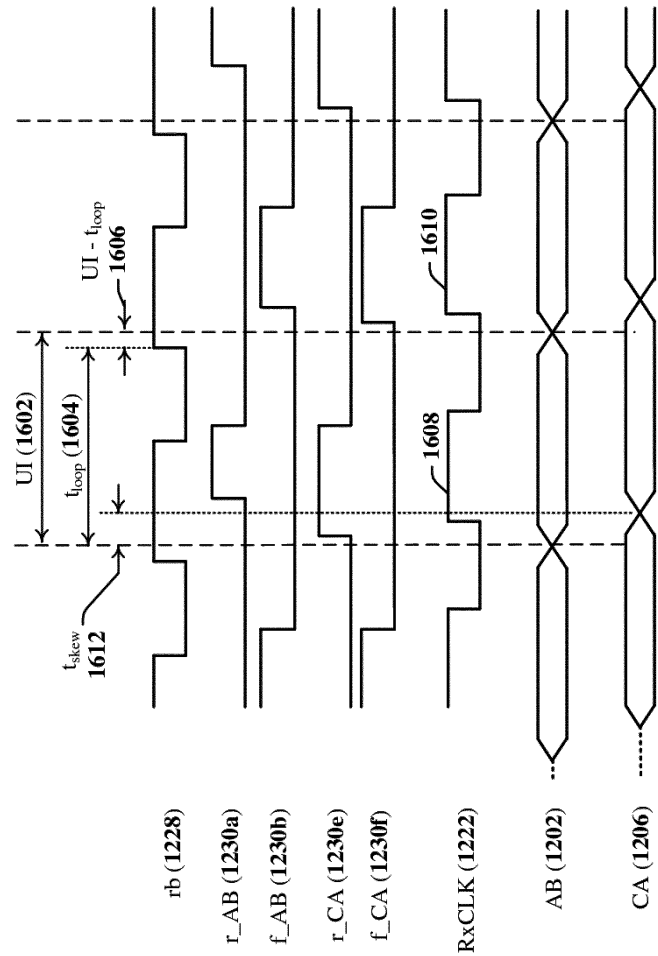
도면15

1500 ↗

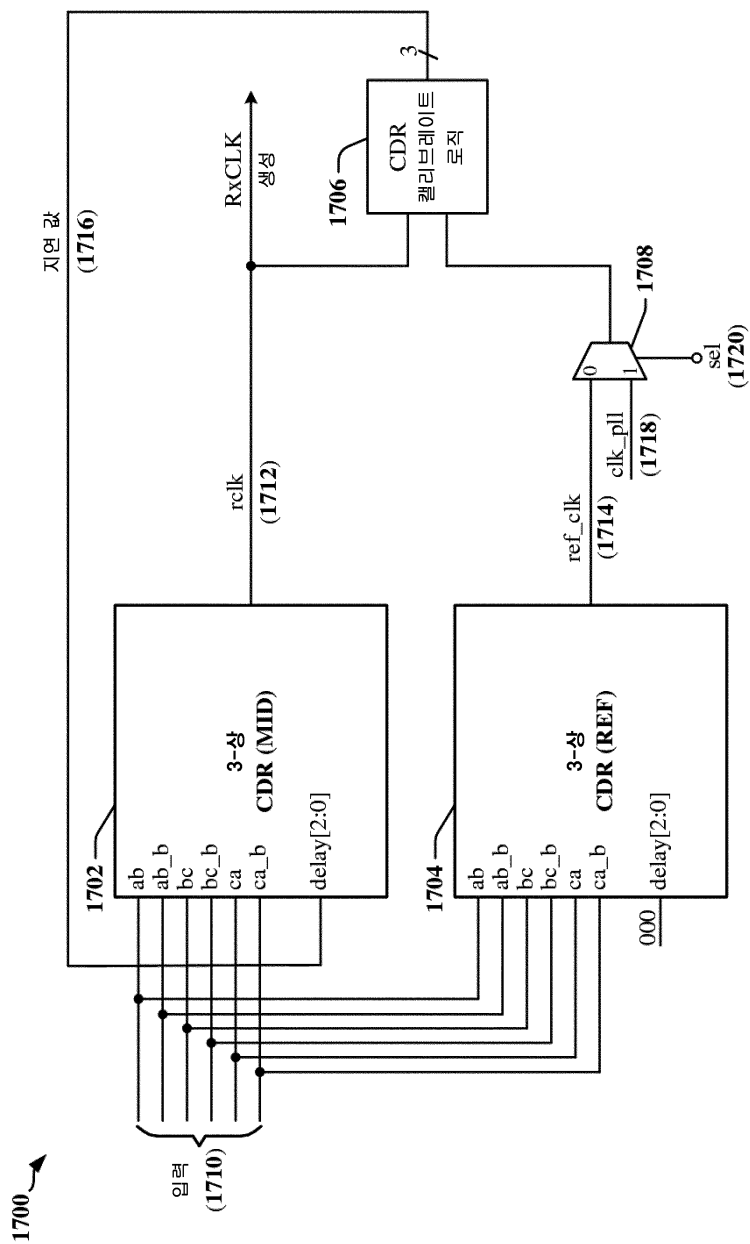


도면16

1600 ↗

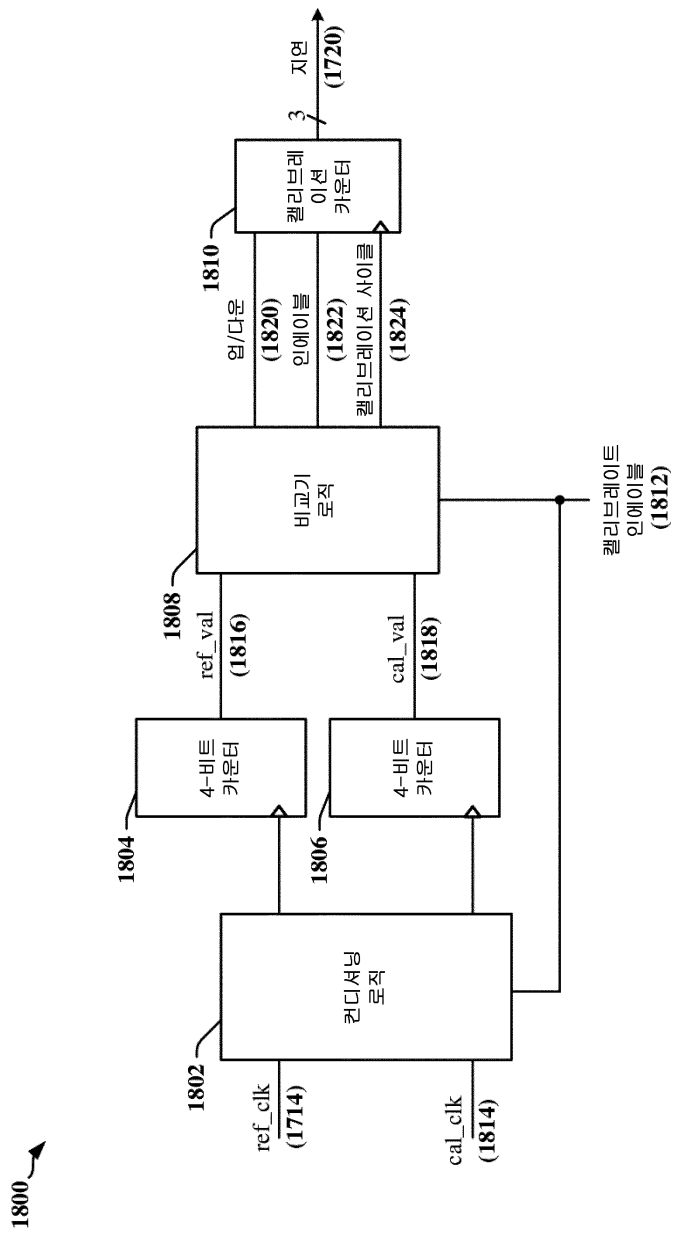


도면17

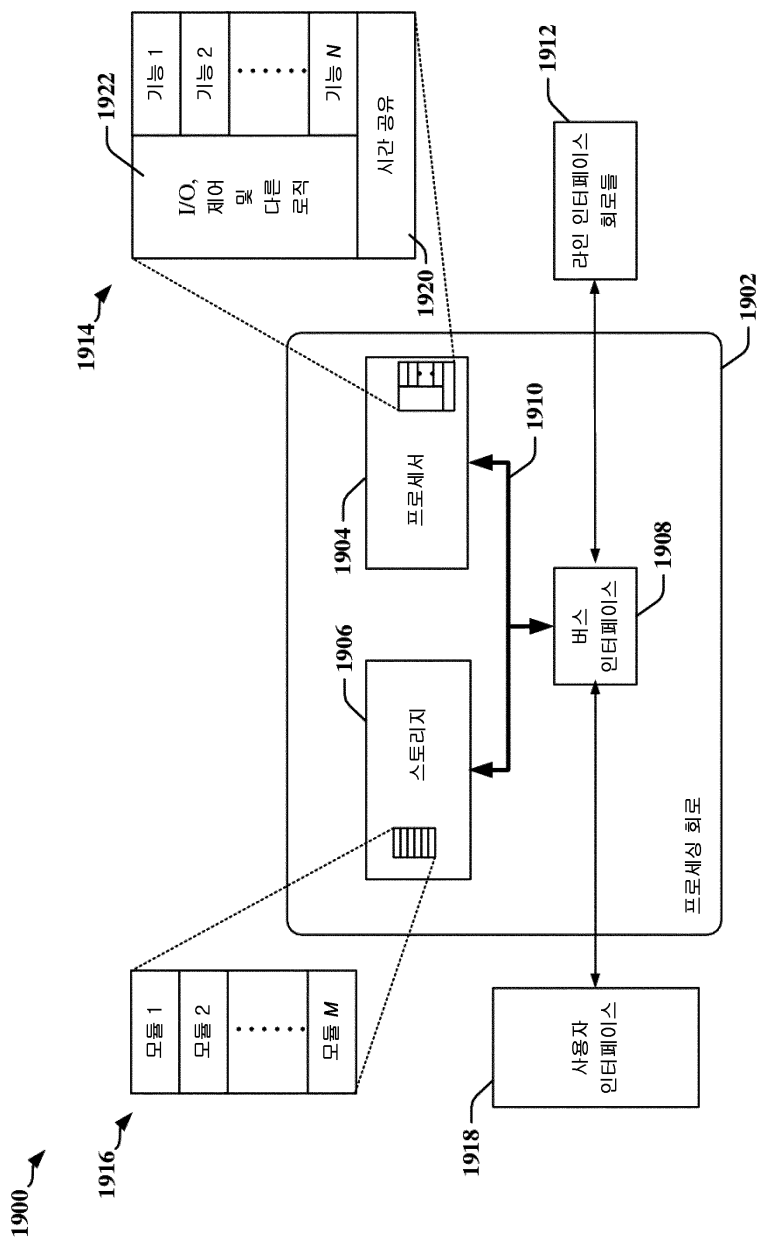




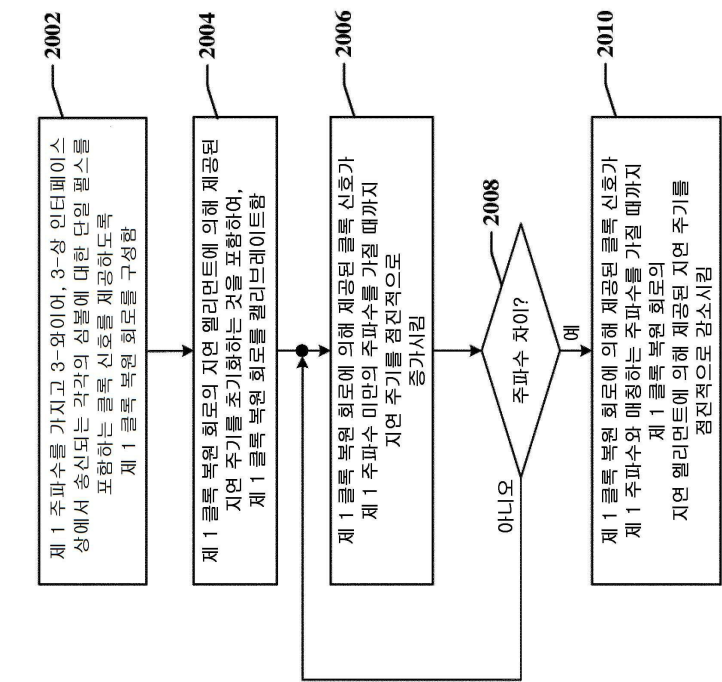
도면 18



도면19



도면20



도면21

