

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5111638号
(P5111638)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl. F I
G O 6 T 15/00 (2011.01) G O 6 T 15/00 1 0 0 A

請求項の数 12 外国語出願 (全 18 頁)

<p>(21) 出願番号 特願2011-84835 (P2011-84835) (22) 出願日 平成23年4月6日(2011.4.6) (65) 公開番号 特開2011-238213 (P2011-238213A) (43) 公開日 平成23年11月24日(2011.11.24) 審査請求日 平成23年4月7日(2011.4.7) (31) 優先権主張番号 12/755,506 (32) 優先日 平成22年4月7日(2010.4.7) (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 591003943 インテル・コーポレーション アメリカ合衆国 95052 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200 (74) 代理人 110000877 龍華国際特許業務法人 (72) 発明者 ムンクバーグ、ジャコブ アメリカ合衆国 95052 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200 インテル ・コーポレーション内</p>
---	--

最終頁に続く

(54) 【発明の名称】 パラメトリック曲線をより小さなサブパッチに分割する装置およびその方法

(57) 【特許請求の範囲】

【請求項1】

グラフィックスプロセッサを用いて、配置されたパラメトリック曲線においてバウンドを計算し、より小さなサブパッチに分割する方法であって、

前記グラフィックスプロセッサが、ベースパッチで定義された軸の制御ポイントにおいて、前記制御ポイントのベクトル間の平均をとって2つの軸を得て、前記2つの軸の外積をとり、各ベクトルを正規化してオブジェクト指向のバウンディングボックス座標系を形成する段階と、

前記グラフィックスプロセッサが、パラメータ導関数から正規のベクトルベジエパッチを導出して、単位球体上に制御ポイントを投影して、オブジェクト指向のバウンディングボックス座標系の単位球体上に立体角を用いて、前記単位球体を錐体に分割し、前記パッチにベースパッチの正規化された法線のバウンドを、前記錐体の軸から、与える段階とを備える方法。

【請求項2】

グラフィックスプロセッサを用いて、配置されたパラメトリック曲線においてバウンドを計算し、より小さなサブパッチに分割する方法であって、

前記グラフィックスプロセッサが、ベースパッチで定義された軸の制御ポイントにおいて、前記制御ポイントのベクトル間の平均をとって2つの軸を得て、前記2つの軸の外積をとり、各ベクトルを正規化してオブジェクト指向のバウンディングボックス座標系を形成する段階と、

前記グラフィックスプロセッサが、ベースパッチの正規化された法線のバウンドを導出するために錐体を利用する段階と
を備える方法。

【請求項 3】

グラフィックスプロセッサを用いて、配置されたパラメトリック曲線においてバウンドを計算し、より小さなサブパッチに分割する方法であって、

前記グラフィックスプロセッサが、ベースパッチで定義された軸の制御ポイントにおいて、前記制御ポイントのベクトル間の平均をとって 2 つの軸を得て、前記 2 つの軸の外積をとり、各ベクトルを正規化してオブジェクト指向のバウンディングボックス座標系を形成する段階と、

10

前記グラフィックスプロセッサが、1 つのパラメトリック方向における導関数から第 1 の錐体を形成して、異なるパラメトリック方向における導関数から第 2 の錐体を形成して、前記座標系における前記第 1 の錐体および前記第 2 の錐体の外積を計算することで第 3 の錐体を形成する段階と
を備える方法。

【請求項 4】

前記配置されたパラメトリック曲線においてバウンドを計算し、より小さなサブパッチに分割する方法には、位置、法線、およびテクスチャに関するバウンドを改良することが含まれる請求項 1 から 3 のいずれか一項に記載の方法。

【請求項 5】

前記グラフィックスプロセッサが、アプリケーションが定義する閾値に達するまでベジエ分割を繰り返し適用する段階を備える請求項 1 から 4 のいずれか一項に記載の方法。

20

【請求項 6】

前記グラフィックスプロセッサが、サブパッチのカリング、テセレーション、およびドメインシェーディングを行う段階を備える請求項 1 から 5 のいずれか一項に記載の方法。

【請求項 7】

前記グラフィックスプロセッサが、レイトレーシング用にバウンディングボリューム階層を構築する段階を備える請求項 1 から 6 のいずれか一項に記載の方法。

【請求項 8】

前記グラフィックスプロセッサが、前記曲線をコンピュータディスプレイに表示可能な視覚形態に変換する段階を備える請求項 1 から 7 のいずれか一項に記載の方法。

30

【請求項 9】

グラフィックスプロセッサと、前記グラフィックスプロセッサに連結され、前記グラフィックスプロセッサに請求項 1 から 3 のいずれか一項に記載の方法を用いて、配置されたパラメトリック曲線においてバウンドを計算させ、より小さなサブパッチに分割させるストレージと
を備える装置。

【請求項 10】

配置された前記パラメトリック曲線においてバウンドを計算し、より小さなサブパッチに分割することから生じる画像を表示するディスプレイを備える請求項 9に記載の装置。

40

【請求項 11】

前記ストレージは、位置、法線、およびテクスチャに関するバウンドを改良する命令を格納する請求項 9 または 10 に記載の装置。

【請求項 12】

前記ストレージは、アプリケーションが定義する閾値に達するまでベジエ分割を繰り返し適用する命令を格納する請求項 9 から 11 のいずれか一項に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概してグラフィックス処理に係り、詳しくは、相互的、リアルタイム、および

50

オフライン/フィルム描画等の描画システムのテセレーションに係る。

【背景技術】

【0002】

現代のグラフィックスプロセッサは、多くの小さな三角形に曲線をテセレーションするための専用ハードウェアを含む。DirectX 11アプリケーションプログラミングインタフェース(「DX11」)(API)は、ハルシェーダ、固定機能テセレータ、およびドメインシェーダという3つの新しい段階をグラフィックスパイプラインに加えてテセレーションをサポートしている。ハルシェーダは、パッチごとに一度、および制御ポイントごとに一度実行され、通常は、テセレーション係数の計算および制御ポイントベースの変更に利用されている。固定機能テセレータは、テセレーション係数を入力として利用して、入力プリミティブのドメインにおける大きな頂点位置のセットおよび頂点間の接続情報を生成する。接続情報により多くの小さな三角形が生成される。ドメインシェーダは、テセレータが頂点位置を生成するたびに一度実行される。通常ドメインシェーダの用途は、パラメトリック曲線の位置および法線を、例えば一式の制御ポイント、重心座標および詳細なテクスチャを入力として利用して評価することである。出力は、一式の属性で定義される、配置された頂点である。属性の1つは位置であるが、シェーダはさらに、配置頂点の法線/接線/二重接線/テクスチャ座標/色/透明性その他の属性を算出することもできる。

10

【図面の簡単な説明】

【0003】

【図1】コーナ制御ポイントおよびベクトル b および t を示しており、パッチのコーナ間にベクトルを形成することで $OB B$ 軸を導出することができる。

20

【図2】上の行の2つの離散配置ピークを有する三次多項式をバウンディングする25のステップを経て形成されるバウンドの一例を示しており、軸がベジエ曲線の制御ポイントにより決定される $A A B B$ を利用する左画像および $OB B$ を利用する右画像が示され、下の行により配置シェーダにパーリンノイズが加えられている。

【図3】同じ数のサブディビジョンを有する $A A B B$ 対 $OB B$ バウンディングの三次元の一例を示す。

【図4】左端の画像が正規化前の通常のパッチを示し、中間画像では各制御ポイントが正規化されて単位球体にマッピングされており、最後に右端の画像が、パッチの正規化された保守的なバウンドである法線の錐体によりバウンディングされる投影を示すような、通常のパッチの通常バウンディング法を示している。

30

【図5】 T および B が示す2つのパラメトリック導関数についてバウンディング錐体が与えられた場合に、 T 内の任意のベクトルおよび B 内の任意のベクトルの外積をバウンディングする錐体が導出されて N として示されることを示している。

【図6】ボックスサイズを、16個のサブディビジョンステップの実行によりソート基準としてバウンディングするスクリーンスペースを利用する2つの異なるビューを示し、その結果サブディビジョンの密度に生じる差異を示している。

【図7】本発明の一実施形態における配置ベジエ曲線(Bezier surface)パッチのバウンディングおよびバウンディングアルゴリズムを示すフローチャートである。

40

【図8】一実施形態における配置ベジエパッチの $OB B$ を見つけることにより、配置パッチのバウンドを計算するより詳細なフローを示すフロー図である。

【図9】制御ポイントを利用してベースパッチの $OB B$ を定義する一実施形態を示すフローチャートである。

【図10】正規化された法線を見つける一実施形態を示すフローチャートである。

【図11】正規化された法線を見つける別の実施形態を示すフローチャートである。

【図12】本発明の一実施形態のハードウェアを示す。

【発明を実施するための形態】

【0004】

ドメインシェーダ評価の数を低減させることで、グラフィックスパイプラインのその段

50

階で必要となる計算リソースが低減される。これは、最終画像に貢献しないパッチをカリリングすることにより行うことができる。このカリリング処理を効率的に行うべく、配置曲線の階層的バウンドを計算するアルゴリズムを利用することができる。

【 0 0 0 5 】

さらにタイルベースの描画アーキテクチャにおいては、入力プリミティブのバウンドが、入力プリミティブをタイルへと効率的にソートするために必要となる。「バウンディングボリューム」とは、ボックスまたは球体といった、別のオブジェクトを包含する、ボリュームを有するオブジェクトのことである。ドメインシェーダはプログラム可能であるので、出力位置の保守的且つタイトなバウンドを提供することが難しく、これにより、生成された小さな三角形を個々にタイルにソートする必要が生じる。この処理により、タイルキューにおいてメモリ要件が増加して、利用帯域幅が増加し、パッチのプリミティブレベルにおけるオクルージョンカリリング処理の効率性が下がる。

10

【 0 0 0 6 】

この代わりに、これらバウンドは、ユーザが指定するパラメータを利用せずに、ドメインシェーダのみに基づきオンザフライで（ブロック 1 2）計算することもできる（図 7 参照）。次いで、プリミティブをより小さなサブパッチへと分割して階層を生成する際にこのバウンドを適合的に改良してよい。一実施形態では、アルゴリズムにより、効率的な正規のバウンディング、配置テクスチャの配向されたバウンディングボックスおよび最小最大ミップマップ階層を利用して、動的配置パラメトリック曲線の保守的且つタイトなバウンディングが実行される（例えばベジエパッチ等）。パッチをカリリングする（ブロック 1 6）。カリリングしない場合には、プリミティブをテセレーションおよびドメインシェーディングにかける（ブロック 1 8）。

20

【 0 0 0 7 】

パッチをテセレータに送信する必要がないので、一部の実施形態ではパッチにおいてドメインシェーダおよびテセレータ処理の両方が低減しうる。入力パッチをカリリングする場合には、一部の実施形態ではテセレーションもドメインシェーディングも行わなくてよい場合もある。同様に、サブパッチをカリリングする場合には、一部の実施形態ではこれ以上そのサブパッチに処理を行わないようにすることもできる。そうではない場合には、サブパッチをテセレーションして、ドメインシェーディングにかける。

【 0 0 0 8 】

二重曲線 (bi-cubic) ベジエパッチのコレクションは、滑らかな曲線を生成するために行われることの多い描画プリミティブである。公知のアルゴリズムを利用して、カットマル-クラークサブディビジョン曲線をこれらのパラメトリックパッチのコレクションへと変換して、且つ、再帰的なサブディビジョンプロセスの限界面を忠実に近似することができる。通常、高い解像度のテクスチャからの配置をパッチの法線ベクトルの方向に加えることで、最終的な曲線の詳細を増加させている。

30

【 0 0 0 9 】

配置を有するベジエパッチは、APIの描画においてドメインシェーダで利用されてよい。ベジエパッチは、その制御ポイントによりコンパクトに表され、このパラメトリック曲線表現は、（再帰的なサブディビジョン曲線とは異なり）並列に効率的に評価することができる。

40

【 0 0 1 0 】

ベジエパッチ $p(u, v)$ は、パラメトリック曲線であり、つまり、2つのパラメトリック座標 u および v で定義される曲線である。「ベースパッチ」という用語は、まだ配置されていないベジエパッチのことであり、最終的に配置された曲線と区別される。パラメトリック座標 (u, v) の配置ベジエパッチを評価するドメインシェーダは、ベースパッチ位置 $p(u, v)$ 、ベースパッチの正規化された法線

$$\hat{n}(u, v)$$

および（通常は）テクスチャからとった配置値 $t(u, v)$ を算出する。配置がベースパッチの法線方向に行われている場合には、ドメインシェーダ（モデルビュープロジェクションマトリックスで乗算される前）は、以下ようになる。

【数 1】

$$d(u, v) = p(u, v) + \hat{n}(u, v)t(u, v) \quad (1)$$

10

【0 0 1 1】

$d(u, v)$ をモデルビュープロジェクションマトリックス M で乗算すると、均一な座標でクリップスペース位置 q が以下のように得られる。

【数 2】

$$q(u, v) = Md(u, v) = M(p(u, v) + \hat{n}(u, v)t(u, v)) \quad (2)$$

20

【0 0 1 2】

正規化されたデバイス座標は、 $s_x = q_x / q_w$ および $s_y = q_y / q_w$ で与えられる。

【0 0 1 3】

パラメトリックドメインにおける $q(u, v)$ の保守的なバウンドは、 $a \leq u \leq b$ である場合、 $c \leq v \leq d$ となつてよい。

【0 0 1 4】

次に、 $p(u, v)$ のバウンディング方法を説明する。ベジエパッチは、凸形状のハル特性を有し、その制御ポイントを利用することで簡単にバウンディングすることができる。ベジエパッチについて軸が合わせられたバウンディングボックス (A A B B) を見つけることで、1 制御ポイントについて 3 つの最小処理および 3 つの最大処理を行うことができる。

30

【0 0 1 5】

ベジエサブディビジョン処理を繰り返すことで、分割されたパッチの制御ポイントケージは、急速にその下にあるベースパッチに向かって収束する。さらに各ステップで元のパッチが p_A および p_B の 2 つに再帰的に分割される場合には、 p_A を生成するために必要となるド・カステリヨ処理ステップにより、 p_B の制御ポイントが副産物として生成される。これは効率的な実装といえよう。

【0 0 1 6】

ベースパッチ定義された軸の制御ポイントから、配向されたバウンディングボックス (O B B) の軸を導出することができる。このボックスは、A A B B よりもタイトにベースパッチを包含することができる。同一の反復における分割で生じた 2 つのパッチ各々について、両ベースパッチ、正規のパッチ、および配置テクスチャおよびルックアップを改良する。図 7 のブロック 1 2 に示す配置曲線のバウンドを計算するのに利用されるステップを示す図 8 を参照すると、ベースパッチがある軸沿いにベジエサブディビジョン法を利用して分割されている。ブロック 1 4 に示すベースパッチのバウンディングには、O B B 軸を制御ポイントから見つけ、全ての制御ポイントをこれらの軸に投影する処理が含まれる。各軸沿いの最小および最大値は、制御ポイントを全て含む O B B を導出するべく配置されており、ベジエパッチの凸形状のハル特性は、曲線がこの O B B に含まれていることを意味している。

40

50

【 0 0 1 7 】

次にブロック 15 に示すように、配置の最小および最大値を、最小 / 最大テクスチャ階層で探す。そしてダイヤモンド 19 で配置がゼロであるか判断する。配置がゼロである場合には、モデルビュープロジェクションをパッチのバウンディングボックスの 8 つのコーナーに適用して (ブロック 20)、バウンドを戻す (ブロック 23)。配置がゼロではない場合には、モデルビュープロジェクション変換を行う (ブロック 20) 前に以下に T P A T C H および N P A T C H と称して説明される技術の一方を利用して正規のバウンディングをブロック 21 で行い、バウンドを戻す (ブロック 23)。最後にブロック 23 でモデルビュープロジェクション変換を行う。

【 0 0 1 8 】

ベジエパッチにおいては、コーナー制御ポイント間のベクトル (図 1) を合計して 2 つの軸を得る (図 9 のブロック 24)。(m + 1) × (n + 1) 制御ポイントを有するパッチを想定すると、4 つのコーナー制御ポイント $c_{0,0}$ 、 $c_{m,0}$ 、 $c_{0,n}$ 、および $c_{m,n}$ となり、以下の 2 つのベクトルが形成される。

【 数 3 】

$$t = c_{m,0} - c_{0,0} + c_{m,n} - c_{0,n} \quad (3)$$

【 数 4 】

$$b = c_{0,n} - c_{0,0} + c_{m,n} - c_{m,0} \quad (4)$$

t および b は、それぞれ u および v のパラメトリック方向において適切な平均勾配として考えることができる。これらは直交しない。これらの外積 (図 9 のブロック 26) によって第 3 の軸「n = b の t との外積」が生じる。直交する座標系を形成するべく、 $x = t$ 、 $y = t$ の n との外積、および $z = n$ と設定することで、各ベクトルを正規化する (図 9 のブロック 28)。最終的に生じる座標系は、

$$(\hat{x}, \hat{y}, \hat{z})$$

となる。これにより、殆どのケースで A A B B を利用するときと比べてバウンディングボックスのサイズが低減する。制御ポイントケージに基づいて、より精密な O B B 適合スキームを導出することもできるが、実際には、上述した簡単な方法で、曲線をタイトにバウンディングする O B B の軸を生成することができる。A A B B および O B B によるバウンディング間の品質の差異は、曲線について図 2 で強調表示されており、ベジエパッチについて図 3 で強調表示されている。不完全なケースについては単に A A B B を利用する。以下に示すように、O B B 軸も正規のバウンディングアルゴリズムで非常に有用である。

【 0 0 1 9 】

ドメインにおいてパッチ法線

$$\hat{n}(u, v)$$

をバウンディングすることは、ベース位置 $p(u, v)$ のバウンディングよりもかなり難易度が高い。法線方向は、ベースパッチ $p(u, v)$ の 2 つのパラメトリック導関数の外積として計算される。

【 0 0 2 0 】

ベジエ曲線のテンソル積の標準記法に従って、ベジエパッチ $p(u, v) : R^2 \rightarrow R^3$ が以下のように定義される。

【数 5】

$$p^{m,n}(u, v) = \sum_{i=0}^m \sum_{j=0}^n c_{i,j} B_i^m(u) B_j^n(v) \quad (5)$$

上の式において $c_{i,j}$ は制御ポイント、 m および n はパラメトリック座標 u および v それぞれにおけるパッチの度合いを示す。 $B_i(u)$ および $B_j(v)$ は、バーンスタイン多項式である。 10

【0021】

偏導関数は以下のように表すことができる。

【数 6】

$$\frac{\partial p}{\partial u}(u, v) = \sum_{j=0}^n \sum_{i=0}^{m-1} a_{i,j} B_i^{m-1}(u) B_j^n(v) \quad (6)$$

【数 7】

20

$$\frac{\partial p}{\partial v}(u, v) = \sum_{i=0}^m \sum_{j=0}^{n-1} b_{i,j} B_i^m(u) B_j^{n-1}(v) \quad (7)$$

ここでは以下が成り立つ。

【数 8】

$$a_{i,j} = m(c_{i+1,j} - c_{i,j}), \quad (8)$$

30

【数 9】

$$b_{i,j} = n(c_{i,j+1} - c_{i,j}). \quad (9)$$

【0022】

$a_{i,j}$ 、および $b_{i,j}$ は、ベースパッチの制御ポイント間の（スケールされた）差異を表すのでベクトルである。曲線法線（正規化前のもの）は、以下のように定義される。 40

【数 10】

$$n(u, v) = (n_x, n_y, n_z) = \frac{\partial p}{\partial u}(u, v) \times \frac{\partial p}{\partial v}(u, v). \quad (10)$$

【0023】

正規化された法線は以下のようにして求められる。

【数 1 1】

$$\hat{n}(u, v) = \frac{n}{\sqrt{n_x^2 + n_y^2 + n_z^2}} \quad (11)$$

【0024】

p(u, v)の二重次数がパラメトリック座標の(m, n)である場合には、第一次パラメトリック導関数は(m-1, n)次および(m, n-1)次である。以下に示すように、パッチの外積をとった後のパッチの二重次数は、(m+n-1, m+n-1)となる。従って、双三次ベジエパッチの法線方向を表すパッチによって、二重次数(5, 5)を正確に表現する必要が出てくる。

10

【0025】

配置を適用するには正規化された法線が必要となる。正規化処理(数式11)では、副式

$$n_x^2, n_y^2, \text{ および } n_z^2$$

を正確に表すために二重次数2(m+n-1, m+n-1)が必要となる。双三次ベジエパッチでは、これらの項を、二重次数(10, 10)ベジエパッチとして正確に表すことができる。多くの場合、この処理は高価なので不可能である(11・11=121制御ポイント)。最後に、逆数平方根が、バースタイン多項式では正確に表すことができない。加えて、オペランドが法線の長さの二乗であることから、逆数平方根のオペランドは常にゼロ以上ではなくてはならない。この条件を満たさない場合には、infまたはNaNが生じうる。従って

20

$$n_x^2 + n_y^2 + n_z^2$$

のバウンディングされた表現は、厳密にゼロを超える値ではなくてはならない。3つの二乗された項(実数)の合計の平方根がゼロ以上であるべきであることから、一見これは些細なことに思われる。しかし、バウンディングのために制御ポイントケージのバウンディングボックスを利用する実際のケースでは、全ての制御ポイントが正の値をとることは保証できないので、難しい。

30

【0026】

以下に、上述した問題の殆どが回避されている法線のバウンディングアルゴリズムを示す。まとめると、法線のベクトルベジエパッチを、パラメトリック導関数から導出して(図10のブロック32)、その制御ポイントを単位球体に投影して(図10のブロック34)、単位球体におけるその立体角をOBB座標フレームにバウンディングすることで(図10のブロック36)、正規化された法線の保守的なバウンドが得られる。これを法線のバウンディング法NPATCHと称する。

40

【0027】

法線が以下として定義されたことを想起されたい。

【数 1 2】

$$\begin{aligned}
 n(u, v) &= \frac{\partial p}{\partial u}(u, v) \times \frac{\partial p}{\partial v}(u, v) \\
 &= \sum_{j=0}^n \sum_{i=0}^{m-1} a_{i,j} B_i^{m-1}(u) B_j^n(v) \times \sum_{k=0}^m \sum_{l=0}^{n-1} b_{k,l} B_k^m(u) B_l^{n-1}(v) \quad (12)
 \end{aligned}$$

【0028】

以下はバーンスタイン多項式の積についての公式である。

10

【数 1 3】

$$B_i^m(u) B_j^n(u) = \frac{\binom{m}{i} \binom{n}{j}}{\binom{m+n}{i+j}} B_{i+j}^{m+n}(u) \quad (13)$$

【0029】

これを利用すると、数式 1 2 は以下のように表される。

【数 1 4】

20

$$\sum_{i,j,k,l} a_{i,j} \times b_{k,l} \frac{\binom{m-1}{i} \binom{m}{k} \binom{n}{j} \binom{n-1}{l}}{\binom{m+n-1}{i+k} \binom{m+n-1}{j+l}} B_{i+k}^{m+n-1}(u) B_{j+l}^{m+n-1}(v). \quad (14)$$

これは、制御ベクトル v_p, q を有する二重次数 $(m+n-1, m+n-1)$ のパッチであり、以下のように表すことができる。

【数 1 5】

30

$$v_{p,q} = \sum_{\substack{i+k=p \\ j+l=q}} a_{i,j} \times b_{k,l} \frac{\binom{m-1}{i} \binom{m}{k} \binom{n}{j} \binom{n-1}{l}}{\binom{m+n-1}{i+k} \binom{m+n-1}{j+l}} \quad (15)$$

【0030】

パッチにおいてベースパッチの法線を保守的にバウンディングするには、正規化後の法線が単位長を有するという事実を用いることができる。従って制御ベクトル v_p, q を正規化して、それらを単位球体上のポイントとして表すこととする。

【0031】

40

これらバウンドを導出する手っ取り早い方法としては、パッチの法線の近似値である $O_B B$ 座標フレームにおける

$$\hat{z}$$

軸を利用して、任意の正規化された制御ポイントと

$$\hat{z}$$

軸との間の最小スカラー積を単に計算する、というものがある。これにより、正規化された方向を包含する錐体の半角のコサイン値が求まる。これは図4に示されている。

【0032】

双三次ベジエパッチにおいては、 v_p, q の算出には、144個の外積が含まれる。2項式の係数は、小さなルックアップテーブルで予め計算しておくことができる。

【0033】

しかし、方向がパラメトリック座標に対応する全ての相関が失われることになる。この方法がどのくらいタイトであるかは、非正規の法線が許容範囲内で良好にバウンディングされているか否かにかかっており、これは大きなドメインでは難しくなり、サブドメインが縮小されると容易となる。

【0034】

より粗いバウンドは、2つの接する錐体を第一次パラメトリック導関数パッチ

$$\partial p / \partial u \text{ および } \partial p / \partial v$$

の制御ポイントから形成することで、これよりも手っ取り早く得ることができる(数式6および7を参照のこと)。この導関数パッチの制御ポイントは、単位球体上で正規化およびバウンディングされて(図4を参照のこと)、2つの錐体

$$T : \{\hat{t}, \alpha_t\} \text{ および } B : \{\hat{b}, \alpha_b\}$$

が形成される。錐体Tは、正規化された軸

$$\hat{t}$$

および半角 α_t により定義される。

【0035】

錐体TおよびB同士が重ならない場合には、2つのベクトルについて可能性のある全ての外積をバウンディングする錐体N

$$(\hat{n}, \theta)$$

を、各TおよびBから1つずつ構築することができる。軸

$$\hat{n}$$

は、 $t \times b$ の方向にあり、その半角 θ は、

【数 1 6】

$$\sin \theta = \frac{\sqrt{\sin^2 \alpha_t + 2 \sin \alpha_t \sin \alpha_b \cos \beta + \sin^2 \alpha_b}}{\sin \beta} \quad (16)$$

で与えられる。ここで

$$\hat{a}$$

10

が、

$$\hat{t}$$

および

$$\hat{b}$$

20

にそれぞれ平行な錐体の軸の間の 2 つの角度のうちの小さいものに相当する。錐体 N は、パッチの全ての正規化された法線をバウンディングする。錐体 T、B、および N を図 5 に示す。

【0 0 3 6】

上述した

$$\hat{t}$$

および

30

$$\hat{b}$$

軸を、錐体 T および B の軸として利用して、錐体の角度は、パラメトリック導関数のパッチの制御ポイントから錐体 T および B について見つけることができる（図 1 1 のブロック 4 0）。円錐角のコサイン

$$\hat{a}_t(\hat{a}_b)$$

40

は単に、

$$\hat{t}(\hat{b})$$

軸とタンジェントパッチからの任意の正規化された制御ポイントとの最小ドット積である。

【0 0 3 7】

正規の錐体は、錐体 T および B の外積の計算により導出される（図 1 1 のブロック 4 2

50

)。O B B 座標フレームで表される正規化された法線のバウンドは以下のようになる。

【数 1 7】

$$([- \sin \theta, \sin \theta], [- \sin \theta, \sin \theta], [\cos \theta, 1]) \quad (17)$$

ここで、 θ は、正規な錐体 N の錐体の半角である。等式

$$\sin^2 \theta + \cos^2 \theta = 1$$

10

を利用することで、三角関数を利用せずとも正規な円錐角を利用して正規化された法線のバウンドを導出することができる (図 1 1 のブロック 4 4)。この方法を T P A T C h と称する。

【 0 0 3 8 】

2 つの接する錐体同士が重ならないように注意を払う必要がある。錐体は、

$$\hat{a}_t + \hat{a}_b > \hat{a}$$

20

となる場合に重なり、与えられた $\alpha_t < \pi$ 、 $\alpha_b < \pi$ 、および $\alpha < \pi$ は以下のよう
に書き直すことができる。

【数 1 8】

$$\cos \alpha_t \cos \alpha_b - \sin \alpha_t \sin \alpha_b < \cos \beta \quad (18)$$

【 0 0 3 9 】

この条件が満たされる場合、あるいは、

$$\cos \alpha_t < 0, \cos \alpha_b < 0$$

30

である場合には、O B B 座標フレームの単位ボックスを戻す。単位ボックスは 2 つの極
限の頂点 (- 1 , - 1 , - 1) および (+ 1 , + 1 , + 1) を有する。しかし、O B B 座
標フレームがローカル曲線接点、従法線、およびベースパッチの法線の近似から計算され
ることから、この事象が生じることは、曲線がきついパッチを除いては稀である。

【 0 0 4 0 】

テクスチャルックアップのバウンディング法には、2 つの他のミップマップ階層を維持
する必要がある。第 1 のミップマップ階層は、各テクスチャフットプリントおよびレベル
の最大配置値を格納し、第 2 のミップマップ階層は、フットプリントの最小配置値を格納
する。概してパラメトリック間隔が低減するとテクスチャバウンドも低減する。

40

【 0 0 4 1 】

配置ベクトルの最後のバウンドである

$$o = \hat{n}t$$

θ は、テクスチャルックアップ [t m i n , t m a x] からの間隔を、各軸に沿って正規
化された法線ベクトルの間隔倍したものである。表記

50

$$[\underline{a}, \bar{a}]$$

を利用して間隔が定義されており、ここで

$$\underline{a}$$

は下限であり、

$$\bar{a}$$

は上限であり、2つの間隔の乗算を以下に示す。

【数 19】

$$[\underline{a}, \bar{a}] \otimes [\underline{b}, \bar{b}] = [\min(\underline{ab}, \underline{a}\bar{b}, \bar{a}\underline{b}, \bar{a}\bar{b}), \max(\underline{ab}, \underline{a}\bar{b}, \bar{a}\underline{b}, \bar{a}\bar{b})] \quad (19)$$

【0042】

従って o の x 成分の間隔のバージョンは以下ようになる。

【数 20】

$$[\underline{o}_x, \bar{o}_x] = [\underline{t}, \bar{t}] \otimes [\underline{\hat{n}}_x, \bar{\hat{n}}_x] \quad (20)$$

上式は他の成分についても当てはまる。テクスチャ配置が厳密に正の値である場合には、数式 20 をさらに最適化することができる。

【0043】

殆どのドメインシェーダの最終ステップは、クリップスペースへのマトリックス変換であり、 q についての取得バウンドの残りの部分はモデルビュープロジェクションマトリックスであり、これはパラメトリックドメインには依存せず、定数とみなすことができる。この、定数であるマトリックスは、配置されたパッチ d から得られる $OB B$ の 8 つのコーナーで簡単に乗算することができ、これによりクリップスペース位置 q のバウンドが生成される（最終ステップは、予めセレーションされたソートおよびレイトレーシング用の階層バウンドを利用する場合には不要である）。

【0044】

パッチに対して最初に粗い分割を行う場合には、一部の実施形態でサブドメインのバウンディングボックスの優先キューを維持することができる。例えばこの代わりに、各サブパッチを、各サブパッチが、ボリューム、表面積、あるいは投影面積等において「十分小さくなるまで」、複数のより小さいサブパッチに分割することができる。以下の各分割ステップでは、キューの最上位エレメントをとりこれをさらに分割して、分割されたボックスをキューに挿入して戻す。

【0045】

正確なソート基準はアプリケーションに応じて変わり、バウンディングボックスのスクリーンスペースの範囲、深さの値、またはビューフラスタム・カリングのための円台の平面を交差する優先ボックスを含んでよい。図 6 は、ビューに応じた分割基準を示す。

【0046】

ビューフラスタム・カリングでは、 $OB B$ コーナ（クリップスペースにおける）を、円台の平面を基準としてテストする。分割基準は、カメラの円台をまたぐサブパッチを優先

10

20

30

40

50

するよう設計されており、これによりクリップ平面外における配置を効率的にカリングすることができる。パッチのクリップテスト結果も、パッチ全体を完全にビューフラスタム内に収めるように利用することができ、これにより、パッチから形成される三角形のクリップテストをしなくてよい場合もでてくる。

【 0 0 4 7 】

粗い深さのバッファが与えられている場合、サブパッチは、そのバウンディングボックスが既に描画されたプリミティブにより全体的に閉塞されている場合にカリングすることができる。利用される分割基準は、カメラにより近いサブパッチを先ず処理して、パイプラインのラスタ処理に送ることでzカリングの可能性を高める、というものであってよい。

10

【 0 0 4 8 】

バックフェースカリングは、幾何学上の法線を配置の後に効率的にバウンディングすることが難しいことから、最も難しい種類のカリングである。しかしテセレーション率、正規のバウンドおよびタイトな配置間隔が与えられる場合、配置された曲線法線を導出することができる。さらに分割基準は、法線のばらつきが高い対象パッチに対して適合させることができ、サブパッチのバックフェースカリングの確率を上げることができる。

【 0 0 4 9 】

配置されたベジエパッチのバウンディング表現を計算した後で、予めテセレーションしたタイルへのソートにバウンドを利用することができる。タイルの重なりは、最大のスクリーンスペースを有するバウンディングボックスの階層的分割により低減させることができる。

20

【 0 0 5 0 】

レイトレーシングが行われる環境では、分割基準は各O B Bの表面積全体を低減させるように適合され、これは表面積における経験則が加速データ構造を構築することと類似している。衝突検知においては、低減されたO B Bのボリュームに対して分割基準を適合させる。

【 0 0 5 1 】

階層的なバウンディングボリュームは、カリングにおいて、および、タイルへのソートおよびレイトレーシングにおいて利用可能である。ここで説明する方法を利用することで、電子データをディスプレイに表示するための視覚可能な形態に変換することができる。

30

【 0 0 5 2 】

D X - 1 1 テセレーションパイプライン段階を効率的にサポートするべく、タイリングアーキテクチャにおいては、テセレーションおよびドメインシェーディングを行う前に、配置された曲線のバウンドが必要となる。これらのバウンドは、配置されたベジエパッチをテセレーションを行う必要なくピンする（つまり、プリミティブをタイル特定キューへソートすること）ために利用することができる。その後、テセレーションおよびドメインシェーディングを、必要に応じて必要なときに行う。階層的なバウンドの利用はピンング、ビューフラスタム・カリング、オクルージョンカリング、およびバックフェースカリングに有用である。

【 0 0 5 3 】

ここで説明するグラフィックス処理技術は、様々なハードウェアアーキテクチャに実装することができる。例えばグラフィックス機能はチップセット内に集積することができる。あるいは、別個のグラフィックスプロセッサを利用することもできる。また別の実施形態では、グラフィックス機能は汎用プロセッサ（マルチコアプロセッサを含む）により実装されてもよい。

40

【 0 0 5 4 】

図 1 2 に示すコンピュータシステム 1 3 0 は、バス 1 0 4 によりチップセットコアロジック 1 1 0 に連結されたハードドライブ 1 3 4 および取り外し可能媒体 1 3 6 を含んでよい。キーボードおよびマウス 1 2 0、あるいはその他の従来のコンポーネントは、チップセットコアロジックへバス 1 0 8 を介して連結されていてよい。一実施形態でコアロジック

50

クは、グラフィックスプロセッサ 1 1 2 に、バス 1 0 5 およびメインのホストプロセッサ 1 0 0 を介して連結されてよい。グラフィックスプロセッサ 1 1 2 はさらに、バス 1 0 6 を介してフレームバッファ 1 1 4 に連結されてよい。フレームバッファ 1 1 4 は、バス 1 0 7 によりディスプレイスクリーン 1 1 8 に連結されてよい。一実施形態では、グラフィックスプロセッサ 1 1 2 は、シムド (S I M D) アーキテクチャを利用するマルチスレッド、マルチコアの並列プロセッサであってよい。

【 0 0 5 5 】

ソフトウェア実装の場合には、関連コードを任意の適切な半導体、磁気、または光学メモリに（例えば、メインメモリ 1 3 2、またはグラフィックスプロセッサ内の利用可能なメモリに）格納してよい。従って一実施形態では、図 7 から図 1 1 に示すシーケンスを実行するコードを、機械またはコンピュータ可読媒体（例えばメモリ 1 3 2 またはグラフィックスプロセッサ 1 1 2）に格納することができ、一実施形態においてはプロセッサ 1 0 0 またはグラフィックスプロセッサ 1 1 2 により実行可能であってよい。

10

【 0 0 5 6 】

図 8 から図 1 1 はフローチャートである。一部の実施形態では、これらフローチャートに示したシーケンスはハードウェア、ソフトウェア、またはファームウェアにより実装することができる。ソフトウェアによる実施形態では、半導体メモリ、磁気メモリ、または光学メモリ等のコンピュータ可読媒体を利用して命令を格納し、プロセッサにより実行されると、図 8 から図 1 1 に示すフローチャートのうち 1 以上に示されるシーケンスを実行してよい。

20

【 0 0 5 7 】

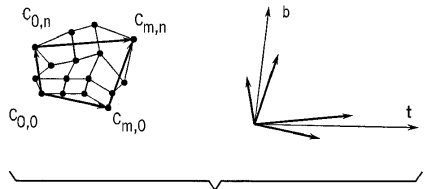
本明細書において「一実施形態」「1つの実施形態」といった言い回しは、その実施形態との関連で記載された特定の特徴、構造、または特性が、本発明の範囲内である少なくとも1つの実装例に含まれていることを意味する。従って「一実施形態」「1つの実施形態」といった言い回しは必ずしも同じ実施形態を表さない。さらに特定の特徴、構造、または特性は、例示された特定の実施形態以外の他の適切な形態で実装することもでき、本願の請求項にはこれら全ての形態が含まれるものとする。

【 0 0 5 8 】

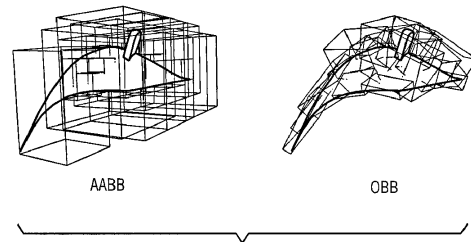
本発明を限られた数の実施形態に関して説明してきたが、当業者にとってはこれに基づく数多くの変形例が明らかである。添付請求項は、本発明の真の精神および範囲内に含まれるこれら全ての変形例および変更例を含むことを意図している。

30

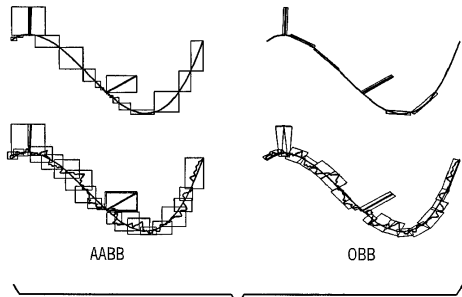
【図1】



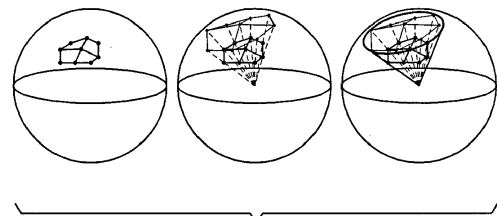
【図3】



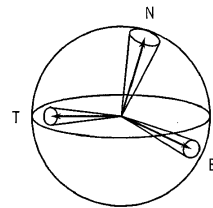
【図2】



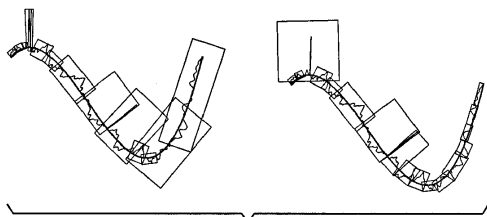
【図4】



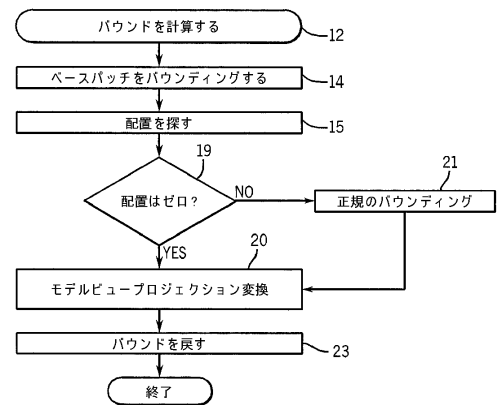
【図5】



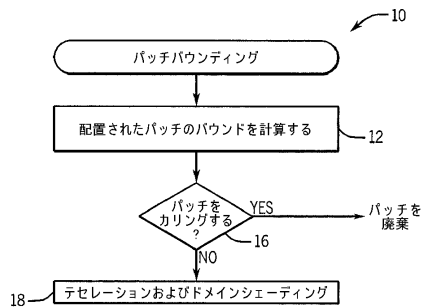
【図6】



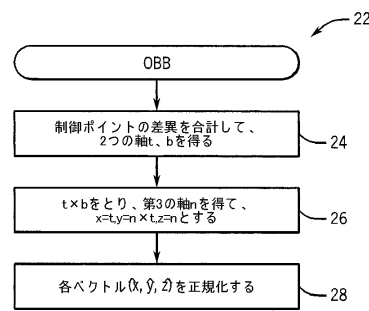
【図8】



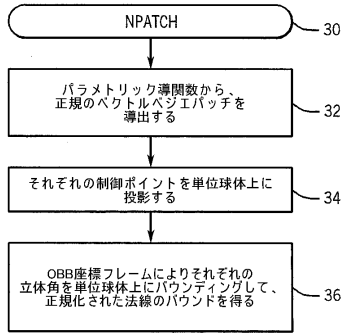
【図7】



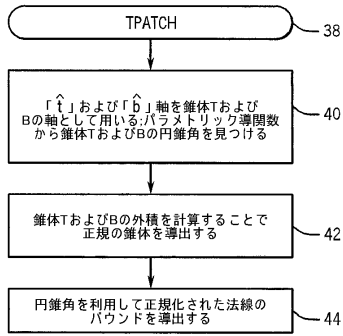
【図9】



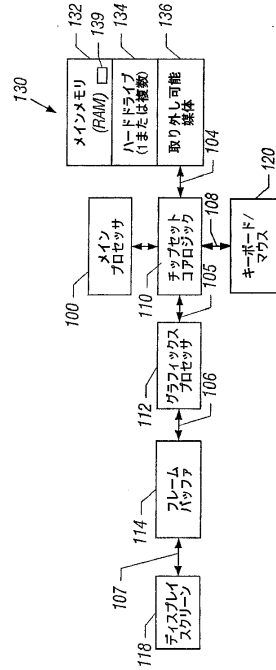
【図10】



【図11】



【図12】



フロントページの続き

- (72)発明者 ハセルグレン、ジョン
アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2200 インテル・コーポレーション内
- (72)発明者 トス、ロバート
アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2200 インテル・コーポレーション内
- (72)発明者 アケナイン・モラー、トマス
アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2200 インテル・コーポレーション内

審査官 千葉 久博

- (56)参考文献 特開2009-086842(JP,A)
特開2004-283373(JP,A)
特開2000-353250(JP,A)
特開平10-063867(JP,A)
米国特許出願公開第2008/0049018(US,A1)
米国特許出願公開第2005/0219250(US,A1)
米国特許出願公開第2005/0146522(US,A1)
米国特許第06256038(US,B1)
国際公開第2009/093956(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G06T 15/00 - 15/87, 17/00, 17/10 - 17/30
G06F 17/50
G06T 13/00 - 13/80, 19/00, 19/20
G09G 5/00 - 5/42