



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0134926
(43) 공개일자 2014년11월25일

(51) 국제특허분류(Int. Cl.)

H03L 7/08 (2006.01)

(21) 출원번호 10-2013-0054983

(22) 출원일자 2013년05월15일

심사청구일자 2013년05월15일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)

송준영

서울 동대문구 약령시로 25, 103동 902호 (제기동, 벽산아파트)

배상근

서울 종로구 난계로 251, 614호 (송인동, 동양파라빌)

(74) 대리인

송인호, 민영준, 최관락

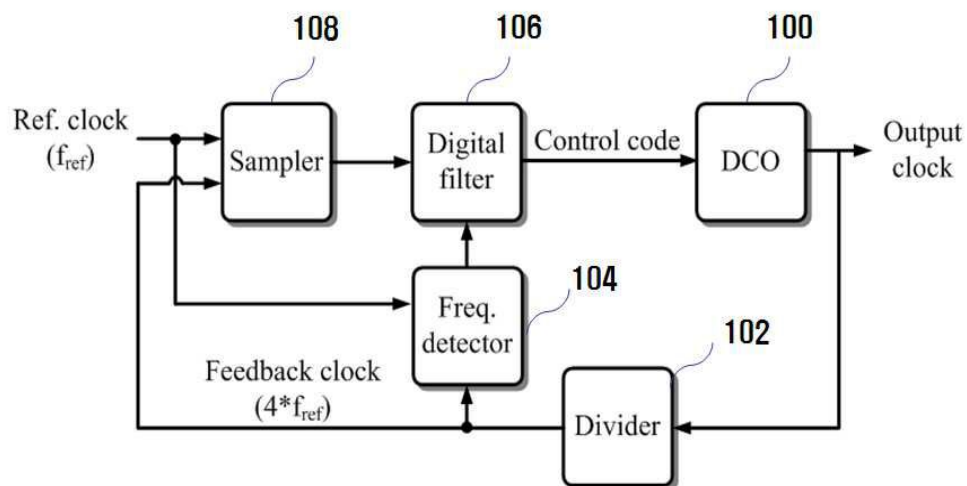
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 디지털 위상 고정 루프 장치

(57) 요약

본 발명은 디지털 위상 고정 루프 장치를 개시한다. 본 발명에 따르면, 제어 코드에 상응하는 주파수 및 위상을 갖는 신호를 출력하는 디지털제어발진기; 상기 디지털제어발진기에서 출력된 신호를 분주하여 기준 클럭의 미리 설정된 배율을 갖는 피드백 클럭을 출력하는 분주기; 상기 기준 클럭을 상기 피드백 클럭으로 샘플링하여 디지털 코드를 출력하는 샘플러; 및 상기 샘플러가 이전에 출력한 디지털 코드와 현재 출력하는 디지털 코드를 비교하여 상기 디지털제어발진기가 출력하는 신호의 위상 조절을 위한 제어 코드를 출력하는 디지털 필터를 포함하는 디지털 위상 고정 루프 장치가 제공된다.

대표도 - 도1



특허청구의 범위

청구항 1

디지털 위상 고정 루프 장치로서,

제어 코드에 상응하는 주파수 및 위상을 갖는 신호를 출력하는 디지털제어발진기;

상기 디지털제어발진기에서 출력된 신호를 분주하여 기준 클록의 미리 설정된 배율을 갖는 피드백 클록을 출력하는 분주기;

상기 기준 클록을 상기 피드백 클록으로 샘플링하여 디지털 코드를 출력하는 샘플러; 및

상기 샘플러가 이전에 출력한 디지털 코드와 현재 출력하는 디지털 코드를 비교하여 상기 디지털제어발진기가 출력하는 신호의 위상 조절을 위한 제어 코드를 출력하는 디지털 필터를 포함하는 디지털 위상 고정 루프 장치.

청구항 2

제1항에 있어서,

상기 피드백 클록은 상기 기준 클록의 k 배 주파수-상기 k 는 2이상임-를 갖는 디지털 위상 고정 루프 장치.

청구항 3

제2항에 있어서,

상기 피드백 클록은 상기 기준 클록의 4배 주파수를 갖는 디지털 위상 고정 루프 장치.

청구항 4

제1항에 있어서,

상기 디지털 필터는,

상기 샘플러가 이전에 출력한 디지털 코드를 저장하는 저장부;

상기 이전에 출력한 디지털 코드와 상기 현재 출력하는 디지털 코드를 비교하여 제어 신호를 출력하는 비교부; 및

상기 비교부가 출력하는 제어 신호에 따라 상기 디지털제어발진기로 입력되는 제어 코드를 변경하는 카운터부를 포함하는 디지털 위상 고정 루프 장치.

청구항 5

제4항에 있어서,

상기 제어 신호는 제어 코드 변경을 위한 인에이블 신호인 제어 코드 변경 신호 및 상기 제어 코드의 증가 또는 감소를 위한 엡다운 신호를 포함하는 디지털 위상 고정 루프 장치.

청구항 6

제4항에 있어서,

상기 비교부는 상기 이전에 출력한 디지털 코드와 상기 현재 출력하는 디지털 코드를 비교하여 상기 디지털제어발진기가 출력하는 신호의 위상이 빠르거나 느린지 여부를 판단하는 디지털 위상 고정 루프 장치.

청구항 7

제1항에 있어서,

상기 분주기에서 출력되는 신호를 입력 받아 주파수를 검출하여 상기 디지털 필터로 상기 디지털제어발진기에서 출력되는 신호의 주파수를 고정하기 위한 제어 신호를 출력하는 주파수 검출기를 더 포함하는 디지털 위상 고정

루프 장치.

청구항 8

제7항에 있어서,

상기 주파수 검출기에 의해 상기 디지털제어발진기에서 출력되는 신호의 주파수를 고정된 이후, 상기 분주기는 상기 기준 클럭의 미리 설정된 배율을 갖는 피드백 클럭을 상기 샘플러로 출력하는 디지털 위상 고정 루프 장치.

청구항 9

디지털 위상 고정 루프 장치로서,

제어 코드에 상응하는 주파수 및 위상을 갖는 신호를 출력하는 디지털제어발진기;

상기 디지털제어발진기에서 출력된 신호를 미리 설정된 배율로 분주하여 분주 신호를 출력하는 분주기;

상기 분주 신호의 주파수를 검출하여 상기 디지털제어발진기에서 출력되는 신호의 주파수를 고정하기 위한 제어 신호를 출력하는 주파수 검출기;

상기 제어 신호에 의해 제어 코드의 최상위비트가 조절된 제어 코드를 상기 디지털제어발진기로 출력하는 디지털 필터; 및

상기 주파수 검출기에 의해 상기 디지털제어발진기에서 출력된 신호의 주파수가 고정되는 경우, 상기 분주기로 부터 입력되는 분주 신호로 기준 클럭을 샘플링하여 디지털 코드를 출력하는 샘플러를 포함하되,

상기 디지털 필터는 상기 샘플러가 이전에 출력한 디지털 코드와 현재 출력하는 디지털 코드를 비교하여 상기 디지털제어발진기가 출력하는 신호의 위상 조절을 위한 제어 코드를 출력하는 디지털 위상 고정 루프 장치.

청구항 10

제9항에 있어서,

상기 샘플러로 입력되는 분주 신호는 상기 기준 클럭의 미리 설정된 배율의 주파수를 갖는 피드백 클럭이며, 상기 샘플러는 상기 기준 클럭을 상기 피드백 클럭으로 샘플링하여 상기 디지털 코드를 출력하는 디지털 위상 고정 루프 장치.

명세서

기술 분야

[0001] 본 발명은 디지털 위상 고정 루프 장치에 관한 것으로서, 보다 상세하게는 시간-디지털 변환기 없이 위상을 고정할 수 있는 디지털 위상 고정 루프 장치에 관한 것이다.

배경 기술

[0002] 위상 고정 루프는 시스템 상의 클럭을 만들어주는 블록으로서 위상 고정 루프의 성능에 따라서 시스템의 성능이 결정된다.

[0003] 기존에 가장 많이 사용되는 위상 고정 루프는 아날로그 방식으로 구현하는 방식이다.

[0004] 일반적으로 쓰이는 아날로그로 구현한 위상 고정 루프는 기준 클럭과 생성한 클럭을 비교하는 위상 검출기, 위상 검출기에서 생성한 전압을 전류로 바꾸어주는 전하 펌프(Charge Pump: CP), 전류를 저장하는 로우 패스 필터(Low Pass Filter: LPF), 클럭을 생성하는 전압제어발진기(Voltage Controlled Oscillator: VCO), 그리고 생성한 클럭을 나누어주는 분주기로 구성이 된다

[0005] 이러한 아날로그 위상 고정 루프에서, 위상 검출기는 VCO에서 생성한 클럭과 외부에서 받은 기준 클럭의 위상 차이를 검출하고 현재 발생한 위상의 차이만큼의 펄스 폭으로 출력하게 된다.

[0006] CP에서는 위상 검출기에서 출력된 펄스 폭만큼의 전류를 LPF에 공급하고 이 과정을 반복하며 위상의 차이를 조

절한다.

- [0007] 이러한 위상 고정 루프는 2차 저역 필터 특성을 가지고 있기 때문에 컵(커패시터)과 저항으로 만들어진 LPF를 통하여 루프를 안정화시켜야만 한다.
- [0008] 이때 LPF에 사용되는 컵의 크기가 크기 때문에 면적상의 불이익이 발생하게 된다. 이를 해결하고자 디지털 방식으로 구현한 위상 고정 루프가 개발되었다. 이러한 디지털 위상 고정 루프는 아날로그 방식에서 구현된 각 블록의 기능을 디지털적으로 구현한다.
- [0009] 위상 검출기는 시간-디지털 변환기(Time-to-Digital Converter, TDC)로 대체되고 CP와 LPF는 디지털 필터로 대체되며, 그리고 VCO는 Digitally Controlled Oscillator(DCO)로 대체됨으로써 면적을 줄이면서 기능은 유지하도록 하였다.
- [0010] 그러나, 디지털 위상 고정 루프를 통해서 면적상의 불이익은 해결할 수 있었지만 TDC에서 발생하는 양자화 오류가 발생하여 전체 위상 고정 루프의 성능이 저하되는 문제가 있다.
- [0011] 이를 해결하기 위하여 위상의 차이가 빠르다 또는 느리다는 정보만 얻을 수 있는 Bang-bang 위상 검출기 (BBPD)를 사용한 디지털 위상 고정 루프가 제안되었다. BBPD에서는 위상이 빠르거나 느리다는 정보만 알 수 있기 때문에 DCO에서 발생한 클록과 기준 클록의 위상이 같다 하더라도 빠르거나 느리다는 정보를 항상 발생하게 되고 이는 디지털 필터를 통해서 DCO로 전달된 후 위상이 일치한 상태에서도 계속 DCO의 위상을 바꾸게 되어서 출력 클록의 지터를 증가시킨다.
- [0012] 또한 BBPD가 이상적인 상황에서는 양자화 에러가 없기 때문에 이를 이용하며 디지털 필터에서 디지털 프로세싱을 통하여 출력 클록의 지터가 증가하는 것을 막는 방법이 고안되었다.
- [0013] 하지만 위상 검출기에서 얻을 수 있는 정보가 생성한 클록의 위상이 기준 클록보다 빠르다 또는 느리다는 정보로 한정되어 있기 때문에 디지털 필터에서의 연산이 복잡해지고, 이는 필터의 크기를 키우는 단점을 발생시킨다. 또한 한정된 정보만으로 연산을 해야하기 때문에 클록의 지터를 감소시키는 것에 한계가 있다.

발명의 내용

해결하려는 과제

- [0014] 상기한 종래기술의 문제점을 해결하기 위해, 본 발명은 TDC 해상도의 한계로 인한 양자화 오류를 제거하며 지터 증가 문제를 해결할 수 있는 디지털 위상 고정 루프를 제안하고자 한다.

과제의 해결 수단

- [0015] 상기한 기술적 과제를 해결하기 위해, 본 발명의 바람직한 일 실시예에 따르면, 디지털 위상 고정 루프 장치로서, 제어 코드에 상응하는 주파수 및 위상을 갖는 신호를 출력하는 디지털제어발진기; 상기 디지털제어발진기에서 출력된 신호를 분주하여 기준 클록의 미리 설정된 배율을 갖는 피드백 클록을 출력하는 분주기; 상기 기준 클록을 상기 피드백 클록으로 샘플링하여 디지털 코드를 출력하는 샘플러; 및 상기 샘플러가 이전에 출력한 디지털 코드와 현재 출력하는 디지털 코드를 비교하여 상기 디지털제어발진기가 출력하는 신호의 위상 조절을 위한 제어 코드를 출력하는 디지털 필터를 포함하는 디지털 위상 고정 루프 장치가 제공된다.
- [0016] 상기 피드백 클록은 상기 기준 클록의 k배 주파수-상기 k는 2이상임-를 가질 수 있다.
- [0017] 상기 피드백 클록은 상기 기준 클록의 4배 주파수를 가질 수 있다.
- [0018] 상기 디지털 필터는, 상기 샘플러가 이전에 출력한 디지털 코드를 저장하는 저장부; 상기 이전에 출력한 디지털 코드와 상기 현재 출력하는 디지털 코드를 비교하여 제어 신호를 출력하는 비교부; 및 상기 비교부가 출력하는 제어 신호에 따라 상기 디지털제어발진기로 입력되는 제어 코드를 변경하는 카운터부를 포함할 수 있다.
- [0019] 상기 제어 신호는 제어 코드 변경을 위한 인에이블 신호인 제어 코드 변경 신호 및 상기 제어 코드의 증가 또는 감소를 위한 업다운 신호를 포함할 수 있다.
- [0020] 상기 비교부는 상기 이전에 출력한 디지털 코드와 상기 현재 출력하는 디지털 코드를 비교하여 상기 디지털제어발진기가 출력하는 신호의 위상이 빠르거나 느린지 여부를 판단할 수 있다.
- [0021] 상기 분주기에서 출력되는 신호를 입력 받아 주파수를 검출하여 상기 디지털 필터로 상기 디지털제어발진기에서

출력되는 신호의 주파수를 고정하기 위한 제어 신호를 출력하는 주파수 검출기를 더 포함할 수 있다.

[0022] 상기 주파수 검출기에 의해 상기 디지털제어발진기에서 출력되는 신호의 주파수를 고정된 이후, 상기 분주기는 상기 기준 클럭의 미리 설정된 배율을 갖는 피드백 클럭을 상기 샘플러로 출력할 수 있다.

[0023] 본 발명의 다른 측면에 따르면, 디지털 위상 고정 루프 장치로서, 제어 코드에 상응하는 주파수 및 위상을 갖는 신호를 출력하는 디지털제어발진기; 상기 디지털제어발진기에서 출력된 신호를 미리 설정된 배율로 분주하여 분주 신호를 출력하는 분주기; 상기 분주 신호의 주파수를 검출하여 상기 디지털제어발진기에서 출력되는 신호의 주파수를 고정하기 위한 제어 신호를 출력하는 주파수 검출기; 상기 제어 신호에 의해 제어 코드의 최상위비트가 조절된 제어 코드를 상기 디지털제어발진기로 출력하는 디지털 필터; 및 상기 주파수 검출기에 의해 상기 디지털제어발진기에서 출력된 신호의 주파수가 고정되는 경우, 상기 분주기로부터 입력되는 분주 신호로 기준 클럭을 샘플링하여 디지털 코드를 출력하는 샘플러를 포함하되, 상기 디지털 필터는 상기 샘플러가 이전에 출력한 디지털 코드와 현재 출력하는 디지털 코드를 비교하여 상기 디지털제어발진기가 출력하는 신호의 위상 조절을 위한 제어 코드를 출력하는 디지털 위상 고정 루프 장치가 제공된다.

발명의 효과

[0024] 본 발명에 따르면, 기준 클럭을 분주된 클럭으로 위상 검출 결과를 저장한 후 위상 차이 변화의 경향성과 설정된 샘플링 결과를 이용하여 출력 신호의 위상을 조절하기 때문에 TDC가 사용되지 않아서 디지털 방식으로 구현이 가능할 뿐만 아니라 양자화 에러도 제거할 수 있으며, BBPD를 사용하였을 때보다 빠르게 위상을 고정시킬 수 있고, 필터의 복잡도도 감소시킬 수 있는 장점이 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 바람직한 일 실시예에 따른 디지털 위상 고정 루프의 구조를 나타낸 블록도.

도 2는 본 발명에 따른 기준 클럭을 피드백 클럭으로 샘플링하는 타이밍도.

도 3은 본 발명의 바람직한 일 실시예에 따른 디지털 필터의 블록도.

도 4는 본 발명에 따른 샘플러가 출력하는 디지털 코드의 경향 및 이에 따른 비교부의 출력 신호를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0027] 이하, 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세히 설명하기로 한다. 본 발명을 설명함에 있어 전체적인 이해를 용이하게 하기 위하여 도면 번호에 상관없이 동일한 수단에 대해서는 동일한 참조 번호를 사용하기로 한다.

[0028] 본 발명에서는 위상 차이를 검출한 후 검출 결과를 저장한 후 이전 검출 결과와 비교하는 방식을 기반으로 한 디지털 위상 고정 루프가 개시된다. 본 발명에 따른 위상 고정 루프는 디지털 방식으로 구현되어 반도체 공정, 동작 전압, 동작 온도에 둔감하며, 기존 방식에서 발생하는 양자화 에러를 제거하면서도 디지털 필터의 복잡도를 감소시킨다는 장점이 있다.

[0029] 도 1은 본 발명의 바람직한 일 실시예에 따른 디지털 위상 고정 루프의 구조를 나타낸 블록도이다.

[0030] 도 1에 도시된 바와 같이, 디지털제어발진기(DCO, 100), 분주기(Divider, 102), 주파수 검출기(Freq. detector, 104), 디지털 필터(Digital filter, 106) 및 샘플러(Sampler, 108)를 포함할 수 있다.

[0031] 디지털제어발진기(100)는 위상 고정 루프의 동작에 따라 소정 주파수 및 위상을 갖는 신호(이하, 'DCO 신호'라 함)를 출력한다.

[0032] 디지털제어발진기(100)의 DCO 신호는 분주기(102)로 인가되며, 분주기(102)는 DCO 신호를 소정 배율(예를 들어,

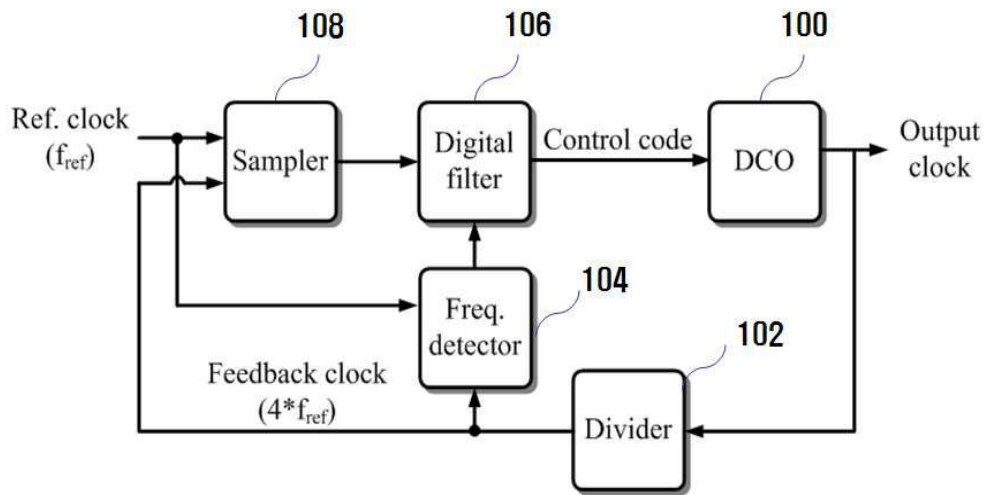
k배, 여기서 k는 2이상임)만큼 분주한 신호를 출력한다.

- [0033] 본 발명에 따르면, 분주기(102)에서 출력된 신호는 주파수 고정을 위해 주파수 검출기(104)로 인가된다.
- [0034] 본 발명에 따른 주파수 검출기(104)는 디지털 필터(106)가 디지털제어발진기(100)로 입력하는 제어 코드 중 주파수 고정을 위해 할당된 최상위비트(MSB)를 조절하도록 하는 제어 신호를 출력한다.
- [0035] 이를 위해, 주파수 검출기(104)에는 기준 클록(Reference clock)과 분주기(102)에 분주된 신호가 입력되며, 주파수 검출기(104)는 기준 클록의 한 주기에 포함되는 분주 신호의 상향 엣지(edge)와 하향 엣지(edge)의 수를 카운팅하여 최상위비트를 조절한다.
- [0036] 예를 들어, 분주 신호의 타겟 주파수가 기준 클록의 4배라면, 기준 클록의 한 주기에 포함되는 상향 엣지(edge)와 하향 엣지(edge)의 수가 8인 경우, 주파수 검출기(104)는 이전에 디지털제어발진기(100)에 입력된 최상위비트를 고정하기 위한 제어 신호를 출력한다.
- [0037] 반면, 주파수 검출기(104)는 기준 클록의 한 주기에 포함되는 상향 엣지(edge)와 하향 엣지(edge)의 수가 8 미만인 경우에는 최상위비트를 조절하여 디지털제어발진기(100)의 DCO 신호의 주파수를 증가시키고, 반대로 8을 초과하는 경우에는 최상위비트를 조절하여 디지털제어발진기(100)의 DCO 신호의 주파수를 감소시킨다.
- [0038] 본 발명에 따른 최상위비트의 조절은 통상의 이진 검색(Binary Search) 기법 또는 순차 검색 기법으로 수행될 수 있으며, 이는 당업자에게 공지된 사항이므로 이에 대한 상세한 설명은 생략한다.
- [0039] 이와 같은 과정을 통해 DCO 신호가 원하는 주파수로 고정되면 샘플러(108)를 통한 위상 고정 과정이 수행된다.
- [0040] 이하에서는 설명의 편의를 위해 DCO 신호의 주파수가 기준 클록의 4배로 고정된 경우를 중심으로 설명하나 반드시 이에 한정되지 않는다는 점을 당업자는 이해하여야 할 것이다.
- [0041] 주파수 고정을 통해 기준 클록의 4배 주파수를 갖는 분주 신호가 피드백 클록으로 정의되며, 피드백 클록이 샘플러(108)로 인가된다.
- [0042] 본 발명에 따른 샘플러(108)는 기준 클록을 피드백 클록으로 샘플링하여 획득된 디지털 코드를 디지털 필터(106)로 인가하며, 디지털 필터(106)는 샘플러(108)에서 입력된 디지털 코드를 이용하여 제어 코드(control code)를 생성하고, 이를 통해 디지털제어발진기(100)가 위상 조절된 DCO 신호를 출력한다.
- [0043] 예를 들어, 제어 코드가 10비트로 이루어지는 경우, 상기한 바와 같이 주파수 고정을 위해 최상위비트에 해당하는 5비트가 사용되며, 나머지 최하위비트 5비트가 위상 고정을 위해 사용될 수 있다.
- [0044] 본 발명에 따른 샘플러(108)는 도 2에 도시된 바와 같이, 피드백 클록을 이용하여 기준 클록을 샘플링하고, 상기와 같이 피드백 클록이 기준 클록의 4배인 경우 8 비트의 디지털 코드를 출력한다.
- [0045] 샘플러(108)는 기준 클록과 주파수가 동일하며, 피드백 클록의 1/4 주기를 갖는 샘플링 클록(Sam_clk)을 이용하여 고정 상태(Lock state)에 해당하는 디지털 코드를 출력한다.
- [0046] 디지털 필터(106)는 샘플러(108)에서 출력된 디지털 코드를 이용하여 디지털제어발진기(100)로 출력되는 제어 코드를 변경한다. 보다 상세하게, 디지털 필터(106)는 샘플러(108)에서 출력된 디지털 코드를 이용하여 이진 검색 등의 방법으로 변경하여 제어 코드의 최하위비트를 변경하여 출력한다.
- [0047] 도 3은 본 발명의 바람직한 일 실시예에 따른 디지털 필터의 블록도이다.
- [0048] 도 3에 도시된 바와 같이, 본 발명에 따른 디지털 필터는 저장부(300), 비교부(302) 및 카운터부(304)를 포함할 수 있다.
- [0049] 저장부(300)는 샘플러(108)에서 이전에 출력한 n-1번째 디지털 코드(rsam(n-1))를 저장하며, n-1번째 디지털 코드와 샘플러(108)가 현재 출력하는 n번째 디지털 코드(rsam(n))를 비교부(302)로 출력한다.
- [0050] 본 발명에 따른 비교부(302)는 rsam(n-1)과 rsam(n)을 비교하여 현재 DCO 신호가 이전 DCO 신호에 비해 위상이 빠른지 또는 느린지 여부를 비교한다. 즉, 비교부(302)는 디지털 코드를 이용하여 DCO 신호의 위상 차이 변화의 경향성을 판단한다.
- [0051] 도 4는 rsam(n)의 경향 및 이에 따른 비교부의 출력 신호를 도시한 도면이다.
- [0052] 도 4에서, rsam(n-1)은 rsam1로, rsam(n)은 rsam으로 표시된다.

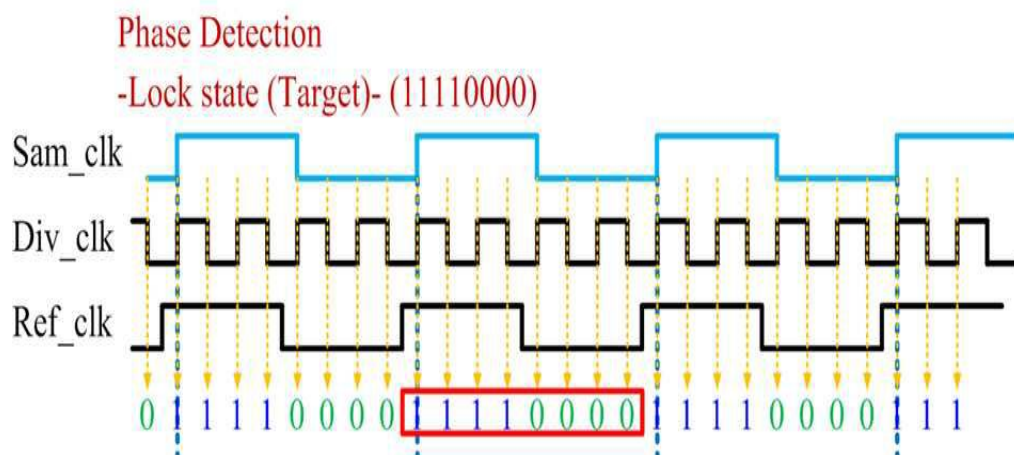
- [0053] 도 4를 참조하면, 비교부(302)는 $rsam(n)$ 이 00011110이고, $rsam(n-1)$ 이 00111100인 경우, 현재 출력되는 DCO 신호의 위상이 이전에 비해 빠른 것으로 판단한다.
- [0054] 이처럼 DCO 신호의 위상이 빠른 것으로 판단되는 경우, 비교부(302)는 카운터(304)로 제어 코드가 DCO 신호의 위상을 느리게 조절하기 위한 제어 신호를 출력한다.
- [0055] 비교부(302)가 출력하는 제어 신호는 제어 코드 변경 신호(Con-adder) 및 업다운 신호(UDT)를 포함할 수 있다. 여기서, 제어 코드 변경 신호는 제어 코드 변경을 위한 인에이블 신호로 정의될 수 있으며, 업다운 신호는 카운터부(304)가 제어 코드를 증가 또는 감소시키기 위한 값으로 정의될 수 있다.
- [0056] 상기한 바와 같이, DCO 신호의 위상이 빨라지는 경우, 제어 코드 변경 신호는 1의 값을 가지며, 업다운 신호도 1의 값을 가질 수 있다.
- [0057] 예를 들어, 이전 검색 또는 순차 검색이 수행되는 경우, 업다운 신호 1은 이전 제어 코드에 비해 큰 값을 가지는 제어 코드가 출력되도록 하는 값일 수 있다.
- [0058] 그러나, 이는 일예에 불과하며 업다운 신호와 제어 코드의 변경은 다양하게 변경될 수 있다.
- [0059] 한편, 비교부(302)는 $rsam(n)$ 이 00011110이고, $rsam(n-1)$ 이 00001111인 경우, 현재 출력되는 DCO 신호의 위상이 이전에 비해 느린 것으로 판단한다.
- [0060] 이처럼 DCO 신호의 위상이 느린 것으로 판단되는 경우, 비교부(302)는 카운터(304)로 제어 코드가 DCO 신호의 위상을 빠르게 조절하기 위한 제어 신호를 출력한다.
- [0061] 여기서, DCO 신호의 위상이 느려지는 경우, 제어 코드 변경 신호는 1의 값을 가지며, 업다운 신호는 0(또는 -1)으로 출력될 수 있다.
- [0062] 마지막으로 이전에 저장된 디지털 코드와 현재 디지털 코드가 일치하는 경우, 비교부(302)는 위상이 고정된 것으로 판단하고, 위상 고정을 위한 제어 신호를 출력한다.
- [0063] 위상 고정 시, 비교부(302)는 제어 코드 변경 신호를 0으로 출력할 수 있다.
- [0064] 즉, 제어 코드 변경 신호가 0으로 출력되는 경우, 카운터부(304)는 이전에 출력된 제어 코드를 고정하여 디지털 제어발진기(100)로 출력한다.
- [0065] 본 발명에 따르면, 주파수가 고정된 이후, 샘플러(108)를 통해 위상이 빠르거나 느린지 여부만 판단하여 위상을 고정하기 때문에 시간-디지털 변환기를 사용하지 않아도 되며, 나아가 시간-디지털 변환기에 의한 양자화 오류가 발생하지 않게 된다.
- [0066] 상기한 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대해 통상의 지식을 가진 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

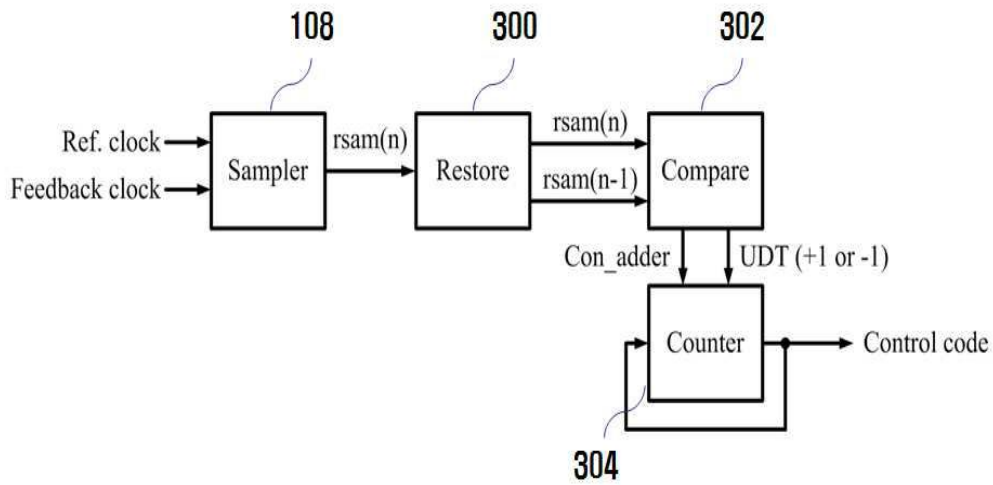
도면1



도면2



도면3



도면4

```

//fast phase
else if (((rsam==8'b00011110)&(rsam1==8'b00111100))|((rsam==8'b00111100)&(rsam1==8'b01111000))|
          ((rsam==8'b01111000)&(rsam1==8'b11110000))|((rsam==8'b11110000)&(rsam1==8'b11100001))|
          ((rsam==8'b11100001)&(rsam1==8'b11000011))|((rsam==8'b11000011)&(rsam1==8'b10000111))|
          ((rsam==8'b10000111)&(rsam1==8'b00001111))|((rsam==8'b00001111)&(rsam1==8'b00011110)))
begin
    con_adder <= 1;
    udt <= 1;
    phase_stop <= 0;
    p_lock <= 0;
end

//slow phase
else if (((rsam==8'b11100001)&(rsam1==8'b11110000))|((rsam==8'b11000011)&(rsam1==8'b11100001))|
          ((rsam==8'b10000111)&(rsam1==8'b11000011))|((rsam==8'b00001111)&(rsam1==8'b10000111))|
          ((rsam==8'b00011110)&(rsam1==8'b00001111))|((rsam==8'b00111100)&(rsam1==8'b00011110))|
          ((rsam==8'b01111000)&(rsam1==8'b00111100))|((rsam==8'b11110000)&(rsam1==8'b01111000)))
begin
    con_adder <= 1;
    udt <= 0;
    phase_stop <= 0;
    p_lock <= 0;
end

```