

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2021년 12월 2일 (02.12.2021)



(10) 국제공개번호

WO 2021/241950 A1

(51) 국제특허분류:

H01L 23/29 (2006.01) H01L 23/367 (2006.01)
H01L 23/31 (2006.01) H01L 23/373 (2006.01)
H01L 23/15 (2006.01) H01L 23/48 (2006.01)
H01L 23/13 (2006.01) H01L 23/36 (2006.01)
H01L 23/04 (2006.01)

(21) 국제출원번호: PCT/KR2021/006392

(22) 국제출원일: 2021년 5월 24일 (24.05.2021)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2020-0063546 2020년 5월 27일 (27.05.2020) KR
10-2020-0063547 2020년 5월 27일 (27.05.2020) KR
10-2020-0080685 2020년 7월 1일 (01.07.2020) KR
10-2020-0082286 2020년 7월 3일 (03.07.2020) KR

(71) 출원인: 주식회사 아모센스 (AMOSENSE CO., LTD.)
[KR/KR]: 31040 충청남도 천안시 서북구 직산읍 4산단

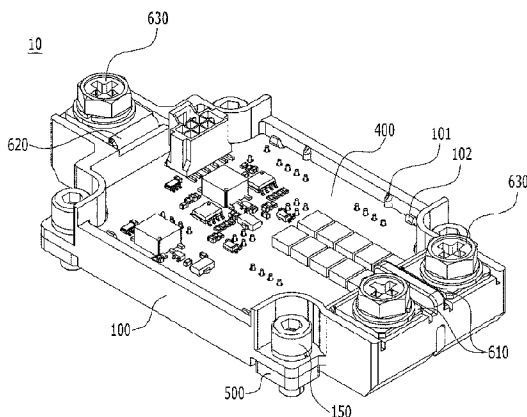
5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).

(72) 발명자: 김태정 (KIM, Taejung); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 나원산 (NA, Won-san); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 조태호 (CHO, Taeho); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 여인태 (YEO, Intae); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 빈진혁 (BIN, Jinhyuck); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 박승곤 (PARK, Seunggon); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).

(74) 대리인: 김철진 (KIM, Churchill); 06038 서울시 강남구 강남대로146길 25 전원빌딩 2층, Seoul (KR).

(54) Title: POWER MODULE

(54) 발명의 명칭: 파워모듈



(57) Abstract: The present invention relates to a power module comprising: a lower ceramic substrate (200); an upper ceramic substrate (300) disposed at an interval on the upper part of the lower ceramic substrate (200), and having a semiconductor chip mounted on the lower surface thereof; a temperature sensor (210) mounted on the upper surface of the lower ceramic substrate (200); and a cutting unit (310) formed on the upper ceramic substrate (300) and having the temperature sensor (210) disposed so as to pass therethrough. The present invention has the cutting unit, having the temperature sensor disposed so as to pass therethrough, formed on the upper ceramic substrate, and thus the problem where the interval between the upper ceramic substrate and the lower ceramic substrate is shorter than the thickness of the temperature sensor may be solved, and an advantage is gained by which a silicone liquid may be evenly filled, without bubbles forming, in a space between the substrates through an injection hole and a vent hole.

(57) 요약서: 본 발명은 파워모듈에 관한 것으로, 하부 세라믹기판(200)과 하부 세라믹기판(200)의 상부에 간격을 두고 배치되며 하면에 반도체 칩이 실장되는 상부 세라믹기판(300)과 하부 세라믹기판(200)의 상면에 장착된 온도센서(210)와 상부 세라믹기판(300)에 형성되며 온도센서(210)가 관통하여 배치되는 커팅부(310)를 포함한다. 본 발명은 상부 세라믹기판에 온도센서가 관통하여 배치되는 커팅부가 형성되므로 온도센서의 두께보다 짧은 상부 세라믹기판과 하부 세라믹기판 사이의 간격 문제를 해결할 수 있고 주입홀과 벤트홀을 통해 기판과 기판 사이의 공간에 실리콘 액을 기포 발생없이 균일하게 충전할 수 있는 이점이 있다.

[다음 쪽 계속]



WO 2021/241950 A1



(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 파워모듈

기술분야

- [1] 본 발명은 파워모듈에 관한 것으로, 더욱 상세하게는 고출력 전력 반도체 칩을 적용하여 성능을 개선한 파워모듈 및 그 제조방법에 관한 것이다.

배경기술

- [2] 파워모듈은 하이브리드 자동차, 전기차 등의 모터 구동을 위해 고전압 전류를 공급하기 위해 사용된다.
- [3] 파워모듈 중 양면 냉각 파워모듈은 반도체 칩의 상, 하부에 각각 기판을 설치하고 그 기판의 외측면에 각각 방열판을 구비한다. 양면 냉각 파워모듈은 단면에 방열판을 구비하는 단면 냉각 파워모듈에 비해 냉각 성능이 우수하여 점차 그 사용이 증가하는 추세이다.
- [4] 전기차 등에 사용되는 양면 냉각 파워모듈은 두 기판의 사이에 탄화규소(SiC), 질화갈륨(GaN) 등의 전력 반도체 칩이 실장되므로 고전압으로 인해 높은 발열과 주행 중 진동이 발생하기 때문에 이를 해결하기 위해 고강도와 고방열 특성을 동시에 만족시키는 것이 중요하다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 목적은 고강도와 고방열 특성을 가지고, 접합 특성이 우수하며, 전류 경로를 최소화하여 부피를 줄일 수 있으며 효율 및 성능을 향상시킬 수 있는 파워모듈을 제공하는 것이다.
- [6] 또한, 본 발명의 목적은 NTC 온도센서의 두께보다 짧은 상부 세라믹기판과 하부 세라믹기판 사이의 간격 문제를 해결하여 NTC 온도센서의 조립을 용이하게 한 파워모듈을 제공하는 것이다.
- [7] 또한, 본 발명의 목적은 실리콘액을 주입하는 공간을 확보하여 실리콘액이 원활하게 충전될 수 있도록 한 파워모듈을 제공하는 것이다.
- [8] 또한, 본 발명의 목적은 간격이 좁은 두 기판 사이 공간에 실리콘액 또는 에폭시를 충전시 기포 발생없이 균일하게 충전할 수 있는 구조의 파워모듈을 제공하는 것이다.

기술적 해결방법

- [9] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명의 파워모듈은 하부 세라믹기판과, 하부 세라믹기판의 상부에 간격을 두고 배치되며 하면에 반도체 칩이 실장되는 상부 세라믹기판과, 상부 세라믹기판에 형성되며 하부 세라믹기판과 상부 세라믹기판의 사이의 공간을 외부로 노출시키는 커팅부를 포함한다.
- [10] 하부 세라믹기판의 상면에 장착된 온도센서를 포함하고, 커팅부는 온도센서와

대응되는 위치에 형성되며 온도센서가 관통하여 배치될 수 있다. 온도센서는 NTC 온도센서이다.

- [11] 커팅부는 온도센서의 단면 면적보다 상대적으로 큰 면적으로 형성될 수 있다.
- [12] 온도센서의 두께는 하부 세라믹기판과 상부 세라믹기판 사이의 간격에 비해 두껍다.
- [13] 반도체 칩의 두께에 비해 온도센서의 두께가 더 두껍다.
- [14] 커팅부는 상부 세라믹기판의 일부가 잘린 형상으로 형성될 수 있다.
- [15] 커팅부는 상부 세라믹기판의 일측 모서리에 형성될 수 있다.
- [16] 커팅부는 하부 세라믹기판과 상부 세라믹기판의 사이에 반고체상의 절연물질을 주입하기 위한 주입구로 사용될 수 있다.
- [17] 하부 세라믹기판과 상부 세라믹기판을 일체화하여 패키징하는 하우징을 포함하고, 하우징의 일측면에 주입홀이 형성되고 반대되는 타측면에 벤트홀이 형성될 수 있다.
- [18] 주입홀은 입구가 출구에 비해 넓고 출구로 갈수록 내경이 점차적으로 작아지는 형상일 수 있다.
- [19] 벤트홀은 주입홀에 비해 상대적으로 작은 직경으로 형성될 수 있다.
- [20] 파워모듈은 하부 세라믹기판과, 하부 세라믹기판의 상부에 간격을 두고 배치되며 하면에 반도체 칩이 실장되는 상부 세라믹기판과, 하부 세라믹기판과 상부 세라믹기판의 사이 공간부에 배치되는 반고체상의 절연물질과, 상부 세라믹기판에 관통 형성되어 반고체상의 절연물질이 주입되는 주입홀과, 주입홀과 이격되도록 상부 세라믹기판에 관통 형성되는 벤트홀을 포함한다.
- [21] 주입홀은 상부 세라믹기판의 일측 모서리에 형성될 수 있다.
- [22] 주입홀은 하부 세라믹기판에 장착되는 온도센서와 대응되는 영역에 형성되는 커팅부일 수 있다.
- [23] 주입홀은 온도센서의 단면의 폭보다 더 큰 폭으로 형성될 수 있다.
- [24] 벤트홀은 복수 개가 형성될 수 있다.
- [25] 복수 개의 벤트홀은 상부 세라믹기판의 전체면에 균일하게 위치할 수 있다.
- [26] 복수 개의 벤트홀은 상부 세라믹기판과 상기 하부 세라믹기판의 사이의 공간에 반고체상의 절연물질의 충전시 기포가 발생하는 주요 부분에 대응하도록, 상부 세라믹기판의 일정 구역에 위치할 수 있다.
- [27] 반고체상의 절연물질은 실리콘액 또는 에폭시일 수 있다.
- [28] 벤트홀은 주입홀의 크기에 비해 더 작은 크기일 수 있다.
- [29] 벤트홀의 크기는 공기의 배출을 허용하는 크기일 수 있다.

발명의 효과

- [30] 본 발명은 고강도와 고방열 특성을 가지고, 집합 특성이 우수하며, 전류 경로를 최소화하여 부피를 줄일 수 있으며 고속 스위칭에 최적화되어 효율 및 성능을 향상시킬 수 있는 효과가 있다.

- [31] 또한, 본 발명은 반도체 칩을 상부 세라믹기판에 플립칩 형태로 고정하여 반도체 칩과 drive IC 단자 간을 최대한 짧게 설계함으로써 반도체 칩의 성능을 최대한 발휘할 수 있도록 하는 효과가 있다.
- [32] 또한, 본 발명은 반도체 칩이 상부 세라믹기판에 플립칩 형태로 고정됨에 따라 짧아진 상부 세라믹기판과 하부 세라믹기판의 간격으로 인한 NTC 온도센서와 상부 세라믹기판의 간섭은 상부 세라믹기판에 커팅부를 형성하여 해결하므로 온도센서의 조립이 용이하고 NTC 온도센서의 두께에 따른 조립 제약을 해결할 수 있는 효과가 있다.
- [33] 또한, 본 발명은 상부 세라믹기판에 형성한 커팅부를 통해 하부 세라믹기판과 상부 세라믹기판의 사이 공간에 실리콘액을 원활하고 균일하게 충전할 수 있는 효과가 있다.
- [34] 또한, 본 발명은 하우징의 일측면과 타측면에 각각 주입홀과 벤트홀을 형성하여 하부 세라믹기판과 상부 세라믹기판의 사이 공간에 실리콘액을 기포 발생없이 균일하게 충전할 수 있는 효과가 있다.
- [35] 또한, 본 발명은 상부 세라믹기판에 벤트홀을 형성하므로 기포 배출을 개선하여 실리콘액 또는 에폭시의 유동성을 개선하고 실리콘액 또는 에폭시의 미충전 또는 기포 갇힘을 방지할 수 있는 효과가 있다.
- [36] 또한, 본 발명은 하우징에 실리콘액의 주입홀과 벤트홀을 구분하여 형성하므로 실리콘액의 과충진을 강제로 발생시켜 실리콘액의 유동성을 개선하고 실리콘액의 미충전 또는 기포 갇힘을 방지할 수 있는 효과가 있다.
- [37] 이로 인해, 본 발명은 하부 세라믹기판과 상부 세라믹기판의 사이 공간에 실리콘액 또는 에폭시를 기포 발생없이 균일하게 충전할 수 있고, 이로 인해 전기적 연결을 한 후 반도체 칩을 보호할 수 있고 진동을 완화할 수 있으며 전극 패턴 간의 절연을 유지할 수 있는 효과가 있다.

도면의 간단한 설명

- [38] 도 1은 본 발명의 실시예에 의한 파워모듈의 사시도이다.
- [39] 도 2는 본 발명의 실시예에 의한 파워모듈의 분해 사시도이다.
- [40] 도 3은 본 발명의 실시예에 의한 파워모듈의 측단면도이다.
- [41] 도 4는 본 발명의 실시예에 의한 하우징을 보인 사시도이다.
- [42] 도 5는 본 발명의 실시예에 의한 하부 세라믹기판을 보인 사시도이다.
- [43] 도 6은 본 발명의 실시예에 의한 하부 세라믹기판의 상면과 하면을 보인 도면이다.
- [44] 도 7은 본 발명의 실시예에 의한 상부 세라믹기판을 보인 사시도이다.
- [45] 도 8은 본 발명의 실시예에 의한 상부 세라믹기판의 상면과 하면을 보인 도면이다.
- [46] 도 9는 본 발명의 실시예에 의한 PCB 기판의 평면도이다.
- [47] 도 10는 본 발명의 실시예에 의한 상부 세라믹기판에 연결핀이 결합된 상태를

보인 사시도이다.

[48] 도 11은 도 10의 A-A 단면도이다.

[49] 도 12는 본 발명의 실시예에 의한 NTC 온도센서 적용시 상부 세라믹기판에 커팅부를 형성한 이유를 설명하기 위한 구성도이다.

[50] 도 13은 본 발명의 다른 실시예로 하우징에 주입홀과 벤트홀을 형성한 예를 보인 구성도이다.

[51] 도 14는 본 발명의 다른 실시예로 하우징에 주입홀이 형성된 상태를 보인 사시도이다.

[52] 도 15은 도 14의 B-B 단면도이다.

[53] 도 16은 본 발명의 또 다른 실시예로 상부 세라믹기판에 벤트홀이 형성된 상태를 보인 사시도이다.

[54] 도 17은 도 16의 B-B 단면도이다.

[55] * 부호의 설명 *

[56] 10: 파워모듈 100: 하우징

[57] 101: 안내리브 102: 걸림턱

[58] 103: 체결공 104: 지지공

[59] 105: 주입홀 106: 벤트홀

[60] 200: 하부 세라믹기판 201: 세라믹기재

[61] 202,203: 금속층 210: NTC 온도센서

[62] 220: 절연 스페이서 230: 인터커넥션 스페이서

[63] 300: 상부 세라믹기판 301: 세라믹기재

[64] 302,302: 금속층 310: 커팅부(주입홀)

[65] 320: 쓰루홀 330: 비아홀

[66] 350: 벤트홀 400: PCB 기판

[67] 401,402: 안내홈 410: 캐패시터

[68] 420: 쓰루홀 500: 방열판

[69] 550: 접합층 610: 제1 단자

[70] 620: 제2 단자 630: 지지볼트

[71] 700: 버스바 G: 반도체 칩(GaN 칩)

[72] 800: 연결핀 S: 실리콘액(반고체상의 절연물질)

발명의 실시를 위한 최선의 형태

[73] 이하 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명하기로 한다.

[74] 도 1은 본 발명의 실시예에 의한 파워모듈의 사시도이고, 도 2는 본 발명의 실시예에 의한 파워모듈의 분해 사시도이다.

[75] 도 1 및 도 2에 도시된 바에 의하면, 본 발명의 실시예에 따른 파워모듈(10)은 하우징(100)에 파워모듈을 이루는 각종 구성품을 수용하여 형성한 패키지 형태의 전자부품이다. 파워모듈(10)은 하우징(100) 안에 기판 및 소자를

배치하여 보호하는 상태로 형성된다.

- [76] 파워모듈(10)은 다수의 기관 및 다수의 반도체 칩을 포함할 수 있다. 실시예에 따른 파워모듈(10)은 하우징(100), 하부 세라믹기관(200), 상부 세라믹기관(300), PCB 기관(400) 및 방열판(500)을 포함한다.
- [77] 하우징(100)은 중앙에 상하로 개구되는 빈 공간이 형성되며 양측에 제1 단자(610)와 제2 단자(620)가 위치된다. 하우징(100)은 중앙의 빈 공간에 방열판(500), 하부 세라믹기관(200), 상부 세라믹기관(300) 및 PCB 기관(400)이 상하 일정 간격을 두고 순차적으로 적층되며, 양측의 제1 단자(610)와 제2 단자(620)에 외부 단자를 연결하기 위한 지지볼트(630)가 체결된다. 제1 단자(610)와 제2 단자(620)는 전원의 입출력단으로 사용된다.
- [78] 도 2에 도시된 바에 의하면, 파워모듈(10)은 하우징(100)의 중앙의 빈 공간에 하부 세라믹기관(200), 상부 세라믹기관(300), PCB 기관(400)이 순차적으로 수용된다. 구체적으로, 하우징(100)의 하면에 방열판(500)이 배치되고, 방열판(500)의 상면에 하부 세라믹기관(200)이 부착되고, 하부 세라믹기관(200)의 상부에 상부 세라믹기관(300)이 일정 간격을 두고 배치되며, 상부 세라믹기관(300)의 상부에 PCB 기관(400)이 일정 간격을 두고 배치된다.
- [79] 하우징(100)에 PCB 기관(400)이 배치된 상태는 PCB 기관(400)의 가장자리에 요입되게 형성된 안내홈(401,402)과 안내홈(401,402)에 대응되게 하우징(100)에 형성된 안내리브(101) 및 걸림턱(102)에 의해 고정될 수 있다. 실시예에 따른 PCB 기관(400)은 가장자리를 둘러 다수 개의 안내홈(401,402)이 형성되고, 이들 중 일부의 안내홈(401)은 하우징(100)의 내측면에 형성된 안내리브(101)가 안내되고 이들 중 나머지 일부의 안내홈(402)은 하우징(100)의 내측면에 형성된 걸림턱(102)이 통과되어 걸어진다.
- [80] 또는, 하우징(100)의 중앙의 빈 공간에 방열판(500), 하부 세라믹기관(200), 상부 세라믹기관(300)이 수용되고, 그 상면에 PCB 기관(400)이 배치된 상태는 체결볼트(미도시)로 고정될 수도 있다. 그러나, 하우징(100)에 PCB 기관(400)을 안내홈과 걸림턱 구조로 고정하는 것이 체결볼트로 고정하는 경우 대비 조립 시간을 줄이고 조립 공정이 간편하다.
- [81] 하우징(100)은 네 모서리에 체결공(103)이 형성된다. 체결공(103)은 방열판(500)에 형성된 연통공(501)과 연통된다. 체결공(103)과 연통공(501)을 관통하여 고정볼트(150)가 체결되고, 체결공(103)과 연통공(501)을 관통한 고정볼트(150)의 단부는 방열판(500)의 하면에 배치될 고정지그의 고정공에 체결될 수 있다.
- [82] 제1 단자(610)와 제2 단자(620)에 버스바(700)가 연결된다. 버스바(700)는 제1 단자(610)와 제2 단자(620)를 상부 세라믹기관(300)과 연결한다. 버스바(700)는 3개가 구비된다. 버스바(700) 중 하나는 제1 단자(610) 중 +단자를 상부 세라믹기관(300)의 제1 전극 패턴(a)과 연결하고, 다른 하나는 제1 단자(610) 중 -단자를 제3 전극 패턴(c)과 연결하며, 나머지 하나는 제2 단자(620)를 제2 전극

패턴(b)과 연결한다. 제1 전극 패턴(a), 제2 전극 패턴(b) 및 제3 전극 패턴(c)은 후술할 도 7을 참조한다.

[83] 도 3은 본 발명의 실시예에 의한 파워모듈의 측단면도이다.

[84] 도 3에 도시된 바에 의하면, 파워모듈(10)은 하부 세라믹기판(200)과 상부 세라믹기판(300)의 복층 구조이며, 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 반도체 칩(G)이 위치된다. 반도체 칩(G)은 GaN(Gallium Nitride) 칩, MOSFET(Metal Oxide Semiconductor Field Effect Transistor), IGBT(Insulated Gate Bipolar Transistor), JFET(Junction Field Effect Transistor), HEMT(High Electric Mobility Transistor) 중 어느 하나일 수 있으나, 바람직하게는 반도체 칩(G)은 GaN 칩을 사용한다. GaN(Gallium Nitride) 칩(G)은 대전력(300A) 스위치 및 고속(~1MHz) 스위치로 기능하는 반도체 칩이다. GaN 칩은 기존의 실리콘 기반 반도체 칩보다 열에 강하면서 칩의 크기도 줄일 수 있는 장점이 있다.

[85] 또한 GaN 칩은 높은 전자이동도, 높은 전자밀도 특성으로 고속 스위치가 가능하고 소형화가 가능해 고성능 및 고효율화에 최적화된 전력 반도체 칩이다. 또한 GaN 칩은 고온에서도 안정적으로 동작하며 고출력 특성을 가져 고효율화가 가능하다.

[86] 하부 세라믹기판(200)과 상부 세라믹기판(300)은 반도체 칩(G)으로부터 발생하는 열의 방열 효율을 높일 수 있도록, 세라믹기재와 세라믹기재의 적어도 일면에 브레이징 접합된 금속층을 포함하는 세라믹기판으로 형성된다.

[87] 세라믹기재는 알루미늄(Al_2O_3), AlN, SiN, Si_3N_4 중 어느 하나인 것을 일 예로 할 수 있다. 금속층은 세라믹기재 상에 브레이징 접합된 금속박으로 반도체 칩(G)을 실장하는 전극 패턴 및 구동소자를 실장하는 전극 패턴으로 각각 형성된다. 예컨대, 금속층은 반도체 칩 또는 주변 부품이 실장될 영역에 전극 패턴으로 형성된다. 금속박은 알루미늄박 또는 동박인 것을 일 예로 한다. 금속박은 세라믹기재 상에 780°C~1100°C로 소성되어 세라믹기재와 브레이징 접합된 것을 일 예로 한다. 이러한 세라믹기판을 AMB 기판이라 한다. 실시예는 AMB 기판을 예로 들어 설명하나 DBC 기판, TPC 기판, DBA 기판을 적용할 수도 있다. 그러나 내구성 및 방열 효율면에서 AMB 기판이 가장 적합하다. 상기한 이유로, 하부 세라믹기판(200)과 상부 세라믹기판(300)은 AMB 기판임을 일 예로 한다.

[88] PCB 기판(400)은 상부 세라믹기판(300)의 상부에 배치된다. 즉, 파워모듈(10)은 하부 세라믹기판(200)과 상부 세라믹기판(300)과 PCB 기판(400)의 3층 구조로 구성된다. 고전력용 제어를 위한 반도체 칩(G)을 상부 세라믹기판(200)과 하부 세라믹기판(300)의 사이에 배치하여 방열 효율을 높이고, 저전력용 제어를 위한 PCB 기판(400)을 최상부에 배치하여 반도체 칩(G)에서 발생하는 열로 인한 PCB 기판(400)의 손상을 방지한다. 하부 세라믹기판(200), 상부 세라믹기판(300), PCB 기판(400)은 편으로 연결 또는 고정될 수 있다.

[89] 방열판(500)은 하부 세라믹기판(200)의 하부에 배치된다. 방열판(500)은 반도체

칩(G)에서 발생하는 열의 방열을 위한 것이다. 방열판(500)은 소정의 두께를 가지는 사각 플레이트 형상으로 형성된다. 방열판(500)은 하우징(100)과 대응되는 면적으로 형성되며 방열 효율을 높이기 위해 구리 또는 알루미늄 재질로 형성될 수 있다.

[90] 이하에서는 본 발명의 파워모듈의 각 구성별 특징을 더욱 상세하게 설명하기로 한다. 파워모듈의 각 구성별 특징을 설명하는 도면에서는 각 구성별 특징을 강조하기 위해 도면을 확대하거나 과장하여 표현한 부분이 있으므로 도 1에 도시된 기본 도면과 일부 일치하지 않는 부분이 있을 수 있다.

[91] 도 4는 본 발명의 실시예에 의한 하우징을 보인 사시도이다.

[92] 도 4에 도시된 바에 의하면, 하우징(100)은 중앙에 빈 공간이 형성되며, 양단에 제1 단자(610)와 제2 단자(620)가 위치된다. 하우징(100)은 양단에 제1 단자(610)와 제2 단자(620)가 일체로 고정되게 인서트 사출 방식으로 형성될 수 있다.

[93] 기존의 파워모듈은 이격된 회로를 연결하기 위해 하우징에 연결핀을 인서트 사출하여 적용하고 있으나, 본 실시예는 하우징(100)의 제조시 연결핀을 제외하여 제조한 형상을 갖는다. 이는 하우징(100)의 내부에 연결핀이 위치하지 않음으로써 형상을 단순화하여 파워모듈의 비틀림 모멘트에 유연성을 향상시킨다.

[94] 하우징(100)은 네 모서리에 체결공(103)이 형성된다. 체결공(103)은 방열판(500)에 형성된 연통공(501)과 연통된다. 제1 단자(610)와 제2 단자(620)에는 지지공(104)이 형성된다. 지지공(104)에는 제1 단자(610) 및 제2 단자(620)를 모터 등의 외부 단자와 연결하기 위한 지지볼트(630)가 체결된다(도 10 참조).

[95] 하우징(100)은 단열 재질로 형성된다. 하우징(100)은 반도체 칩(G)에서 발생한 열이 하우징(100)을 통해 상부의 PCB 기판(400)에 전달되지 않도록 단열 재질로 형성될 수 있다.

[96] 또는 하우징(100)은 방열 플라스틱 재질을 적용할 수 있다. 하우징(100)은 반도체 칩(G)에서 발생한 열이 하우징(100)을 통해 외부로 방열될 수 있도록 방열 플라스틱 재질을 적용할 수 있다. 일 예로, 하우징(100)은 엔지니어링 플라스틱으로 형성될 수 있다. 엔지니어링 플라스틱은 높은 내열성과 뛰어난 강도, 내약품성, 내마모성을 가지며 150°C 이상에서 장시간 사용 가능하다. 엔지니어링 플라스틱은 폴리아미드, 폴리카보네이트, 폴리에스테르, 변성 폴리페닐렌옥사이드 중 하나의 재료로 된 것일 수 있다.

[97] 반도체 칩(G)은 스위치로서 반복 동작을 하는데 그로 인해 하우징(100)은 고온과 온도변화에 스트레스를 받게 되나, 엔지니어링 플라스틱은 고온 안정성이 우수하므로 일반 플라스틱에 비해 고온과 온도변화에 상대적으로 안정적이고 방열 특성도 우수하다.

[98] 실시예는 엔지니어링 플라스틱 소재에 알루미늄 또는 구리로 된 단자를

인서트사출 적용하여 하우징(100)을 제조한 것일 수 있다. 엔지니어링 플라스틱 소재로 된 하우징(100)은 열을 전파시켜 외부로 방열시킨다. 하우징(100)은 수지에 고열 전도율 필러를 충전함으로써 일반 엔지니어링 플라스틱 소재보다 열전도성을 더 높일 수 있고 알루미늄에 비해 경량인 고방열 엔지니어링 플라스틱으로 될 수 있다.

- [99] 또는, 하우징(100)은 엔지니어링 플라스틱 또는 고강도 플라스틱 소재의 내외부에 그래핀 방열코팅제를 도포하여 방열 특성을 가지도록 한 것일 수 있다.
- [100] 도 5는 본 발명의 실시예에 의한 하부 세라믹기판을 보인 사시도이다.
- [101] 도 3 및 도 5에 도시된 바에 의하면, 하부 세라믹기판(200)은 방열판(500)의 상면에 부착된다. 구체적으로, 하부 세라믹기판(200)은 반도체 칩(G)과 방열판(500)의 사이에 배치된다. 하부 세라믹기판(200)은 반도체 칩(G)에서 발생하는 열을 방열판(500)으로 전달하고, 반도체 칩(G)과 방열판(500)의 사이를 절연하여 쇼트를 방지하는 역할을 한다.
- [102] 하부 세라믹기판(200)은 방열판(500)의 상면에 솔더링 접합될 수 있다. 방열판(500)은 하우징(100)과 대응되는 면적으로 형성되며 방열 효율을 높이기 위해 구리 재질로 형성될 수 있다. 솔더링 접합을 위한 솔더는 SnAg, SnAgCu 등이 사용될 수 있다.
- [103] 도 6은 본 발명의 실시예에 의한 하부 세라믹기판의 상면과 하면을 보인 도면이다.
- [104] 도 5 및 도 6에 도시된 바에 의하면, 하부 세라믹기판(200)은 세라믹기재(201)와 세라믹기재(201)의 상하면에 브레이징 접합된 금속층(202,203)을 포함한다. 하부 세라믹기판(200)은 세라믹기재(201)의 두께가 0.68t이고, 세라믹기재(201)의 상면과 하면에 형성한 금속층(202,203)의 두께가 0.8t인 것을 일 예로 할 수 있다.
- [105] 하부 세라믹기판(200)의 상면(200a)의 금속층(202)은 구동소자를 실장하는 전극 패턴일 수 있다. 하부 세라믹기판(200)에 실장되는 구동소자는 NTC 온도센서(210)일 수 있다. NTC 온도센서(210)는 하부 세라믹기판(200)의 상면에 실장된다. NTC 온도센서(210)는 반도체 칩(G)의 발열로 인한 파워모듈 내의 온도 정보를 제공하기 위한 것이다. 하부 세라믹기판(200)의 하면(200b)의 금속층(203)은 방열판(500)에 열전달을 용이하게 하기 위해 하부 세라믹기판(200)의 하면 전체에 형성될 수 있다.
- [106] 하부 세라믹기판(200)에 절연 스페이서(220)가 접합된다. 절연 스페이서(220)는 하부 세라믹기판(200)의 상면에 접합되며 하부 세라믹기판(200)과 상부 세라믹기판(300)의 이격 거리를 규정한다.
- [107] 절연 스페이서(220)는 하부 세라믹기판(200)과 상부 세라믹기판(300)의 이격 거리를 규정하여 상부 세라믹기판(300)의 하면에 실장된 반도체 칩(G)에서 발생하는 열의 방열 효율을 높이고, 반도체 칩(G) 간의 간섭을 방지하여 쇼트와 같은 전기적 충격을 방지한다.
- [108] 절연 스페이서(220)는 하부 세라믹기판(200)의 상면 가장자리를 둘러 소정

간격을 두고 다수 개가 접합된다. 절연 스페이서(220) 간의 간격은 방열 효율을 높이는 공간으로 활용된다. 도면상 절연 스페이서(220)는 하부 세라믹기판(200)을 기준으로 할 때 가장자리를 둘러 배치되며, 일 예로 8개가 일정 간격을 두고 배치된다.

[109] 절연 스페이서(220)는 하부 세라믹기판(200)에 일체로 접합된다. 절연 스페이서(220)는 하부 세라믹기판(200)의 상부에 상부 세라믹기판(300)을 배치할 때 얼라인을 확인하는 용도로 적용될 수도 있다. 하부 세라믹기판(200)에 절연 스페이서(220)가 접합된 상태에서 그 상부에 반도체 칩(G)이 실장된 상부 세라믹기판(300)을 배치할 때, 절연 스페이서(220)가 상부 세라믹기판(300)의 얼라인을 확인하는 용도로 적용될 수 있다. 또한, 절연 스페이서(220)는 하부 세라믹기판(200)과 상부 세라믹기판(300)을 지지하여 하부 세라믹기판(200)과 상부 세라믹기판(300)의 힘을 방지하는데 기여한다.

[110] 절연 스페이서(220)는 하부 세라믹기판(200)에 실장된 칩과 상부 세라믹기판(300)에 실장된 칩 및 부품 간의 절연을 위해 세라믹 소재로 형성될 수 있다. 일 예로, 절연 스페이서는 Al_2O_3 , ZTA, Si_3N_4 , AlN 중 선택된 1종 또는 이들 중 둘 이상이 혼합된 합금으로 형성될 수 있다. Al_2O_3 , ZTA, Si_3N_4 , AlN는 기계적 강도, 내열성이 우수한 절연성 재료이다.

[111] 절연 스페이서(220)는 하부 세라믹기판(200)에 브레이징 접합된다. 절연 스페이서(220)를 하부 세라믹기판(200)에 솔더링 접합하면 솔더링 또는 가압 소성시 열적 기계적 충격으로 인해 기판이 파손될 수 있으므로 브레이징 접합한다. 브레이징 접합은 AgCu층과 Ti층을 포함한 브레이징 접합층을 이용할 수 있다. 브레이징을 위한 열처리는 $780^{\circ}C \sim 900^{\circ}C$ 에서 수행할 수 있다. 브레이징 후, 절연 스페이서(220)는 하부 세라믹기판(200)의 금속층(202)과 일체로 형성된다. 브레이징 접합층의 두께는 $0.005mm \sim 0.08mm$ 로 절연 스페이서의 높이에 영향을 미치지 않을 만큼 얇고 접합 강도는 높다.

[112] 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 인터커넥션 스페이서(230)가 설치된다. 인터커넥션 스페이서(230)는 상하 복층 구조의 기판에서 연결핀을 대신하여 전극 패턴 간 전기적 연결을 수행할 수 있다. 인터커넥션 스페이서(230)는 전기적 로스(loss) 및 쇼트(shot)를 방지하면서 기판 간을 직접 연결하고 접합 강도를 높이며 전기적 특성도 개선할 수 있다. 인터커넥션 스페이서(230)는 일단이 브레이징 접합 방식으로 하부 세라믹기판(200)의 전극 패턴에 접합될 수 있다. 또한, 인터커넥션 스페이서(230)는 반대되는 타단이 브레이징 접합 방식 또는 솔더링 접합 방식으로 상부 세라믹기판(300)의 전극 패턴에 접합될 수 있다. 인터커넥션 스페이서(230)는 Cu 또는 Cu+CuMo 합금일 수 있다.

[113] 도 7은 본 발명의 실시예에 의한 상부 세라믹기판을 보인 사시도이고, 도 8은 본 발명의 실시예에 의한 상부 세라믹기판의 상면과 하면을 보인 도면이다.

[114] 도 7 및 도 8에 도시된 바에 의하면, 상부 세라믹기판(300)은 하부

세라믹기판(200)의 상부에 배치된다.

- [115] 상부 세라믹기판(300)은 적층 구조의 중간 기판이다. 상부 세라믹기판(300)은 하면에 반도체 칩(G)을 실장하고, 고속 스위칭을 위한 하이 사이드(High Side) 회로와 로우 사이드(Low Side) 회로를 구성한다.
- [116] 상부 세라믹기판(300)은 세라믹기재(301)와 세라믹기재(301)의 상하면에 브레이징 접합된 금속층(302,303)을 포함한다. 상부 세라믹기판(300)은 세라믹기재의 두께가 0.38t이고 세라믹기재의 상면(300a)과 하면(300b)에 전극 패턴의 두께가 0.3t인 것을 일 예로 한다. 세라믹기판은 상면과 하면의 패턴 두께가 동일해야 브레이징시 틀어지지 않는다.
- [117] 상부 세라믹기판(300)의 상면의 금속층(302)이 형성하는 전극 패턴은 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)으로 구분된다. 상부 세라믹기판(300)의 하면의 금속층(303)이 형성하는 전극 패턴은 상부 세라믹기판(300)의 상면의 금속층(302)이 형성하는 전극 패턴과 대응된다. 상부 세라믹기판(300)의 상면의 전극 패턴을 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)으로 구분한 것은 고속 스위칭을 위해 하이 사이드(High Side) 회로와 로우 사이드(Low Side) 회로로 분리하기 위함이다.
- [118] 반도체 칩(G)은 상부 세라믹기판(300)의 하면(300b)에 솔더(Solder), 은 페이스트(Ag Paste) 등의 접착층에 의해 플립칩(flip chip) 형태로 구비된다. 반도체 칩(G)이 상부 세라믹기판(300)의 하면에 플립칩 형태로 구비됨에 따라 와이어 본딩이 생략되어 인덕턴스 값을 최대한 낮출 수가 있게 되어, 이에 의해 방열 성능 또한 개선시킬 수 있다.
- [119] 도 8에 도시된 바와 같이, 반도체 칩(G)은 고속 스위칭을 위해 2개씩 병렬로 연결될 수 있다. 반도체 칩(G)은 2개가 상부 세라믹기판(300)의 전극 패턴 중 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하는 위치에 배치되고, 나머지 2개가 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하는 위치에 병렬로 배치된다. 일 예로 반도체 칩(G) 하나의 용량은 150A이다. 따라서 반도체 칩(G) 2개를 병렬 연결하여 용량이 300A가 되도록 한다. 반도체 칩(G)은 GaN 칩이다.
- [120] 반도체 칩(G)을 사용하는 파워모듈의 목적은 고속 스위칭에 있다. 고속 스위칭을 위해서는 Gate drive IC 단자에서 반도체 칩(G)의 Gate 단자 간이 매우 짧은 거리로 연결되는 것이 중요하다. 따라서 반도체 칩(G) 간을 병렬로 연결하여 Gate drive IC와 Gate 단자 간 연결 거리를 최소화한다. 또한, 반도체 칩(G)이 고속으로 스위칭하기 위해서는 반도체 칩(G)의 Gate 단자와 Source 단자가 동일한 간격을 유지하는 것이 중요하다. 이를 위해 반도체 칩(G)과 반도체 칩(G)의 사이의 중심에 연결핀이 연결되도록 Gate 단자와 Source 단자를 배치할 수 있다. Gate 단자와 Source 단자가 동일한 간격을 유지하지 않거나 패턴의 길이가 달라지면 문제가 발생한다.
- [121] Gate 단자는 낮은 전압을 이용하여 반도체 칩(G)을 온오프(on/off)시키는 단자이다. Gate 단자는 연결핀을 통해 PCB 기판(400)과 연결될 수 있다. Source

단자는 고전류가 들어오고 나가는 단자이다. 반도체 칩(G)은 Drain 단자를 포함하며, Source 단자와 Drain 단자는 N형과 P형으로 구분되어 전류의 방향을 바꿀 수 있다. Source 단자와 Drain 단자는 반도체 칩(G)을 실장하는 전극 패턴인 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)을 통해 전류의 입출력을 담당한다. Source 단자와 Drain 단자는 전원의 입출력을 담당하는 도 1의 제1 단자(610) 및 제2 단자(620)와 연결된다.

[122] 도 1 및 도 8을 참조하면, 도 1에 도시된 제1 단자(610)는 +단자와 -단자를 포함하며, 제1 단자(610)에서 +단자로 유입된 전원은 도 8에 도시된 상부 세라믹기판(300)의 제1 전극 패턴(a), 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이에 배치된 반도체 칩(G) 및 제2 전극 패턴(b)을 통해 제2 단자(620)로 출력된다. 그리고 도 1에 도시된 제2 단자(620)로 유입된 전원은 도 8에 도시된 제2 전극 패턴(b), 제2 전극 패턴(b)과 제3 전극 패턴(c)의 사이에 배치된 반도체 칩(G) 및 제3 전극 패턴(c)을 통해 제1 단자(610)의 -단자로 출력된다. 예컨대, 제1 단자(610)에서 유입되고 반도체 칩(G)을 통과하여 제2 단자(620)로 출력되는 전원을 하이 사이드(High Side), 제2 단자(620)에서 유입되고 반도체 칩(G)을 통과하여 제1 단자(610)로 출력되는 전원을 로우 사이드(Low Side)가 된다.

[123] 도 7에 도시된 바에 의하면, 상부 세라믹기판(300)은 NTC 온도센서(210)에 대응하는 부분에 커팅부(310)가 형성될 수 있다. 하부 세라믹기판(200)의 상면에 NTC 온도센서(210)가 장착된다. NTC 온도센서(210)는 반도체 칩(G)의 발열로 인한 파워모듈 내의 온도 정보를 제공하기 위한 것이다. 그런데 NTC 온도센서(210)의 두께가 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이의 간격에 비해 두꺼워 NTC 온도센서(210)와 상부 세라믹기판(300)의 간섭이 발생한다. 이를 해결하기 위해 NTC 온도센서(210)와 간섭되는 부분의 상부 세라믹기판(300)을 커팅하여 커팅부(310)를 형성한다.

[124] 커팅부(310)를 통해 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이 공간에 몰딩을 위한 실리콘액 또는 에폭시를 주입할 수 있다. 실리콘액 또는 에폭시는 반고체상의 절연물질이다. 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이를 절연하기 위해 실리콘액 또는 에폭시를 주입해야 한다. 상부 세라믹기판(300)과 하부 세라믹기판(200)에 실리콘액 또는 에폭시를 주입하기 위해 상부 세라믹기판(300)의 한쪽면을 커팅하여 커팅부(310)를 형성할 수 있으며, 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에 형성하여 상부 세라믹기판(300)과 NTC 온도센서(210)의 간섭도 방지할 수 있다. 실리콘액 또는 에폭시는 반도체 칩(G)의 보호, 진동의 완화 및 절연의 목적으로 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 공간과 상부 세라믹기판(300)과 PCB 기판(400) 사이의 공간에 충전할 수 있다.

[125] 상부 세라믹기판(300)에 쓰루홀(Through Hole)(320)이 형성된다. 쓰루홀(320)은 상하 복층의 기판 구조에서 상부 세라믹기판(300)에 실장되는 반도체 칩(G)을 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하고, 하부

세라믹기판(200)에 실장된 NTC 온도센서(210)를 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하기 위한 것이다.

- [126] 쓰루홀(320)은 반도체 칩이 설치되는 위치에 2개씩 8개가 형성되고, NTC 온도센서가 설치되는 위치에 2개가 설치되어 총 10개가 형성될 수 있다. 또한, 쓰루홀(320)은 상부 세라믹기판(300)에서 제1 전극 패턴(a)과 제3 전극 패턴(c)이 형성된 부분에 다수 개가 형성될 수 있다.
- [127] 제1 전극 패턴(a)에 형성된 다수 개의 쓰루홀(320)은 상부 세라믹기판(300)의 상면의 제1 전극 패턴(a)으로 유입된 전류가 상부 세라믹기판(300)의 하면에 형성된 제1 전극 패턴(a)으로 이동하고 반도체 칩(G)으로 유입되도록 한다. 제3 전극 패턴(c)에 형성된 다수 개의 쓰루홀(320)은 반도체 칩(G)으로 유입된 전류가 상부 세라믹기판(300)의 하면의 제3 전극 패턴(c)을 통해 상부 세라믹기판(300)의 상면의 제3 전극 패턴(c)으로 이동하도록 한다.
- [128] 쓰루홀(320)의 직경은 0.5mm~5.0mm일 수 있다. 쓰루홀(320)에는 연결핀이 설치되어 PCB 기판의 전극 패턴과 연결되고 이를 통해 PCB 기판(400)에 실장되는 구동소자와 연결될 수 있다. 상하 복층의 기판 구조에서 쓰루홀(320) 및 쓰루홀(320)에 설치되는 연결핀을 통한 전극 패턴 간 연결은 최단 거리 연결을 통해 다양한 출력 손실을 제거하여 파워모듈의 크기에 따른 제약을 개선하는데 기여할 수 있다.
- [129] 상부 세라믹기판(300)의 전극 패턴에는 복수 개의 비아홀(330)이 형성될 수 있다. 비아홀(330)은 기판 면적 대비 최소 50% 이상 가공될 수 있다. 상술한 비아홀(330)의 면적은 기판 면적 대비 최소 50% 이상 적용되는 예로 들어 설명하였으나, 이에 한정되는 것은 아니며 50% 이하로 가공될 수도 있다.
- [130] 일 예로 제1 전극 패턴(a)에는 152개의 비아홀이 형성되고 제2 전극 패턴(b)에는 207개의 비아홀이 형성되고 제3 전극 패턴(c)에는 154개의 비아홀이 형성될 수 있다. 각 전극 패턴에 형성되는 복수 개의 비아홀(330)은 대전류 통전 및 대전류 분산을 위한 것이다. 하나의 슬롯 형태로 상부 세라믹기판(300)의 상면의 전극 패턴과 하면의 전극 패턴을 도통시키면 한쪽으로만 고전류가 흘러 쇼트, 과열 등의 문제가 발생할 수 있다.
- [131] 비아홀(330)에는 전도성 물질이 충전된다. 전도성 물질은 Ag 또는 Ag 합금일 수 있다. Ag 합금은 Ag-Pd 페이스트일 수 있다. 비아홀(330)에 충전된 전도성 물질은 상부 세라믹기판(300)의 상면의 전극 패턴과 하면의 전극 패턴을 전기적으로 연결한다. 비아홀(330)은 레이저 가공하여 형성할 수 있다. 비아홀(330)은 도 8의 확대도에서 확인할 수 있다.
- [132] 도 9는 본 발명의 실시예에 의한 PCB 기판의 평면도이다.
- [133] 도 9에 도시된 바에 의하면, PCB 기판(400)은 반도체 칩(G)을 스위칭하거나 NTC 온도센서(도 7의 도면부호 210)가 감지한 정보를 이용하여 GaN 칩(반도체 칩)의 스위칭하기 위한 구동소자가 실장된다. 구동소자는 Gate Drive IC를 포함한다.

- [134] PCB 기판(400)은 상면에 캐패시터(410)가 장착된다. 캐패시터(410)는 상부 세라믹기판(300)의 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하도록 배치된 반도체 칩(G)과 상부 세라믹기판(300)의 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하도록 배치된 반도체 칩(G)의 사이에 해당하는 위치인 PCB 기판(400)의 상면에 장착된다.
- [135] 반도체 칩(G)의 사이에 해당하는 위치인 PCB 기판(400)의 상면에 캐패시터(410)가 장착되면, 연결핀(도 10의 도면부호 800)을 이용하여 반도체 칩(G)과 Drive IC 회로를 최단거리로 연결할 수 있으므로 고속 스위칭에 보다 유리하다. 일 예로, 캐패시터(410)는 용량을 맞추기 위해 10개가 병렬로 연결될 수 있다. 입력단에 디커플링용도로 2.5 μ F 이상을 확보하기 위해서는 고전압의 캐패시터 10개를 연결하여 용량을 확보해야 한다. Gate Drive IC 회로는 High side gate drive IC와 Low side gate drive IC를 포함한다.
- [136]
- [137] 도 10는 본 발명의 실시예에 의한 상부 세라믹기판에 연결핀이 결합된 상태를 보인 사시도이다.
- [138] 도 10에 도시된 바에 의하면, 연결핀(800)은 상부 세라믹기판(300)에서 반도체 칩(G)과 인접한 위치에 형성된 쓰루홀(Through Hole)(도 7의 도면부호 320)에 끼워진다. 반도체 칩(G)과 인접한 위치에 형성된 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(도 9의 도면부호 400)에 대응된 위치에 형성된 쓰루홀(420)에 끼워져 반도체 칩(G)을 실장하는 게이트(Gate) 단자와 PCB 기판(400)의 전극 패턴을 연결할 수 있다.
- [139] 또한, 연결핀(800)은 상부 세라믹기판(300)에서 NTC 온도센서(210)와 인접하는 위치에 형성된 쓰루홀(320)에 끼워진다. NTC 온도센서(210)와 인접하는 위치에 형성된 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(400)에 대응되는 위치에 형성된 쓰루홀(420)에 끼워져 NTC 온도센서(210)의 단자와 PCB 기판(400)의 전극 패턴을 연결할 수 있다.
- [140] 또한, 연결핀(800)은 상부 세라믹기판(300)에서 제1 전극 패턴(a)과 제3 전극 패턴(c)에 일렬로 형성된 다수 개의 쓰루홀(320)에 끼워진다. 제1 전극 패턴(a)과 제3 전극 패턴(c)에 형성된 다수 개의 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(400)에 대응된 위치에 형성된 쓰루홀(420)에 끼워져 반도체 칩(G)을 PCB 기판(400)의 캐패시터(410)와 연결할 수 있다.
- [141] 연결핀(800)은 상부 세라믹기판(300)에 실장되는 반도체 칩(G)을 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하여 다양한 출력 손실을 제거하고 고속 스위칭이 가능하게 한다.
- [142] 도 11에는 도 10의 A-A 단면도가 도시되어 있다. 도 11에 도시된 도 10의 A-A 단면도는 하부 세라믹기판과 상부 세라믹기판을 실제와 달리 과장되게 표현하였고, 설명에 필요한 주요 부분만 표시하였다.
- [143] 도 10 및 도 11에 도시된 바에 의하면, 상부 세라믹기판(300)에 커팅부(310)가

형성되며, 커팅부(310)를 통해 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이 공간에 몰딩을 위한 실리콘액을 주입할 수 있다. 실리콘액은 반고체상의 절연물질이다. 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에 형성하여 상부 세라믹기판(300)과 NTC 온도센서(210)와의 간섭을 방지하기 위한 것이며, 실리콘액(S)의 주입을 위한 주입홀로 활용할 수 있다. 실리콘액(S)은 반도체 칩(G)의 보호, 진동 완화 및 절연의 목적으로 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이의 공간에 충전한다.

- [144] 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에서 상부 세라믹기판(300)의 일부가 잘린 형상으로 형성된다. 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에서 상부 세라믹기판(300)의 일부를 제거하여 형성할 수 있다. 일 예로, 커팅부(310)는 NTC 온도센서(210)와 대응되는 상부 세라믹기판(300)의 일측 모서리를 사각 형상으로 잘라 형성할 수 있다.
- [145] 커팅부(310)는 NTC 온도센서(210)의 단면 면적보다 상대적으로 큰 면적으로 형성될 수 있다. 이는 커팅부(310)가 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 실리콘액(S)을 주입하기 위한 주입홀로 활용하기 용이하도록 한다.
- [146] 상술한 바와 같이, 커팅부(310)를 통해 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이 공간에 몰딩을 위한 실리콘액(S)을 주입할 수 있다. 실리콘액(S)은 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이를 절연하기 위한 것이며, 상부 세라믹기판(300)과 하부 세라믹기판(200)에 실리콘액(S)을 주입하기 위해 상부 세라믹기판(300)의 한쪽면을 커팅하여 커팅부(310)를 형성할 수 있다. 또한, 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에 형성하여 상부 세라믹기판(300)과 NTC 온도센서(210)의 간섭을 방지할 수 있다..
- [147] 커팅부(310)는 실리콘액(S)이 주입될 수 있는 충분한 공간을 확보하므로 실리콘액(S)이 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이의 공간에 원활히 충전되고 균일하게 충전되게 하므로 절연 불량을 방지할 수 있다.
- [148] 이하에서는 도 11에서 설명한 커팅부에 대해서 도 12을 참조하여 더 자세히 설명하기로 한다.
- [149] 도 12는 본 발명의 실시예에 의한 NTC 온도센서 적용시 상부 세라믹기판에 커팅부를 형성한 이유를 설명하기 위한 구성도이다. 도 12의 구성도는 커팅부의 식별이 용이하도록 파워모듈의 측단면을 과장하여 도시한 것이다.
- [150] 도 12에 도시된 바에 의하면, NTC(Negative Temperature Coefficient of Resistance) 온도센서(210)는 하부 세라믹기판(200)의 상면에 장착된다. NTC 온도센서(210)는 하부 세라믹기판(200)의 금속층(202)에 연결되어 반도체 칩(G)의 발열로 인한 파워모듈(10) 내의 온도를 측정한다. NTC 온도센서(210)는 고온 세라믹 센서소자를 기반으로 하며, 최대 650°C까지의 온도를 측정하도록 제작된 것일 수 있다.

- [151] NTC 온도센서(210)는 사각 칩 형태이며, 하부 세라믹기판(200)의 상면 일측 모서리 부분에 장착된다. NTC 온도센서(210)는 반도체 칩(G)의 발열로 인한 파워모듈(10) 내의 온도를 측정하기 용이하도록 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 위치되어야 하고, 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 배치되는 소자들과의 간섭을 방지하기 위해 상면 일측 모서리 부분에 부착되는 것이 바람직하다.
- [152] 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에 상부 세라믹기판(300)의 일부가 잘린 형상으로 형성된다.
- [153] NTC 온도센서(210)의 두께는 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 간격에 비해 두껍다. 여기서 NTC 온도센서(210)의 두께는 NTC 온도센서(210)의 높이로 표현될 수 있다. 반도체 칩(G)이 상부 세라믹기판(300)의 하면에 플립칩 형태로 부착되므로, 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 간격은 반도체 칩(G)의 두께에 대응되고 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 간격은 NTC 온도센서(210)의 두께에 비해 짧다.
- [154] NTC 온도센서(210)의 사이즈는 1.6mm×0.8mm×0.8mm인 것을 일 예로 하고, 반도체 칩(G)은 두께는 264.5 μ m(0.2645mm)인 것을 일 예로 하며, 상부 세라믹기판(300)을 형성하는 세라믹기재(301)의 두께는 0.38mm인 것을 일 예로 하고, 세라믹기재(301)의 상부의 금속층(302)과 하부의 금속층(303)의 두께는 각각 0.3mm인 것을 일 예로 한다. 이 경우, 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 간격은 반도체 칩(G)의 두께에 대응되고 NTC 온도센서(210)의 두께에 비해 짧으므로 NTC 온도센서(210)가 위치하기 어렵다.
- [155] 만약, 반도체 칩(G)의 단자 연결을 와이어 본딩으로 수행하면, 반도체 칩(G)이 부착되는 위치의 높이가 NTC 온도센서(210)의 두께보다 높아 NTC 온도센서(210)와 상부 세라믹기판(300) 간의 간섭 문제가 발생하지 않는다. 하지만, 고출력 반도체 칩(G)을 사용하는 파워모듈의 목적은 고속 스위칭에 있으므로, 반도체 칩(G)의 성능을 최대한 발휘하기 위해서는 반도체 칩(G)과 Gate drive IC 단자 간에 최대한 짧게 설계되어야 한다. 반도체 칩(G)은 High side GaN 칩과 Low side GaN 칩을 포함한다.
- [156] 그리고, 반도체 칩(G)과 Gate drive IC 단자 간을 최대한 짧게 설계하기 위해서는 반도체 칩(G)이 상부 세라믹기판(300)의 하면에 플립칩 형태로 부착되어야 한다. 반도체 칩(G)이 상부 세라믹기판(300)의 하면에 플립칩 형태로 부착되면 상부 세라믹기판(300)과 하부 세라믹기판(200) 간의 간격이 반도체 칩(G)의 두께에 대응되어 짧아진다.
- [157] 따라서 NTC 온도센서(210)의 두께에 비해 간격이 짧은 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 간격은 NTC 온도센서(210)와 상부 세라믹기판(300) 간의 간섭 문제를 발생시킨다.
- [158] NTC 온도센서(210)의 두께가 하부 세라믹기판(200)과 상부 세라믹기판(300)

사이의 간격에 비해 두꺼운 경우, NTC 온도센서(210)에 대응되는 위치의 상부 세라믹기판(300)에 NTC 온도센서(210)를 관통하여 배치할 수 있는 커팅부(310)를 형성한다.

- [159] 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에서 상부 세라믹기판(300)의 일부를 제거하여 형성할 수 있다. 일 예로, 커팅부(310)는 NTC 온도센서(210)와 대응되는 상부 세라믹기판(300)의 일측 모서리를 사각형상으로 잘라 형성할 수 있다.
- [160] 커팅부(310)는 NTC 온도센서(210)의 단면 면적보다 상대적으로 큰 면적으로 형성될 수 있다. 이는 커팅부(310)가 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 실리콘액(S)을 주입하기 위한 주입구로 사용될 수 있도록 한다.
- [161] 즉, 커팅부(310)를 통해 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이 공간에 몰딩을 위한 실리콘액(S)을 주입할 수 있다. 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이를 절연하기 위해 실리콘액(S)을 주입해야 한다. 상부 세라믹기판(300)과 하부 세라믹기판(200)에 실리콘액(S)을 주입하기 위해 상부 세라믹기판(300)의 한쪽면을 커팅하여 커팅부(310)를 형성할 수 있으며, 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에 형성하여 상부 세라믹기판(300)과 NTC 온도센서(210)의 간섭을 방지할 수 있다.
- [162] 일 예로, 도 10에 도시된 바와 같이, 상부 세라믹기판(300)에 반도체 칩(G)을 부착하고, 연결핀(800)으로 PCB 기판(400)과 전기적 연결을 한 다음 반도체 칩(G)의 보호, 진동의 완화 및 절연의 목적으로 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 공간과 상부 세라믹기판(300)과 PCB 기판(400) 사이의 공간에 실리콘액(S) 또는 에폭시를 충전할 수 있다.
- [163] 한편, 하부 세라믹기판(200)과 상부 세라믹기판(300)을 상하 복층 구조로 배치하면 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 공간에 실리콘액을 투입할 수 있는 공간이 없다. 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 틈으로 실리콘액을 주입할 수도 있으나, 실리콘액의 신속한 투입이 어렵고 실리콘액을 제품의 내부까지 균일하게 투입하기 어렵다. 실리콘액을 균일하게 투입하지 않으면 실리콘액이 미충진되거나 공기 방울이 잔류하여 절연 저항이 떨어지게 되는 문제가 발생한다.
- [164] 파워모듈(10)은 높은 전압의 대전류를 고속으로 스위칭하는 제품이다.
- [165] 하지만 반도체 칩(G)이 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 플립칩 형태로 고정되므로, 반도체 칩(G)이 부착되는 금속층(202,303) 간의 간격이 좁아 고습에 노출시 전극 패턴 간에 절연 내압이 낮아질 수 있다. 전극 패턴 간에 절연 내압이 낮아지면 절연 파괴가 발생할 수 있으므로 이를 방지하기 위해 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 실리콘액(S)을 충전한다.
- [166] 커팅부(310)는 실리콘액(S)이 주입될 수 있는 충분한 공간을 확보하므로

실리콘액(S)이 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 공간에 원활히 충전되고 균일하게 충전되게 하여 절연 불량을 방지할 수 있도록 한다.

[167]

[168] 다른 실시예로, 하우징에 주입홀과 벤트홀을 형성하여 실리콘액을 충전하고 기포의 발생을 방지할 수 있다.

[169] 도 13은 본 발명의 다른 실시예로 하우징에 주입홀과 벤트홀을 형성한 예를 보인 구성도이다.

[170] 도 13에 도시된 바에 의하면, 다른 실시예의 파워모듈(10')은 하우징(100)의 일측면에 주입홀(105)이 형성되고 반대되는 타측면에 벤트홀(106)이 형성된다.

[171] 파워모듈에 있어서, 상부 세라믹기판(300)에 반도체 칩(G)을 부착하고, 연결핀(800)으로 전기적 연결을 한 다음 반도체 칩(G)의 보호, 진동의 완화 및 절연의 목적으로 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 공간과 상부 세라믹기판(300)과 PCB 기판(400) 사이의 공간에 반고체상의 절연물질인 실리콘액(S) 또는 에폭시를 주입하여 충전한다. 실시예에서는 반고체상의 절연물질로 실리콘액(S)을 주입하여 충전하는 것을 예로 들어 설명한다.

[172] 하부 세라믹기판(200)과 상부 세라믹기판(300)은 AMB 기판을 적용한다.

[173] 하나의 AMB 기판을 적용시에는 AMB 기판과 PCB 기판(400)의 사이 공간에 실리콘액(S)을 충전하면 되므로 실리콘액 충전시 미충진 및 기포의 발생이 적다. 그러나 하부 세라믹기판(200) 및 상부 세라믹기판(300)과 같이 복층 구조의 AMB 기판을 적용시에는 기판과 기판 사이의 공간이 적어 미충진 및 기포가 발생할 수 있다. 따라서 하우징(100)의 일측면에 실리콘액 주입을 위한 주입홀(105)을 형성하고 반대편에 공기가 배출되는 벤트홀(106)을 형성하여 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 미충진 또는 기포 발생을 방지할 수 있다.

[174] 주입홀(105)은 실리콘액(S)의 원활한 주입을 위해 입구가 출구에 비해 넓고 출구로 갈수록 내경이 점차적으로 작아지는 형상인 것이 바람직하다. 벤트홀(106)은 주입홀(105)에 비해 상대적으로 작은 직경으로 형성되어 공기가 빠져나갈 수 있도록 한다.

[175] 상술한 본 발명은 상부 세라믹기판(300)에 형성한 커팅부(310)를 통해 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 공간에 실리콘액(S)을 원활히 주입할 수 있고, 하우징(100)에 형성한 주입홀(105)과 벤트홀(106)을 통해서도 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 공간에 실리콘액(S)을 기포 발생없이 균일하게 충전할 수 있다.

[176] 도 14는 본 발명의 다른 실시예로, 하우징에 주입홀이 형성된 상태를 보인 사시도이고, 도 15은 도 14의 B-B 단면도이다. 도 15에 도시된 도 14의 B-B 단면도는 하부 세라믹기판과 상부 세라믹기판을 실제와 달리 과장되게 표현하였고, 설명에 필요한 주요 부분만 표시하였다.

[177] 도 14 및 도 15에 도시된 바에 의하면, 다른 실시예의 파워모듈(10')은

하우징(100)의 일측면에 주입홀(105)이 형성되고 반대되는 타측면에 벤트홀(106)이 형성된다.

[178] 파워모듈에 있어서, 상부 세라믹기판(300)의 하면에 반도체 칩(G)을 실장하고, 연결핀(800)으로 전기적 연결을 한 다음 반도체 칩(G)의 보호, 진동의 완화 및 절연의 목적으로 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 공간과 상부 세라믹기판(300)과 PCB 기판(400)의 사이의 공간에 실리콘액(S) 또는 에폭시를 충전한다.

[179] 하부 세라믹기판(200)과 상부 세라믹기판(300)은 AMB 기판을 적용한다.

[180] 하나의 AMB 기판을 적용시에는 AMB 기판과 PCB 기판의 사이 공간에 실리콘액을 충전하면 되므로 실리콘액 충전시 미충진 및 기포의 발생이 적다. 그러나 하부 세라믹기판(200) 및 상부 세라믹기판(300)과 같이 복층 구조의 AMB 기판을 적용시에는 기판과 기판 사이의 공간이 적어 미충진 및 기포가 발생할 수 있다. 따라서 하우징(100)의 일측면에 실리콘액 주입을 위한 주입홀(105)을 형성하고 반대편에 공기가 배출되는 벤트홀(106)을 형성하여 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 미충진 또는 기포 발생을 방지할 수 있다.

[181] 벤트홀(106)은 하우징(100)에서 주입홀(105)이 형성된 일측면과 대향되는 타측면에 형성된다. 바람직하게는 벤트홀(106)은 과충진된 실리콘액(S)의 배출 및 공기의 배출이 가능하도록 하우징(100)의 타측면에서 주입홀(105)과 대각선 방향으로 위치한다. 벤트홀(106)이 주입홀(105)과 대각선 방향으로 위치하면, 벤트홀(106)이 주입홀(105)과 가장 먼 곳에 위치하게 되므로 주입홀(105)을 통해 주입된 실리콘액(S)이 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이의 공간에 다 충전되고 과충진된 실리콘액(S)이 벤트홀(106)을 통해서 배출될 수 있다.

[182] 벤트홀(106)은 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이에 실리콘액(S) 미충전 또는 기포의 발생을 방지한다.

[183] 주입홀(105)은 실리콘액(S)의 원활한 주입을 위해 입구가 출구에 비해 넓고 출구로 갈수록 내경이 점차적으로 작아지는 형상인 것이 바람직하다. 벤트홀(106)은 주입홀(105)에 비해 상대적으로 작은 직경으로 형성되어 과충진된 실리콘액(S) 또는 공기가 빠져나갈 수 있도록 한다.

[184] 주입홀(105)은 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이의 공간과 대응되는 하우징(100)의 일측면에 형성되어 실리콘액(S)의 주입시 실리콘액(S)의 유동성에 부하가 걸리는 문제를 해결할 수 있도록 한다.

[185] 또한, 실리콘액(S)이 주입되는 주입홀(105)과 과충진된 실리콘액(S) 및 공기가 빠져나가는 벤트홀(106)을 구분하고, 과충진을 강제로 발생시켜 유동성을 개선하여 실리콘액의 미충전 또는 기포 간섭을 방지한다.

[186] 도 15의 구조에서 하우징(100)의 하면과 방열판(500)의 상면의 사이를 접합층(550)으로 접합하므로, 하우징(100)의 주입홀(105)을 통해 주입된

실리콘액(S)은 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이의 공간에 충전될 수 있다.

- [187] 상술한 본 발명의 실시예는 상부 세라믹기판(300)에 형성한 커팅부(310)를 통해 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 공간에 실리콘액(S)을 원활히 주입할 수 있다. 또는, 본 발명의 다른 실시예는 하우징(100)에 형성한 주입홀(105)과 벤트홀(106)을 통해서도 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 공간에 실리콘액(S)을 기포 발생없이 균일하게 충전할 수 있다.
- [188]
- [189] 또 다른 실시예로, 상부 세라믹기판에 주입홀과 벤트홀을 형성하여 실리콘액을 충전하고 기포의 발생을 방지할 수 있다.
- [190] 도 16은 본 발명의 또 다른 실시예로 상부 세라믹기판에 벤트홀이 형성된 상태를 보인 사시도이고, 도 17은 도 16의 B-B 단면도이다. 도 17에 도시된 도 16의 B-B 단면도는 하부 세라믹기판과 상부 세라믹기판을 실제와 달리 과장되게 표현하였고, 설명에 필요한 주요 부분만 표시하였다.
- [191] 도 16 및 도 17에 도시된 바에 의하면, 또 다른 실시예의 파워모듈(10")은 상부 세라믹기판(300)을 관통하여 주입홀(310)과 벤트홀(350)이 형성된다.
- [192] 주입홀(310)은 상부 세라믹기판(300)의 일측 모서리에 형성된다. 주입홀(310)은 하부 세라믹기판(200)에 장착되는 NTC 온도센서(210)와 대응되는 영역에 형성되는 커팅부(도 10의 도면 부호 310)일 수 있다. 또는 주입홀(310)은 NTC 온도센서(210)와 대응되는 영역이 아닌 별도의 영역에 형성될 수도 있다.
- [193] 주입홀(310)은 NTC 온도센서(210)의 단면의 폭보다 더 큰 폭으로 형성되어 주입홀(310)을 통한 실리콘액(S)의 주입이 용이하도록 한다.
- [194] 벤트홀(350)은 주입홀(310)과 이격된다. 벤트홀(350)은 기포의 원활한 배출을 위하여 복수 개가 형성된다. 복수 개의 벤트홀(350)은 기포의 배출이 용이하도록 상부 세라믹기판(300)의 전체면에 균일하게 위치할 수 있다.
- [195] 또는, 복수 개의 벤트홀(350)은 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이의 공간에 실리콘액(S)의 충전시 기포가 발생하는 주요 부분에 대응하도록 상부 세라믹기판(300)의 일정 구역에 위치할 수 있다. 벤트홀(350)은 기포가 발생하는 주요 부분에 대응하도록 형성하면 기포 배출을 개선할 수 있다. 벤트홀(350)을 통한 기포 배출은 실리콘액(S)의 충전시 유동성을 개선하여 실리콘액(S)의 미충전 또는 기포 갇힘을 방지한다.
- [196] 벤트홀(350)은 주입홀(310)의 크기에 비해 더 작은 크기를 갖는다. 이는 벤트홀(350)을 통해 기포의 배출만 가능하도록 하기 위함일 수 있다. 벤트홀(350)의 크기는 공기의 배출을 허용하는 크기인 것이 바람직하다. 바람직하게는 벤트홀(350)은 실리콘액(S)의 기포 배출만 가능하도록 미세구멍인 것이 바람직하다. 벤트홀(350)은 원형 또는 타원형 형상으로 형성될 수 있다.
- [197] 상술한 본 발명의 또 다른 실시예는 상부 세라믹기판(300)에 형성한 커팅부(도

10의 도면부호 310)를 주입홀(310)로 활용하여 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 공간에 실리콘액(S)을 원활히 주입할 수 있다. 또한, 상부 세라믹기판(300)에 형성한 복수 개의 미세구멍인 벤트홀(350)을 통해서 기포를 배출하므로 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 공간에 실리콘액(S)을 기포 발생없이 균일하게 충전할 수 있다. 또 다른 실시예에서 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이 공간에 실리콘액(S)을 충전하는 것을 예로 들어 설명하였으나, 실리콘액(S) 대신 에폭시를 충전할 수도 있다. 실리콘액과 에폭시는 반고체상의 절연물질이다.

[198]

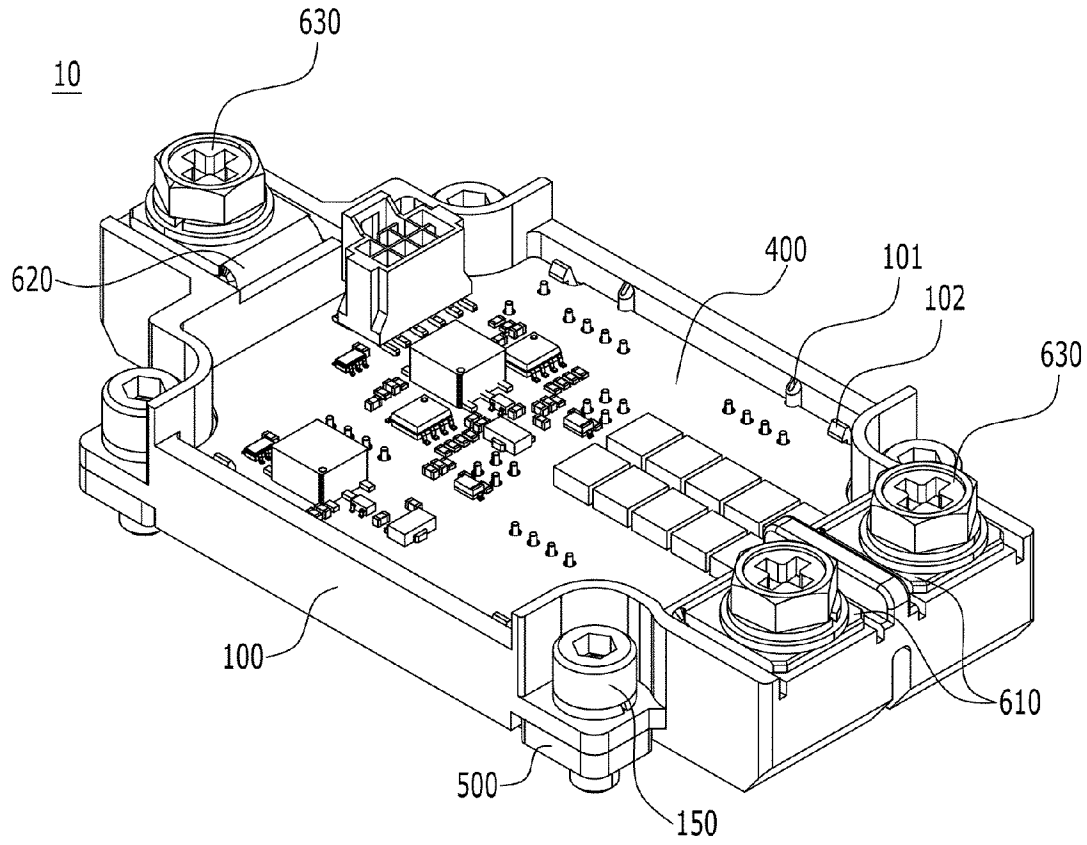
[199] 본 발명은 도면과 명세서에 최적의 실시예들이 개시되었다. 여기서, 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 발명은 기술분야의 통상의 지식을 가진 자라면, 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 권리범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

청구범위

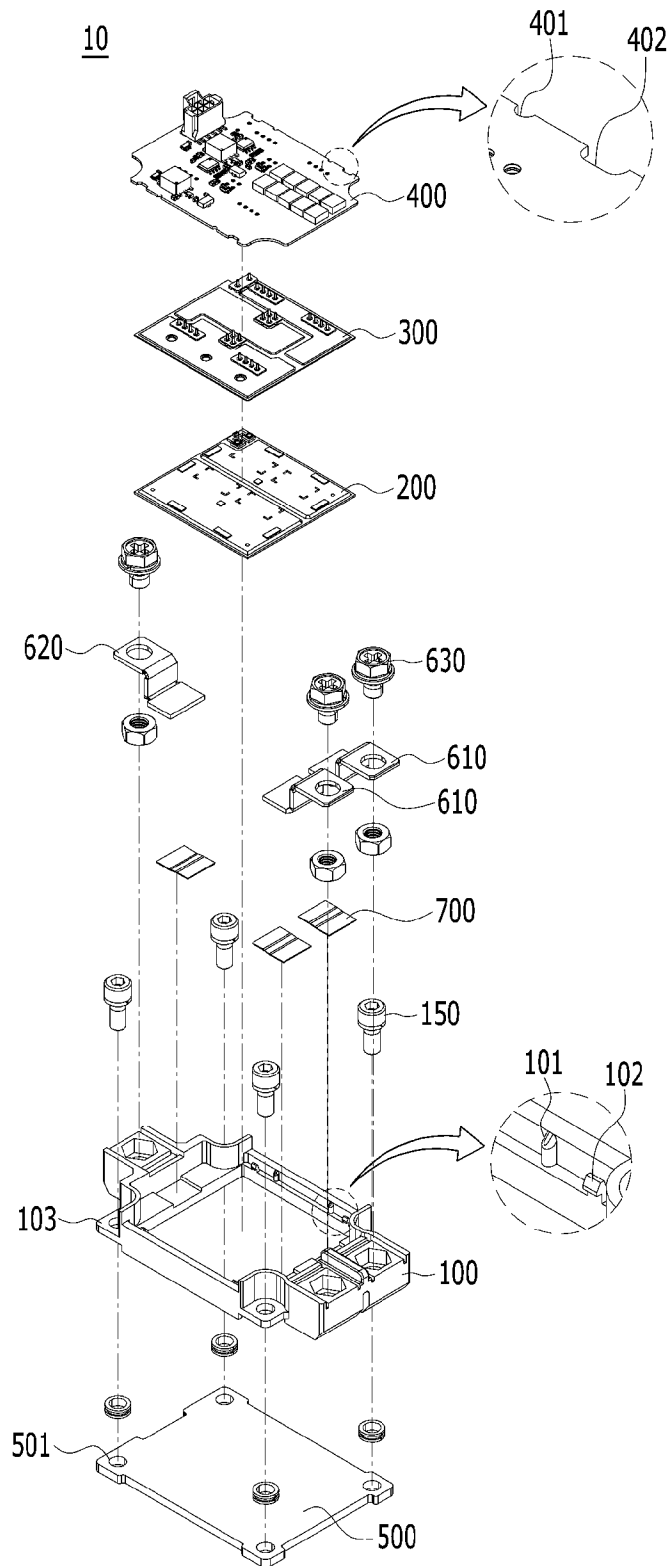
- [청구항 1] 하부 세라믹기판;
상기 하부 세라믹기판의 상부에 간격을 두고 배치되며 하면에 반도체 칩이 실장되는 상부 세라믹기판; 및
상기 상부 세라믹기판에 형성되며 상기 하부 세라믹기판과 상기 상부 세라믹기판의 사이의 공간을 외부로 노출시키는 커팅부;
를 포함하는 파워모듈.
- [청구항 2] 제1항에 있어서,
상기 하부 세라믹기판의 상면에 장착된 온도센서를 포함하고,
상기 커팅부는 상기 온도센서와 대응되는 위치에 형성되며 상기 온도센서가 관통하여 배치되는 파워모듈.
- [청구항 3] 제2항에 있어서,
상기 커팅부는 상기 온도센서의 단면 면적보다 상대적으로 큰 면적으로 형성된 파워모듈.
- [청구항 4] 제2항에 있어서,
상기 온도센서의 두께는
상기 하부 세라믹기판과 상기 상부 세라믹기판 사이의 간격에 비해 두꺼운 파워모듈.
- [청구항 5] 제2항에 있어서,
상기 반도체 칩의 두께에 비해 상기 온도센서의 두께가 더 두꺼운 파워모듈.
- [청구항 6] 제1항에 있어서,
상기 커팅부는 상부 세라믹기판의 일부가 잘린 형상으로 형성되는 파워모듈.
- [청구항 7] 제1항에 있어서,
상기 커팅부는 상기 상부 세라믹기판의 일측 모서리에 형성되는 파워모듈.
- [청구항 8] 제1항에 있어서,
상기 커팅부는 상기 하부 세라믹기판과 상기 상부 세라믹기판의 사이에 반고체상의 절연물질을 주입하기 위한 주입구로 사용되는 파워모듈.
- [청구항 9] 제1항에 있어서,
상기 하부 세라믹기판과 상기 상부 세라믹기판을 일체화하여 패키징하는 하우징을 포함하고,
상기 하우징의 일측면에 주입홀이 형성되고 반대되는 타측면에 벤트홀이 형성되는 파워모듈.
- [청구항 10] 제9항에 있어서,
상기 주입홀은 입구가 출구에 비해 넓고 출구로 갈수록 내경이

- 점차적으로 작아지는 형상인 파워모듈.
- [청구항 11] 제9항에 있어서,
상기 벤트홀은 상기 주입홀에 비해 상대적으로 작은 직경으로 형성되는 파워모듈.
- [청구항 12] 하부 세라믹기판;
상기 하부 세라믹기판의 상부에 간격을 두고 배치되며 하면에 반도체 칩이 실장되는 상부 세라믹기판; 및
상기 하부 세라믹기판과 상기 상부 세라믹기판의 사이 공간부에 배치되는 반고체상의 절연물질;
상기 상부 세라믹기판에 관통 형성되어 상기 반고체상의 절연물질이 주입되는 주입홀; 및
상기 주입홀과 이격되도록 상기 상부 세라믹기판에 관통 형성되는 벤트홀;
을 포함하는 파워모듈.
- [청구항 13] 제12항에 있어서,
상기 주입홀은
상기 상부 세라믹기판의 일측 모서리에 형성되는 파워모듈.
- [청구항 14] 제12항에 있어서,
상기 주입홀은
상기 하부 세라믹기판에 장착되는 온도센서와 대응되는 영역에 형성되는 커팅부인 파워모듈.
- [청구항 15] 제14항에 있어서,
상기 주입홀은 상기 온도센서의 단면의 폭보다 더 큰 폭으로 형성되는 파워모듈.
- [청구항 16] 제12항에 있어서,
상기 벤트홀은 복수 개가 형성되는 파워모듈.
- [청구항 17] 제16항에 있어서,
상기 복수 개의 벤트홀은
상기 상부 세라믹기판의 전체면에 균일하게 위치하는 파워모듈.
- [청구항 18] 제17항에 있어서,
상기 복수 개의 벤트홀은
상기 상부 세라믹기판과 상기 하부 세라믹기판의 사이의 공간에 상기 반고체상의 절연물질의 충전시 기포가 발생하는 주요 부분에 대응하도록, 상기 상부 세라믹기판의 일정 구역에 위치하는 파워모듈.
- [청구항 19] 제12항에 있어서,
상기 벤트홀은 상기 주입홀의 크기에 비해 더 작은 크기를 갖는 파워모듈.
- [청구항 20] 제12항에 있어서,
상기 벤트홀의 크기는 공기의 배출을 허용하는 크기인 파워모듈.

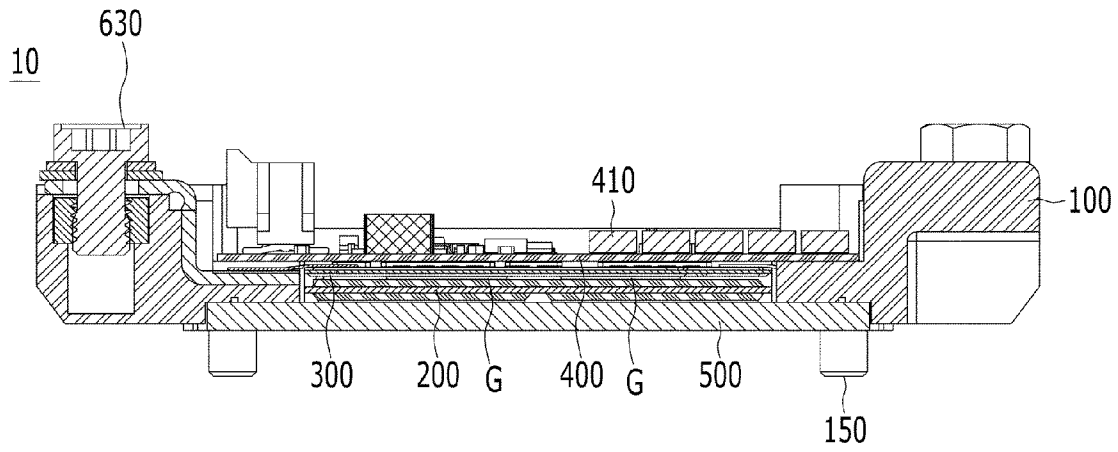
[도 1]



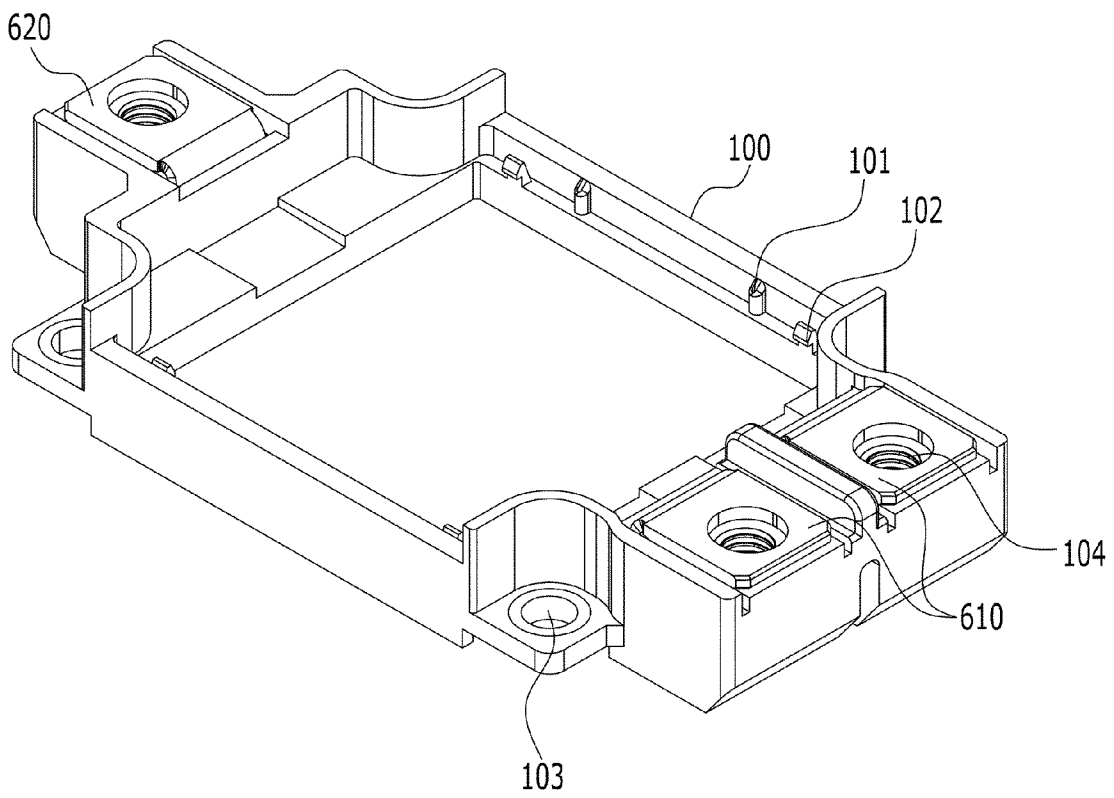
[도2]



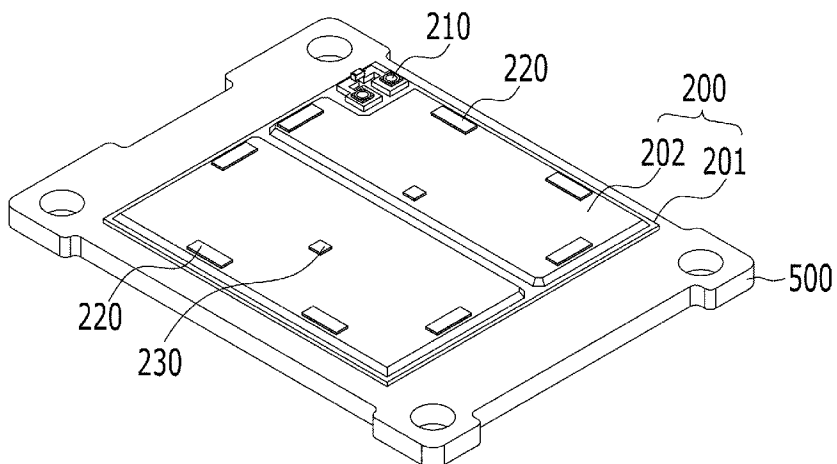
[도3]



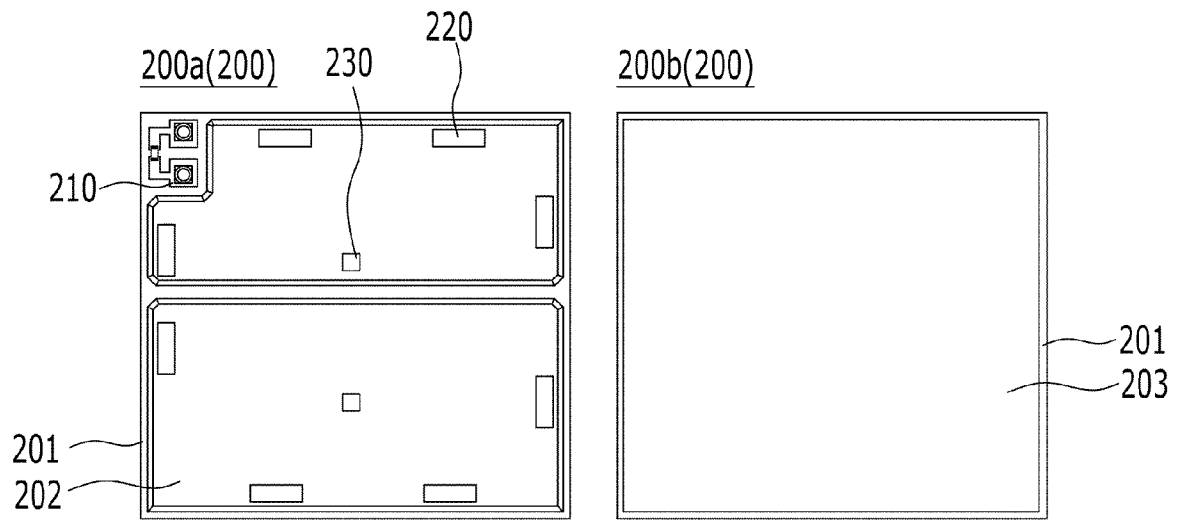
[도4]



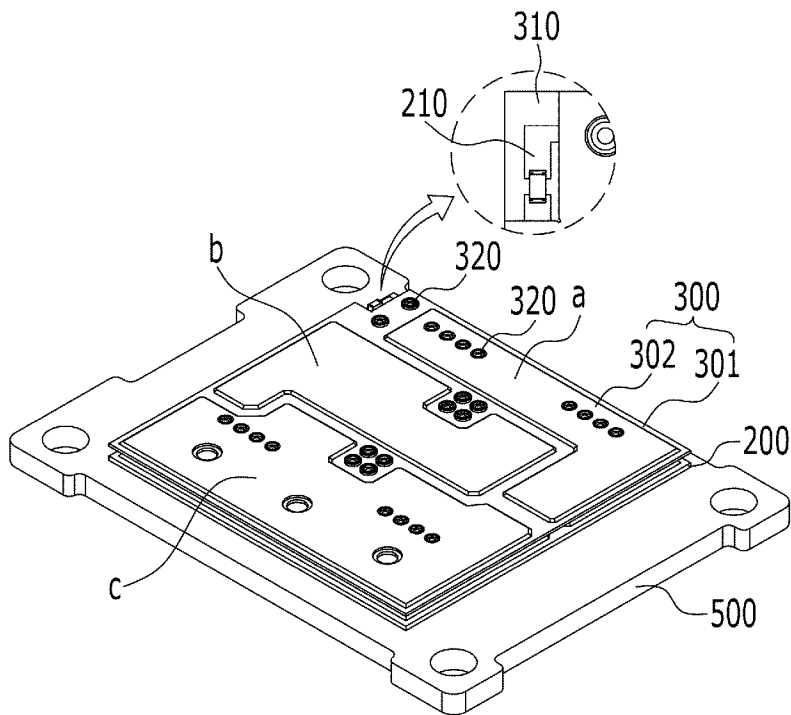
[도5]



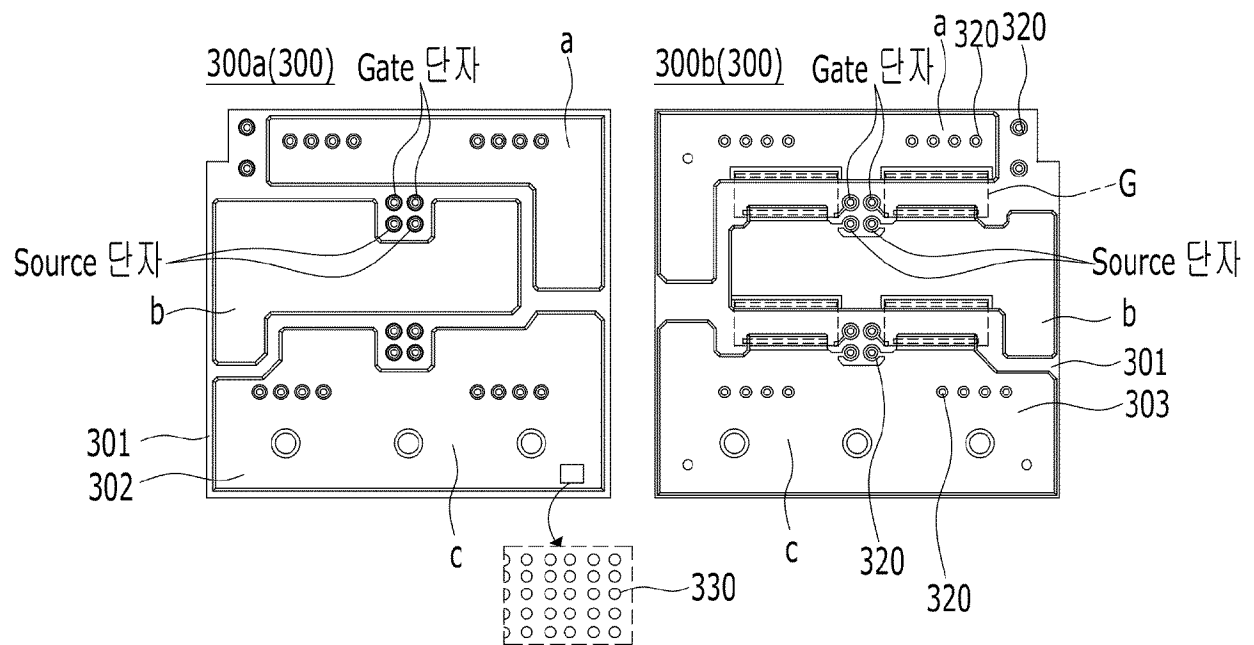
[도6]



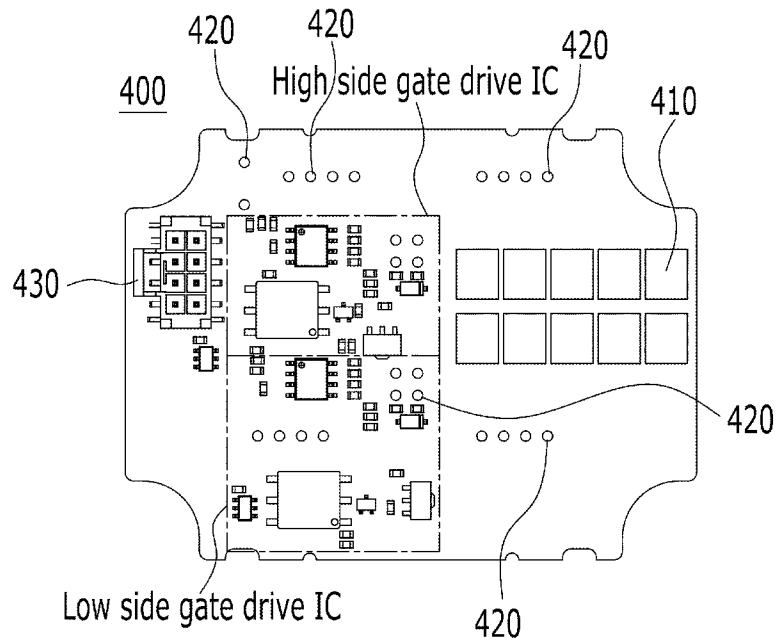
[도7]



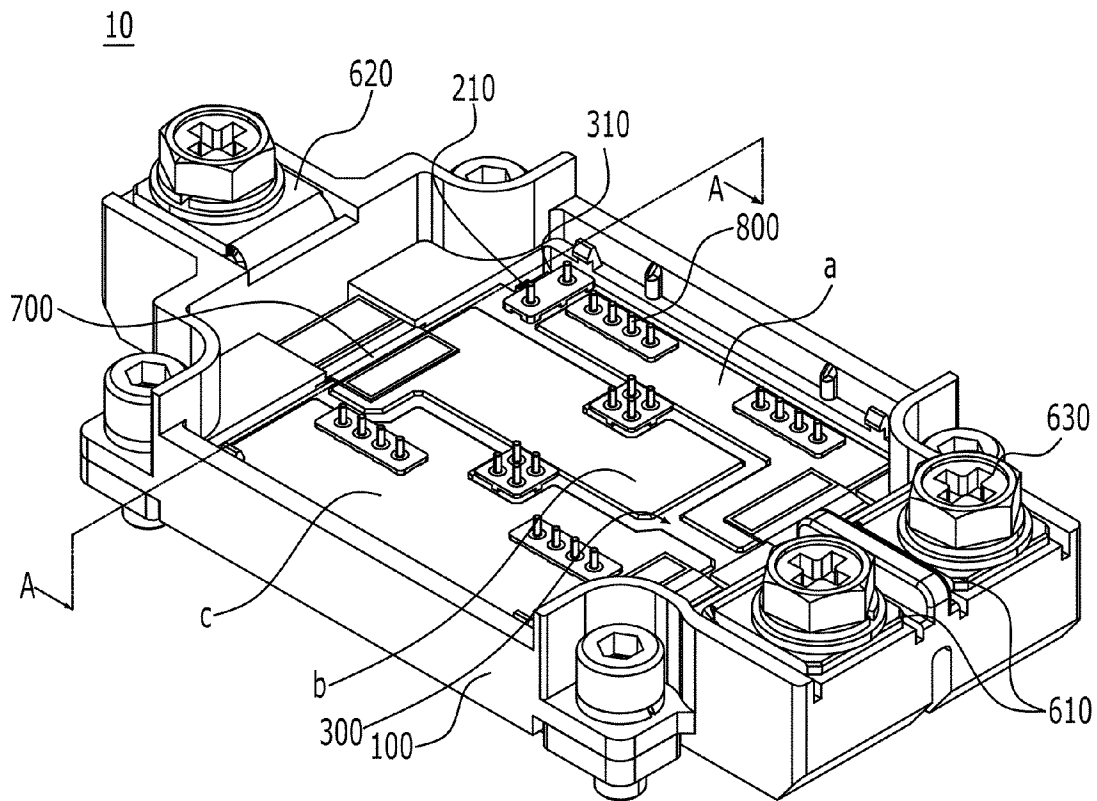
[도8]



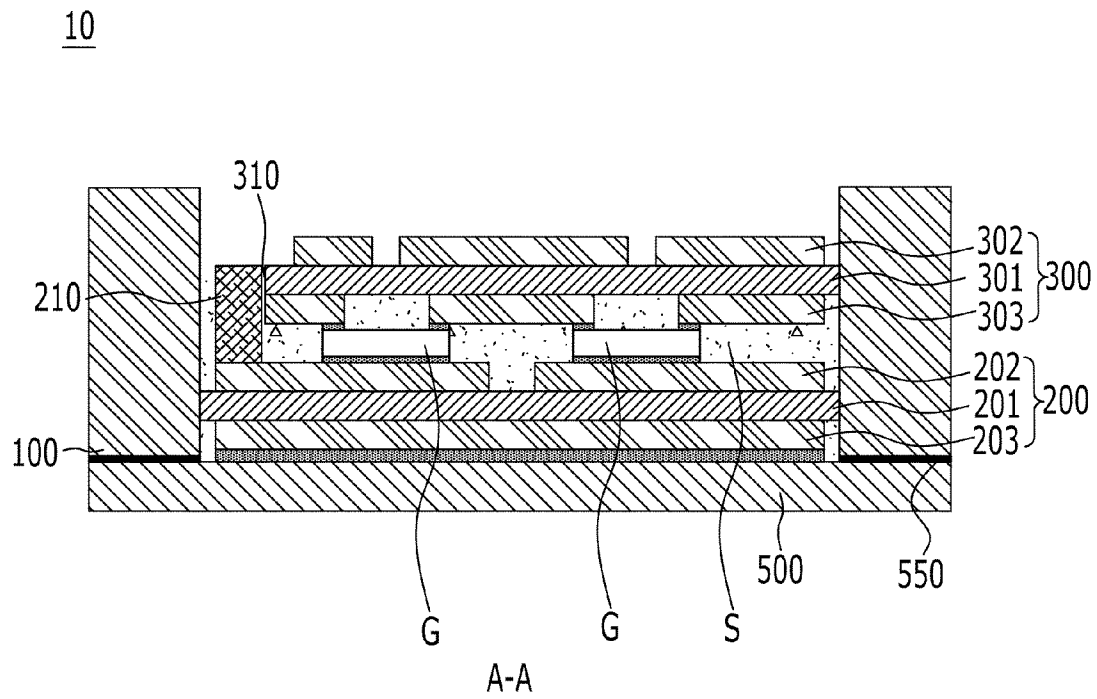
[도9]



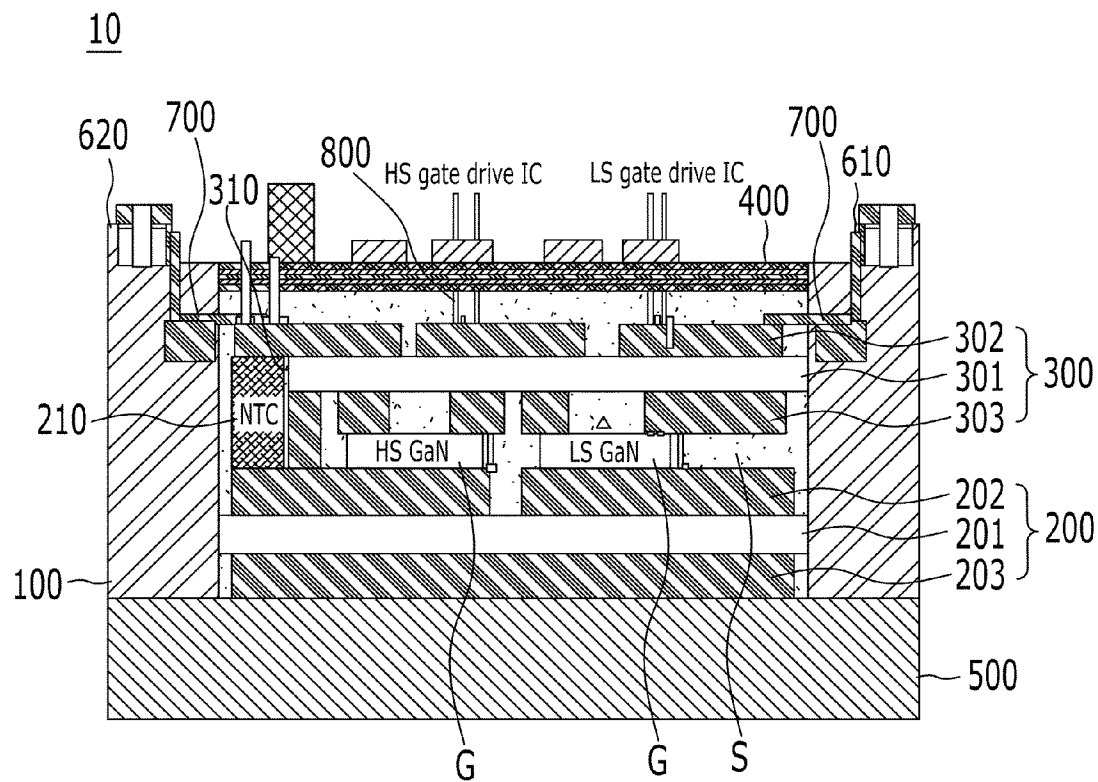
[도10]



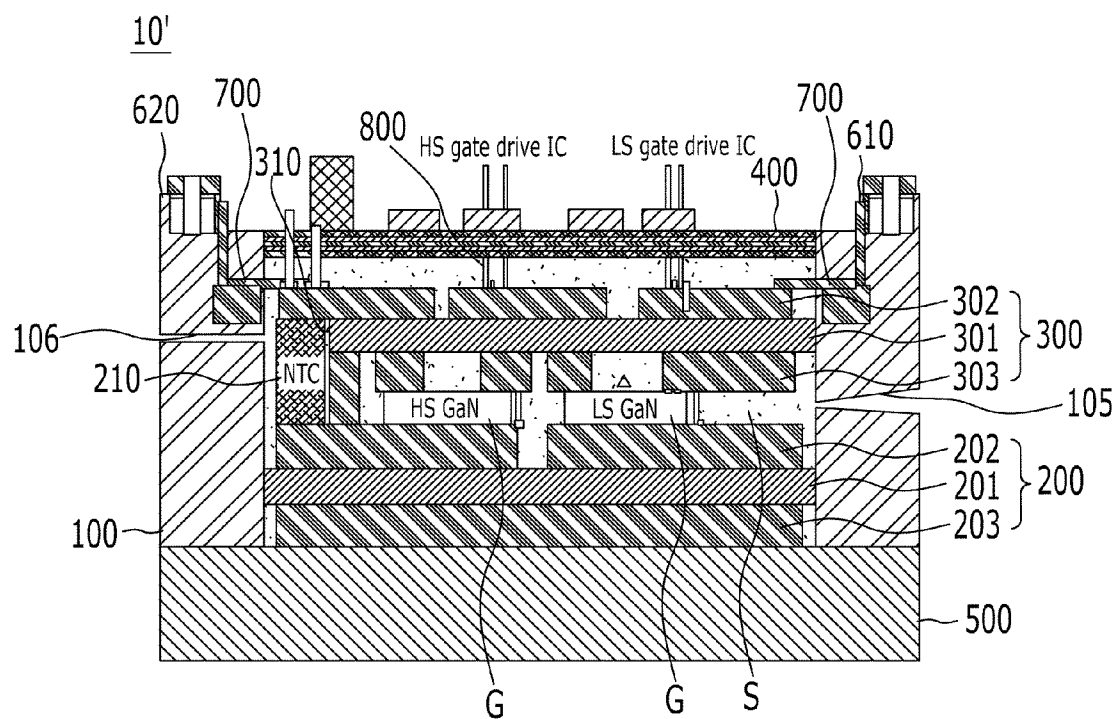
[도11]



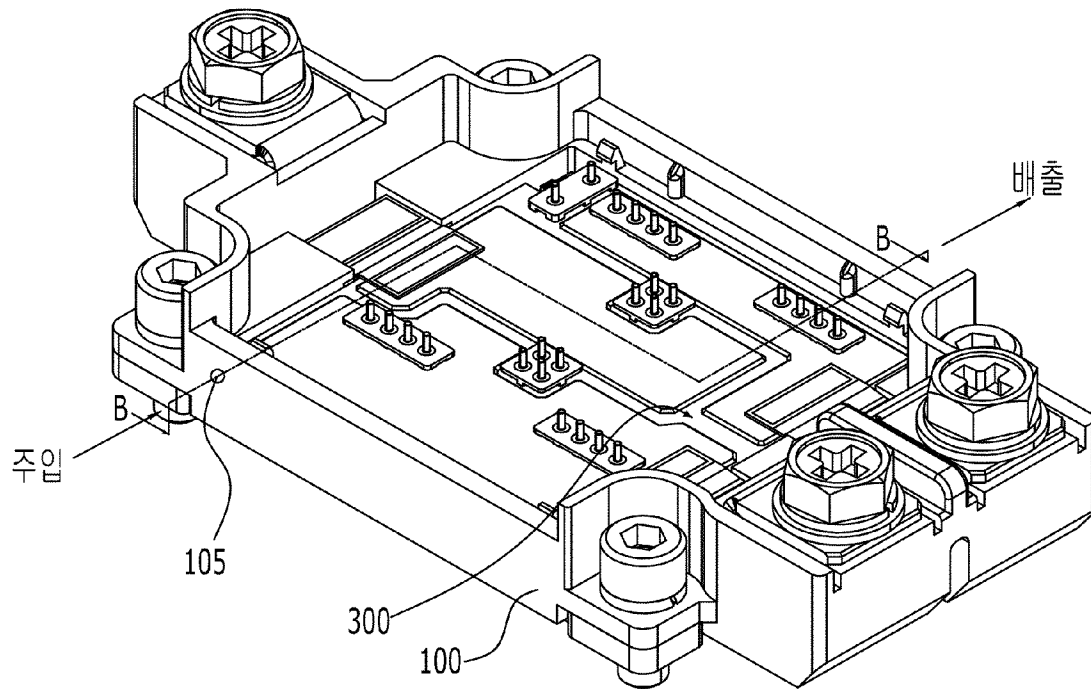
[도12]



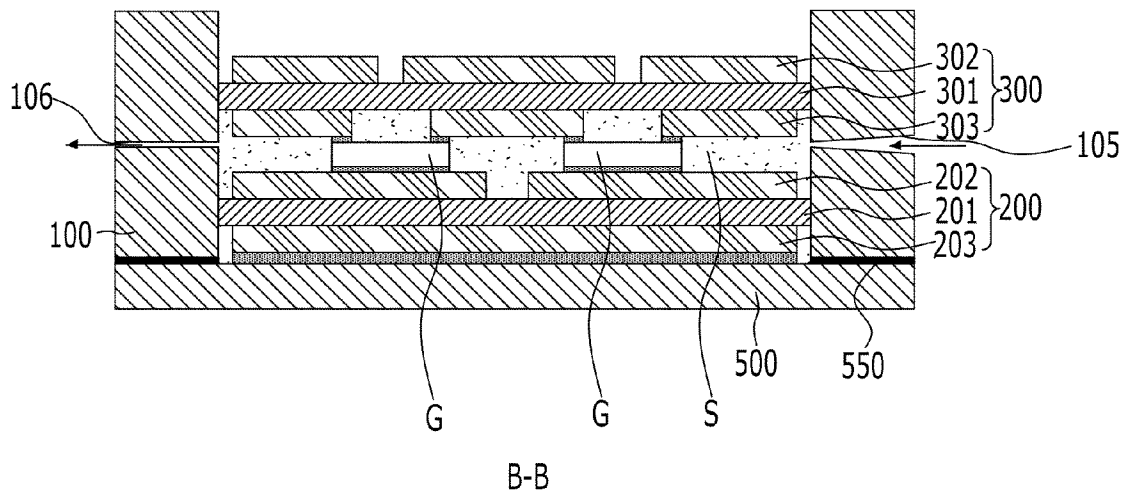
[도13]



[도14]

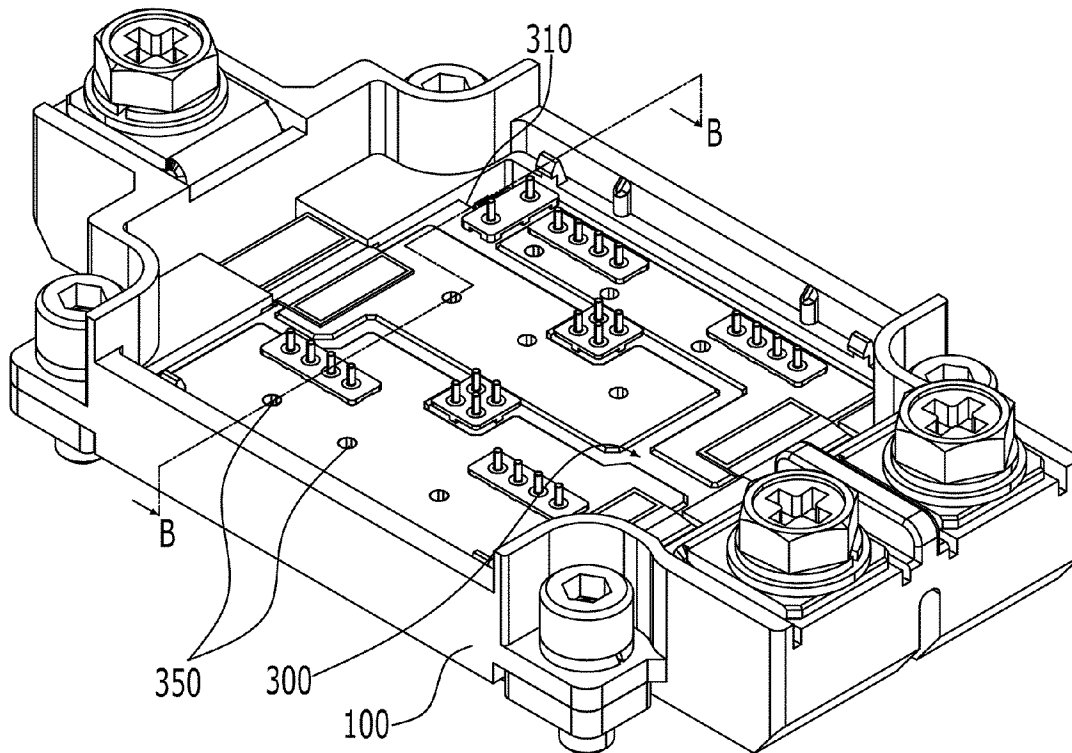
10'

[도15]

10'

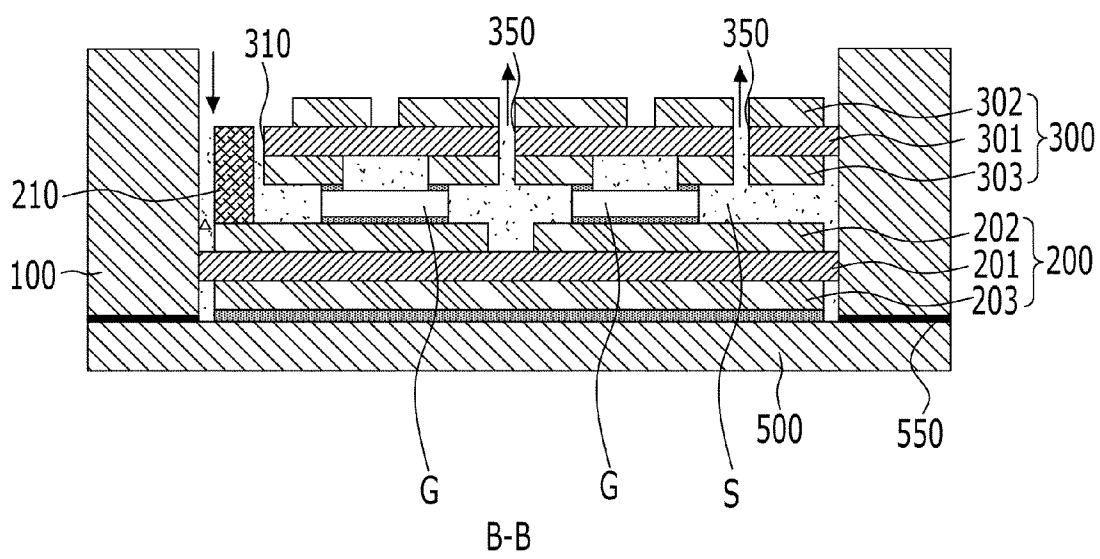
[도16]

10"



[도17]

10"



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/006392

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/29(2006.01)i; **H01L 23/31**(2006.01)i; **H01L 23/15**(2006.01)i; **H01L 23/13**(2006.01)i; **H01L 23/04**(2006.01)i;
H01L 23/367(2006.01)i; **H01L 23/373**(2006.01)i; **H01L 23/48**(2006.01)i; **H01L 23/36**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/29(2006.01); H01L 23/047(2006.01); H01L 23/28(2006.01); H01L 23/31(2006.01); H01L 23/367(2006.01);
H01L 23/373(2006.01); H01L 23/40(2006.01); H05K 1/02(2006.01); H05K 1/18(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 파워 모듈(power module), 세라믹 기판(ceramic substrate), 주입홀(injection hole),
벤트홀(vent hole)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2030825 B1 (HYUNDAI AUTRON CO., LTD.) 10 October 2019 (2019-10-10) See paragraphs [0021] and [0025] and figure 1.	1,6-13,16,19,20
A		2-5,14,15,17,18
Y	KR 10-1440343 B1 (AMKOR TECHNOLOGY KOREA, INC.) 15 September 2014 (2014-09-15) See paragraphs [0044]-[0047] and figures 3 and 4.	1,6-13,16,19,20
A	KR 10-1432380 B1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 20 August 2014 (2014-08-20) See paragraphs [0009]-[0027] and figure 1.	1-20
A	KR 10-1905995 B1 (HYUNDAI MOTOR COMPANY) 10 October 2018 (2018-10-10) See paragraphs [0030]-[0053] and figures 1 and 2.	1-20
A	US 2015-0223317 A1 (MITSUBISHI MATERIALS CORPORATION) 06 August 2015 (2015-08-06) See paragraphs [0010]-[0024] and figures 1-6.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 September 2021

Date of mailing of the international search report

08 September 2021

Name and mailing address of the ISA/KR

**Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208**

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2021/006392

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
KR	10-2030825	B1	10 October 2019	KR 10-2019-0057709	A	29 May 2019
KR	10-1440343	B1	15 September 2014	KR 10-2014-0093503	A	28 July 2014
KR	10-1432380	B1	20 August 2014	KR 10-2014-0066515	A	02 June 2014
KR	10-1905995	B1	10 October 2018	CN 108074888	A	25 May 2018
				DE 102017209770	A1	09 May 2018
				KR 10-2018-0052143	A	18 May 2018
				US 9922911	B1	20 March 2018
US	2015-0223317	A1	06 August 2015	CN 104603933	A	06 May 2015
				CN 104603933	B	18 September 2018
				EP 2892074	A1	08 July 2015
				EP 2892074	B1	03 January 2018
				JP 2014-063984	A	10 April 2014
				JP 6171622	B2	02 August 2017
				KR 10-2015-0052044	A	13 May 2015
				KR 10-2094566	B1	27 March 2020
				US 9615442	B2	04 April 2017
				WO 2014-034245	A1	06 March 2014

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 23/29(2006.01)i; H01L 23/31(2006.01)i; H01L 23/15(2006.01)i; H01L 23/13(2006.01)i; H01L 23/04(2006.01)i; H01L 23/367(2006.01)i; H01L 23/373(2006.01)i; H01L 23/48(2006.01)i; H01L 23/36(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 23/29(2006.01); H01L 23/047(2006.01); H01L 23/28(2006.01); H01L 23/31(2006.01); H01L 23/367(2006.01); H01L 23/373(2006.01); H01L 23/40(2006.01); H05K 1/02(2006.01); H05K 1/18(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 파워 모듈(power module), 세라믹 기판(ceramic substrate), 주입홀(injection hole), 벤트홀(vent hole)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y A	KR 10-2030825 B1 (현대오토트론 주식회사) 2019.10.10 단락 [0021], [0025] 및 도면 1	1,6-13,16,19,20 2-5,14,15,17,18
Y	KR 10-1440343 B1 (앰코 테크놀로지 코리아 주식회사) 2014.09.15 단락 [0044]-[0047] 및 도면 3, 4	1,6-13,16,19,20
A	KR 10-1432380 B1 (삼성전기주식회사) 2014.08.20 단락 [0009]-[0027] 및 도면 1	1-20
A	KR 10-1905995 B1 (현대자동차주식회사) 2018.10.10 단락 [0030]-[0053] 및 도면 1, 2	1-20
A	US 2015-0223317 A1 (MITSUBISHI MATERIALS CORPORATION) 2015.08.06 단락 [0010]-[0024] 및 도면 1-6	1-20
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2021년09월08일(08.09.2021)		국제조사보고서 발송일 2021년09월08일(08.09.2021)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2030825 B1	2019/10/10	KR 10-2019-0057709 A	2019/05/29
KR 10-1440343 B1	2014/09/15	KR 10-2014-0093503 A	2014/07/28
KR 10-1432380 B1	2014/08/20	KR 10-2014-0066515 A	2014/06/02
KR 10-1905995 B1	2018/10/10	CN 108074888 A	2018/05/25
		DE 102017209770 A1	2018/05/09
		KR 10-2018-0052143 A	2018/05/18
		US 9922911 B1	2018/03/20
US 2015-0223317 A1	2015/08/06	CN 104603933 A	2015/05/06
		CN 104603933 B	2018/09/18
		EP 2892074 A1	2015/07/08
		EP 2892074 B1	2018/01/03
		JP 2014-063984 A	2014/04/10
		JP 6171622 B2	2017/08/02
		KR 10-2015-0052044 A	2015/05/13
		KR 10-2094566 B1	2020/03/27
		US 9615442 B2	2017/04/04
		WO 2014-034245 A1	2014/03/06