

【發明說明書】

【中文發明名稱】

動態隨機存取記憶體及其電源管理方法

【英文發明名稱】

DRAM AND METHOD FOR MANAGING POWER THEREOF

【技術領域】

本揭露係關於一動態隨機存取記憶體及其方法，尤其係指一種動態隨機存取記憶體之電源管理方法。

【先前技術】

半導體記憶體裝置，例如動態隨機存取記憶體（**DRAM**），將資料儲存在記憶體單元中之一陣列內。記憶體單元通常以行和列排列。一行中的記憶體單元連接在一起成為一字元線，而一列中的記憶體單元連接在一起成為一位元線。**DRAM**也包含許多需要多於一個電壓之電路以用於操作。電荷幫浦安置於**DRAM**之中，從外部電壓供應可以產生和穩定**DRAM**之內部供應電壓。

上文之「先前技術」說明僅係提供背景技術，並未承認上文之「先前技術」說明揭示本揭露之標的，不構成本揭露之先前技術，且上文之「先前技術」之任何說明均不應作為本案之任一部分。

【發明內容】

本揭露之一實施例提供一種動態隨機存取記憶體(**DRAM**)。該**DRAM**包括複數個記憶庫、一電源、一控制元件。該等記憶庫各包括複數個次陣列。該控制元件經配置以獲得一資訊。該資訊係關於該等次陣列中被操作的次陣列之數量。該控制元件基於該資產生一決定，該決定係輸出

多少量的電能，其中該電源基於該控制元件之該決定輸出一結果量的電能。

在一些實施例中，當一數量比大於一比例範圍之一最高端點時，該控制元件決定輸出一第一電能，以及當該數量比小於該比例範圍之一最低端點時，決定輸出小於該第一電能之一第二電能。該數量比為該等次陣列中被操作的次陣列之數量比上該等次陣列之數量的比例。

在一些實施例中，當該數量比小於該比例範圍之該最高端點且大於該比例範圍之該最低端點時，該控制元件決定輸出大於該第二電能及小於該第一電能之一第三電能。

在一些實施例中，該電源包括複數個彼此獨立之電荷幫浦。當該控制元件決定輸出該第一電能時，該控制元件增加該等電荷幫浦中之被致能電荷幫浦之數量。

在一些實施例中，該電源包括複數個彼此獨立之電荷幫浦。當該控制元件決定輸出該第二電能時，該控制元件減少在該等電荷幫浦中之被致能電荷幫浦之數量。

在一些實施例中，該控制元件接收複數個位址，其中該等位址中的每個位址指示哪個次陣列被操作。該控制元件經配置以基於該等位址獲得該資訊。

在一些實施例中，該**DRAM**還包括一計數器。該計數器經配置以計數在該等次陣列中被操作的次陣列之該位址之一數量，其中該控制元件，基於從該計數器取得的在該等次陣列中被操作的次陣列之該位址之該數量，獲得該資訊。

在一些實施例中，該**DRAM**包括一分配元件。該分配元件，經配置

以依一分配方式，分配該結果量的電能至在該等記憶庫中包括被操作的次陣列之記憶庫，該分配方式包括分配至該包括被操作次陣列的記憶庫的電能的量正相關於被操作的次陣列之數量。

在一些實施例中，該控制元件包括一表，該表經配置以記錄該等位址，以及該分配元件基於記錄於該表中之該等位址分配該結果量的電能。

在一些實施例中，該控制元件包括一組合邏輯。

在一些實施例中，當該等電荷幫浦中的每一者被致能時，該每一者輸出一相同量的電能。

本揭露之另一實施例提供一種動態隨機存取記憶體之電源管理方法。該電源管理方法包括提供複數個記憶庫，該等記憶庫各包括複數個次陣列；獲得一資訊，該資訊係關於在該等次陣列中被操作的次陣列之數量；基於該資訊產生一決定，其中該決定係輸出多少量的電能；以及基於該決定，輸出一結果量的電能。

在一些實施例中，基於該資訊產生該決定包括：當一數量比大於一比例範圍之一最高端點時，決定輸出一第一電能，以及當該數量比小於該比例範圍之一最低端點時，決定輸出小於該第一電能之一第二電能，其中該數量比為該等次陣列中被操作的次陣列之數量比上該等次陣列之數量的比例。

在一些實施例中，基於該資訊產生該決定包括：當該數量比小於該比例範圍之該最高端點且大於該比例範圍之該最低端點時，決定輸出大於該第二電能及小於該第一電能之一第三電能。

在一些實施例中，該電源管理之方法還包括提供複數個電荷幫浦，其中當該數量比大於該比例範圍之該最高端點時，決定輸出該第一電能包

括：增加該等電荷幫浦中之被致能電荷幫浦之數量。

在一些實施例中，該電源管理之方法，還包括提供複數個電荷幫浦。當該數量比小於該比例範圍之該最低端點時，決定輸出小於該第一電能之該第二電能包括：減少在該等電荷幫浦中之被致能電荷幫浦之數量。

在一些實施例中，該電源管理之方法，還包括：接收複數個位址，該等位址中的每個位址指示哪個次陣列被操作，其中該獲得該資訊包括：基於該等位址獲得該資訊。

在一些實施例中，該電源管理之方法還包括：計數在該等次陣列中被操作的次陣列之該位址之一數量，其中該基於該等位址獲得該資訊包括：基於在該等次陣列中被操作的次陣列之該位址之該數量，獲得該資訊。

在一些實施例中，該電源管理之方法，還包括依一分配方式，分配該結果量的電能至在該等記憶庫中包括被操作的次陣列之記憶庫，該分配方式包括分配至該包括被操作次陣列的記憶庫的電能的量正相關於被操作的次陣列之數量。

在一些實施例中，該電源管理之方法，還包括記錄該等位址，以及其中該依該分配方式，分配該結果量的電能至在該等記憶庫中包括被操作的次陣列之記憶庫包括：基於記錄於該表中之該等位址分配該結果量的電能。

在本揭露之實施例中，**DRAM**之一控制元件能夠獲得關於被操作的次陣列之數量之一資訊。除此之外，該控制元件基於該資訊決定輸出多少量的電能，如此，藉著**DRAM**之電源所輸出之電能是可調整的，因此可以被管理。於是，**DRAM**可提供一電源管理之功能，且電能的使用上相對有

效率。特別是當**DRAM**之被操作的次陣列之數量相對較低時，電源可以輸出一相對較低之電能。電能的使用上相對有效率。

相比之下，在比較性的**DRAM**中，該**DRAM**之致能元件無法獲得關於被操作的次陣列之數量之一資訊。再者，致能元件不能基於該資訊來決定要輸出多少量的電能。因此，由該**DRAM**中所有的電荷幫浦所輸出之電能是不可調整的，所以不能被管理。結果，**DRAM**不能提供電源管理之功能，且電能的使用上相對低效。特別是在次陣列中之一個或多個次陣列不操作之情況下，**DRAM**之電源仍輸出與在所有的次陣列都操作之情況下相同之電能。亦即，該電源輸出比記憶體所需要還多之電能。電能的使用上相對低效。

上文已相當廣泛地概述本揭露之技術特徵及優點，俾使下文之本揭露詳細描述得以獲得較佳瞭解。構成本揭露之申請專利範圍標的之其它技術特徵及優點將描述於下文。本揭露所屬技術領域中具有通常知識者應瞭解，可相當容易地利用下文揭示之概念與特定實施例可作為修改或設計其它結構或製程而實現與本揭露相同之目的。本揭露所屬技術領域中具有通常知識者亦應瞭解，這類等效建構無法脫離後附之申請專利範圍所界定之本揭露的精神和範圍。

【圖式簡單說明】

參閱實施方式與申請專利範圍合併考量圖式時，可得更全面了解本申請案之揭示內容，圖式中相同的元件符號係指相同的元件。

圖1為包括一致能元件之一比較性的動態隨機存取存儲器（**DRAM**）之示意圖。

圖2為圖1所示之該比較**DRAM**之一操作示意圖。

圖3為圖1所示之該比較DRAM之另一操作示意圖。

圖4為圖1所示之該比較DRAM之又另一操作示意圖。

圖5為根據本揭露之一些實施例，包括一控制元件之動態隨機存取記憶體(DRAM)示意圖。

圖6為根據本揭露之一些實施例，如圖5所示之DRAM之操作示意圖。

圖7為根據本揭露之一些實施例，如圖5所示之DRAM之另一操作示意圖。

圖8為根據本揭露之一些實施例，如圖5所示之DRAM之又另一操作示意圖。

圖9為根據本揭露之一些實施例，如圖5所示之DRAM之又再另一操作示意圖。

圖10是根據本揭露之一些實施例，一操作一DRAM之方法流程圖。

圖11為根據本揭露之一些實施例，如圖10所示方法之操作流程圖。。

圖12為根據本揭露之一些實施例，還包括一分配元件之一動態隨機存取存儲器(DRAM)之示意圖。

圖13為根據本揭露之一些實施例，一操作一DRAM之方法流程圖。

【實施方式】

本揭露之以下說明伴隨併入且組成說明書之一部分的圖式，說明本揭露之實施例，然而本揭露並不受限於該實施例。此外，以下的實施例可適當整合以下實施例以完成另一實施例。

「一實施例」、「實施例」、「例示實施例」、「其他實施例」、「另一實

施例」等係指本揭露所描述之實施例可包含特定特徵、結構或是特性，然而並非每一實施例必須包含該特定特徵、結構或是特性。再者，重複使用「在實施例中」一語並非必須指相同實施例，然而可為相同實施例。

為了使得本揭露可被完全理解，以下說明提供詳細的步驟與結構。顯然，本揭露的實施不會限制該技藝中的技術人士已知的特定細節。此外，已知的結構與步驟不再詳述，以免不必要地限制本揭露。本揭露的較佳實施例詳述如下。然而，除了實施方式之外，本揭露亦可廣泛實施於其他實施例中。本揭露的範圍不限於實施方式的內容，而是由申請專利範圍定義。

「一實施例」、「實施例」、「例示實施例」、「其他實施例」、「另一實施例」等係指本揭露所描述之實施例可包含特定特徵、結構或是特性，然而並非每一實施例必須包含該特定特徵、結構或是特性。再者，重複使用「在實施例中」一語並非必須指相同實施例，然而可為相同實施例。

為了使得本揭露可被完全理解，以下說明提供詳細的步驟與結構。顯然，本揭露的實施不會限制該技藝中的技術人士已知的特定細節。此外，已知的結構與步驟不再詳述，以免不必要地限制本揭露。本揭露的較佳實施例詳述如下。然而，除了實施方式之外，本揭露亦可廣泛實施於其他實施例中。本揭露的範圍不限於實施方式的內容，而是由申請專利範圍定義。

圖1為包括一致能元件12之一比較性的動態隨機存取記憶體（dynamic random access memory，DRAM）10之示意圖。參照圖1，DRAM 10除了致能元件12，還包括一電源14和一記憶體16。

記憶體16用以存儲資料。記憶體16包括第一記憶庫(bank)160以及第

二記憶庫170，其中第一資料庫160及第二資料庫170都可視為多個記憶體單元中之一陣列。第一記憶庫160包括第一次陣列162以及第二次陣列164。第一次陣列162和第二次陣列164各包括一條或多條字元線。第二記憶庫170包括第三次陣列172以及第四次陣列174。第三次陣列172和第四次陣列174各包括一條或多條字元線。

電源14經配置以提供記憶體16足以讓記憶體16在致能時操作之電能。電源14包括彼此獨立之第一電荷幫浦140、第二電荷幫浦142以及第三電荷幫浦144。在一些實施例中，當第一電荷幫浦140、一第二電荷幫浦142以及一第三電荷幫浦144每一者被致能時，第一電荷幫浦140、一第二電荷幫浦142以及一第三電荷幫浦144每一者輸出相同量之電能。然而，本揭露並不限於此。

致能元件12僅能以相同之方式操作所有的第一電荷幫浦140、第二電荷幫浦142以及第三電荷幫浦144。換言之，致能元件12無法以不同方式個別地操作第一電荷幫浦140、第二電荷幫浦142以及第三電荷幫浦144。例如，當致能元件12致能所有的第一電荷幫浦140、第二電荷幫浦142以及第三電荷幫浦144時，所有的第一電荷幫浦140、第二電荷幫浦142以及第三電荷幫浦144皆被致能，無任一禁能。這種缺點可能係受限於致能元件12的簡單設計而引起。

更詳細地說，致能元件12無法獲得一資訊，該資訊係關於在第一次陣列160、第二次陣列162、第三次陣列170以及第四次陣列172中被操作的次陣列之數量。再者，致能元件12無法基於該資訊決定輸出多少量的電能。因而，致能元件12迫以相同方式操作所有的第一電荷幫浦140、第二電荷幫浦142以及第三電荷幫浦144。如此，由所有的第一電荷幫浦140、

第二電荷幫浦142以及第三電荷幫浦144輸出之電能是不能調整的，所以電能無法被管理。結果，DRAM 10不能提供一電源管理功能，電能的使用上相對低效。

特別是當在第一次陣列160、第二次陣列162、第三次陣列170和第四次陣列172中之一個或多個不被操作之情況下，電源14仍輸出與所有的第一次陣列160、第二次陣列162、第三次陣列170和第四次陣列172都被操作時的相同電能，這部分參照圖2至圖4，將詳細描述。亦即，電源14輸出大於記憶體16所需之電能。電能的使用上相對低效。

圖2為圖1所示之比較DRAM 10之一操作示意圖。參照圖2，致能元件12因應於記憶體16一操作事件，例如藉著提供致能信號EN至第一電荷幫浦140、第二電荷幫浦142和第三電荷幫浦144，致能所有的第一電荷幫浦140、第二電荷幫浦142和第三電荷幫浦144。如此，所有的第一電荷幫浦140、第二電荷幫浦142和第三電荷幫浦144皆被致能而合併一起輸出（提供）記憶體16之電能。

圖3為圖1所示之比較DRAM 10另一操作示意圖。參照圖3，致能元件12因應於記憶體16一操作事件，儘管第四次陣列174不被操作，但仍致能所有的第一電荷幫浦140、第二電荷幫浦142以及第三電荷幫浦144。致能元件12使電源14輸出如圖2實施例中所輸出之相同電能。電源14輸出比記憶體16需要更大之電能。電能的使用上相對低效。

圖4為圖1所示之該比較DRAM 10之又另一操作示意圖。參照圖4，致能元件12因應於記憶體16一操作事件，儘管第三次陣列172和第四次陣列174不被操作，但仍致能所有的第一電荷幫浦140、第二電荷幫浦142和第三電荷幫浦144。致能元件12使電源14輸出如圖2實施例中所輸出之相

同電能。電源14輸出比記憶體16需要更大之電能。電能的使用上相對低效。

圖5為根據本揭露之一些實施例，包括一控制元件22之動態隨機存取記憶體(DRAM)20示意圖。參照圖5，DRAM 20類似於圖1中所示之DRAM 10，差別在於DRAM 20包括控制元件22，以及DRAM 20包括包含一第一電荷幫浦240、一第二電荷幫浦242和一第三電荷幫浦244的一電源24。

控制元件22經配置以獲得一資訊，該資訊係關於第一次陣列162、第二次陣列164、第三次陣列172和第四次陣列174中之被操作的次陣列之數量。此外，控制元件22基於該資訊產生一決定，該決定係輸出多少量的電能，其細節將描述如下。更詳細地說，控制元件22能以不同的方式，個別地操作第一電荷幫浦240、第二電荷幫浦242和第三電荷幫浦244。例如，當禁能第三電荷幫浦244時，控制元件22可致能第一電荷幫浦240和第二電荷幫浦242。如此，由電源24所輸出之電能的量是可調整的，所以電能可以被管理。於是，DRAM 20可提供電源管理之功能，且電能的使用上相對是有效率的。在本實施例中，控制元件22是位於DRAM 20內中之一元件；然而，本揭露並不限於此。在另一個實施例中，控制元件22是位於DRAM 20外部之DRAM控制器上的一處理器。在一些實施例中，控制元件22是一組合邏輯。

基於控制元件22之決定，電源24經配置以輸出一結果量的電能。例如，如圖6所示，第一電荷幫浦240、第二電荷幫浦42和第三電荷幫浦244合併一起輸出一第一電能。

抑或是，第一電荷幫浦240獨自輸出小於第一電能之一第二電能，而

第二電荷幫浦242或第三電荷幫浦244沒有輸出電能。又或者是，第一電荷幫浦240和第二電荷幫浦242合併一起輸出小於第一電能且大於第二電能之一第三電能，而第三電荷幫浦244沒有輸出電能，如圖7和圖8所示。在一實施例中，第一電荷幫浦240、第二電荷幫浦242和第三電荷幫浦244彼此獨立。

圖6為根據本揭露之一些實施例，如圖5所示之DRAM 20之操作示意圖。參照圖6，第一次陣列162、第二次陣列164、第三次陣列172、第四次陣列174被操作。控制元件22獲得一資訊，該資訊係關於被操作的次陣列之數量，且該資訊反映該被操作的次陣列之數量是4。控制元件22，基於反映被操作的次陣列之數量是4之該資訊，決定輸出相對高電能之第一電能。結果，控制元件22藉著致能所有第一電荷幫浦240、第二電荷幫浦242和第三電荷幫浦244，以增加被致能電荷幫浦之數量。第一電荷幫浦240、第二電荷幫浦242和第三電荷幫浦244合併一起輸出至（提供）記憶體16一結果量的電能，例如第一電能。控制元件22決定輸出第一電能所基於的被操作的次陣列之數量的4僅作為範例。同樣地，經配置以輸出第一電能之被致能電荷幫浦之數量的3也僅作為範例。本揭露並不限於此。上述聲明旨在表示當被操作的次陣列之數量相對較多時，由電源24所輸出之電能則相對較多。

在一實施例中，控制元件22經配置以接收一位址，該位址指出被操作的記憶體庫之被操作的次陣列。該位址指示哪個記憶體庫的哪個次陣列被操作。在圖6之實施例中，控制元件22分別接收第一次陣列162、第二次陣列164、第三次陣列172和第四次陣列174之位址ADDR1、ADDR2、ADDR3、ADDR4。位址ADDR1位於第一次陣列162上，其指示第一記憶

庫160之第一次陣列162將被操作；位址ADDR2位於第二次陣列164上，其指示第一記憶庫160之第二次陣列164將被操作，依此類推。在一個實施例中，控制元件22包括用以記錄被操作的次陣列之位址之一表，其經配置以例如記錄位址ADDR1、ADDR2、ADDR3、ADDR4。

不但如此，控制元件22基於該位址，獲得關於被操作的次陣列之數量之該資訊。更詳細地，在一實施例中，控制元件22包括計數器（未示出）。計數器經配置以計數被操作的次陣列之位址之數量。例如，在本實施例中，由於計數器接收到四個不同次陣列162、164、172和174之四個位址ADDR1、ADDR2、ADDR3和ADDR4，所以計數數量為4。如此，控制元件22基於來自該計數器之該計數數量獲得該資訊。

此外，控制元件22基於一數量比與由一最高端點和一最低端點所定義之一比率範圍之間的比較，來決定輸出多少量的電能，其中該數量比為被操作的次陣列的數量比上次陣列之總數的比例。例如，為了易於討論，在接下來的討論中，假設最低端點大約是0.25，而最高端點大約是1。

在本實施例中，控制元件22判斷出一數量比為（4/4），其等於最高端點1，其中該數量比之分母表示次陣列之總數，且該數量比之分子則表示被操作的次陣列之數量。因此，控制元件22決定輸出相對較高電能之一第一電能。

圖7為根據本揭露之一些實施例，如圖5所示之DRAM 20之另一操作示意圖。遵循圖6中之實施例中所述之假設。參照圖7，第四次陣列174不被操作，而第一次陣列162、第二次陣列164和第三次陣列172被操作。控制元件22獲得一資訊，該資訊係關於被操作次陣列之數量，且該資訊反映被操作的次陣列之數量是3。基於反映出被操作的次陣列之數量是3之該資

訊，控制元件22決定輸出作為中等電能之一第三電能。結果，控制元件22禁能第三電荷幫浦244，但致能第一電荷幫浦240和第二電荷幫浦242。第一電荷幫浦240和第二電荷幫浦242合併一起輸出（提供）記憶體陣列16該結果量的電能，也就是第三電能。

在一實施例中，控制元件22分別接收第一次陣列162、第二次陣列164和第三次陣列172之位址ADDR1、ADDR2和ADDR3。由於控制元件22沒有接收到位於第四次陣列174上之位址ADDR4，所以控制元件22判斷出第四次陣列174不被操作。由於控制元件22接收到位址ADDR1、ADDR2和ADDR3（這反映會有三個次陣列162、164和174被存取），計數器的計數數量為3。結果，控制元件22基於計數數量的3獲得該資訊。控制元件22判定出數量比為（ $3/4$ ），其小於最高端點1且大於最低端點0.25，因此控制元件22決定輸出中等電能之第三電能。

圖8為根據本揭露之一些實施例，如圖5所示之DRAM之又另一操作示意圖。仍然遵循在圖6之實施例中所述之假設。參照圖8，第三次陣列172和第四次陣列174不被操作，而第一次陣列162和第二次陣列164被操作。控制元件22獲得一資訊，該資訊係關於被操作的次陣列之數量，且該資訊反映被操作的次陣列之數量是2。基於反映出被操作的次陣列之數量是2之該資訊，控制元件22決定輸出如圖7之實施例中所輸出相同電能之第三電能。於是，控制元件22，藉由禁能第三電荷幫浦244但致能第一電荷幫浦240和第二電荷幫浦242，保持等量之被致能電荷幫浦，如圖7之實施例中。第一電荷幫浦240和第二電荷幫浦242合併一起輸出（提供）記憶體陣列16該結果量的電能，亦即第三電能。

在一實施例中，控制元件22分別接收第一次陣列162和第二次陣列

164之位址ADDR1和ADDR2。由於控制元件22沒有接收到位於第四次陣列174上之位址ADDR4和位於第三次陣列172上之位址ADDR3，所以控制元件22判斷出第四次陣列174和第三次陣列172不被操作。由於控制元件22接收到位址ADDR1和ADDR2（這反映會有兩個被存取之次陣列162和164），計數器的計數數量為2。於是，控制元件22基於計數數量的2獲得該資訊。控制元件22判斷出數量比為（ $2/4$ ），其小於最高端點1且大於最低端點0.25，因此控制元件22決定輸出第三電能

圖9為根據本揭露之一些實施例，如圖5所示之DRAM 20之又再另一操作示意圖。依循在圖6之實施例中所述之假設。參照圖9，在第二次陣列164、第三次陣列172和第四次陣列174不被操作，但第一次陣列162被操作。控制元件22獲得一資訊，該資訊係關於被操作的次陣列之數量，且該資訊反映被操作的次陣列之數量是1。基於反映出被操作的次陣列之數量是2之該資訊，控制元件22決定輸出第二電能。結果，控制元件22，藉由禁能第二電荷幫浦242和第三電荷幫浦244及致能第一電荷幫浦240，減少被致能電荷幫浦之數量。只有第一電荷幫浦240獨自輸出（提供）記憶體陣列16結果量的電能，即第二電能。

在一個實施例中，控制元件22接收第一次陣列162之位址ADDR1。由於控制元件22沒有接收到位於第四次陣列174上之位址ADDR4、位於第三次陣列172上之位址ADDR3和位於第二次陣列164上之位址ADDR2，所以控制元件22判斷出第四次陣列174、第三次陣列172和第二次陣列164不操作。由於控制元件22接收位址ADDR1（這反映會有一個次陣列162要被存取），所以計數器的計數數量為1。如此，控制元件22基於計數數量的1獲得該資訊。控制元件22判定出數量比為（ $1/4$ ），其等於最低端點

0.25，因此控制元件22決定輸出第二電能。

從圖6至圖9之實施例，由於控制元件22能夠獲得一資訊，該資訊係關於被操作的次陣列之數量，且基於該資訊決定輸出多少量的電能，所以藉著電源24所輸出之電能是可調整的，因此可以被管理。於是，DRAM 20可提供一電源管理之功能，且電能的使用上相對有效率。特別是當被操作的次陣列之數量相對較低時，電源24可以輸出相對較低之電能。電能的使用上相對有效率。

圖10是根據本揭露之一些實施例，操作DRAM之一方法30的流程圖。參照圖10，方法30包括操作31、32、34和36。方法30開始於操作31，於其中提供複數個記憶庫。該等記憶庫各包括複數個次陣列。記憶庫用以存儲資料。方法30繼續於操作32，於其中獲得一資訊，該資訊係關於被操作的次陣列之數量。方法30接著到操作34，於其中基於該資訊產生一決定，該決定係輸出多少量的電能。當被操作的次陣列之數量相對較高時，所輸出之電能則相對較大，反之亦然。接續操作34，在操作36中，基於該決定輸出一結果量的電能。藉著使用本揭露之方法30，當被操作的次陣列之數量相對較低時，輸出相對低之電能。電能的使用上相對有效率。

圖11為根據本揭露之一些實施例，如圖10所示方法30之操作32流程圖。參照圖11，操作32包括操作320、322、324、326和328。操作32開始於操作320，於其中判斷一數量比是否大於或等於一比例範圍之一最高端點，其中該數量比係該等次陣列中被操作的次陣列之數量比上該等次陣列之數量的一比例。如果是肯定的話，則操作32進行到操作322，於其中決定輸出一相對較高電能之第一電能。如果是否定的話，則操作32進行至

操作324。

在操作324中，判斷該數量比是否小於或等於該比例範圍之一最低端點。如果是肯定的話，則操作32進行到操作326。在操作326中，決定輸出小於該第一電能之一第二電能。如果是否定的話，則操作324進行到操作328，並於其中決定輸出大於第二電能且小於第一電能之一第三電能。

圖12為根據本揭露之一些實施例，還包括一分配元件44之一動態隨機存取存儲器（DRAM）40之示意圖。參照圖12，DRAM 40類似於參照圖5中所繪示出之DRAM 20，差別在於DRAM 40包括分配元件44，以及包括表420之控制元件42外。如前所述，表420用以記錄所接收之位址。此外，表420反映出每個記憶庫中之被操作的次陣列之數量。例如，參照圖7，與圖7之實施例相關聯之表420，如以下表1所示。

	被操作的次陣列之數量
記憶庫 160	2
記憶庫 170	1

表 1

基於表420，分配元件44用以分配結果量的電能至記憶庫160和記憶庫170。更詳細地，參照圖2，在記憶庫160中被操作的次陣列之數量大於在記憶庫170中之數量。據此，分配元件44分配比第二記憶庫170更多之電能至第一記憶庫160。總而言之，依這樣的分配方式，分配元件44分配結果量的電能至記憶庫。分配至記憶庫的電能的量正相關於被操作的次陣列之數量。

圖13為根據本揭露之一些實施例，操作DRAM之一方法50流程圖。

參照圖13，方法50類似於參照圖10所繪示之方法10，差別在於方法50包括操作52、54和56外。在操作52中，接收複數個位址。每個位址指示哪個記憶庫之哪個次陣列被操作。在操作54中，基於該位址，獲得一資訊，該資訊係關於被操作的次陣列之數量。在操作56中，結果量的電能依照一分配方式被分配至記憶庫，該分配方式包括分配至記憶庫的電能的量正相關於被操作的次陣列之數量。

在本揭露中，控制元件22經配置以獲得一資訊，該資訊係關於被操作的次陣列之數量，且基於該資訊決定輸出多少量的電能。如此，由電源24輸出之電能是可調整的，因此可以被管理。結果，DRAM 20可提供一電源管理之功能，且電能的使用上相對有效率。特別是當該被操作的次陣列之數量相對較低時，電源24可以輸出一相對較低之電能。電能的使用上相對有效率。

相比之下，在比較性的DRAM 10中，致能元件12不能獲得一資訊，該資訊係關於被操作的次陣列之數量。再者，致能元件12不能基於該資訊來決定要輸出多少量的電能。所以，由所有的第一電荷幫浦140、第二電荷幫浦142和第三電荷幫浦144輸出之電能是不可調整的，因此不能被管理。結果，DRAM 10不能提供電源管理之功能，且電能的使用上相對低效。特別是在第一次陣列160、第二次陣列162、第三次陣列170和第四次陣列172中之一個或多個不操作之情況下，電源14仍輸出與在所有的第一次陣列160、第二次陣列162、第三次陣列170和第四次陣列172操作之情況下相同之電能。亦即，電源14輸出比記憶體16需要之更多之電能。電能的使用上相對低效。

本揭露之一實施例提供一種DRAM。該DRAM包括複數個記憶庫、

一電源、一控制元件。該等記憶庫各包括複數個次陣列。該控制元件經配置以獲得一資訊。該資訊係關於該等次陣列中被操作的次陣列之數量。該控制元件基於該資產生一決定，該決定係輸出多少量的電能，其中該電源基於該控制元件之該決定輸出一結果量的電能。

本揭露之另一實施例提供一種動態隨機存取記憶體之電源管理方法。該電源管理方法包括提供複數個記憶庫，該等記憶庫各包括複數個次陣列；獲得一資訊，該資訊係關於在該等次陣列中被操作的次陣列之數量；基於該資訊，產生一決定，其中該決定係輸出多少量的電能；以及基於該決定，輸出一結果量的電能。

雖然已詳述本揭露及其優點，然而應理解可進行各種變化、取代與替代而不脫離申請專利範圍所定義之本揭露的精神與範圍。例如，可用不同的方法實施上述的許多製程，並且以其他製程或其組合替代上述的許多製程。

再者，本申請案的範圍並不受限於說明書中所述之製程、機械、製造、物質組成物、手段、方法與步驟之特定實施例。該技藝之技術人士可自本揭露的揭示內容理解可根據本揭露而使用與本文所述之對應實施例具有相同功能或是達到實質相同結果之現存或是未來發展之製程、機械、製造、物質組成物、手段、方法、或步驟。據此，此等製程、機械、製造、物質組成物、手段、方法、或步驟係包含於本申請案之申請專利範圍內。

【符號說明】

- 10 DRAM
- 12 致能元件
- 14 電源

16	記憶體
140	第一電荷幫浦
142	第二電荷幫浦
144	第三電荷幫浦
160	第一記憶庫
162	第一次陣列
164	第二次陣列
170	第二記憶庫
172	第三次陣列
174	第四次陣列
EN	致能信號
20	DRAM
22	控制元件
24	電源
240	第一電荷幫浦
242	第二電荷幫浦
244	第三電荷幫浦
ADDR1	位址
ADDR2	位址
ADDR3	位址
/EN	禁能信號
30	方法
31	操作

32	操作
34	操作
36	操作
320	操作
322	操作
324	操作
326	操作
328	操作
40	DRAM
42	控制元件
44	分配元件
420	表
50	方法
52	操作
54	操作
56	操作



201909178

申請日: 106/10/18

IPC分類:

【發明摘要】

【中文發明名稱】

動態隨機存取記憶體及其電源管理方法

【英文發明名稱】

DRAM AND METHOD FOR MANAGING POWER THEREOF

【中文】

本揭露提供一種動態隨機存取記憶體(DRAM)及其電源管理方法。該DRAM包括複數個記憶庫、一電源、一控制元件。該等記憶庫各包括複數個次陣列。該控制元件經配置以獲得一資訊。該資訊係關於該等次陣列中被操作的次陣列之數量。該控制元件基於該資產產生一決定，該決定係輸出多少量的電能，其中該電源基於該控制元件之該決定輸出一結果量的電能。

【英文】

The present disclosure provides a dynamic random access memory (DRAM). The DRAM includes a plurality of banks, a power source and a control device. Each of the banks includes a plurality of subarrays. The control device derives an information on a quantity of operated subarrays among the subarrays, and determines how much electrical energy to provide based on the information. The power source provides the resultant amount of electrical energy based on the determination from the control device.

【指定代表圖】

圖5

【代表圖之符號簡單說明】

16

記憶體

160	第一記憶庫
162	第一次陣列
164	第二次陣列
170	第二記憶庫
172	第三次陣列
174	第四次陣列
EN	致能信號
20	DRAM
22	控制元件
24	電源
240	第一電荷幫浦
242	第二電荷幫浦
244	第三電荷幫浦

【發明申請專利範圍】

【第1項】

一種動態隨機存取記憶體(DRAM)，包括：

複數個記憶庫，該等記憶庫各包括複數個次陣列；

一電源；以及

一控制元件，經配置以獲得一資訊，該資訊係關於該等次陣列中被操作的次陣列之數量，且該控制元件基於該資訊產生一決定，該決定係輸出多少量的電能，其中該電源基於該控制元件之該決定輸出一結果量的電能。

【第2項】

如請求項1所述之DRAM，其中當一數量比大於一比例範圍之一最高端點時，該控制元件決定輸出一第一電能，以及當該數量比小於該比例範圍之一最低端點時，決定輸出小於該第一電能之一第二電能，

其中該數量比為該等次陣列中被操作的次陣列之數量比上該等次陣列之數量的比例。

【第3項】

如請求項2所述之DRAM，其中當該數量比小於該比例範圍之該最高端點且大於該比例範圍之該最低端點時，該控制元件決定輸出大於該第二電能及小於該第一電能之一第三電能。

【第4項】

如請求項2所述之DRAM，其中該電源包括複數個彼此獨立之電荷幫浦，其中當該控制元件決定輸出該第一電能時，該控制元件增加該等電荷幫浦中之被致能電荷幫浦之數量。

【第5項】

如請求項2所述之**DRAM**，其中該電源包括複數個彼此獨立之電荷幫浦，

其中當該控制元件決定輸出該第二電能時，該控制元件減少該等電荷幫浦中之被致能電荷幫浦之數量。

【第6項】

如請求項1所述之**DRAM**，其中該控制元件接收複數個位址，其中該等位址中的每個位址指示哪個次陣列被操作，

其中該控制元件經配置以基於該等位址獲得該資訊。

【第7項】

如請求項6所述之**DRAM**，還包括：

一計數器，經配置以計數在該等次陣列中被操作的次陣列之該位址之一數量，

其中該控制元件，基於從該計數器取得的在該等次陣列中被操作的次陣列之該位址之該數量，獲得該資訊。

【第8項】

如請求項6所述之**DRAM**，還包括：

一分配元件，經配置以依一分配方式，分配該結果量的電能至在該等記憶庫中包括被操作的次陣列之記憶庫，該分配方式包括分配至該包括被操作次陣列的記憶庫的電能的量正相關於被操作的次陣列之數量。

【第9項】

如請求項8所述之**DRAM**，其中該控制元件包括一表，該表經配置以記錄該等位址，以及該分配元件基於記錄於該表中之該等位址分配該結果

量的電能。

【第10項】

如請求項1所述之DRAM，其中該控制元件包括一組合邏輯。

【第11項】

如請求項4所述之DRAM，其中當該等電荷幫浦中的每一者被致能時，該每一者輸出一相同量的電能。

【第12項】

一種動態隨機存取記憶體之電源管理方法，包括：

提供複數個記憶庫，該等記憶庫各包括複數個次陣列；

獲得一資訊，該資訊係關於在該等次陣列中被操作的次陣列之數量；

基於該資訊，產生一決定，其中該決定係輸出多少量的電能；以及

基於該決定，輸出一結果量的電能。

【第13項】

如請求項12所述之電源管理方法，其中該基於該資訊，產生該決定包括：

當一數量比大於一比例範圍之一最高端點時，決定輸出一第一電能，以及當該數量比小於該比例範圍之一最低端點時，決定輸出小於該第一電能之一第二電能，

其中該數量比為該等次陣列中被操作的次陣列之數量比上該等次陣列之數量的比例。

【第14項】

如請求項12所述之電源管理方法，其中該基於該資訊，產生該決定包括：

當該數量比小於該比例範圍之該最高端點且大於該比例範圍之該最低端點時，決定輸出大於該第二電能及小於該第一電能之一第三電能。

【第15項】

如請求項13所述之電源管理方法，還包括：

提供複數個電荷幫浦，其中該當該數量比大於該比例範圍之該最高端點時，決定輸出該第一電能包括：

增加該等電荷幫浦中之被致能電荷幫浦之數量。

【第16項】

如請求項13所述之電源管理方法，還包括：

提供複數個電荷幫浦，其中該當該數量比小於該比例範圍之該最低端點時，決定輸出小於該第一電能之該第二電能包括：

減少在該等電荷幫浦中之被致能電荷幫浦之數量。

【第17項】

如請求項12所述之電源管理方法，還包括：

接收複數個位址，該等位址中的每個位址指示哪個次陣列被操作，其中該獲得該資訊包括：

基於該等位址獲得該資訊。

【第18項】

如請求項17所述之電源管理方法，還包括：

計數在該等次陣列中被操作的次陣列之該位址之一數量，

其中該基於該等位址獲得該資訊包括：

基於在該等次陣列中被操作的次陣列之該位址之該數量，獲得該資訊。

【第19項】

如請求項17所述之電源管理方法，還包括：

依一分配方式，分配該結果量的電能至在該等記憶庫中包括被操作的次陣列之記憶庫，該分配方式包括分配至該包括被操作次陣列的記憶庫的電能的量正相關於被操作的次陣列之數量。

【第20項】

如請求項19所述之電源管理方法，還包括：

記錄該等位址，以及

其中該依該分配方式，分配該結果量的電能至在該等記憶庫中包括被操作的次陣列之記憶庫包括：

基於記錄於該表中之該等位址分配該結果量的電能。

