



(12) 发明专利申请

(10) 申请公布号 CN 102812640 A

(43) 申请公布日 2012. 12. 05

(21) 申请号 201080065499.4

代理人 章蕾

(22) 申请日 2010.12.23

(51) Int. Cl.

(30) 优先权数据

H03L 7/099 (2006.01)

12/726,190 2010.03.17 US

(85)PCT申请进入国家阶段日

2012. 09. 17

(86) PCT 申请的申请数据

PCT/US2010/062022 2010.12.23

(87) PCT申请的公布数据

W02011/115653 EN 2011. 09. 22

(71) 申请人 德州仪器公司

地址 美国得克萨斯州

(72)发明人 凯文·G·费森

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

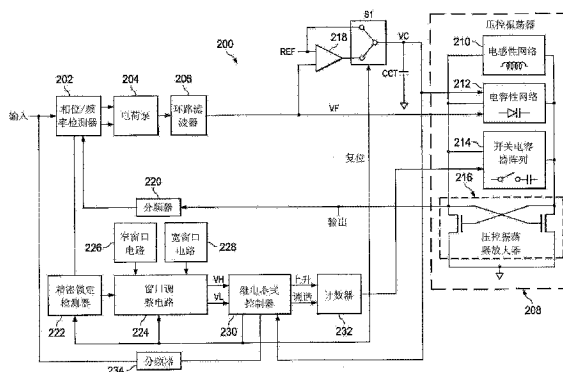
权利要求书 4 页 说明书 6 页 附图 2 页

(54) 发明名称

具有模拟及数字反馈控制的锁相环路 (PLL)

(57) 摘要

例如在合成器中使用的锁相环路 (PLL 200) 具有两个连续 (模拟) 控制环路及一个数字开 / 关 (“继电器式”) 控制环路。PLL (200) 的控制环路为压控振荡器 (VCO 208) 提供额外离散时间控制。所述控制环路测量粗调电压 (VC) 及输入信号 (IN) 来调整开关电容器阵列 (214) 以帮助缩短稳定时间。精密锁定检测器 (222) 监视输入相位误差, 而窄窗口电路 (226) 及宽窗口电路 (228) 指定电压窗口。基于来自精密锁定检测器 (222) 的锁定检测及来自窄及宽窗口电路 (226、228) 的电压窗口, 窗口调整电路 (224) 为开 / 关 (继电器式) 控制器 (230) 设置阈值电压 V_H 、 V_L 。



1. 一种设备,其包括:

压控振荡器 VCO,其具有:

电容性网络,其接收至少部分基于输入信号的第一调谐电压;及

开关电容器阵列,其耦合到所述电容性网络;

放大器,其接收所述第一调谐电压及参考电压,其中所述放大器放大所述参考电压与所述第一调谐电压之间的差异;

开关,其接收所述参考电压及所述参考电压与所述第一调谐电压之间的所述放大差异;

校准电容器,其接收来自所述开关的输出且产生第二调谐电压;及

控制环路,其接收所述输入信号及所述第二调谐电压,其中所述控制环路控制所述开关以便当所述设备复位时施加所述参考电压到所述校准电容器,且其中所述控制环路控制所述开关电容器阵列以便调整所述 VCO 的电容以大体维持相位及频率锁定。

2. 根据权利要求 1 所述的设备,其中所述 VCO 进一步包括:

电感性网络,其耦合到所述电容性网络;及

VCO 放大器,其耦合到所述电容性网络。

3. 根据权利要求 1 所述的设备,其中所述控制环路进一步包括:

精密锁定检测器;

窗口调整电路,其耦合到所述精密锁定检测器;

窄窗口电路,其耦合到所述窗口调整电路;

宽窗口调整电路,其耦合到所述窗口调整电路;

分频器,其接收所述输入信号;

开/关控制器,其耦合到所述窗口调整电路及所述分频器;及

计数器,其耦合到所述开/关控制器及所述开关电容器阵列。

4. 根据权利要求 3 所述的设备,其中所述开/关控制器进一步包括:

第一比较器,其具有第一输入端、第二输入端及输出端,其中所述第一比较器的所述第一输入端耦合到所述开关,且其中所述第一比较器的所述第二输入端耦合到所述窗口调整电路;及

第二比较器,其具有第一输入端、第二输入端及输出端,其中所述第二比较器的所述第一输入端耦合到所述开关,且其中所述第二比较器的所述第二输入端耦合到所述窗口调整电路。

5. 根据权利要求 4 所述的设备,其中所述开/关控制器进一步包括:

第一逆变器,其耦合到所述分频器;

第一触发器,其耦合到所述第一比较器的所述输出端及所述分频器;

第二逆变器,其耦合在所述第一触发器与所述计数器之间;

第二触发器,其耦合到所述第一触发器及所述第一逆变器;

第三触发器,其耦合到所述第二比较器的所述输出端及所述分频器;

第四触发器,其耦合到所述第三触发器及所述第一逆变器;

第一逻辑门,其耦合到所述第三及第四触发器中的每一个及所述计数器;及

第二逻辑门,其耦合到所述第一及第二触发器中的每一个及所述开关。

6. 根据权利要求 5 所述的设备,其中所述第一、第二、第三及第四触发器是 D 触发器。

7. 根据权利要求 5 所述的设备,其中所述第一及第二逻辑门是 OR 门。

8. 根据权利要求 1 所述的设备,其中所述开关是多路复用器。

9. 一种设备,其包括:

相位 / 频率检测器 PFD,其接收输入信号;

电荷泵,其耦合到所述 PFD;

环路滤波器,其耦合到所述电荷泵,其中所述环路滤波器产生第一调谐电压;

放大器,其接收所述第一调谐电压及参考电压;

开关,其具有第一输入端、第二输入端及输出端,其中所述第一输入端接收所述参考电压,且其中所述第二输入端耦合到所述放大器;

校准电容器,其耦合到所述开关的所述输出端,其中所述校准电容器产生第二调谐电压;

VCO,其具有:

电感性网络,其耦合到电容性网络;

电容性网络,其耦合到所述电感性网络,其中所述电容性网络耦合到所述环路滤波器及校准电容器以接收所述第一及第二调谐电压;

开关电容器阵列,其耦合到所述电感性网络;及

VCO 放大器,其耦合到所述电感性网络;

分频器,其耦合到所述 VCO 及所述 PFD;及

控制环路,其接收所述输入信号并且耦合到所述开关、所述校准电容器及所述开关电容器阵列,其中所述控制器环路控制所述开关以便当所述设备复位时施加所述参考电压到所述校准电容器,且其中所述控制环路控制所述开关电容器阵列以便调整所述 VCO 的电容以大体维持相位及频率锁定。

10. 根据权利要求 9 所述的设备,其中所述分频器是第一分频器,且其中所述控制环路进一步包括:

精密锁定检测器,其耦合到所述 PFD;

窗口调整电路,其耦合到所述精密锁定检测器;

窄窗口电路,其耦合到所述窗口调整电路;

宽窗口调整电路,其耦合到所述窗口调整电路;

第二分频器,其接收所述输入信号;

开 / 关控制器,其耦合到所述窗口调整电路及所述第二分频器;及

计数器,其耦合到所述继电器式控制器及所述开关电容器阵列。

11. 根据权利要求 10 所述的设备,其中所述继电器式控制器进一步包括:

第一比较器,其具有第一输入端、第二输入端及输出端,其中所述第一比较器的所述第一输入端耦合到所述开关,且其中所述第一比较器的所述第二输入端耦合到所述窗口调整电路;及

第二比较器,其具有第一输入端、第二输入端及输出端,其中所述第二比较器的所述第一输入端耦合到所述开关,且其中所述第二比较器的所述第二输入端耦合到所述窗口调整电路。

12. 根据权利要求 11 所述的设备,其中所述继电器式控制器进一步包括:

第一逆变器,其耦合到所述分频器;

第一触发器,其耦合到所述第一比较器的所述输出端及所述分频器;

第二逆变器,其耦合在所述第一触发器与所述计数器之间;

第二触发器,其耦合到所述第一触发器及所述第一逆变器;

第三触发器,其耦合到所述第二比较器的所述输出端及所述分频器;

第四触发器,其耦合到所述第三触发器及所述第一逆变器;

第一逻辑门,其耦合到所述第三及第四触发器中的每一个及所述计数器;及

第二逻辑门,其耦合到所述第一及第二触发器中的每一个及所述开关。

13. 根据权利要求 12 所述的设备,其中所述第一、第二、第三及第四触发器是 D 触发器;且其中所述第一及第二逻辑门是 OR 门。

14. 一种设备,其包括:

PFD,其接收输入信号;

电荷泵,其耦合到所述 PFD;

环路滤波器,其耦合到所述电荷泵,其中所述环路滤波器产生第一调谐电压;

放大器,其接收所述第一调谐电压及参考电压;

开关,其具有第一输入端、第二输入端及输出端,其中所述第一输入端接收所述参考电压,且其中所述第二输入端耦合到所述放大器;

校准电容器,其耦合到所述开关的所述输出端,其中所述校准电容器产生第二调谐电压;

VCO,其具有:

电感性网络,其耦合到电容性网络;

电容性网络,其耦合到所述电感性网络,其中所述电容性网络耦合到所述环路滤波器及校准电容器以便接收所述第一及第二调谐电压;

开关电容器阵列,其耦合到所述电感性网络;及

VCO 放大器,其耦合到所述电感性网络;

第一分频器,其耦合到所述 VCO 及所述 PFD;及

控制环路,其具有:

精密锁定检测器,其耦合到所述 PFD;

第一比较器,其具有第一输入端、第二输入端及输出端,其中所述第一比较器的所述第一输入端耦合到所述开关,且其中所述第一比较器的所述第二输入端耦合到所述窗口调整电路;

第二比较器,其具有第一输入端、第二输入端及输出端,其中所述第二比较器的所述第一输入端耦合到所述开关,且其中所述第二比较器的所述第二输入端耦合到所述窗口调整电路;

第二分频器,其接收所述输入信号;

第一逆变器,其耦合到所述第二分频器;

第一 D 触发器,其耦合到所述第二比较器的所述输出端及所述分频器;

第二逆变器,其耦合到所述第一 D 触发器;

第二 D 触发器,其耦合到所述第一 D 触发器及所述第一逆变器 ;
第三 D 触发器,其耦合到所述第三比较器的所述输出端及所述分频器 ;
第四 D 触发器,其耦合到所述第三 D 触发器及所述第一逆变器 ;
第一 OR 门,其耦合到所述第三及第四 D 触发器中的每一个 ;
第二 OR 门,其耦合到所述第一及第二 D 触发器中的每一个及所述第一比较器的所述第二输入端 ;及
计数器,其耦合到所述第二逆变器、所述第二 OR 门及所述开关电容器阵列。

具有模拟及数字反馈控制的锁相环路 (PLL)

技术领域

[0001] 本发明大体上涉及锁相环路 (PLL) 且更具体地说, 涉及在 PLL 反馈控制上的改进。

背景技术

[0002] 锁相环路 (PLL) 普遍用于合成器子系统中。使用连续校准的常规 PLL 100 的实例在图 1 中展示。PLL 100 大体上由相位 / 频率检测器 (PFD) 202、电荷泵 204、环路滤波器 206、双增益压控振荡器 (VCO) 102、分频器 220、放大器 218 及校准电容器 CCT 组成。在此配置中, 有两个分开的模拟环路、一个低带宽环路 (以误差放大器 218 及 VCO 102 形成) 及一个高带宽环路 (以分频器 220 及 VCO 102 形成), 使得低带宽环路可施加粗调谐电压 VC 到 VCO 102 且高带宽环路可施加细调谐电压 VF 到 VCO 102。

[0003] 在操作中, 高带宽环路作为常规单路径 PLL 操作, 通过施加细调谐电压 VF 到 VCO102 而提供低调谐增益特性给 VCO 102, 然而低带宽环路允许宽频率调谐范围特性的提供。特别关于低带宽环路, 跨导误差放大器 218 放大细调谐电压 VF (从环路滤波器 206 输出) 与参考电压 REF 之间的差异, 且将此差异作为电流施加到电容器 CCT 以便产生粗调谐电压 VC, 所述粗调谐电压 VC 被施加到 VCO 102 以用于宽 VCO 调谐带宽。低频率环路将宽带 VCO 粗调谐到其中高带宽环路变得可操作的范围内。此通过提供连续 (但低频率) 校正给 VCO 102 得以实现。因为低带宽环路仅可跟踪输入信号中的低频率变化, 所以此环路对 PLL 100 的杂散电平及宽带相位噪声性能将几乎没有直接影响。

[0004] 高带宽环路直到 VCO 被调谐到落在 VCO 细频率输入调谐范围内的频率才操作, 在所述范围内细 VCO 调谐增益变成非零。高带宽环路一般负责设置大体相关噪声特性。在常规单环路 PLL 中, 调谐范围与噪声性能之间的权衡紧密相关。两个环路的使用有效地使此权衡不再相关, 允许 PLL 100 提供超越其它常规单路径 PLL 的更好性能。

[0005] 然而, 此配置的缺点是 PLL 100 的缓慢稳定时间。一般来说, 缓慢稳定时间可归因于低带宽、粗调谐环路。另一缺点是电容器 CCT 的尺寸, 所述电容器 CCT 的尺寸经常为很大以抑制放大器 218 的噪声。由于这些缺点, 有一些系统, 其中 PLL 100 不合需要。因此, 需要具有改进性能特性的 PLL。

[0006] 一些其它常规电路在以下中描述: 吴 (Wu) 等人, “具有自适应调谐粗调环路的 4.2GHz PLL 频率合成器 (A 4.2GHz PLL Frequency Synthesizer with an Adaptively Tuned Coarse Loop)”, IEEE 2007 定制集成电路会议, 第 547 页到第 550 页; 诺尼斯 (Nonis) 等人, “新低抖动模拟双调谐 LC-VCO PLL 架构的模型化、设计及特征化 (Modeling, Design and Characterization of a New Low-Jitter Analog Dual Tuning LC-VCO PLL Architecture)”, IEEE 固态电路期刊, 第 40 卷, 第 6 期, 2005 年 6 月, 第 1303 页到第 1309 页; 佩罗特 (Perrott) 等人, “利用混合模 / 数环路滤波器及全数字无参考频率采集的 2.5-Gb/s 多速率 0.25- μ m CMOS 时钟及数据恢复电路 (A 2.5-Gb/s Multi-Rate 0.25- μ m CMOS Clock and Data Recovery Circuit Utilizing a Hybrid Analog/Digital Loop Filter and All-Digital Referenceless Frequency Acquisition)”, IEEE 固态电路期刊, 第 41

卷,第12期,2006年12月,第2930页到第2944页;第6,658,748号美国专利;第6,952,124号美国专利;第7,015,763号美国专利;第7,133,485号美国专利;第7,301,407号美国专利;第7,385,452号美国专利;第2002/0008593号美国专利公开案;第2003/0141936号美国专利公开案;第2005/0212609号美国专利公开案;第2005/0212614号美国专利公开案;第2007/0057736号美国专利公开案;及用于德州仪器公司的时钟产生器零件号CDCE421的数据表。

发明内容

[0007] 因此,本发明的实例实施例提供一种设备。所述设备包括:压控振荡器(VCO),其具有:电容性网络,其接收至少部分基于输入信号的第一调谐电压;及开关电容器阵列,其耦合到所述电容性网络;放大器,其接收所述第一调谐电压及参考电压,其中所述放大器放大所述参考电压与所述第一调谐电压之间的差异;开关,其接收所述参考电压及所述参考电压与所述第一调谐电压之间的所述放大的差异;校准电容器,其接收来自开关的输出并产生第二调谐电压;及控制环路,其接收所述输入信号及所述第二调谐电压,其中所述控制器环路控制开关以便当所述设备复位时施加参考电压到所述校准电容器,且其中所述控制环路控制所述开关电容器阵列以调整所述VCO的电容以大体维持相位及频率锁定。

[0008] 根据本发明的实例实施例,VCO进一步包括耦合到所述电容性网络的电感性网络;及耦合到所述电容性网络的VCO放大器。

[0009] 根据本发明的实例实施例,控制环路进一步包括:精密锁定检测器;耦合到精密锁定检测器的窗口调整电路;耦合到窗口调整电路的窄窗口电路;耦合到窗口调整电路的宽窗口调整电路;接收输入信号的分频器;耦合到窗口调整电路及分频器的继电器式(bang-bang)控制器;及耦合到继电器式控制器及开关电容器阵列的计数器。

[0010] 根据本发明的实例实施例,继电器式控制器进一步包括:第一比较器,其具有第一输入端、第二输入端及输出端,其中第一比较器的第一输入端耦合到开关,且其中第一比较器的第二输入端耦合到窗口调整电路;及第二比较器,其具有第一输入端、第二输入端及输出端,其中第二比较器的第一输入端耦合到开关,且其中第二比较器的第二输入端耦合到窗口调整电路。

[0011] 根据本发明的实例实施例,继电器式控制器进一步包括:耦合到分频器的第一逆变器;耦合到第一比较器的输出端及分频器的第一触发器;耦合在第一触发器与计数器之间的第二逆变器;耦合到第一触发器及第一逆变器的第二触发器;耦合到第二比较器的输出端及分频器的第三触发器;耦合到第三触发器及第一逆变器的第四触发器;耦合到第三与第四触发器中的每一者及计数器的第一逻辑门;及耦合到第一与第二触发器中的每一者及开关的第二逻辑门。

[0012] 根据本发明的实例实施例,所述第一、第二、第三及第四触发器是D触发器。

[0013] 根据本发明的实例实施例,所述第一及第二逻辑门是OR门。

[0014] 根据本发明的实例实施例,所述开关是多路复用器。

[0015] 根据本发明的实例实施例,所述开关是单刀双掷开关。

[0016] 根据本发明的实例实施例,提供一种设备。所述设备包括:相位/频率检测器(PFD),其接收输入信号;电荷泵,其耦合到PFD;环路滤波器,其耦合到电荷泵,其中环路

滤波器产生第一调谐电压；放大器，其接收第一调谐电压及参考电压；开关，其具有第一输入端、第二输入端及输出端，其中第一输入端接收参考电压，且其中第二输入端耦合到放大器；校准电容器，其耦合到开关的输出端，其中校准电容器产生第二调谐电压；VCO，其具有：耦合到电容性网络的电感性网络；耦合到电感性网络的电容性网络，其中电容性网络耦合到环路滤波器及校准电容器以接收第一与第二调谐电压；耦合到电感性网络的开关电容器阵列；及耦合到电感性网络的 VCO 放大器；分频器，其耦合到 VCO 及 PFD；及控制环路，其接收输入信号且耦合到开关、校准电容器及开关电容器阵列，其中控制器环路控制开关以便在设备复位时施加参考电压到校准电容器，且其中控制环路控制开关电容器阵列以便调整 VCO 的电容以大体维持相位及频率锁定。

[0017] 根据本发明的实例实施例，提供一种设备。所述设备包括：PFD，其接收输入信号；电荷泵，其耦合到 PFD；环路滤波器，其耦合到电荷泵，其中环路滤波器产生第一调谐电压；放大器，其接收第一调谐电压及参考电压；开关，其具有第一输入端、第二输入端及输出端，其中第一输入端接收参考电压，且其中第二输入端耦合到放大器；校准电容器，其耦合到开关的输出端，其中校准电容器产生第二调谐电压；VCO，其具有：耦合到电容性网络的电感性网络；耦合到电感性网络的电容性网络，其中电容性网络耦合到环路滤波器及校准电容器以便接收第一与第二调谐电压；耦合到电感性网络的开关电容器阵列；及耦合到电感性网络的 VCO 放大器；第一分频器，其耦合到 VCO 及 PFD；及控制环路，其具有：耦合到 PFD 的精密锁定检测器；具有第一输入端、第二输入端及输出端的第一比较器，其中第一比较器的第一输入端耦合到开关，且其中第一比较器的第二输入端耦合到窗口调整电路；具有第一输入端、第二输入端及输出端的第二比较器，其中第二比较器的第一输入端耦合到开关，且其中第二比较器的第二输入端耦合到窗口调整电路；接收输入信号的第二分频器；耦合到第二分频器的第一逆变器；耦合到第二比较器的输出端及分频器的第一 D 触发器；耦合到第一 D 触发器的第二逆变器；耦合到第一 D 触发器及第一逆变器的第二 D 触发器；耦合到第三比较器的输出端及分频器的第三 D 触发器；耦合到第三 D 触发器及第一逆变器的第四 D 触发器；耦合到第三与第四 D 触发器中的每一者的第一 OR 门；耦合到第一与第二 D 触发器中的每一者及第一比较器的第二输入端的第二 OR 门；及耦合到第二逆变器、第二 OR 门及开关电容器阵列的计数器。

附图说明

[0018] 参考附图描述实例实施例，其中：

[0019] 图 1 是使用连续校准的常规 PLL 的实例的电路图；

[0020] 图 2 是根据本发明的实例实施例利用连续及离散控制的 PLL 的实例的电路图；及

[0021] 图 3 是图 2 的继电器式控制器的更具体实例的电路图。

具体实施方式

[0022] 图 2 中，参考数字 200 大体指明根据本发明的实例实施例的 PLL。PLL 200 大体上由 PFD 202、电荷泵 204、环路滤波器 206、VCO 208、放大器 218、开关 S1、分频器 220 及控制环路组成。VCO 208 大体上由电感性网络 210、电容性网络 212、开关电容器阵列 214 及 VCO 放大器 216 组成。控制环路大体上由精密锁定检测器 222、窄窗口电路 226、宽窗口电路 228、

窗口调整电路 224、继电器式控制器 230、计数器 232 及分频器 234 组成。

[0023] 一般来说, PFD 202、电荷泵 204、环路滤波器 206、VCO 208 及分频器 220 作为高带宽环路操作以从输入信号产生输出信号 OUT, 类似于 PLL 100 的高带宽环路。PFD 202 将来自分频器 220 的反馈信号与输入信号 IN 进行比较以产生用于电荷泵 204 的上升及下降信号。来自电荷泵 204 的输出通过环路滤波器 206 进行滤波以产生用于 VCO 208 的电容性网络 212 的细调谐电压 VF, 所述 VCO 208 操作电感电容器 (LC) VCO。另外, 放大器 218 及校准电容器 CCT 大体作为类似于 PLL 100 的低带宽环路的低带宽环路的的部分操作。

[0024] 然而在操作中, PLL 200 的控制环路为 VCO 208 提供额外的离散时间控制, 此是 PLL100 所没有的。通常, 控制环路测量粗调电压 VC 及输入信号 IN 以便调整开关电容器阵列 214 (其大体上由金属-绝缘体-金属 (MIM) 电容器组成) 以大体上帮助减少 PLL 200 的稳定时间 (与 PLL 100 相比较)。此一般通过设置操作窗口及当 PLL 200 在操作窗口之一者外时对电容器阵列作出调整而实现。

[0025] 首先参照精密锁定检测器 222、窗口调整电路 224、窄窗口电路 226 及宽窗口电路 228, 这些电路一般为 PLL 200 设置操作窗口。精密锁定检测器 222 一般是监视输入相位误差的极高精确性的锁定检测器, 而窄窗口电路 226 及宽窗口电路 228 中的每一者指定一电压窗口。举例来说, 用于窄窗口电路 226 的窄电压窗口可在约 0.8V 与约 1.0V 之间, 而用于宽窗口电路 228 的宽电压窗口可在约 0.5V 到约 1.5V 之间。基于来自精密锁定检测器 222 的锁定检测及来自电路 226 及 / 或 228 的电压窗口, 窗口调整电路 224 可为继电器式控制器 230 设置阈值电压 VH 及 VL 以对应于宽电压窗口或窄电压窗口。

[0026] 术语“继电器式控制器”用于指在基于运行高于高阈值或运行低于低阈值的监视条件的两种状态间突然切换的开 / 关控制器 (也称为“磁滞控制器”)。所述术语常结合接受二进制输入的电路的控制而使用, 所述二进制输入的一个状态对应于“开”状态且所述二进制输入的一个状态对应于“关”状态。

[0027] 当 PLL 200 复位 (其一般发生在当粗调谐电压 VC 在宽电压窗口或低电压窗口外时, 取决于正在使用所述电压窗口中的哪一种) 时, 继电器式控制器 230 为精密锁定检测器 222、窗口调整电路 224 及开关 S1 置位复位信号 RESET。复位期间, 精密锁定检测器 222 及窗口调整电路 224 复位阈值电压 VH 及 VL 以一般对应于通过窄电压窗口电路 226 设置的窄电压窗口, 且开关 S1 (其可为单刀双掷开关或多路复用器) 经设置以施加参考电压 REF 到校准电容器 CCT、电容性网络 (其大体上由变抗器组成)。通过分频器 234 提供的采样时钟信号的周期确定 RESET 被置位的时间周期。复位周期期间, 电容器 CCT 被充电到电压 VC = VREF。电压 VREF 应在由 VH 及 VL 设置的窗口内的中心且导致比较器 312 及 310 的输出为“0”。一旦 VC 被再次定为中心, 采样时钟的下一个上升沿将终止 RESET 事件, 导致继电器式控制器 230 设置开关 S1 以施加放大器 218 的输出到电容器 CCT, 从而再启用低带宽环路。RESET 事件也将导致继电器式控制器 230 提供上升信号 UP 与调谐信号 TUNE 上的正脉冲到时钟计数器 232, 时钟计数器 232 控制开关电容器阵列 214。信号 UP 的逻辑电平确定计数器增加还是减少及 VCO 频率增加还是减少。如果 RESET 事件由 VC 上升到大于 VH 造成, 那么信号 UP = 逻辑 HIGH 且 VCO 数字调谐频率增加。如果 RESET 事件由 VC 下降到低于 VL 造成, 那么 UP = 逻辑 LOW 且数字调谐频率减少。只要 VC 在 VL 与 VH 之间, 将不存在复位事件且 TUNE 上没有正边沿或对计数器 232 没有任何调整。

[0028] 复位周期结束时,低带宽环路再次可操作但以新数字调谐字施加到 VCO。环路将尝试调整 VC 以用新数字调谐字获得相位锁定。假如信号 VC 再次超过 VH 或 VL,则另一 RESET 事件将发生且数字调谐字将因此得到调整。此过程将重复直到环路获得相位锁定,使用窄窗口设置将 VC 稳定到 VL 与 VH 之间的电压。在精密锁定检测器 222 感测到已获得相位锁定之后,窗口调整电路 224 调整阈值电压以对应于宽电压窗口。

[0029] 具有两个电压窗口的原因是经常需要大体上防止控制环路在获得初始数字锁定后继续调整(即,超过指定频率或温度范围)以避免 PLL 200 的扰动及再次稳定于连续(低带宽与高带宽)环路。假如粗调谐电压 VC 在初始锁定期间稳定在窄电压窗口的边缘,则可发生此情况。此状况下可仅使用少量噪声或温度漂移以触发继电器式控制环路。通过包含与使用宽电压窗口增加磁滞,一般可避免此状况。

[0030] 转向图 3,可更具体地见到继电器式控制器的实例。通常,阈值电压 VH 与 VL(其一般对应于窄电压窗口或宽电压窗口)分别被施加到比较器 312 的负输入端及 310 的正输入端,同时粗调谐电压 VC 被施加到比较器 312 及 310 的正及负输入端。比较器 312 及 310 的输出由 D 触发器 314 及 318 及 316 及 320 锁存。应注意触发器 314 及 318 通过采样时钟 234 的上升沿触发,同时由于逆变器 322,触发器 316 及 320 通过采样时钟 234 的下降沿触发,因此可获得比较器输出信号的(半采样周期)延迟版本以便为计数器 232 时钟输入产生 RESET、UP 控制及 TUNE 脉冲。

[0031] 当调谐电压 VC 上升到高于阈值电压 VH 时,比较器 312 输出“1”。此输出分别在采样时钟 234 的上升及下降沿被 D 触发器 314 及 316 锁存。或者,如果粗调谐电压降低到低于阈值电压 VL,则比较器 310 输出“1”,其被 D 触发器 318 及 320 锁存。基于来自比较器 312 或 314 的“1”,OR 门 324 输出逻辑高信号或“1”,其对应于复位信号 RESET 的置位及计数器 232 及开关电容器阵列 214 增加或减少(以便增加或减少 VCO 频率)的需要。增加或减少的决定是基于触发器 314 的输出(比较器 312 的延迟采样),其中逻辑高输出指示已超过 VH 阈值且 VCO 频率太低。此指示通过逆变器 328 传递以产生施加到计数器 232 的上升/下降控制的信号 UP。计数器 232 也需要趋正时钟沿以用于发生上升/下降调整。此由 OR 门 326 的输出提供,对应于调谐脉冲信号 TUNE。在任一采样周期期间 TUNE 上的上升沿只发生一次且只有在 VC 上升到高于 VH 或下降到低于 VL 时才会发生。进一步来说,由触发器 316 及 320 引入的半采样周期延迟实现了 TUNE 时钟沿相对于信号 UP(计数器上升/下降控制)的适当时序以确保计数器 232 的可靠操作。

[0032] 应注意的是,继电器式控制器 230 的可靠操作很大程度上取决于精密锁定检测器 222 的稳健性,精密锁定检测器 222 的稳健性又依赖于在 PFD 202 及电荷泵 204 中有低 DC 偏移。常规单环路 PLL 中,电荷泵输出电压可以自由地稳定于供应轨内的任何电压,从而导致次优 DC 偏移性能。另一方面,并入低带宽环路的 PLL 将以等于电压 REF 的电荷泵电压(VF)稳定,由于放大器 218 中的高增益,电荷泵电压(VF)通常被置于中间供应电压。此是有利条件,因为其极大地改进了电荷泵内引起偏移问题的上升/下降电流源内的匹配。此又允许设计出比使用单环路架构可能达到的性能更精密的锁定检测器。在实施 PLL 200 的继电器式控制器算法中已利用了低带宽环路的此重要益处。

[0033] 由于 PLL 200 的配置,可实现超越常规 PLL 的若干优点。通过在开关电容器阵列 214 内使用数字控制的 MIM 电容器,可减小 VCO 208 的全模拟调谐范围,且 VCO 208 的细及

粗调节增益减少。另外,通过调整非线性调谐电容器(例如,变抗器)对线性调谐电容器(例如,MIM 电容器)的比率可改进 VCO 208 的相位噪声。还减少的有:参考杂散信号及谐波以及减少针对给定相位噪声的 VCO 电流与减少 PLL 200 内其中电流约束噪声性能的其它地方的电流的能力。对寄生的敏感性也减少,且减少了 PLL 100 上的稳定时间。

[0034] 本文意图涵盖具有在实例实施例的背景下描述的特征或步骤中的一者或一者以上的不同组合的实施例,所述实例实施例具有所有此些特征或步骤或仅其中一些。所属领域的技术人员将了解在所主张的本发明的范围内许多其它实施例及改变也是可能的。

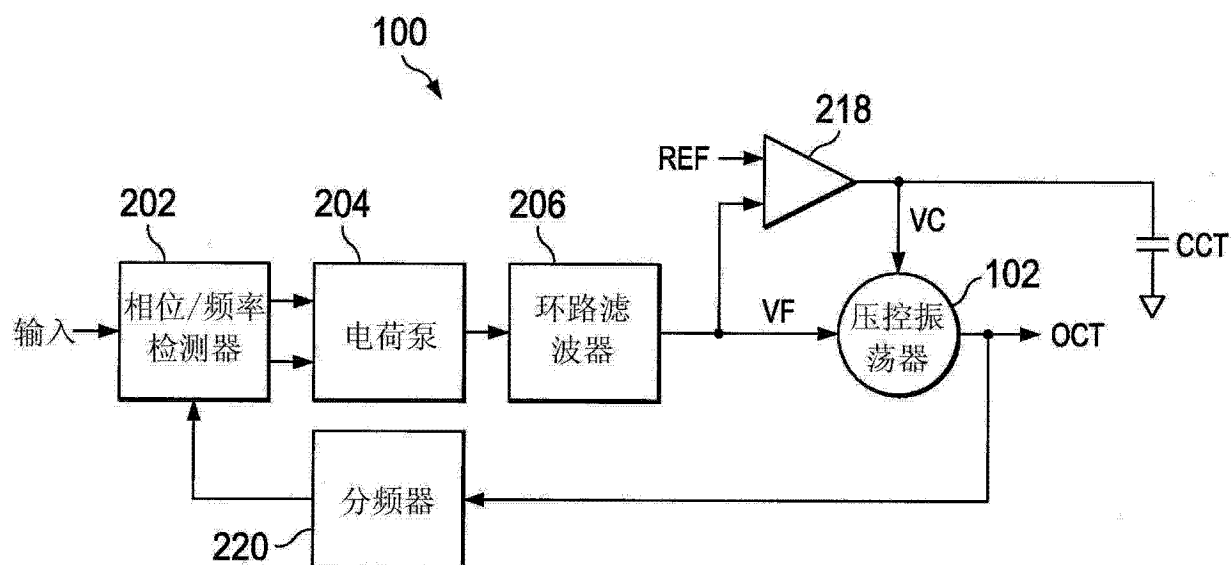


图 1(现有技术)

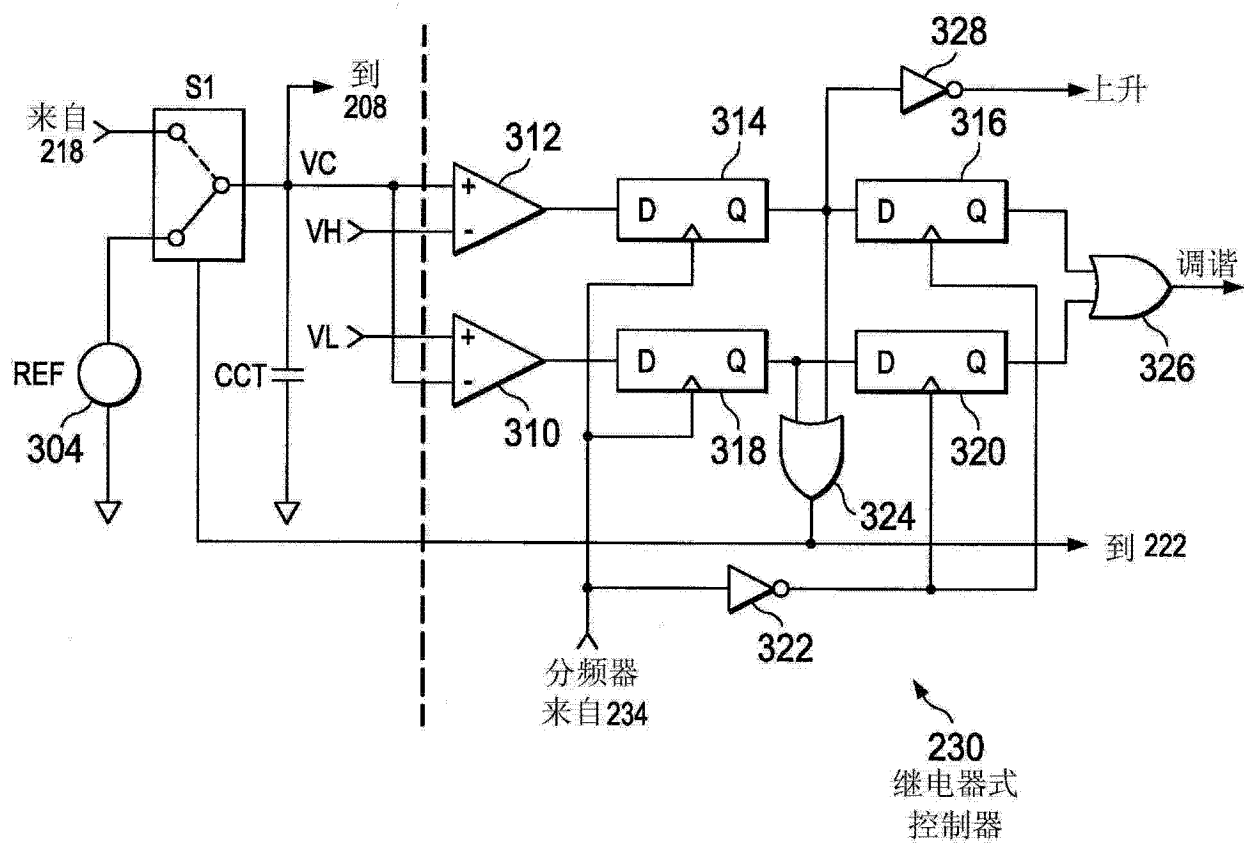


图 3

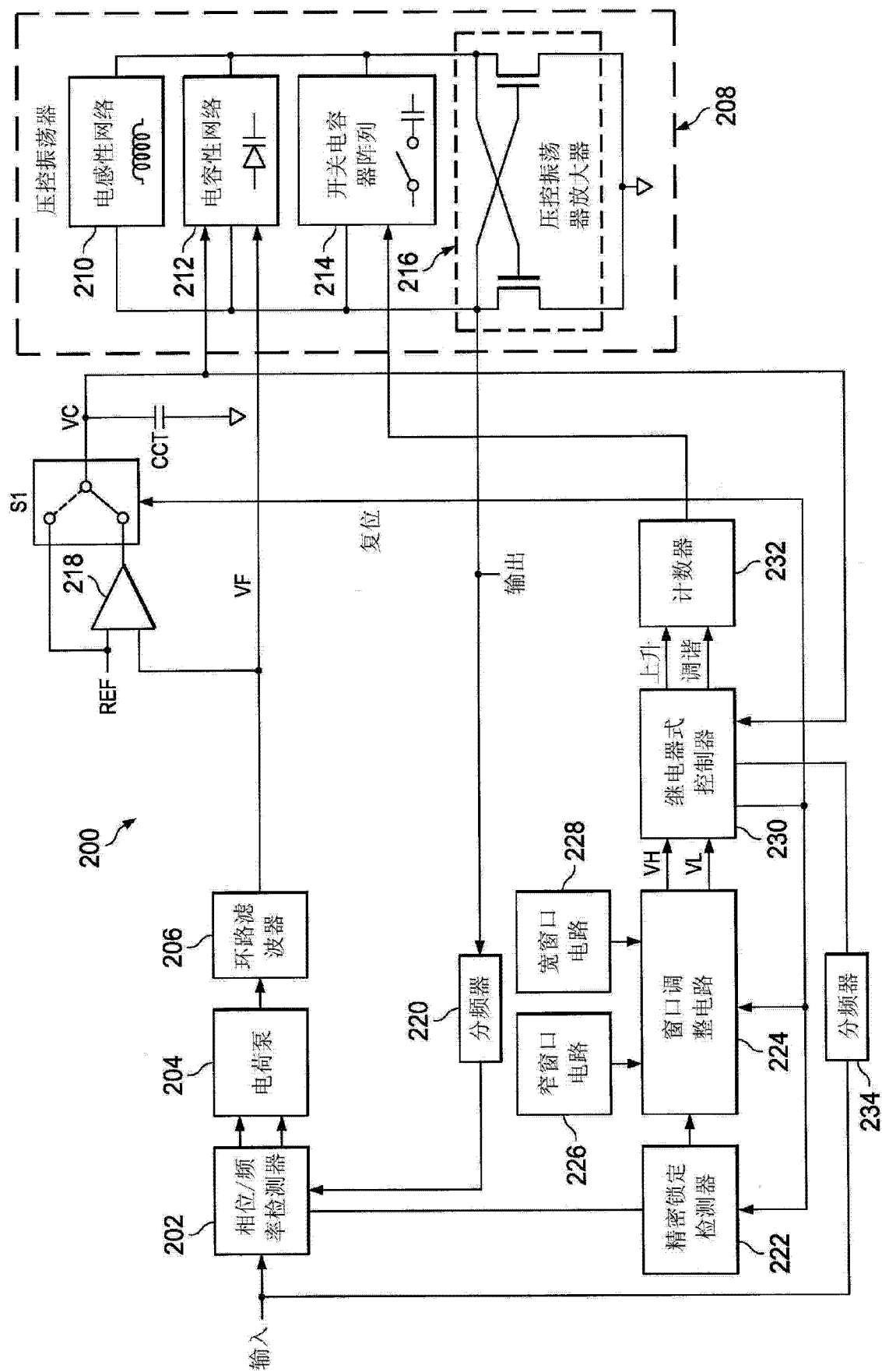


图 2