(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4127751号
(P4127751)

(45)発行日　平成20年7月30日(2008.7.30)　(24)登録日　平成20年5月23日(2008.5.23)

| (51)Int.Cl. | | F I | | |
|---|---|---|---|---|
| H01L 29/78 | (2006.01) | H01L | 29/78 | 652H |
| H01L 21/336 | (2006.01) | H01L | 29/78 | 658E |
| H01L 29/06 | (2006.01) | H01L | 29/78 | 658A |
| | | H01L | 29/78 | 658F |
| | | H01L | 29/06 | 301D |

請求項の数 15　(全 21 頁)

(21)出願番号　特願2000-195576(P2000-195576)
(22)出願日　平成12年6月29日(2000.6.29)
(65)公開番号　特開2002-16250(P2002-16250A)
(43)公開日　平成14年1月18日(2002.1.18)
審査請求日　平成16年2月12日(2004.2.12)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100109900
弁理士　堀口　浩
(72)発明者　上月　繁雄
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内
(72)発明者　米田　辰雄
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項１】

第１導電型の半導体基板と、

前記半導体基板上に並置された、前記半導体基板よりも不純物濃度が低い第１導電型の第１半導体層、及び中央に上端部から前記半導体基板に向かって延びる溝を有する第２導電型の第２半導体層と、

前記溝に埋め込まれた、前記溝の内面を覆う熱酸化膜を含む充填層と、

前記第２半導体層の上側部分を含むように形成された第２導電型の第１領域と、

前記第１領域の表面内に形成された第１導電型の第２領域と、

前記第２領域と前記第１半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜を介して配設されたゲート電極と、

を具備する半導体装置。

【請求項２】

第１導電型の半導体基板と、

前記半導体基板上に並置された、前記半導体基板よりも不純物濃度が低い第１導電型の第１半導体層、中央に上端部から前記半導体基板に向かって延びる溝を有する第２導電型の第２半導体層、及び前記半導体基板よりも不純物濃度が低い第１導電型の第３半導体層と、

前記溝に埋め込まれた、前記溝の内面を覆う熱酸化膜を含む充填層と、

前記第２半導体層の上側部分を含むように形成された第２導電型の第１領域と、

前記第１領域の表面内に形成された第１導電型の第２領域と、
前記第２領域と前記第１及び第３半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜を介して配設されたゲート電極と、
を具備する半導体装置。
【請求項３】
第１導電型半導体の下側層と、
その表面から深さ方向に延びて前記下側層またはその近傍に至る第１溝を有し、前記下側層上に形成され且つ前記下側層よりも不純物濃度の低い第１導電型半導体の第１中間層と、
前記深さ方向と同方向に延びる第２溝を前記第１溝と対応する位置に残す、前記第１溝の側壁に沿って形成された第２導電型半導体の第２中間層と、
前記第２溝内に埋め込まれた、前記第２溝の内面を覆う熱酸化膜を具備する充填層と、
前記第２中間層の上側部分を含む領域に形成された第２導電型半導体の第１上側層と、
前記第１上側層の表面内に形成された第１導電型半導体の第２上側層と、
前記第２上側層と前記第１中間層の上側部分との間に位置する、前記第１上側層の表面部分であるチャネル領域上に、絶縁膜を介して配設されたゲート電極と、
を具備する半導体装置。
【請求項４】
前記第１溝は前記下側層に到達することを特徴とする請求項３に記載の半導体装置。
【請求項５】
前記第２上側層に電気的に接続された第１主電極と、前記下側層に電気的に接続された第２主電極と、を更に具備し、前記半導体装置は電界効果トランジスタとして機能することを特徴とする請求項３または４に記載の半導体装置。
【請求項６】
前記第１中間層の前記第１溝、前記第２中間層、前記充填層、前記第１上側層、前記第２上側層、及び前記ゲート電極を組み合わせた構造が、前記下側層上に繰り返し配設されることを特徴とする請求項３乃至５のいずれか１項に記載の半導体装置。
【請求項７】
第１導電型半導体の下側層と、
その表面から深さ方向に延びて前記下側層またはその近傍に至る第１溝を有し、前記下側層上に形成され且つ前記下側層よりも不純物濃度の低い第１導電型半導体の第１中間層と、
前記深さ方向と同方向に延びる第２溝を前記第１溝と対応する位置に残す、前記第１溝の側壁に沿って形成された第２導電型半導体の第２中間層と、
前記深さ方向と同方向に延びる第３溝を前記２溝と対応する位置に残す、前記第２溝の側壁に沿って形成された第１導電型半導体の第３中間層と、
前記第３溝内に埋め込まれた充填層と、
前記第２中間層の上側部分を含む領域に形成された第２導電型半導体の第１上側層と、
前記第１上側層の表面内に形成された第１導電型半導体の第２上側層と、
前記第２上側層と前記第３中間層の上側部分との間に位置する、前記第１上側層の表面部分であるチャネル領域上に、絶縁膜を介して配設されたゲート電極と、
を具備する半導体装置。
【請求項８】
前記第１溝は前記下側層に到達することを特徴とする請求項７に記載の半導体装置。
【請求項９】
前記充填層は前記第３溝の内面を覆う熱酸化膜を具備することを特徴とする請求項７または８に記載の半導体装置。
【請求項１０】
前記第２上側層に電気的に接続された第１主電極と、前記下側層に電気的に接続された第２主電極と、を更に具備し、前記装置は電界効果トランジスタとして機能することを特

徴とする請求項７乃至９のいずれか１項に記載の半導体装置。
【請求項１１】
前記第１中間層の前記第１溝、前記第２中間層、前記第３中間層、前記充填層、前記第１上側層、前記第２上側層、及び前記ゲート電極を組み合わせた構造が、前記下側層上に繰り返し配設されることを特徴とする請求項７乃至１０のいずれか１項に記載の半導体装置。
【請求項１２】
第１導電型の半導体基板上に、前記半導体基板よりも不純物濃度の低い第１導電型の第１半導体層を形成する工程と、
エッチングにより、前記第１半導体層に前記第１半導体層の表面から深さ方向に延びて前記半導体基板またはその近傍に至る第１溝を形成する工程と、
前記第１溝内で前記第１半導体層上に結晶成長により、前記深さ方向と同方向に延びる第２溝を前記１溝と対応する位置に残す第２導電型の第２半導体層を形成する工程と、
前記第２半導体層上に第２導電型半導体からなる充填層を形成して前記第２溝内に前記充填層を埋め込む工程と、
前記充填層を形成後の構造の表面を平坦化する工程と、
前記第２半導体層の上側部分を含む領域に第２導電型の不純物を拡散して第１領域を形成する工程と、
前記第１領域の表面に第１導電型の不純物を拡散して第２領域を形成する工程と、
前記第２領域と前記第１半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜及びゲート電極を形成する工程と、
を具備する半導体装置の製造方法。
【請求項１３】
第１導電型の半導体基板上に、前記半導体基板よりも不純物濃度の低い第１導電型の第１半導体層を形成する工程と、
エッチングにより、前記第１半導体層に前記第１半導体層の表面から深さ方向に延びて前記半導体基板またはその近傍に至る第１溝を形成する工程と、
前記第１溝内で前記第１半導体層上に結晶成長により、前記深さ方向と同方向に延びる第２溝を前記１溝と対応する位置に残す第２導電型の第２半導体層を形成する工程と、
前記第２半導体層上に前記第２溝の内面を覆う熱酸化膜を具備する充填層を形成して前記第２溝内に前記充填層を埋め込む工程と、
前記充填層を形成後の構造の表面を平坦化する工程と、
前記第２半導体層の上側部分を含む領域に第２導電型の不純物を拡散して第１領域を形成する工程と、
前記第１領域の表面に第１導電型の不純物を拡散して第２領域を形成する工程と、
前記第２領域と前記第１半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜及びゲート電極を形成する工程と、
を具備する半導体装置の製造方法。
【請求項１４】
第１導電型の半導体基板上に、前記半導体基板よりも不純物濃度の低い第１導電型の第１半導体層を形成する工程と、
エッチングにより、前記第１半導体層に前記第１半導体層の表面から深さ方向に延びて前記半導体基板またはその近傍に至る第１溝を形成する工程と、
不純物イオンの注入により、前記第１溝内に露出する前記第１半導体層の表面内に前記深さ方向と同方向に延びる第２溝を前記１溝と対応する位置に残す第２導電型の第２半導体層を形成する工程と、
前記第２溝内で前記第２半導体層上に結晶成長により前記深さ方向と同方向に延びる第３溝を前記２溝と対応する位置に残す第１導電型の第３半導体層を形成する工程と、
前記第３半導体層上に充填層を形成して前記第３溝内に前記充填層を埋め込む工程と、
前記充填層を形成後の構造の表面を平坦化する工程と、

前記第２半導体層の上側部分を含む領域に第２導電型の不純物を拡散して第１領域を形成する工程と、
前記第１領域の表面に第１導電型の不純物を拡散して第２領域を形成する工程と、
前記第２領域と前記第３半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜及びゲート電極を形成する工程と、
を具備する半導体装置の製造方法。
【請求項１５】
第１導電型の半導体基板上に、前記半導体基板よりも不純物濃度の低い第１導電型の第１半導体層を形成する工程と、
エッチングにより、前記第１半導体層に前記第１半導体層の表面から深さ方向に延びて前記半導体基板またはその近傍に至る第１溝を形成する工程と、
不純物イオンの注入により、前記第１溝内に露出する前記第１半導体層の表面内に前記深さ方向と同方向に延びる第２溝を前記１溝と対応する位置に残す第２導電型の第２半導体層を形成する工程と、
前記第２半導体層上に充填層を形成して前記第２溝内に前記充填層を埋め込む工程と、
前記充填層を形成後の構造の表面を平坦化する工程と、
前記第２半導体層の上側部分を含む領域に第２導電型の不純物を拡散して第１領域を形成する工程と、
前記第１領域の表面に第１導電型の不純物を拡散して第２領域を形成する工程と、
前記第２領域と前記第１半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜及びゲート電極を形成する工程と、
を具備する半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、大電力の制御に用いられる半導体装置及びその製造方法に関し、特にプレーナ型絶縁ゲート電界効果トランジスタ及びその製造方法に関する。
【０００２】
【従来の技術】
図２５は、従来のプレーナ型絶縁ゲートの電界効果トランジスタ（ＭＯＳＦＥＴ）の断面図である。$N^+$シリコン基板１上には、$N^-$型エピタキシャル層２が形成されており、ＭＯＳＦＥＴのドレイン領域を構成している。$N^-$型エピタキシャル層２の表面には複数のＰ型ベース拡散領域３ａ、３ｂが選択的に拡散形成されており、Ｐ型ベース拡散領域３ａ、３ｂのそれぞれ表面には$N^+$型ソース拡散領域４ａ、４ｂが選択的に形成されている。一方のＰ型ベース拡散領域３ａ及び$N^+$型ソース拡散領域４ａから、$N^-$型エピタキシャル層２の表面領域を介して他方のＰ型ベース拡散領域３ｂ及び$N^+$型ソース拡散領域４ｂに至る領域上には、ゲート酸化膜５を介して、ポリシリコンからなるゲート電極６が形成されている。また、Ｐ型ベース拡散領域３ａ、３ｂと$N^+$型ソース拡散領域４ａ，４ｂとに接続するようその上には、ソース電極７が形成されている。さらに、$N^+$型シリコン基板１は、$N^-$型エピタキシャル層とは反対側の表面上にドレイン電極８が形成されている。
そして、ゲート電極６下に形成されているＰ型ベース拡散領域３ａをチャネル領域とし、更に$N^+$型ソース拡散領域４ａ及び$N^-$型エピタキシャル層２とにより単位となるＭＯＳＦＥＴのセルを構成している。そして、ゲート電極６にしきい値以上の正電圧が印加されると、チャネル領域の表面に反転層が生じてＭＯＳＦＥＴがオン状態となり、オン電流は、ドレイン電極８より$N^+$シリコン基板１、$N^-$型エピタキシャル層２、チャネル領域９内に形成された反転層、$N^+$型ソース拡散領域４ａを通ってソース電極７に流れる。
【０００３】
このような構造のＭＯＳＦＥＴにおいては、大電流を扱うものなので、オン抵抗はなるべく小さいことが望ましい。ＭＯＳＦＥＴのオン動作時にはドレイン電極８からソース電極

７に向かって電流経路が形成されるが、そこで発生する抵抗成分は、大きく分けてＮ－型エピタキシャル拡散領域２におけるエピタキシャル部の抵抗（ＲEpi）、ジャンクション部の抵抗（ＲJFET）、チャネル領域におけるチャネル抵抗（Ｒch）によって構成される。そして、オン抵抗を低下させるためには、エピタキシャル部の抵抗（ＲEpi）を下げることが必要であるが、それは、Ｎ－型エピタキシャル層２の不純物濃度を増加させることで単純に実現することができる。しかしながら、Ｎ－型エピタキシャル層２の不純物濃度を増加させると、ＭＯＳＦＥＴのオフ状態でのＰ型ベース拡散領域３ａ、３ｂの直下に形成される電界強度の最大値が大きくなり、ソース・ドレイン間の逆方向耐圧の低下を招いてしまうという問題が生じる。このため、電界強度の最大値がＮ－型エピタキシャル層２の電界強度の最大値を越えないようにＮ－型エピタキシャル層２の不純物濃度を抑制する必要がある。このようなことから、図２５に示すＭＯＳＦＥＴでは、オン抵抗の低減と安定したソース・ドレイン間の逆方向耐圧の双方を得るのにも限界があった。

【０００４】

特開平９－１９１１０９号公報には、オン抵抗を下げるためにＮ－型エピタキシャル層の不純物濃度を増加させ、それによるソース・ドレイン間の逆方向耐圧の低下を抑制するために、Ｎ－型エピタキシャル層中にＰ型埋め込み層を形成するという技術が開示されている。図２６は、そのような高耐圧ＭＯＳＦＥＴの構造を示す断面図である。Ｎ＋シリコン基板１１上には、Ｎ－型エピタキシャル層１２が形成され、Ｎ－型エピタキシャル層１２の表面には選択的に複数のＰ型ベース拡散領域１３ａ、１３ｂが形成され、Ｐ型ベース拡散領域１３ａ、１３ｂのそれぞれ表面には選択的にＮ＋型ソース拡散領域１４ａ、１４ｂが形成されている。そして、一方のＰ型ベース拡散領域１３ａ及びＮ＋型ソース拡散領域１４ａからＮ－型エピタキシャル層１２の表面領域を介して他方のＰ型ベース拡散領域１３ｂ及びＮ＋型ソース拡散領域１４ｂに至る領域上には、ゲート酸化膜１５を介してゲート電極１６が形成されている。Ｐ型ベース拡散領域１３ａ、１３ｂとＮ＋型ソース拡散領域１４ａ、１４ｂとに接続するようその上にはソース電極１７が形成され、Ｎ＋型シリコン基板１１の表面にドレイン電極１８が形成されている。更に、Ｎ－型エピタキシャル層１２中には、複数のＰ型埋め込み層１９ａ，１９ｂが形成されている。Ｐ型埋め込み層１９ａ、１９ｂは、どこにも接続されておらず電気的に浮いた状態となっている。

【０００５】

このような高耐圧ＭＯＳＦＥＴにおいては、オフ状態における逆方向の印加電圧が低い場合、図１９のＭＯＳＦＥＴと同様にＰ型ベース拡散領域１３ａ、１３ｂからドレイン電極１８に向かって上側のＮ－型エピタキシャル層１２中に空乏層が広がり、Ｐ型ベース拡散領域１３ａ、１３ｂとＮ－型エピタキシャル層１２との間の界面近傍が電界強度の最大値になる。印加電圧が特定の値に到達すると、Ｐ型ベース拡散領域１３ａ、１３ｂ、Ｐ型埋め込み層１９ａ間の領域のＮ－型エピタキシャル層１２が空乏化し、Ｐ型埋め込み層１９ａがパンチスルー状態となって電位が固定される。これにより、Ｐ型ベース拡散領域１３ａ、１３ｂ側の電界の最大値の上昇が抑制される。印加電圧が更に上昇すると、空乏層はさらにＮ－型エピタキシャル層１２中をドレイン電極１８側に向って広がるが、その空乏層がＰ型埋め込み層１９ｂに到達すると、Ｐ型埋め込み層１９ａのパンチスルー状態と同様に、Ｐ型埋め込み層１９ｂもパンチスルー状態となり、電界の最大値の上昇が抑制される。

【０００６】

【発明が解決しようとする課題】

しかしながら、図２６に示す半導体装置においても次のような問題があった。Ｎ－型エピタキシャル層中に形成されたＰ型埋め込み層１９ａ、１９ｂは、電気的に浮遊した状態であるため、その電位がＭＯＳＦＥＴのスイッチングの際に変動する。逆耐圧状態からターンオン状態になった直後には、Ｐ型埋め込み層１９ａ、１９ｂ中の正孔は失われているために空乏化により高い電位となる。この電位が保持されている間は、Ｎ－型エピタキシャル層中に空乏層が伸び、そのＮ－型エピタキシャル層の抵抗が増大する。そして、Ｐ型埋め込み層１９ａ、１９ｂにおける電位の保持時間が長いため、高速なスイッチングができ

なかった。
また、Ｐ型埋め込み層１９ａ、１９ｂを形成するためには、導電型を決めるための不純物を切り替えながら、Ｎ⁻型エピタキシャル層１２とＰ型埋め込み層１９ａ、１９ｂとを繰り返し成長させる必要があり、工程が複雑になるとともに、Ｎ⁻型エピタキシャル層１２の不純物濃度が不均一になる可能性がある。そのため安定した逆方向耐圧を得ることができない。
本発明は上記問題点に鑑みてなされたもので、その目的は、ＭＯＳＦＥＴにおけるオン抵抗を低減させ、同時に、ソース・ドレイン間に逆方向のバイアスが印加された時の逆方向耐圧を向上をさせることの出来る半導体装置及びその製造方法を提供するものである。
【０００７】
【課題を解決するための手段】
本発明の一態様の半導体装置は、第１導電型の半導体基板と、前記半導体基板上に並置された、前記半導体基板よりも不純物濃度が低い第１導電型の第１半導体層、及び中央に上端部から前記半導体基板に向かって延びる溝を有する第２導電型の第２半導体層と、前記溝に埋め込まれた、前記溝の内面を覆う熱酸化膜を含む充填層と、前記第２半導体層の上側部分を含むように形成された第２導電型の第１領域と、前記第１領域の表面内に形成された第１導電型の第２領域と、前記第２領域と前記第１半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜を介して配設されたゲート電極と、を具備する。
また、本発明の別態様の半導体装置は、第１導電型の半導体基板と、前記半導体基板上に並置された、前記半導体基板よりも不純物濃度が低い第１導電型の第１半導体層、中央に上端部から前記半導体基板に向かって延びる溝を有する第２導電型の第２半導体層、及び前記半導体基板よりも不純物濃度が低い第１導電型の第３半導体層と、前記溝に埋め込まれた、前記溝の内面を覆う熱酸化膜を含む充填層と、前記第２半導体層の上側部分を含むように形成された第２導電型の第１領域と、前記第１領域の表面内に形成された第１導電型の第２領域と、前記第２領域と前記第１及び第３半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜を介して配設されたゲート電極と、を具備する。
また、本発明の別態様の半導体装置は、第１導電型半導体の下側層と、その表面から深さ方向に延びて前記下側層またはその近傍に至る第１溝を有し、前記下側層上に形成され且つ前記下側層よりも不純物濃度の低い第１導電型半導体の第１中間層と、前記深さ方向と同方向に延びる第２溝を前記第１溝と対応する位置に残す、前記第１溝の側壁に沿って形成された第２導電型半導体の第２中間層と、前記第２溝内に埋め込まれた、前記第２溝の内面を覆う熱酸化膜を具備する充填層と、前記第２中間層の上側部分を含む領域に形成された第２導電型半導体の第１上側層と、前記第１上側層の表面内に形成された第１導電型半導体の第２上側層と、前記第２上側層と前記第１中間層の上側部分との間に位置する、前記第１上側層の表面部分であるチャネル領域上に、絶縁膜を介して配設されたゲート電極と、を具備する。
また、本発明の別態様の半導体装置は、第１導電型半導体の下側層と、その表面から深さ方向に延びて前記下側層またはその近傍に至る第１溝を有し、前記下側層上に形成され且つ前記下側層よりも不純物濃度の低い第１導電型半導体の第１中間層と、前記深さ方向と同方向に延びる第２溝を前記第１溝と対応する位置に残す、前記第１溝の側壁に沿って形成された第２導電型半導体の第２中間層と、前記深さ方向と同方向に延びる第３溝を前記２溝と対応する位置に残す、前記第２溝の側壁に沿って形成された第１導電型半導体の第３中間層と、前記第３溝内に埋め込まれた充填層と、前記第２中間層の上側部分を含む領域に形成された第２導電型半導体の第１上側層と、前記第１上側層の表面内に形成された第１導電型半導体の第２上側層と、前記第２上側層と前記第３中間層の上側部分との間に位置する、前記第１上側層の表面部分であるチャネル領域上に、絶縁膜を介して配設されたゲート電極と、を具備する。
【０００８】

また、本発明の別態様の半導体装置の製造方法は、第１導電型の半導体基板上に、前記半導体基板よりも不純物濃度の低い第１導電型の第１半導体層を形成する工程と、エッチングにより、前記第１半導体層に前記第１半導体層の表面から深さ方向に延びて前記半導体基板またはその近傍に至る第１溝を形成する工程と、
前記第１溝内で前記第１半導体層上に結晶成長により、前記深さ方向と同方向に延びる第２溝を前記１溝と対応する位置に残す第２導電型の第２半導体層を形成する工程と、前記第２半導体層上に第２導電型半導体からなる充填層を形成して前記第２溝内に前記充填層を埋め込む工程と、前記充填層を形成後の構造の表面を平坦化する工程と、前記第２半導体層の上側部分を含む領域に第２導電型の不純物を拡散して第１領域を形成する工程と、前記第１領域の表面に第１導電型の不純物を拡散して第２領域を形成する工程と、前記第２領域と前記第１半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜及びゲート電極を形成する工程と、を具備する。

また、本発明の別態様の半導体装置の製造方法は、第１導電型の半導体基板上に、前記半導体基板よりも不純物濃度の低い第１導電型の第１半導体層を形成する工程と、エッチングにより、前記第１半導体層に前記第１半導体層の表面から深さ方向に延びて前記半導体基板またはその近傍に至る第１溝を形成する工程と、前記第１溝内で前記第１半導体層上に結晶成長により、前記深さ方向と同方向に延びる第２溝を前記１溝と対応する位置に残す第２導電型の第２半導体層を形成する工程と、前記第２半導体層上に前記第２溝の内面を覆う熱酸化膜を具備する充填層を形成して前記第２溝内に前記充填層を埋め込む工程と、前記充填層を形成後の構造の表面を平坦化する工程と、前記第２半導体層の上側部分を含む領域に第２導電型の不純物を拡散して第１領域を形成する工程と、前記第１領域の表面に第１導電型の不純物を拡散して第２領域を形成する工程と、前記第２領域と前記第１半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜及びゲート電極を形成する工程と、を具備する。

また、本発明の別態様の半導体装置の製造方法は、第１導電型の半導体基板上に、前記半導体基板よりも不純物濃度の低い第１導電型の第１半導体層を形成する工程と、エッチングにより、前記第１半導体層に前記第１半導体層の表面から深さ方向に延びて前記半導体基板またはその近傍に至る第１溝を形成する工程と、不純物イオンの注入により、前記第１溝内に露出する前記第１半導体層の表面内に前記深さ方向と同方向に延びる第２溝を前記１溝と対応する位置に残す第２導電型の第２半導体層を形成する工程と、前記第２溝内で前記第２半導体層上に結晶成長により前記深さ方向と同方向に延びる第３溝を前記２溝と対応する位置に残す第１導電型の第３半導体層を形成する工程と、前記第３半導体層上に充填層を形成して前記第３溝内に前記充填層を埋め込む工程と、前記充填層を形成後の構造の表面を平坦化する工程と、前記第２半導体層の上側部分を含む領域に第２導電型の不純物を拡散して第１領域を形成する工程と、前記第１領域の表面に第１導電型の不純物を拡散して第２領域を形成する工程と、前記第２領域と前記第３半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜及びゲート電極を形成する工程と、を具備する。

また、本発明の別態様の半導体装置の製造方法は、第１導電型の半導体基板上に、前記半導体基板よりも不純物濃度の低い第１導電型の第１半導体層を形成する工程と、エッチングにより、前記第１半導体層に前記第１半導体層の表面から深さ方向に延びて前記半導体基板またはその近傍に至る第１溝を形成する工程と、不純物イオンの注入により、前記第１溝内に露出する前記第１半導体層の表面内に前記深さ方向と同方向に延びる第２溝を前記１溝と対応する位置に残す第２導電型の第２半導体層を形成する工程と、前記第２半導体層上に充填層を形成して前記第２溝内に前記充填層を埋め込む工程と、前記充填層を形成後の構造の表面を平坦化する工程と、前記第２半導体層の上側部分を含む領域に第２導電型の不純物を拡散して第１領域を形成する工程と、前記第１領域の表面に第１導電型の不純物を拡散して第２領域を形成する工程と、前記第２領域と前記第１半導体層の上側部分との間に位置する、前記第１領域の表面部分であるチャネル領域上に、絶縁膜及びゲート電極を形成する工程と、を具備する。

【０００９】
【発明の実施の形態】
以下、図１乃至図８を参照し本発明の第一の実施の形態を説明する。
図１は本発明の第一の実施の形態に係わる、プレーナ型絶縁ゲートの電界効果トランジスタ（ＭＯＳＦＥＴ）の断面図である。$N^+$シリコン基板２１上には、複数のＮ型エピタキシャル層２２ａ、２２ｂ、２２ｃ及び複数のＰ型エピタキシャル層２０ａ、２０ｂが短冊状に繰り返し形成されている。
５００～６００Ｖのソース・ドレイン間の逆方向耐圧を得る場合、各Ｎ型エピタキシャル層２２ａ、２２ｂ及び各Ｐ型エピタキシャル層２０ａ、２０ｂは、その厚みを５０～６０μｍにし、導電型は異なるが共に$1\times10^{15}cm^{-3}$程度の不純物濃度を持つよう形成される。
そして、この$N^+$シリコン基板２１及び複数のＮ型エピタキシャル層２２ａ、２２ｂはＭＯＳＦＥＴのドレイン領域を構成する。Ｐ型エピタキシャル層２０ａ、２０ｂの表面にはＰ型ベース拡散領域２３ａ、２３ｂが選択的に拡散形成されており、Ｐ型ベース拡散領域２３ａ、２３ｂのそれぞれ表面には$N^+$型ソース拡散領域２４ａ～２４ｄが選択的に形成されている。また、各Ｐベース拡散領域２３ａ、２３ｂは、それぞれＰ型エピタキシャル層２０ａ、２０ｂに達するような溝を有しており、その溝は、側壁に形成された熱酸化絶縁膜２９及びポリシリコン層３０によって埋め込まれている。
【００１０】
そして、例えば一方のＰ型ベース拡散領域２３ａ及び$N^+$型ソース拡散領域２４ｂからＮ型エピタキシャル層２２ｂの表面領域を介して、他方のＰ型ベース拡散領域２３ｂ及び$N^+$型ソース拡散領域２４ｃに至る領域上には、ゲート酸化膜２５を介して、ポリシリコンからなるゲート電極２６が形成されており、同様に$N^+$シリコン基板２１上に形成された複数のＮ型エピタキシャル層上にも、ゲート酸化膜を介してゲート電極が形成されている。また、Ｐ型ベース拡散領域２３ａ、２３ｂと$N^+$型ソース拡散領域２４ａ～２４ｄとに接続するようその上には、ソース電極２７が形成されている。さらに、$N^+$型シリコン基板２１は、Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃとは反対側の表面上にドレイン電極２８が形成されている。
ＭＯＳＦＥＴは、ゲート電極２６下に位置するＰ型ベース拡散領域２３ａ、２３ｂの表面部分をチャネル領域とし、更に$N^+$型ソース拡散領域２４ａ～２４ｄ及びＮ型エピタキシャル層２２ａ～２２ｃとにより構成され、そしてゲート電極２６にしきい値以上の正電圧が印加されると、そのチャネル領域の表面に反転層が生じてオン状態となる。オン電流は、ドレイン電極２８より$N^+$シリコン基板２１、Ｎ型エピタキシャル層２２ａ～２２ｃ、チャネル領域、$N^+$型ソース拡散領域２４ａ～２４ｄを通ってソース電極２７に流れる。
【００１１】
このような第一の実施の形態に示すプレーナ型絶縁ゲート電界効果トランジスタにおいては、Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃの不純物濃度を高くすることができ、ＭＯＳＦＥＴのオン抵抗を大幅に低減することができる。図２５に示す従来技術の構造では、例えば５００～６００Ｖのソース・ドレイン間の逆方向耐圧得る為には、Ｎ型エピタキシャル層の不純物濃度を$2\times10^{14}cm^{-3}$前後の低濃度（抵抗率２４Ω・ｃｍ）である為、大きな抵抗となっていた。しかしながら、第一の実施の形態の構造では、電流経路としては従来技術と同じであるが、Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃの不純物濃度を$1\times10^{15}cm^{-3}$前後として抵抗率を従来の約１／４にすることができる為、オン抵抗を大幅に低減することができる。Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃの不純物濃度を高くすることによる、ソース・ドレイン間の逆方向耐圧の低下という問題は、この第一の実施の形態においては、Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃと同じ不純物濃度を有するＰ型エピタキシャル層２０ａ、２０ｂを有することにより解決されている。つまり、ＭＯＳＦＥＴのオフ状態で、ソース・ドレイン間に逆方向のバイアスが印加された時に、短冊状のＮ型及びＰ型のエピタキシャル層が繰り返し存在することで、両者を完全に空乏化させることができる。

【００１２】
次に、この第一の実施の形態に示したプレーナ型絶縁ゲート電界効果トランジスタの製造工程を図２乃至図８を用いて説明する。まず、図２に示すように高い不純物濃度を有するＮ＋型シリコン基板２１上に、１×１０１５ｃｍ－３前後の不純物濃度を有すＮ型エピタキシャル層２２を形成させる。その後、図３に示すようにＮ型エピタキシャル層２２に対し、Ｎ＋型シリコン基板２１に達するようエッチングを行い選択的にトレンチを形成する。これによりＮ型エピタキシャル層２２は、２２ａ、２２ｂ、２２ｃの各領域に分割される。次にこのトレンチ形成時に生じた歪み、結晶欠陥を除去する為に、熱酸化処理を行い、この熱酸化処理によって表面に形成された熱酸化膜は完全に除去する。
その後、図４に示すようにＮ＋型シリコン基板２１及びＮ型エピタキシャル層２２ａ～２２ｃ上に、Ｐ型エピタキシャル層２０を形成する。Ｐ型エピタキシャル層２０の不純物濃度は、Ｎ型エピタキシャル層２２ａ～２２ｃと同様の１×１０１５ｃｍ－３である。そして、図５に示すように、トレンチ形成時に生じる結晶欠陥を更に低減させ、ソース・ドレイン間の漏れ電流を抑制する為に熱処理を行ない、熱酸化絶縁膜２９を形成する。さらに図６に示すように、その上にポリシリコン層３０形成してトレンチを完全に埋め戻す。この状態では、以後の工程においてＭＯＳＦＥＴのゲート酸化膜２５を形成しようとする基板表面部の歪みが十分除去されてない。そこで、図７に示すように基板表面上に形成された熱酸化絶縁膜２９、ポリシリコン層３０を除去するとともに、Ｎ型エピタキシャル層２２ａ～２２ｃ及びＰ型エピタキシャル層２０の表面に対して、研磨またはエッチングを行って表面領域を除去すると共に、同時に所定の厚さに調整する。第一の実施形態のように、例えば５００～６００Ｖのソース・ドレイン間の逆方向耐圧を得る場合、各Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃ及びＰ型エピタキシャル層２０の厚みを５０～６０μｍに調整する。
【００１３】
この後、図８に示すように、Ｎ型エピタキシャル層２２ａ～２２ｃ及びＰ型エピタキシャル層２０ａ、２０ｂの表面領域に、Ｐ型ベース拡散領域２３ａ、２３ｂ及びＮ＋型ソース拡散領域２４ａ～２４ｄを選択的に形成する。そして、ゲート酸化膜２５、ゲート電極２６、層間膜３１を形成し、続いてＰ型ベース拡散領域２３ａ、２３ｂとＮ＋型ソース拡散領域２４ａ～２４ｄとに接続するようソース電極２７を形成する。さらに、Ｎ＋型シリコン基板２１の、Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃとは反対側の表面上にドレイン電極２８を形成する。
このような製造方法によれば、電流経路となる領域において、Ｐ型エピタキシャル層を形成することにより追加された製造工程によって生じる、結晶の歪みや濃度変化の影響を受けることがなくなり、それによるオン抵抗への悪影響を抑制することができる。また、基板の厚さ方向に均一であり、同じ不純物濃度を持つＮ型エピタキシャル層及びＰ型エピタキシャル層を容易に製造することができ、安定したソース・ドレイン間の逆方向耐圧を実現することができる。
次に、図９を参照し本発明の第二の実施の形態を説明する。図９は本発明の第二の実施の形態に係わるプレーナ型絶縁ゲートの電界効果トランジスタ（ＭＯＳＦＥＴ）の断面図である。前述の第一の実施の形態と対応する構成要件に対しては、同一の参照番号を付し説明する。第一の実施の形態同様、Ｎ＋シリコン基板２１上には、複数のＮ型エピタキシャル層２２ａ、２２ｂ、２２ｃ及び複数のＰ型エピタキシャル層２０ａ、２０ｂが短冊状に繰り返し形成され、これらの厚さは５０～６０μｍであり、ともに１×１０１５ｃｍ－３程度の不純物濃度を持つよう形成されている。そして、Ｐ型エピタキシャル層２０ａ、２０ｂの表面にはＰ型ベース拡散領域２３ａ、２３ｂが選択的に拡散形成されており、Ｐ型ベース拡散領域２３ａ、２３ｂのそれぞれ表面には、Ｎ＋型ソース拡散領域２４ａ～２４ｄが選択的に形成されている。
【００１４】
各Ｐベース拡散領域２３ａ、２３ｂ中には、それぞれＰ型エピタキシャル層２０ａ、２０ｂに達するような高濃度のＰ＋型エピタキシャル層３３ａ、３３ｂを有している。

そして、例えば一方のＰ型ベース拡散領域２３ａ及びＮ＋型ソース拡散領域２４ｂからＮ型エピタキシャル層２２ｂの表面領域を介して、他方のＰ型ベース拡散領域２３ｂ及びＮ＋型ソース拡散領域２４ｃに至る領域上には、ゲート酸化膜２５を介して、ポリシリコンからなるゲート電極２６が形成されており、同様にＮ＋シリコン基板２１上に形成された複数のＮ型エピタキシャル層上にも、ゲート酸化膜を介してゲート電極が形成されている。また、Ｐ型ベース拡散領域２３ａ、２３ｂとＮ＋型ソース拡散領域２４ａ～２４ｄとに接続するようその上には、ソース電極２７が形成され、Ｎ＋型シリコン基板２１の表面上にドレイン電極２８が形成されている。

本実施の形態では、各Ｐベース拡散領域２３ａ、２３ｂ、２３ｃ及びＰ型エピタキシャル層２０ａ、２０ｂの中心に形成されている層が、高濃度のＰ＋型エピタキシャル層３３ａ、３３ｂである点で第一の実施の形態と相違している。しかしながら、本実施の形態においても、第一の実施の形態同様、Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃの不純物濃度を高くすることができ、ＭＯＳＦＥＴのオン抵抗を大幅に低減することができるという効果を有している。また、Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃの不純物濃度を高くすることによる、ソース・ドレイン間の逆方向耐圧の低下という問題も、第一の実施の形態同様に、Ｎ型エピタキシャル層２２ａ、２２ｂ、２２ｃと同じ不純物濃度有するＰ型エピタキシャル層２０ａ、２０ｂを有することにより解決される。さらに、第一の実施の形態においては、トレンチの埋め戻しに熱酸化絶縁膜及びポリシリコン層の形成を行っていたが、この工程が不要となり、Ｐ型エピタキシャル層を形成した後、連続したエピタキシャル成長によりトレンチの埋め戻しができるため製造工程を簡略化することができる。

【００１５】

上述の第一及び第二の実施の形態では、図３に示すようにＮ型エピタキシャル層２２に対して選択的に溝を形成する際、Ｎ型エピタキシャル層２２の基板表面からＮ＋シリコン基板２１にまで達する深さで形成しているが、形成する溝をＮ＋シリコン基板２１まで到達させず、後に形成するＰ型エピタキシャル層２０と同程度の幅になるようにＮ型エピタキシャル層２２領域内で止めておいても良い。その場合も第一及び第二の実施の形態同様のオン抵抗の低減及びドレイン－ソース間の逆方向耐圧特性を得ることができる。

次に、図１０乃至図１８を参照し本発明の第三の実施の形態を説明する。図１０は本発明の第三の実施の形態に係わるプレーナ型絶縁ゲートの電界効果トランジスタ（ＭＯＳＦＥＴ）の断面図である。前述の第一、第二の実施の形態と対応する構成要件に対しては、同一の参照番号を付し説明する。Ｎ＋シリコン基板２１上には、複数の第一のＮ型エピタキシャル層３４ａ、３４ｂ、３４ｃが一定間隔を隔てて形成されおり、それぞれの第一のＮ型エピタキシャル層の間には、短冊状のＰ型領域／第二のＮ型エピタキシャル層／Ｐ型領域の構造が形成されている。例えば、第一のＮ型エピタキシャル層３４ａ、３４ｂ間には、Ｐ型領域３５ａ、第二のＮ型エピタキシャル層３６ａ、Ｐ型領域３５ｂが形成されている。

【００１６】

５００～６００Ｖのソース・ドレイン間の逆方向耐圧を得る場合、各第一のＮ型エピタキシャル層３４ａ～３４ｃ及び各Ｐ型領域３５ａ～３５ｅは、その厚みを５０～６０μｍにし、共に$1\times10^{15}cm^{-3}$程度の不純物濃度を持つよう形成される。

そして、このＮ＋シリコン基板２１上及び複数の第一のＮ型エピタキシャル層３４ａ～３４ｃはＭＯＳＦＥＴのドレイン領域を構成する。第二のＮ型エピタキシャル層３６ａ～３６ｃ及びＰ型領域３５ａ～３５ｅの表面にはＰ型ベース拡散領域２３ａ、２３ｂ、２３ｃが選択的に拡散形成されており、Ｐ型ベース拡散領域２３ａ、２３ｂ、２３ｃのそれぞれ表面にはＮ＋型ソース拡散領域２４ａ～２４ｅが選択的に形成されている。また、各第一のＮ型エピタキシャル層３４ａ～３４ｃは溝を有しており、その溝は、側壁に形成された熱酸化絶縁膜３７及びポリシリコン層３８によって埋め込まれている。

そして、例えば一方のＰ型ベース拡散領域２３ａ及びＮ＋型ソース拡散領域２４ｂから第一のＮ型エピタキシャル層３４ｂの表面領域を介して、他方のＰ型ベース拡散領域２３ｂ

及びＮ＋型ソース拡散領域２４ｃに至る領域上には、ゲート酸化膜２５を介して、ポリシリコンからなるゲート電極２６が形成されており、同様に他の複数の第一のＮ型エピタキシャル層上にも、ゲート酸化膜を介してゲート電極が形成されている。そして、ゲート電極２６は層間膜３１により覆われている。また、Ｐ型ベース拡散領域２３ａ、２３ｂ、２３ｃとＮ＋型ソース拡散領域２４ａ～２４ｅとに接続するようその上には、ソース電極２７が形成されている。さらに、Ｎ＋型シリコン基板２１は、第一のＮ型エピタキシャル層３４ａ～３４ｃとは反対側の表面上にドレイン電極２８が形成されている。

【００１７】

ＭＯＳＦＥＴは、ゲート電極２６下に形成されているＰ型ベース拡散領域２３ａ～２３ｃの表面をチャネル領域とし、更にＮ＋型ソース拡散領域２４ａ～２４ｅ及びＮ型エピタキシャル層３４ａ～３４ｃとにより構成され、そしてゲート電極２６にしきい値以上の正電圧が印加されると、そのチャネル領域の表面に反転層が生じてオン状態となる。オン電流は、ドレイン電極２８よりＮ＋シリコン基板２１、第一のＮ型エピタキシャル層３４ａ～３４ｃ、チャネル領域、Ｎ＋型ソース拡散領域２４ａ～２４ｅを通ってソース電極２７に流れる。

このように前述の第一、第二の実施の形態同様に本実施の形態におけるに示すプレーナ型絶縁ゲート電界効果トランジスタにおいても、第一のＮ型エピタキシャル層３４ａ～３４ｃの不純物濃度を高くすることができ、ＭＯＳＦＥＴのオン抵抗を大幅に低減することができる。第一のＮ型エピタキシャル層３４ａ～３４ｃの不純物濃度を高くすることによる、ソース・ドレイン間の逆方向耐圧の低下という問題は、この第三の実施の形態においては、第一のＮ型エピタキシャル層３４ａ～３４ｃと同じ不純物濃度有するＰ領域３５ａ～３５ｅを有することにより解決されている。つまり、ＭＯＳＦＥＴのオフ状態で、ソース・ドレイン間に逆方向のバイアスが印加された時に、短冊状の第一、第二のＮ型エピタキシャル層及びＰ型領域が繰り返し存在することで、Ｐ型及びＮ型の領域の双方にバランスを保ちながら空乏層を伸ばすことができる。

【００１８】

次に、この第三の実施の形態に示したプレーナ型絶縁ゲート電界効果トランジスタの製造工程を図１１乃至図１８を用いて説明する。まず、図１１に示すように高い不純物濃度を有するＮ＋型シリコン基板２１に、$1\times10^{15}cm^{-3}$前後の不純物濃度を有する第二のＮ型エピタキシャル層３６を形成させる。その後、図１２に示すように第二のＮ型エピタキシャル層３６に対し、Ｎ＋型シリコン基板２１に達するようエッチングを行い選択的にトレンチを形成する。これにより第二のＮ型エピタキシャル層３６は、３６ａ、３６ｂ、３６ｃの各領域に分割される。次にこのトレンチ形成時に生じた歪み、結晶欠陥を除去する為に、熱酸化処理を行い、この熱酸化処理によって表面に形成された熱酸化膜は完全に除去する。

その後、図１３に示すように歪みが除去された第二のＮ型エピタキシャル層の側面に沿ってボロン等のＰ型不純物イオンの注入を行なって、第二のＮ型エピタキシャル層と同様の$1\times10^{15}cm^{-3}$前後の不純物濃度を有するＰ型領域３５ｂ～３５ｅを形成する。さらに図１４に示すように、Ｎ＋型シリコン基板２１及び第二のＮ型エピタキシャル層３６ａ～３６ｃ上に、第一のＮ型エピタキシャル層３４ａ～３４ｃを形成する。第一のＮ型エピタキシャル層３４ａ～３４ｃの不純物濃度は、第二のＮ型エピタキシャル層及びＰ型領域３５ｂ～３５ｅと同様の$1\times10^{15}cm^{-3}$である。

【００１９】

このエピタキシャル成長時には、トレンチの側壁部（Ｐ型領域３５ａ～３５ｅ）と底部（Ｎ＋型シリコン基板２１）とでは、結晶方位の違いからトレンチは完全に埋め込むことができず、このままでは基板の強度を十分に保つことができない。そのために、図１５に示すように、熱処理により、熱酸化絶縁膜３７を形成し、さらに図１６に示すように、その上にポリシリコン層３８形成してトレンチを完全に埋め戻す。この状態では、以後の工程においてＭＯＳＦＥＴのゲート酸化膜２５を形成しようとする基板表面部の歪みが十分除去されてない。そこで、図１７に示すように基板表面上に形成された熱酸化絶縁膜３７、

ポリシリコン層３８を除去するとともに、第一のＮ型エピタキシャル層３４ｂ～３４ｃ、第二のエピタキシャル層３６ａ～３６ｃ及びＰ型領域３５ｂ～３５ｅに対して、研磨またはエッチングを行って表面領域を除去すると共に、同時に所定の厚さに調整する。第三の実施形態のように、例えば５００～６００Ｖのソース・ドレイン間の逆方向耐圧を得る場合、これらの厚みを５０～６０μｍに調整する。
この後、図１８に示すように、第二のＮ型エピタキシャル層３６ａ～３６ｃ及びＰ型領域３５ｂ～３５ｅの表面領域に、Ｐ型ベース拡散領域２３ａ、２３ｂ、２３ｃ及びＮ＋型ソース拡散領域２４ｂ～２４ｅを選択的に形成する。そして、ゲート酸化膜２５、ゲート電極２６、層間膜３１を形成し、続いてＰ型ベース拡散領域２３ａ、２３ｂ、２３ｃと$N^+$型ソース拡散領域２４ｂ～２４ｄとに接続するようソース電極２７を形成する。さらに、$N^+$型シリコン基板２１の表面上にドレイン電極２８を形成する。

【００２０】
このような製造方法によれば、基板の厚さ方向に均一であり、同じ不純物濃度を持つ第一及び第二のＮ型エピタキシャル層及びＰ型領域を容易に製造することができ、安定したソース・ドレイン逆方向耐圧を実現することができる。上述の第三の実施の形態では、図１２に示すようにＮ型エピタキシャル層３６に対して選択的に溝を形成する際、Ｎ型エピタキシャル層３６の基板表面からＮ＋ シリコン基板２１にまで達する深さで形成しているが、形成する溝をＮ＋ シリコン基板２１まで到達させず、後に形成するＮ型エピタキシャル層３４と同程度の幅になるようにＮ型エピタキシャル層３６領域内で止めておいても良い。その場合も第三の実施の形態同様のオン抵抗の低減及びドレイン－ソース間の逆方向耐圧特性を得ることができる。次に、図１９乃至図２４を参照し本発明の第四の実施の形態を説明する。図２４は本発明の第四の実施の形態に係わるプレーナ型絶縁ゲートの電界効果トランジスタ（ＭＯＳＦＥＴ）の完成された断面図である。前述の第一、第二の実施の形態と対応する構成要件に対しては、同一の参照番号を付し説明する。Ｎ＋ シリコン基板２１上には、複数のＮ型エピタキシャル層４０ａ、４０ｂ、４０ｃ及び複数のＰ型領域４１ａ～４１ｄが短冊状に形成されている。

【００２１】
５００～６００Ｖのソース・ドレイン間の逆方向耐圧を得る場合、各Ｎ型エピタキシャル層４０ａ～４０ｃ及び各Ｐ型領域４１ａ～４１ｄは、その厚みを５０～６０μｍにし、共に$1\times10^{15}\ cm^{-3}$程度の不純物濃度を持つよう形成される。
そして、この$N^+$シリコン基板２１及び複数のＮ型エピタキシャル層４０ａ～４０ｃはＭＯＳＦＥＴのドレイン領域を構成する。Ｐ型領域４１ａ～４１ｄの表面にはＰ型ベース拡散領域４３ａ～４３ｄが選択的に拡散形成されており、Ｐ型ベース拡散領域４３ａ～４３ｄのそれぞれ表面には$N^+$型ソース拡散領域４４ａ～４４ｄが選択的に形成されている。また、Ｐベース拡散領域４３ａと４３ｂとの間、４３ｃと４３ｄとの間には、それぞれ$N^+$シリコン基板２１に達する溝を有しており、その溝は、側壁に形成された酸化膜４２によって埋め込まれている。
そして、例えば一方のＰ型ベース拡散領域４３ｂ及び$N^+$型ソース拡散領域４４ｂからＮ型エピタキシャル層４０ｂの表面領域を介して、他方のＰ型ベース拡散領域４３ｃ及び$N^+$型ソース拡散領域４４ｃに至る領域上には、ゲート酸化膜を介して、ポリシリコンからなるゲート電極２６が形成されており、同様に$N^+$シリコン基板２１上に形成された複数のＮ型エピタキシャル層上にも、ゲート酸化膜を介してゲート電極が形成されている。また、Ｐ型ベース拡散領域４３ａ～４３ｄと$N^+$型ソース拡散領域４４ａ～４４ｄとに接続するようその上には、ソース電極２７が形成されている。さらに、$N^+$型シリコン基板２１の反対側の表面上にドレイン電極２８が形成されている。

【００２２】
次に、この第四の実施の形態に示したプレーナ型絶縁ゲート電界効果トランジスタの製造工程を図１９乃至図２４を用いて説明する。まず、図１９に示すように高い不純物濃度を有する$N^+$型シリコン基板２１に、$1\times10^{15}\ cm^{-3}$前後の不純物濃度を有するＮ型エピタキシャル層４０を形成する。その後、図２０に示すようにＮ型エピタキシャル層４

０に対し、Ｎ＋型シリコン基板２１に達するようエッチングを行い選択的にトレンチを形成する。これによりＮ型エピタキシャル層４０は、４０ａ、４０ｂ、４０ｃの各領域に分割される。次にこのトレンチ形成時に生じた歪み、結晶欠陥を除去する為に、熱酸化処理を行い、この熱酸化処理によって表面に形成された熱酸化膜は完全に除去する。
その後、図２１に示すように歪みが除去されたＮ型エピタキシャル層の側面に沿いボロン等のＰ型不純物イオンの注入を行なって、Ｎ型エピタキシャル層と同様の$1\times10^{15}cm^{-3}$前後の不純物濃度を有するＰ型領域４１ａ～４１ｄを形成する。さらに図２２に示すように、その上に酸化膜４２を形成してトレンチを完全に埋め戻す。そして、図２３に示すように基板表面上に形成された酸化膜４２を除去するとともに、Ｎ型エピタキシャル層４０ａ～４０ｃ及びＰ型領域４１ａ～４１ｄに対して、研磨またはエッチングを行って表面領域を除去すると共に、同時に所定の厚さに調整する。例えば５００～６００Ｖのソース・ドレイン間の逆方向耐圧を得る場合、これらの厚みを５０～６０μｍに調整する。

【００２３】

この後、図２３に示すように、Ｐ型領域４１ａ～４１ｄの表面領域に、Ｐ型ベース拡散領域４３ａ～４３ｄ及びＮ＋型ソース拡散領域４４ａ～４４ｄを選択的に形成する。そして、ゲート酸化膜、ゲート電極、層間膜を形成し、続いてＰ型ベース拡散領域４３ａ～４３ｄとＮ＋型ソース拡散領域４４ａ～４４ｄとに接続するようソース電極２７を形成する。さらに、Ｎ＋型シリコン基板２１の表面上にドレイン電極２８を形成する。
このような製造方法によれば、基板の厚さ方向に均一であり、同じ不純物濃度を持つ第一及び第二のＮ型エピタキシャル層及びＰ型領域を容易に製造することができ、安定したソース・ドレイン逆方向耐圧を実現することができる。

【００２４】

【発明の効果】

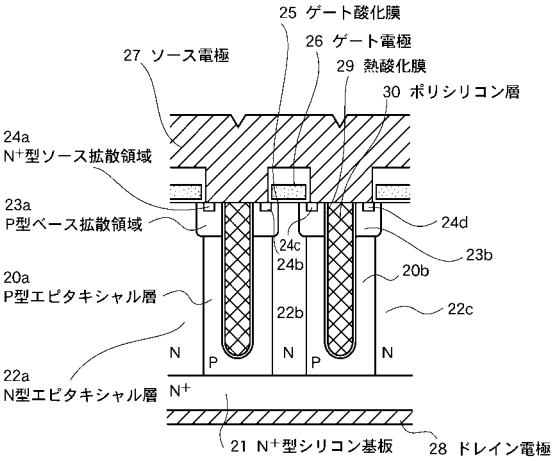
以上説明したように、本発明によれば、ＭＯＳＦＥＴのドレインを構成する半導体層の不純物濃度を従来構造に比べて高くでき、それによりオン抵抗を低減することができる。また、ソース・ドレイン間に逆方向のバイアスが印加された時には、第一導電型の半導体層（ドレイン領域）及び隣接する第二導電型の半導体層を完全に空乏化させることができ、耐圧が向上する。さらに、基板の厚さ方向に均一であり、同じ不純物濃度を持つ第一導電型の半導体層（ドレイン領域）及び隣接する第二導電型の半導体層を容易に製造することができ、安定したソース・ドレイン逆方向耐圧を実現することができる。

【図面の簡単な説明】

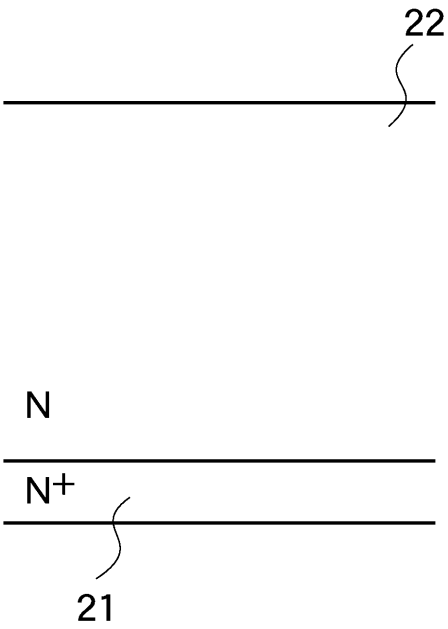
【図１】本発明の第一の実施の形態に係わる半導体装置の断面図である。
【図２】本発明の第一の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図３】本発明の第一の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図４】本発明の第一の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図５】本発明の第一の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図６】本発明の第一の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図７】本発明の第一の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図８】本発明の第一の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図９】本発明の第二の実施の形態に係わる半導体装置を示す断面図である。
【図１０】本発明の第三の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図１１】本発明の第三の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図１２】本発明の第三の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図１３】本発明の第三の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図１４】本発明の第三の実施の形態に係わる半導体装置の製造工程を示す断面図である。

【図１５】本発明の第三の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図１６】本発明の第三の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図１７】本発明の第三の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図１８】本発明の第三の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図１９】本発明の第四の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図２０】本発明の第四の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図２１】本発明の第四の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図２２】本発明の第四の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図２３】本発明の第四の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図２４】本発明の第四の実施の形態に係わる半導体装置の製造工程を示す断面図である。
【図２５】従来の半導体装置を示す断面図である。
【図２６】従来の半導体装置を示す断面図である。
【符号の説明】
２０ａ、２０ｂ　Ｐ型エピタキシャル層
２１　Ｎ$^{+}$型シリコン基板
２２ａ、２２ｂ、２２ｃ　Ｎ型エピタキシャル層
２３ａ、２３ｂ　Ｐ型ベース拡散領域
２４ａ、２４ｂ、２４ｃ、２４ｄ　Ｎ$^{+}$型ソース拡散領域
２５　ゲート酸化膜
２６　ゲート電極
２７　ソース電極
２８　ドレイン電極
２９　熱酸化膜
３０　ポリシリコン層

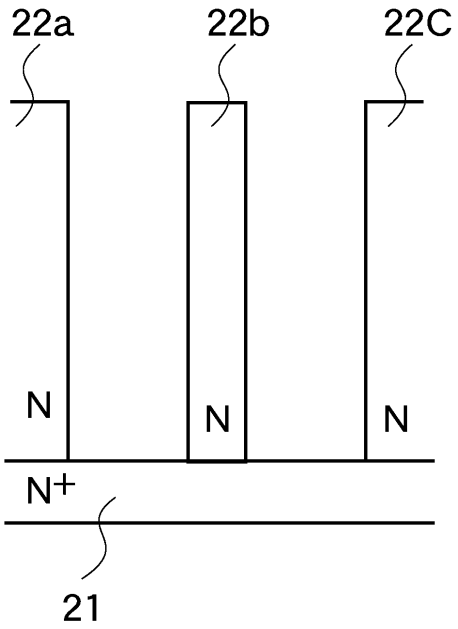
【図１】


25 ゲート酸化膜
26 ゲート電極
27 ソース電極
29 熱酸化膜
30 ポリシリコン層
24a
N+型ソース拡散領域
23a
P型ベース拡散領域
24c
24b
24d
23b
20b
20a
P型エピタキシャル層
22b
22c
N
P
N
P
N
22a
N型エピタキシャル層
N+
21 N+型シリコン基板
28 ドレイン電極

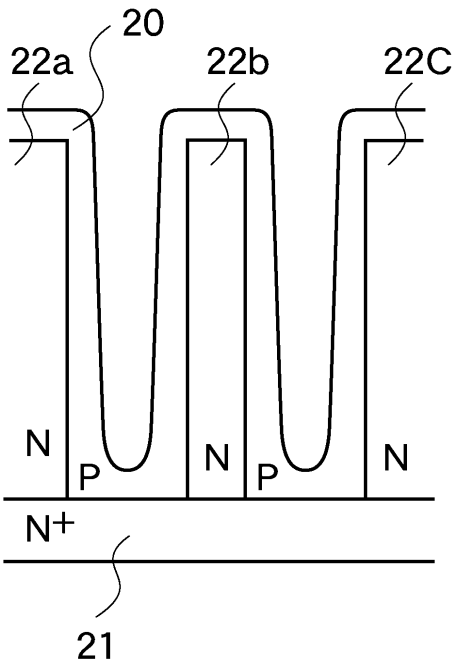
【図２】


22
N
N+
21

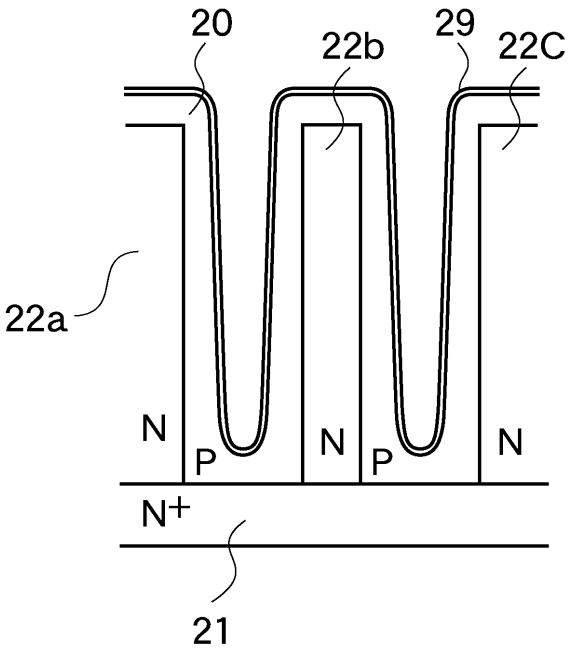
【図３】


22a
22b
22C
N
N
N
N+
21

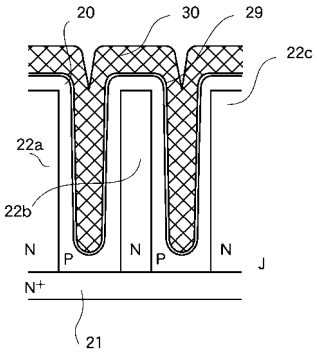
【図４】


20
22a
22b
22C
N
P
N
P
N
N+
21

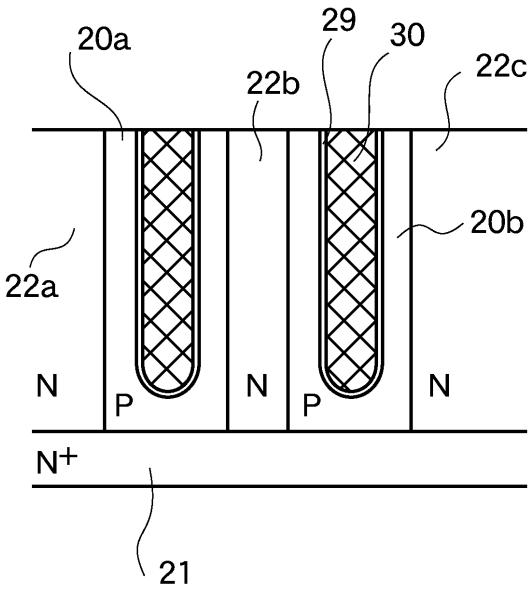
【図５】


20
22b
29
22C
22a
N
P
N
P
N
N+
21

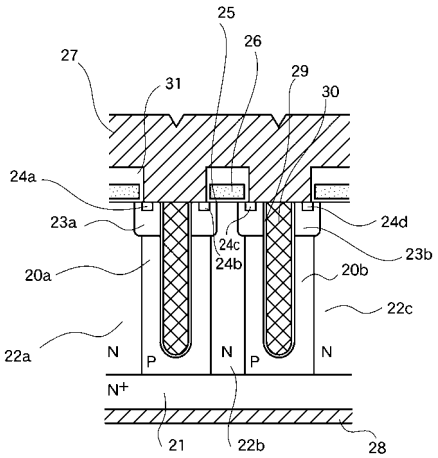
【図６】


20
30
29
22c
22a
22b
N
P
N
P
N
J
N+
21

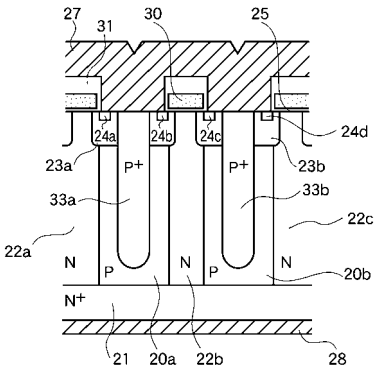
【図７】


20a
29
30
22b
22c
20b
22a
N
P
N
P
N
N+
21

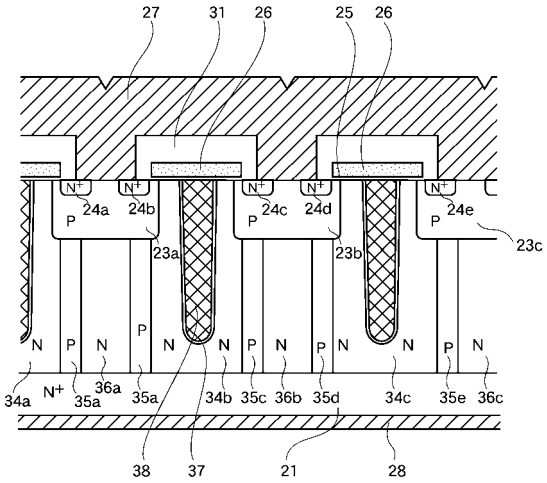
【図８】


25
26
27
31
29
30
24a
23a
24c
24d
23b
24b
20a
20b
22c
22a
N
P
N
P
N
N+
21
22b
28

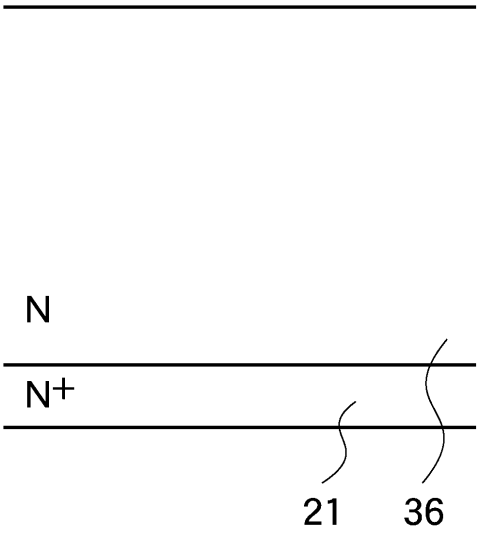
【図９】


27
31
30
25
24a
24b
24c
24d
23a
P+
P+
23b
33a
33b
22c
22a
N
P
N
P
N
20b
N+
21
20a
22b
28

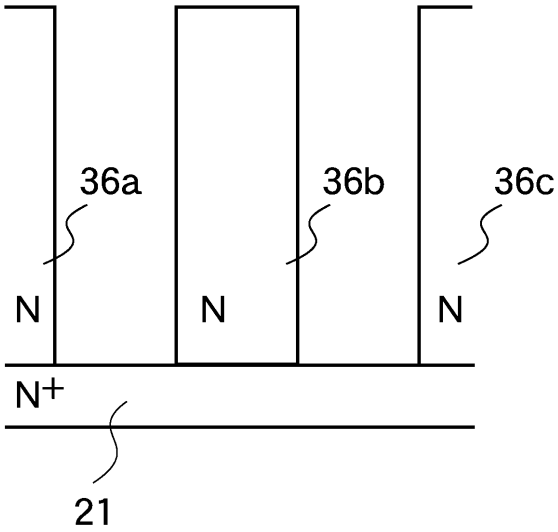
【図１０】



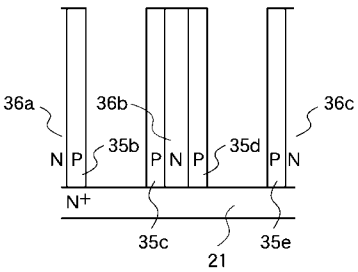

【図１１】



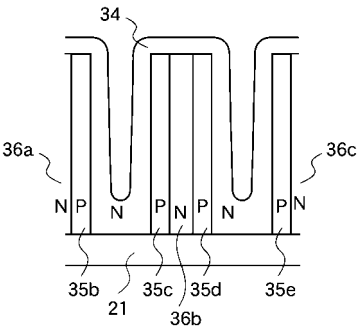

【図１２】



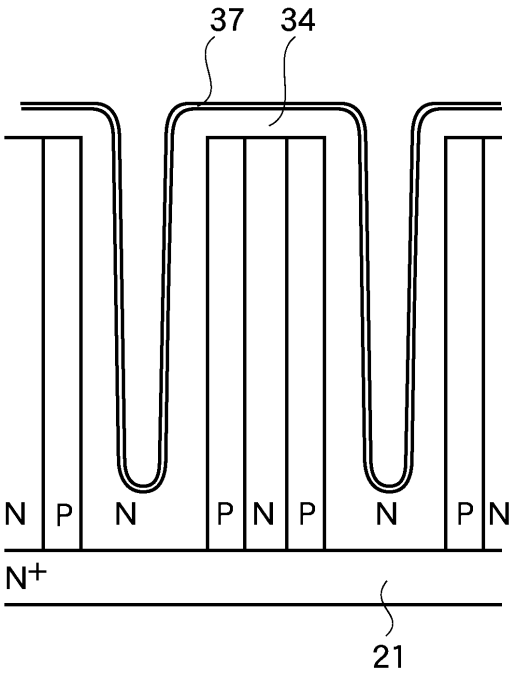

【図１３】



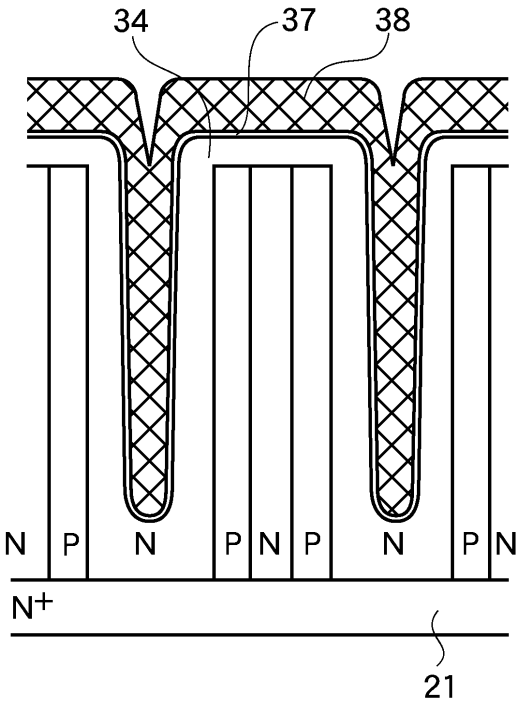

【図１４】



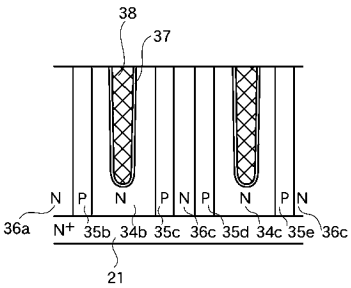
【図１５】



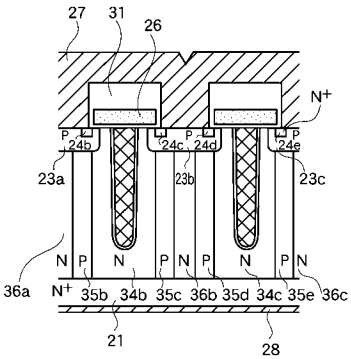

【図１６】



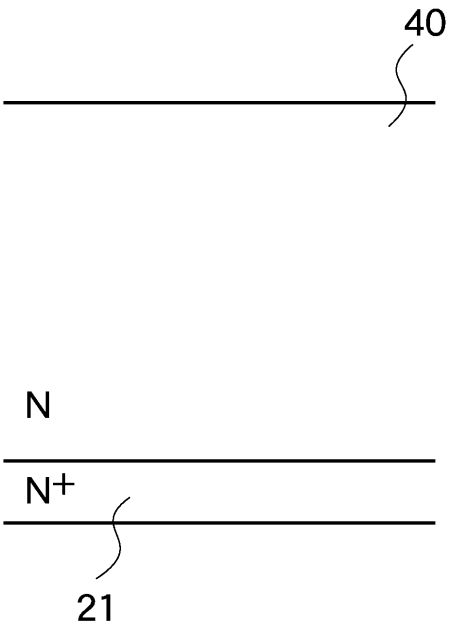

【図１７】



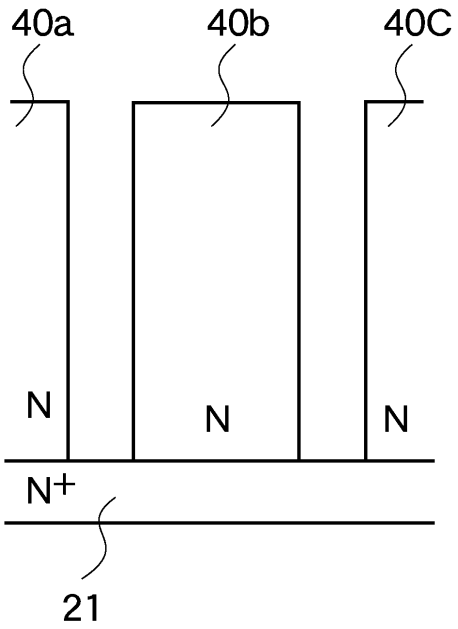

【図１８】



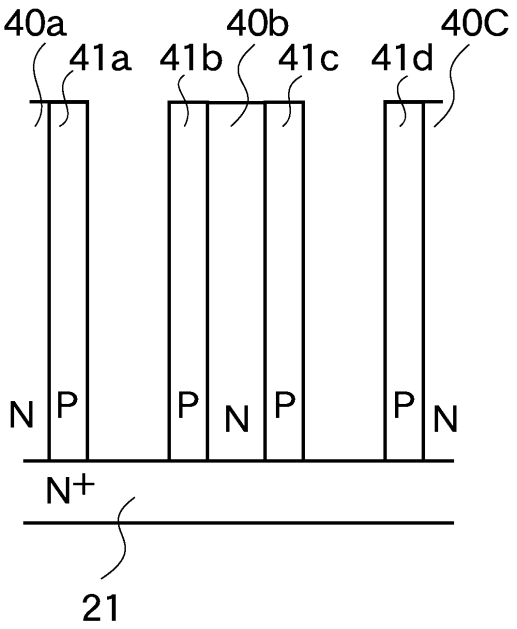

【図１９】



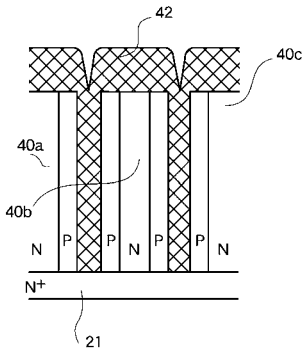
【図２０】



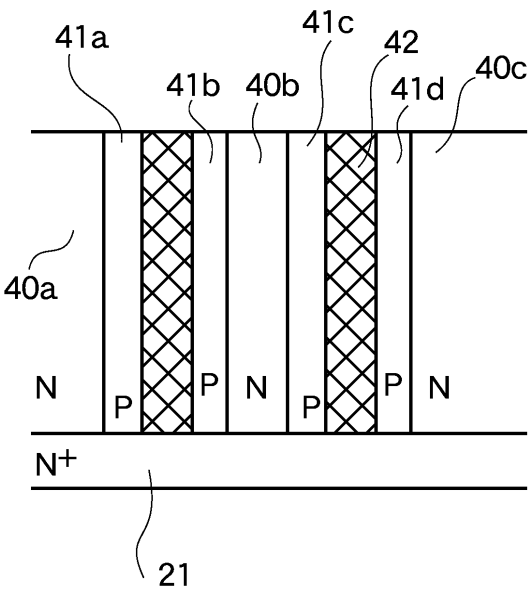

【図２１】



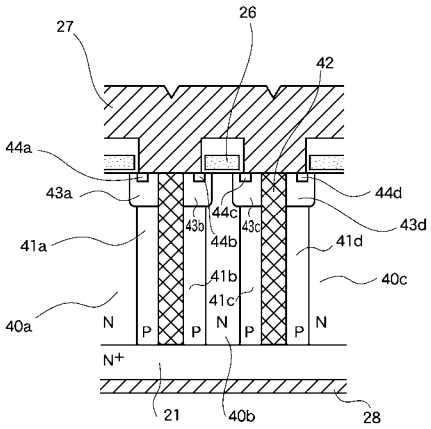

【図２２】



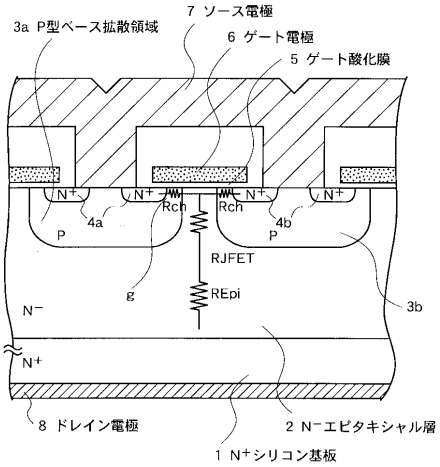

【図２３】



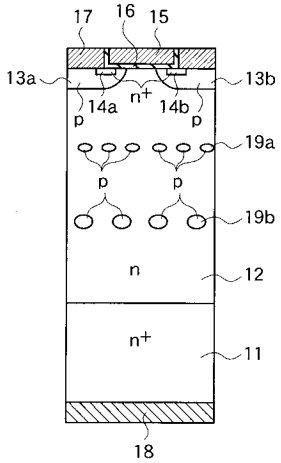
【図２４】


27
26
42
44a
43a
44d
43d
44c
43b
43c
44b
41a
41d
41b
40c
41c
40a
N
P
P
N
P
P
N
N+
21
40b
28

【図２５】


3a P型ベース拡散領域
7 ソース電極
6 ゲート電極
5 ゲート酸化膜
N+
N+
N+
N+
Rch
Rch
4a
4b
P
P
RJFET
g
REpi
3b
N−
N+
8 ドレイン電極
2 N−エピタキシャル層
1 N+シリコン基板

【図２６】


17
16
15
13a
13b
p
14a
n+
14b
p
19a
p
p
19b
n
12
n+
11
18

フロントページの続き

(72)発明者　碓氷　康典
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内

審査官　安田　雅彦

(56)参考文献　特表２００３－５１７２０８（ＪＰ，Ａ）
国際公開第００／３３３８５（WO，Ａ１）
国際公開第９９／２３７０４（WO，Ａ１）
国際公開第００／６８９９７（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L　29/78
H01L　21/336
H01L　29/06