

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-295794
(P2005-295794A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl.⁷
H02M 7/21

F I
H02M 7/21

テーマコード (参考)
5H006

審査請求 未請求 請求項の数 18 O L 外国語出願 (全 18 頁)

(21) 出願番号	特願2005-102957 (P2005-102957)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成17年3月31日 (2005.3.31)		大阪府門真市大字門真1006番地
(31) 優先権主張番号	60/557,694	(74) 代理人	100077931 弁理士 前田 弘
(32) 優先日	平成16年3月31日 (2004.3.31)	(74) 代理人	100094134 弁理士 小山 廣毅
(33) 優先権主張国	米国 (US)	(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実

最終頁に続く

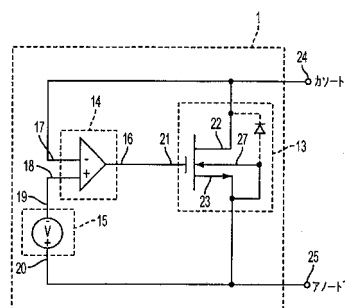
(54) 【発明の名称】 アクティブダイオード

(57) 【要約】 (修正有)

【課題】 ダイオード順方向電圧降下は数百ミリボルトあり、逆方向電流は特に高い逆方向素子電圧に対して許容しがたいほど大きい。順方向電圧および逆方向電流の低減は応用面での課題である。

【解決手段】 ソース、ドレイン、ゲート、およびバックゲート端子を有し、ソース端子はバックゲート端子に接続され、アクティブダイオードのアノード端子となる一方、ドレイン端子はアクティブダイオードのカソード端子となるアクティブダイオード。第1および第2の端子を有するオフセットバイアス電圧源とアンプを有し、非反転入力端子、反転入力端子、および出力端子を有し、その反転入力端子はトランジスタのドレイン端子に接続され、非反転入力端子はオフセットバイアス電圧源の第1の端子に接続され、出力端子はトランジスタのゲート端子に接続され、オフセットバイアス電圧源の第2の端子はトランジスタのソース端子に接続し、回路を簡素にした。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

ソース端子、ドレイン端子、ゲート端子、およびバックゲート端子を有し、上記ソース端子が上記バックゲート端子に接続されるとともに、上記ソース端子がアクティブダイオードのアノード端子となる一方、ドレイン端子がアクティブダイオードのカソード端子となる N M O S トランジスタと、

第 1 および第 2 の端子を有するオフセットバイアス電圧源と、

非反転入力端子、反転入力端子、および出力端子を有し、上記反転入力端子が上記 N M O S トランジスタのドレイン端子に接続される一方、上記非反転入力端子が上記オフセットバイアス電圧源の第 1 の端子に接続され、さらに、上記出力端子が N M O S トランジスタのゲート端子に接続されたアンプと、

を備え、

上記オフセットバイアス電圧源の第 2 の端子が N M O S トランジスタのソース端子に接続されたことを特徴とするアクティブダイオード。

10

【請求項 2】

請求項 1 のアクティブダイオードであって、

上記オフセットバイアス電圧源は、上記 N M O S トランジスタが、上記カソード端子とアノード端子との間の電圧が 0 ボルトよりも低くなった場合にのみ、オンになる電圧レベルを有することを特徴とするアクティブダイオード。

【請求項 3】

請求項 1 のアクティブダイオードであって、

上記カソード端子とアノード端子との間の電圧は、順方向電流が上記アノード端子からカソード端子に流れるときに、上記オフセットバイアス電圧源の電圧に保たれることを特徴とするアクティブダイオード。

20

【請求項 4】

請求項 1 のアクティブダイオードであって、

上記アンプはオペレーショナルアンプであることを特徴とするアクティブダイオード。

【請求項 5】

請求項 4 のアクティブダイオードであって、

上記オペレーショナルアンプは、オフセット電圧を有し、上記オフセットバイアス電圧源は、上記オペレーショナルアンプのオフセット電圧を超える電圧レベルに設定されていることを特徴とするアクティブダイオード。

30

【請求項 6】

請求項 1 のアクティブダイオードであって、

上記アンプは、上記カソード端子とアノード端子との間の電圧差を検出し、上記カソード端子とアノード端子との間の電圧差に応じた出力信号を生成することを特徴とするアクティブダイオード。

【請求項 7】

ソース端子、ドレイン端子、ゲート端子、およびバックゲート端子を有し、上記ソース端子が上記バックゲート端子に接続されるとともに、上記ソース端子がアクティブダイオードのカソード端子となる一方、ドレイン端子がアクティブダイオードのアノード端子となる P M O S トランジスタと、

40

第 1 および第 2 の端子を有するオフセットバイアス電圧源と、

非反転入力端子、反転入力端子、および出力端子を有し、上記非反転入力端子が上記 P M O S トランジスタのソース端子に接続される一方、上記反転入力端子が上記オフセットバイアス電圧源の第 1 の端子に接続され、さらに、上記出力端子が P M O S トランジスタのゲート端子に接続されたアンプと、

を備え、

上記オフセットバイアス電圧源の第 2 の端子が P M O S トランジスタのドレイン端子に接続されたことを特徴とするアクティブダイオード。

50

【請求項 8】

請求項 7 のアクティブダイオードであって、

上記オフセットバイアス電圧源は、上記 P M O S トランジスタが、上記カソード端子とアノード端子との間の電圧が 0 ボルトよりも低くなった場合にのみ、オンになる電圧レベルを有することを特徴とするアクティブダイオード。

【請求項 9】

請求項 7 のアクティブダイオードであって、

上記カソード端子とアノード端子との間の電圧は、順方向電流が上記アノード端子からカソード端子に流れるときに、上記オフセットバイアス電圧源の電圧に保たれることを特徴とするアクティブダイオード。

10

【請求項 10】

請求項 7 のアクティブダイオードであって、

上記アンプはオペレーショナルアンプであることを特徴とするアクティブダイオード。

【請求項 11】

請求項 10 のアクティブダイオードであって、

上記オペレーショナルアンプは、オフセット電圧を有し、上記オフセットバイアス電圧源は、上記オペレーショナルアンプのオフセット電圧を超える電圧レベルに設定されていることを特徴とするアクティブダイオード。

【請求項 12】

請求項 7 のアクティブダイオードであって、

上記アンプは、上記カソード端子とアノード端子との間の電圧差を検出し、上記カソード端子とアノード端子との間の電圧差に応じた出力信号を生成することを特徴とするアクティブダイオード。

20

【請求項 13】

ソース端子、ドレイン端子、ゲート端子、およびバックゲート端子を有し、上記ソース端子が上記バックゲート端子に接続されるトランジスタと、

第 1 および第 2 の端子を有するオフセットバイアス電圧源と、

非反転入力端子、反転入力端子、および出力端子を有し、上記反転入力端子が上記トランジスタのドレイン端子に接続される一方、上記非反転入力端子が上記オフセットバイアス電圧源の第 1 の端子に接続され、さらに、上記出力端子がトランジスタのゲート端子に接続されたアンプと、

30

を備え、

上記オフセットバイアス電圧源の第 2 の端子がトランジスタのソース端子に接続されたことを特徴とするアクティブダイオード。

【請求項 14】

請求項 13 のアクティブダイオードであって、

上記オフセットバイアス電圧源は、上記トランジスタが、上記アクティブダイオードのカソード端子とアノード端子との間の電圧が 0 ボルトよりも低くなった場合にのみ、オンになる電圧レベルを有することを特徴とするアクティブダイオード。

【請求項 15】

請求項 13 のアクティブダイオードであって、

上記アクティブダイオードのカソード端子とアノード端子との間の電圧は、電流が上記アノード端子からカソード端子に流れるときに、上記オフセットバイアス電圧源の電圧に保たれることを特徴とするアクティブダイオード。

40

【請求項 16】

請求項 13 のアクティブダイオードであって、

上記アンプはオペレーショナルアンプであることを特徴とするアクティブダイオード。

【請求項 17】

請求項 16 のアクティブダイオードであって、

上記オペレーショナルアンプは、オフセット電圧を有し、上記オフセットバイアス電圧

50

源は、上記オペレーショナルアンプのオフセット電圧を超える電圧レベルに設定されていることを特徴とするアクティブダイオード。

【請求項 18】

請求項 13 のアクティブダイオードであって、

上記アンプは、上記アクティブダイオードのカソード端子とアノード端子との間の電圧差を検出し、上記カソード端子とアノード端子との間の電圧差に応じた出力信号を生成することを特徴とするアクティブダイオード。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、主としてアクティブダイオードに関し、特に、例えば整流回路やスイッチングレギュレータなどに用いられるアクティブダイオードに関するものである。

【背景技術】

【0002】

電力を種々の装置の電子部品に供給するダイオードの用途は、当該分野において広く知られている。いくつかの例を挙げると、AC/ACコンバータやDC/DCコンバータにおける整流器や、信頼性や冗長性のために2つ以上のDC供給源のORを取ることに、また、スイッチングレギュレータを含む誘導性スイッチング回路のための電圧クランピングなどである。

【0003】

そのような応用において、ダイオードの機能は、順方向の（アノードからカソードへの）電流を最小限の電圧降下で流すとともに、逆方向の電流（“リーク”電流）を最小に抑えることである。ダイオードの順方向電圧降下を減らすためには、金属-半導体接合（ショットキ）ダイオードがしばしば用いられる。しかしながら、その順方向電圧降下は依然数百ミリボルトあり、逆方向電流は、特に高い逆方向素子電圧に対しては許容しがたいほどに大きい。順方向電圧および逆方向（リーク）電流の低減は、これらの応用におけるダイオードの性能の主要な数値である。

【0004】

ダイオードの順方向電圧降下を低減するためには、当該分野において、2端子ダイオードをトランジスタなどのアクティブスイッチングデバイスに置き換え得ることが知られている。ところが、トランジスタは、もちろん3端子デバイスであり、3番目の制御端子が応用に応じた適切な信号によって駆動されなければならない。多くのスイッチングレギュレータへの応用では、この制御信号は、既にメインスイッチのために使用されている制御信号の論理的な補足であり、その使用によって同期整流器が構成される。この信号を使用することにより、回路の複雑さは最小限に抑えられる。

【0005】

いくつかのスイッチングレギュレータを含むその他の多くの応用では、3端子ダイオードデバイスのための制御信号は直接用いられず、アノードおよびカソード端子での電圧および電流を監視する検出回路が、3番目の端子のための制御信号を生成するために付加される。2つの外部端子 - アノードおよびカソード（さらにおそらく電力供給）だけを有するブロック中に検出回路が含まれる場合には、アクティブダイオードは、通常の、しかし改善された特性を有するダイオードとして概ねそのまま置き換えられるように作製される。

【0006】

公知の整流回路の実施には、バイポーラ接合型トランジスタ（BJT）や酸化金属トランジスタ（MOSFET）が何れも用いられている。より高速なスイッチング時間は結果として改善された電力効率をもたらすので、MOSFETは、その高速なスイッチング速度のために、典型的に好ましい。BJTは、スイッチング速度が遅いという不利な点、特に、BJTは飽和の深さに伴って増大する蓄積時間を有しているという事実により、オフ遷移時のスイッチング速度が遅いという不利な点を有している。それゆえ、MOSFETは、そのような蓄積時間がないので、典型的に高速にオフ遷移する。

10

20

30

40

50

【0007】

MOSFETが典型的に好ましい他の理由は、MOSFETが、電圧で駆動され、したがって、連続的に流れる直流ゲート電流を必要とせず、充放電電流だけでよい。これに対して、BJTは、典型的に入力電圧供給源から供給される直流ベース電流を必要とする。消費電力を低減する1つの要因は、可能な限り最も小さい供給電流を用いることなので、上記BJTを駆動するために用いられるベース電流は同期整流回路の全体の効果を不利になるように減じることになる。

【0008】

さらに、飽和領域では、BJTのベース電流は、低飽和電流ゲイン“ ”のために非常に大きくなる。このベース電流ロスを最小にするためには、通常、BJTをアクティブ領域で動作させる。ところが、BJTをアクティブ領域で動作させるためには、比較的高いコレクタ - エミッタ間電圧 V_{CE} が必要となる。この高い電圧 V_{CE} は、同期整流器の順方向電圧降下と重大な効率の低下を招く。それでもなお、コレクタ - エミッタ接合の電圧 V_{CE} を低減することは、例えば大きな領域のBJTでバイスを用いることによって可能であるが、この方法の欠点は、飽和領域だけで動作させるのと同じように、コスト、サイズ、および回路の複雑さが増大することである。したがって、低い電圧 V_{CE} だが大きなベース電流の飽和利用域で動作させることと、少ないベース電流だが高い電圧 V_{CE} のアクティブ領域で動作させることとの衝突は、適度な効果のための妥協がより必要とされる効果の見通しのキーフォーカスとなる。

【0009】

上記の問題を調整する1つの方法は、米国特許第6,563,725号(以下、「725特許」と言う。)に開示されているように、BJTを擬似的な飽和領域で動作させることである。725特許で述べられているように、コレクタ - エミッタ接合電圧 V_{CE} は、トランジスタと負荷を流れる電流に比例し、部分的にオンになる V_{CE} 電圧と適度なだけのベース電流の立ち上がりとBJTのための大きなデバイス領域を生じるように制御される。

【0010】

図1(a)は、725特許に開示されている同期整流器の構成を示し、図1(b)は、同特許に開示されている同期整流器のBJT102に形成される種々の接合を示す。図1(a)に示すように、回路は、BJT102、相互コンダクタンスアンプ110、およびオフセット電圧源116を有している。同図に示すように、相互コンダクタンスアンプ110の出力は、BJT102のベース端子108に接続されている。BJT102のコレクタ端子106は、アノード端子として働く。BJT102のエミッタ端子104は、カソード端子として働き、インダクタを介して負荷に接続されている。BJT102のエミッタおよびコレクタ端子は、さらに、それぞれ相互コンダクタンスアンプ110の反転端子112および非反転端子114に接続されている。相互コンダクタンスアンプ110は、BJT102のコレクタ - エミッタ間電圧(V_{CE})を検出し、本質的に相互コンダクタンスアンプ110の正負入力間の電圧差に比例したベースドライブ電流(I_B)を供給する機能を有している。ここで、 $I_B = 0$ のときの V_{CE} は、 $V_{CE} = 0$ に対して、わずかな正のオフセット電圧源116の電圧だけ“オフセット”している。725特許で説明されているように、上記オフセットは、広いレンジのBJTコレクタ電流にわたって最適な I_B 対 V_{CE} 関係を実現するために必要とされる。

【0011】

動作時には、順方向電圧が最初に印加されたときに、BJT102の初期状態がオフだとしても、比較的高い V_{CE} は大きな順方向電流 I_B を流し、 V_{CE} が動作レベル、すなわち、定常状態に低下するまで、大きなベースドライブターンオンパルスを供給する。上記一時的な順方向電圧は、P - N接合ダイオードの“順方向リカバリ”電圧と類似したものである。

【0012】

導電状態では、 I_B と V_{CE} (V_{offset} を含む)の比例関係は、所定の伝導電流としての最適なベースドライブ電流を供給する。BJT102のターンオフは、 V_{CE} が V_{offset} よ

10

20

30

40

50

りも低下したとき、または極性が反転したときに、逆ベース電流 I_B によって引き起こされる。

【0013】

上記のような従来の同期整流回路 100 では、1つの電圧の問題は、エミッタ - ベース逆ブレークダウン電圧 BV_{eb} である。動作時に、カソード端子の電圧は接地 GND 付近から（正の）供給電圧に変化する。エミッタ - ベース逆ブレークダウン電圧 BV_{eb} は、近年の半導体技術では絶え間なく低減されているが、エミッタ - ベース逆ブレークダウン電圧 BV_{eb} は、出力端子の電圧が供給電圧レベルに変化する際に過大になりがちである。それゆえ、電圧デバイス破壊が、回路動作のために十分な電圧レベルが供給される前でも引き起こされることは生じ得る。

10

【0014】

他の電圧の問題は、相互コンダクタンスアンプ 110 の一時的な応答である。カソード端子 122 とアノード端子 124 の間にはダイオードやクランプ回路が挿入されていないので、同期整流器 (SR) の電流が順方向になったときに相互コンダクタンスアンプ 110 がオンになるまでは電流経路が存在しない。BJT 102 のエミッタ - ベース接合は、図 1 (b) に示すように PN 接合を形成するが、ベース端子 108 への電流供給パスは存在しない。このため、カソード端子 122 や、エミッタ端子 104、およびベース端子 108 の電圧は、実質的にコレクタ端子 106 に対して負の、通常のダイオードの値としては、はるかに過度な電圧になる。この電圧は、例えば、10 ボルト以上になる。その結果、この大きな電圧は SR 回路の電力効率を損ねるだけでなく、ベース - コレクタ接合のブ

20

【0015】

他の同期整流回路は、米国特許第 5,420,532 (以下、「532 特許」と言う。) に開示されている。図 2 は、532 特許に開示されている同期整流回路の回路図を示し、図 3 は、上記回路の動作についてのタイミングチャートを示す。この回路の目的は、誘導性負荷がターンオフしている間、実質的に電力の浪費を抑えるように、残留負荷電流をリサーキュレイトし、出力をクランピングして、ドライビングスイッチをオフにすることを含むエネルギー保存手法を使用して誘導性負荷を効率的に切り換えることである。

【0016】

動作時には、同期整流 200 は、LX 端子 220 の電圧を検出し、MOS トランジスタ 204 を以下のように制御する。すなわち、MOS トランジスタ 204 は、オンとオフとの 2つの状態に制御される。入力 SW 218 が 226 での電圧に対して MOS 閾値電圧よりも高い電圧であれば、トランジスタ 202 は導通状態になり、誘導性負荷 214 をドライブする。入力 SW 218 がほぼ 0V に低下すると、トランジスタ 202 はオフになる。インダクタを流れる電流は即座には変化しないので、インダクタ 212 は、式 $V = L \cdot (di/dt)$ で表される負のフライバック状態になる。そこで、LX 端子 220 の電圧は、リサーキュレーション電流 I_{L222} のために負になり始め、MOS トランジスタ 204 がオンになる。それゆえ、MOS トランジスタ 204 は、リサーキュレーション電流 I_{L222} を導通させ始める。MOS トランジスタ 204 は、LX 端子 220 の電圧を接地よりもオン抵抗 R_{ON} とリサーキュレーション電流 I_L との積で定義されるだけ低い電圧まで低下させるだけであり、この電圧は普通のダイオードによる順方向電圧降下よりも十分に小さく、電力の消費、したがってインダクタ 212 の電流のターンオフからの電力ロスは十分に小さい。

30

40

【0017】

また、リサーキュレーション電流 I_{L222} は、インダクタ 212 の時定数に応じて減少する。LX 端子 220 の電圧は、オン抵抗 R_{ON} とリサーキュレーション電流 I_L との積によって定まり、同期整流 200 の閾値電圧に近づく。LX 端子 220 の電圧が上記閾値電圧よりも高くなると、MOS トランジスタ 204 は自動的にオフになり、バックゲートとソースとによって形成されるダイオードがアクティブになるまで、LX 端子 220 の電圧を再度低下させる。一方、LX 端子 220 の電圧が回路の閾値電圧よりも低くなると、

50

MOSトランジスタ204がオンになる。すなわち、バックゲートとソースとによって形成されるダイオードの両端の電圧が、MOSトランジスタ204を再度オンにするのに十分な電圧になる。しかしながら、閾値電圧を超えたり下回ったりする動作が繰り返され、図3に“トランジスタ204/ゲート”信号として示すように発振状態になると、電力ロスがMOSトランジスタ204において非常に大きくなり得る。この望ましくない発振状態を防止しようとする、追加の制御機能を上記の構成に組み込まなくてはならず、さらにコストや回路規模が増大することになる。

【0018】

さらに、MOSトランジスタ204は、そのゲート電圧がターンオフ閾値電圧に達するまでは、フルにオンになる。オフにするためには、MOSトランジスタ204のゲート容量を十分にディスチャージする必要がある。ゲート電圧がMOS閾値電圧よりも低くされるまではMOSトランジスタ204はオンに保たれる。もしターンオフ時間が長くなると、リサーキュレーション電流 I_{L222} が負荷から逆方向に流れ始め、回路の重大な電力ロスを引き起こす。逆電流を防止する1つの方法は、MOSの閾値電圧を高くすることである。しかしながら、これは、同期整流器またはMOSトランジスタ204のターンオン遅延を大きくし、それゆえ、効率の低下を引き起こす。

10

【0019】

図2の回路に示した他の構成要素に関しては、ノードLxがローになると、NPNトランジスタ210が、そのベースエミッタ接合がフォワードバイアスされた状態になって、導通状態になる。PMOSトランジスタ208は、MOSトランジスタ206とでカレントミラーを構成し、PMOSトランジスタ208を流れる電流に比例する電流がMOSトランジスタ206に流れる。MOSトランジスタ206を流れる電流の大きさは、PMOSトランジスタ206・208の(W/L)サイズ比に依存する。MOSトランジスタ206を流れる電流は、抵抗216の両端に電圧を生じさせる。抵抗216の両端の電圧が、Lx電圧に対してMOS閾値電圧よりも増大すると、整流器またはMOSトランジスタ204は導通状態になり始め、インダクタ212に残留している電流をリサーキュレートして、ノードLxを接地電位よりも低い電位にクランピングする。

20

【0020】

以上から明らかなように、トランジスタを同期整流器または“アクティブ”ダイオードとして駆動する公知の従来技術は、重大な欠点を有している。したがって、従来のデバイスにおけるこれらの問題点および制限を解消し得るデバイスが必要とされている。

30

【発明の開示】

【課題を解決するための手段】

【0021】

上記の点に鑑み、本発明の目的は、例えば同期整流器に用いられ、従来技術が有する上記問題点を解決したアクティブダイオード回路を提供することにある。

【0022】

本発明の1つの実施形態のアクティブダイオードは、ソース端子、ドレイン端子、ゲート端子、およびバックゲート端子を有し、上記ソース端子が上記バックゲート端子に接続されるトランジスタを備えている。回路は、さらに、第1および第2の端子を有するオフセットバイアス電圧源、および非反転入力端子、反転入力端子、および出力端子を有し、上記反転入力端子が上記トランジスタのドレイン端子に接続される一方、上記非反転入力端子が上記オフセットバイアス電圧源の第1の端子に接続され、さらに、上記出力端子がトランジスタのゲート端子に接続されたオペレーショナルアンプを備え、上記オフセットバイアス電圧源の第2の端子がトランジスタのソース端子に接続されたことを特徴とするアクティブダイオード。さらに、上記オペレーショナルアンプは、オフセット電圧を有し、上記オフセットバイアス電圧源は、上記オペレーショナルアンプのオフセット電圧を超える電圧レベルに設定されている。

40

【0023】

本発明のアクティブダイオードは、従来装置に対して、例えば消費電力の低減や、シ

50

シュートスルー電流の防止、望ましくない逆電流の防止など、多くの利点を有している。

【0024】

さらなる本発明の利点や新規な特徴は、当業者にとって、以下の説明および図面から明らかになるであろう。

【発明を実施するための最良の形態】

【0025】

以下、図面の参照とともに本発明の好適な実施形態が示されて、本発明がより十分に説明される。しかし、この発明は、種々の異なる形態で具体化することができ、以下の具体例に限定して解釈されるべきではない。また、同様の番号は、同様の構成要素を示す。

【0026】

図4は、本発明の第1の実施形態のアクティブダイオード1の回路図の例を示す。図4において、アクティブダイオードは、NMOSトランジスタ13、オペレーショナルアンプ14、オフセットバイアスエレメント15、カソード端子24、およびアノード端子25を備えている。より詳しくは、NMOSトランジスタ13のドレイン端子22は、カソード端子24に接続され、NMOSトランジスタ13のソース端子23およびバックゲート端子27（すなわちNMOSの本体）は、それぞれアノード端子25およびソース端子23に接続されている。オペレーショナルアンプ14は、カソード端子24に接続される反転入力端子17、およびオフセットバイアスエレメント15を介してアノード端子25に接続される非反転入力端子18に接続されている。オペレーショナルアンプ14の出力端子16は、NMOSトランジスタ13のゲート端子21に接続されている。オフセットバイアスエレメント15は、好ましくはオペレーショナルアンプ14の非反転入力端子18に接続される第1の端子19、およびアノード端子25に接続される第2の端子20を有している。ここで、バックゲート端子27およびNMOSトランジスタ13のドレイン端子22は、生得的にPN接合を形成し、したがって、上記接続にしたがった接合型ダイオードが設けられていることになる。この生得的なPN接合ダイオードは、図中に破線で示されている。また、本実施形態ではNMOSトランジスタが用いられているが、後述するようにPMOSトランジスタも用い得ることは明らかである。

10

20

【0027】

以下、本発明に応じたアクティブダイオード1の動作を説明する。アクティブダイオード1は、概ね、オン状態（すなわちNMOSトランジスタ13がオンになり、アノード端子からカソード端子に導通電流が流れる）とオフ状態（すなわち、NMOSトランジスタ13がオフになり、カソード端子とアノード端子との間に電流が流れない）との2つの主要な状態になる。

30

【0028】

より詳しくは、 $V_{CA} (V_{cathode} - V_{anode})$ が、 $V_{offset} (V_{19} - V_{20})$ 、オフセットバイアス電圧)よりも低くなると、ネガティブフィードバックがアクティブになり、オペレーショナルアンプ14が、その入力電圧に 응답してNMOSトランジスタ13を導通状態にさせる出力信号を生成する。このとき、NMOSトランジスタ13をオンにする短時間の応答遅延時間が生じ、この遅延はアクティブダイオード1のデッドタイムとなる。そこで、本発明では、上記遅延時間を小さく保つためには、広帯域なオペレーショナルアンプや高速な応答性を有するMOSFETを用いることが好ましい。さらに、NMOSトランジスタ13のバックゲート端子27とドレイン端子22との間に形成される生得的なダイオードは、NMOSトランジスタ13がオンになる遷移時間の際に同通史、カソード端子24とアノード端子25との間の遷移電圧はバックゲートドレインダイオードによってクランプされる。

40

【0029】

ここで、一般的な（同期して切り換えが行われる）従来の装置では、シュートスルー電流を防ぐために、各MOSFETがオフになる際には短時間のデッドタイムがある。ところが、本発明の回路では、結果的に、公知の従来装置とは異なり、そのようなシュートスルー電流を防止するためのデッドタイムは必ずしも必要とされない。これは、アクティブ

50

ダイオード 1 は V_{CA} が V_{offset} よりも低下したときにだけオンになるので、高電位側のドライバ（図 4 中には不図示であるが、典型的な状況としてアクティブダイオード 1 に接続される。）が既にオフになっており、これによってシュートスルー電流は防止される。

【0030】

さらに、上記のような遅延時間の際に、アクティブダイオード 1 は、リサーキュレーション電流を NMOS トランジスタ 13 の生得的なバックゲートドレインダイオードを介して流させる。それゆえ、 V_{CA} は、カソードとアノードとの間の遷移電圧が生得的なバックゲートドレインダイオードによってクランプされるので、過度に負になることはなく、したがって、付加的な装置を用いたりすることなく、ブレイクダウンが防止される。

【0031】

電圧 V_{CA} が V_{offset} を超えると、バックゲートドレインダイオードは既に非導通状態になっていて、NMOS トランジスタ 13 が再度オフになり、したがって、リサーキュレーション電流は流れない。このように、本発明のアクティブダイオードは、逆電流状態が生じることが防がれる。

【0032】

ここで、本発明のアクティブダイオードが動作する際に、逆電流が防止されることは重要である。これは、 V_{CA} が正の値となるときに NMOS トランジスタ 13 がオンにならないように、 V_{offset} が設定されることによって達成される。

【0033】

動作中に逆電流状態（これは、また、NMOS トランジスタ 13 のゲートに飽和のオーバードリブン、ターンオフの遅れをもたらす。）が生じないことを保証するためのオフセットバイアスエレメント 15 のオフセット電圧、 V_{offset} の設定方法について説明する。まず、オペレーショナルアンプ 14 のオフセット電圧である $V_{ampoffset}$ について説明する。上記電圧は、定義された許容誤差を有し、これは、アンプのオフセットが $V_{ampoffset}(max)$ から $V_{ampoffset}(min)$ の間で変化し得ることを意味する。 V_{offset} は、前記のようにオフセットバイアスエレメント 15 の電圧である。 V_{offset} 電圧も、また、定義された許容誤差を有し、これは、 $V_{offset}(max)$ から $V_{offset}(min)$ の間で変化し得ることを意味する。

【0034】

次の定義は、図 4 に示された実施形態および以下の議論に適用可能である。 $V_{CA} = V_{cathode} - V_{anode}$ 、 $V_{offset} = V_{19} - V_{20}$ 、および $V_{ampoffset} = (V+) - (V-)$ 。ネガティブフィードバックを維持する（すなわちカソードからアノードに流れる逆電流を生じるポジティブフィードバックを防ぐ）ためには、 V_{CA} は負に保たれなくてはならない：

$$V_{CA}(max) < 0 \quad \dots (数1)$$

ただし、図 4 においては、

$$V_{CA}(max) = V_{offset}(max) - V_{ampoffset}(min) \quad \dots (数2)$$

一旦、 $V_{ampoffset}$ がオペレーショナルアンプの使用によって決定されると、 V_{offset} の値は、(数 1) および (数 2) から導かれる (数 3) によって容易に決定できる。

【0035】

$$V_{offset}(max) - V_{ampoffset}(min) < 0 \quad \dots (数3)$$

上記 (数 3) に従って、オフセットバイアスエレメント 15 の最高オフセット電圧値 $V_{offset}(max)$ を、オペレーショナルアンプ 14 の最低アンプオフセット電圧 $V_{ampoffset}(min)$ よりも低く設定することにより、逆電流が流れるのを防ぐことができる。

【0036】

上記のように、動作中に、アノード端子 25 に対するカソード端子 24 の電圧 V_{CA} がオフセットバイアスエレメント 15 の電圧 V_{offset} よりもちょうど下回ったときに、NMOS トランジスタ 13 が導通状態になる。この状況は (数 4) によって与えられる。

【0037】

$$V_{CA} = V_{cathode} - V_{anode} = V_{offset} - V_{ampoffset} < 0 \quad \dots (数4)$$

【0038】

10

20

30

40

50

【表 1】

条件	(1)	(2)	(3)
オフセットバイアスエレメント15の電圧	V_{offset}	V_{offset}	0
オペレーショナルアンプ14のオフセット電圧	0	$V_{ampoffset}$	$V_{ampoffset}$
カソード端子24とアノード端子25の端子間電圧	V_{offset}	$V_{offset} - V_{ampoffset}$	$-V_{ampoffset}$

10

【0039】

(表1)の条件(1)は、 $V_{ampoffset} = 0$ であることを示している。この条件では、アノード端子25に対するカソード端子24の電圧 V_{CA} が $-V_{offset}$ よりも低くなると、NMOSトランジスタ13は順方向バイアス状態にされて電流を流し始める。

【0040】

ところが、もし、オペレーショナルアンプ14が生得的にわずかなオフセット電圧を有していて、それが負のアンプオフセット電圧 $V_{ampoffset}$ だとし、オフセットバイアスエレメント15が回路から除かれたとすると、NMOSトランジスタ13は(数5)で与えられる電圧でアクティブになる。

20

【0041】

$$0 < V(\text{cathode}) - V(\text{anode}) = -V_{ampoffset} \dots (\text{数5})$$

(表1)の条件(3)は、この条件を示している。この場合には、オフセットバイアスエレメント15の省略によって、NMOSトランジスタ13は、 V_{CA} が正の場合に導通状態になる可能性があり、逆電流が流れることになる。したがって、通常、上記条件(3)のような状態が動作中に回避される必要がある。

【0042】

ここで、オフセットバイアスエレメント15の電圧は、オペレーショナルアンプ14ののアンプオフセット電圧 $V_{ampoffset}$ よりも高くさえあればよく、一般に、約10mV程度の範囲である。

30

【0043】

(表1)の条件(2)は、オフセットバイアスエレメント15の電圧、およびオペレーショナルアンプ14のアンプオフセット電圧 $V_{ampoffset}$ が、それぞれ V_{offset} および $V_{ampoffset}$ に設定される場合を示している。条件(2)は、実際の装置で最も生じやすい条件を示している。前記のように、逆電流が流れるのを防止するためには、オフセットバイアスエレメント15の $V_{offset}(\text{max})$ は、オペレーショナルアンプ14の最低アンプオフセット電圧値 $V_{ampoffset}(\text{min})$ よりも低くなくてはならない。さらに、オフセットバイアスエレメント15は、実施形態で示すものに限られず、例えば電圧や、電流、オペレーショナルアンプ14の内部と対応しない装置のものでもよく、外部の電圧にも限られない。また、オフセットバイアスエレメント15は、オペレーショナルアンプ14の非反転または反転入力端子の何れに設けられてもよい。

40

【0044】

アクティブダイオードは、例えば、バックスイッチングレギュレータや、ブーストスイッチングレギュレータを含む多くの装置に適用可能である。以下、アクティブダイオードがバックおよびブーストの両方に用いられる場合のより詳しい動作を説明する。

【0045】

図5(a)は、本発明の第1の実施形態のアクティブダイオードがバックスイッチングレギュレータコンフィギュレーションに適用された回路図の例を示す。図5(a)において、このバックコンフィギュレーションは、アクティブダイオード1、高圧側ドライバ

50

たはトランジスタ12、誘導性負荷またはインダクタ10、容量性負荷11、LX端子29、および入力電圧 V_{IN} を含んでいる。入力電圧 V_{IN} は、特に限定されないが、バッテリーや直流電力源などの一般的な手段を介して供給されている。入力電圧 V_{IN} は、PMOSトランジスタ12のソース26に接続されている。PMOSトランジスタ12のドレイン28は、アクティブダイオード1のカソード端子24に接続されている。バックゲート端子27は、ソース26に接続されている。容易にわかるように、図5(a)に破線で示すバックゲートドレインダイオードは、上記接続によって生得的に形成される。PMOSトランジスタ12は、入力信号SWによって制御される。LX端子29は、インダクタ10の一方側30と、高圧側ドライバのPMOSトランジスタ12のドレインに接続され、容量性負荷11はインダクタ10の反対側31に接続されている。

10

【0046】

以下、バックコンフィギュレーションの動作について説明する。一般に、アクティブダイオード1は端子29の電圧LXを検出し、電圧LXの変化に応じてオンとオフに切り替わる。ここで、オフセットバイアスエレメント15の電圧は小さいことが好ましく、LX電圧は、ネガティブフィードバックループによって、電力ロスを低減するように、わずかに負の電圧に制御される。上記のように、生産時の製造上の変動を考慮すると、オフセットバイアスエレメント15の電圧は、オペレーショナルアンプ14の生得的な最も負のアンプオフセット電圧よりもゼロに近づくことはできない。

【0047】

図6は、本発明の第1の実施形態のバックコンフィギュレーションのタイミングチャートの例を示す。図5(a)および図6に示すように、電圧信号SWがハイになると、PMOSトランジスタ12はオフになり、電流 I_L がインダクタ10に流れる。そこで、LX端子29の電圧 V_{LX} は、電流 I_L によって負になる。電圧 V_{LX} が $V_{offset} - V_{ampoffset}$ よりも低下すると、オペレーショナルアンプ14は、電圧 V_{LX} を検出し、正の出力信号を生成してNMOSトランジスタ13をオンにする。NMOSトランジスタ13がオンになる際のわずかな遅延時間があるために、その遅延はアクティブダイオード1のデッドタイムとなる。ところが、そのとき、 V_{LX} はNMOSトランジスタ13のバックゲートドレインダイオードによってクランプされる。

20

【0048】

さらに、再度注記すると、本発明の回路は、結果的に、従来の装置とは異なり、シュートスルー電流を防止するためにデッドタイムは必ずしも必要ではない。特に、アクティブダイオード1は V_{LX} が $V_{offset} - V_{ampoffset}$ よりも低下した場合にだけオンになるので、高電圧側のドライバやトランジスタ12が既にオフになっていて、それゆえ、シュートスルー電流の可能性は防止される。

30

【0049】

この遅延時間の間、電流 I_L は、NMOSトランジスタ13の生得的なバックゲートドレインダイオードによってリサーキュレートされる。それゆえ、 V_{LX} は、過度に負になることはなく、したがって、特に装置を付加しなくてもブレークダウンは防止される。

【0050】

この条件は以下によって与えられる。

40

【0051】

$$R_{ON} (\text{ON resistance of NMOS transistor 13}) \times I_L > \text{mag.} [V_{offset} - V_{ampoffset}] \dots (\text{数7})$$

上記条件は、NMOSトランジスタ13が十分にオンになることを許容する。リサーキュレーション電流 I_L がインダクタ10の時定数に応じて減少すると、オペレーショナルアンプ14のネガティブフィードバック制御によって、NMOSトランジスタ13のゲート電圧が次の電圧まで減少する。

【0052】

$$V_{LX} = V_{offset} - V_{ampoffset} \dots (\text{数8})$$

LX端子29の電圧 V_{LX} が $V_{offset} - V_{ampoffset}$ を超えると、NMOSトランジスタ

50

13 およびリサークュレーション電流 I_L はオフになり、次のようになる。

【0053】

$$V_{LX} > V_{offset} - V_{ampoffset} \dots (\text{数9})$$

この条件は、逆電流が防止され、それゆえ、本発明によってアクティブダイオードを実現することが可能になる。このアクティブダイオードは、デッドタイムおよび逆電流を除去することによって効率が改善される。

【0054】

図5(b)は、本発明の第1の実施形態のアクティブダイオードがブーストスイッチングレギュレータコンフィギュレーションに適用された回路図の例を示す。ブーストコンフィギュレーション内のアクティブダイオードの動作は実質的に前記バックコンフィギュレーションの動作と同様なので、ブーストコンフィギュレーションのこれ以上の説明は省略する。

10

【0055】

図7は、本発明の第2の実施形態の回路図の例を示す。前記第1の実施形態では図4に示すようにNMOSトランジスタ13が用いられているのに対して、アクティブダイオードにはPMOSトランジスタ37が用いられている。図7において、本実施形態では、PMOSトランジスタ37のソースおよびバックゲートが互いに接続され、これらのトランジスタのソースおよびバックゲートがアクティブダイオードのカソード端子となっている。PMOSトランジスタのドレインは、バックゲートとで生得的なダイオードを形成し、アクティブダイオードのアノード端子となっている。さらに、デバイスのカソード端子は、オペレーショナルアンプ14の非反転入力端子にフィードバックされ、アノード端子は、オフセットバイアスエレメント15を介してオペレーショナルアンプ14の反転入力端子にフィードバックされている。この第2の実施形態のアクティブダイオードの動作は、本質的に第1の実施形態について説明したのと同じである。

20

【0056】

図8(a)は、本発明の第2の実施形態のアクティブダイオードをバックスイッチングレギュレータコンフィギュレーションに適用した回路図の例を示し、図8(b)は、本発明の第2の実施形態のアクティブダイオードをブーストスイッチングレギュレータコンフィギュレーションに適用した回路図の例を示す。

【0057】

図9は、本発明の第1の実施形態が適用された3相モータ駆動装置の回路図の例を示す。この実施形態では、モータドライブ回路32は、それぞれ異なる高圧側スイッチ、すなわちSWU34、SWV35、およびSWW36に接続された3つのアクティブダイオード1を用いている。各アクティブダイオード回路のアノード端子は、接地され、各アクティブダイオード回路のカソード端子は、3相モータ33を構成する互いに異なる巻線に接続されている。ここで、低圧側のドライバは図示していない。通常のコンフィギュレーションでは、アクティブダイオードのオペレーショナルアンプは、オープンドレインPMOSデバイスによってワイヤオアード可能な、電流源または抵抗プルダウン、およびアクティブプルアップ出力ステージを有し、低圧側ドライバの3つのNMOSのうちの1つが選択されてオンになる。もちろん、本発明のアクティブダイオード回路は、多くの装置およびコンフィギュレーションに適用可能で、ここに記載された特定の例には限定されない。

30

40

【0058】

ここで、上記実施形態の変形も可能である。例えば、本発明のアクティブダイオードはNMOSおよびPMOSトランジスタを用いて描いたが、他の種々の適切なトランジスタ、例えば、限定されないが、DMOSトランジスタなども適用できる。

【0059】

しかしながら当業者は、本発明が1以上の特定事項を省いたり、他の方法、回路、または構成要素等を用いたりして実施され得ることを認識している。他の場合においては、発明の様々な実施形態の特徴をわかりにくくするのを避けるために、周知の図やフローチャ

50

ートは、示されず、詳細に説明されていない。上記の説明は多くの特定を含んでいるが、読者達はこれらを発明の範囲の限定としてではなく、単なるその好ましい実施形態の実例として解釈すべきである。当業者達は発明の範囲に含まれる多くの他の可能な変形を心に描くだろう。クレームで説明されたような本発明の広い精神と範囲から逸脱することなく、それに加えて様々な改良や変更が行われるかもしれないことは明白である。したがって、明細書と図面は、限定的な意義よりむしろ実例としての意義を有するものとみなされるものである。

【図面の簡単な説明】

【0060】

【図1】図1(a)は、第1の従来技術の同期整流器(アクティブダイオード)の回路を示し、図1(b)は、図1(a)に開示された同期整流器に用いられるバイポーラ接合トランジスタにより形成される様々な接合部を示す。 10

【図2】図2は、第2の従来技術の同期整流器(アクティブダイオード)の回路を示す。

【図3】図3は、図2に示された従来技術の同期整流器の回路動作に関するタイミングチャートを示す。

【図4】図4は、本発明のアクティブダイオードの第1の実施形態に係る典型的な回路図を示す。

【図5】図5(a)は、バックスイッチングレギュレータの構成に本発明のアクティブダイオードを用いるための典型的な回路図を示し、図5(b)は、ブーストスイッチングレギュレータの構成に本発明のアクティブダイオードを用いるための典型的な回路図を示す 20

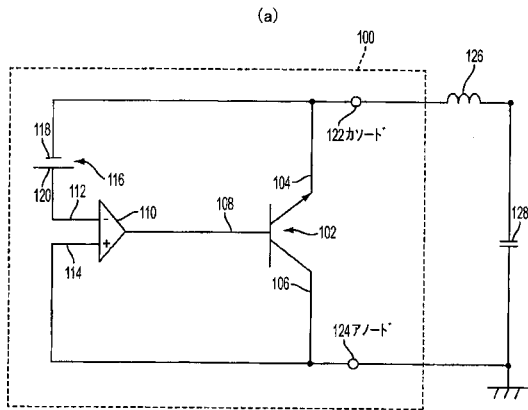
【図6】図6は、図5(a)のバックスイッチングレギュレータの構成による典型的なタイミングチャートを示す。

【図7】図7は、本発明のアクティブダイオード回路の第2の実施形態に係る典型的な回路図を示す。

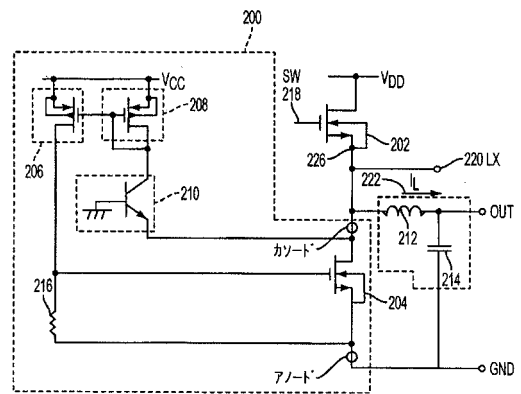
【図8】図8(a)は、バックスイッチングレギュレータの構成において第2の実施形態によって本発明のアクティブダイオードを利用する典型的な回路図を示し、図8(b)は、ブーストスイッチングレギュレータの構成において第2の実施形態によって本発明のアクティブダイオードを利用する典型的な回路図を示す。

【図9】図9は、発明の第1の実施形態を内蔵する3段階モータドライブの典型的な回路図である。 30

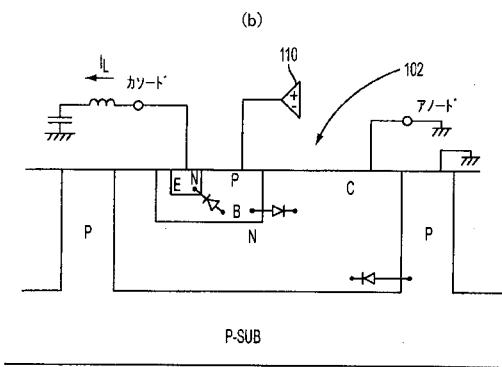
【 図 1 】



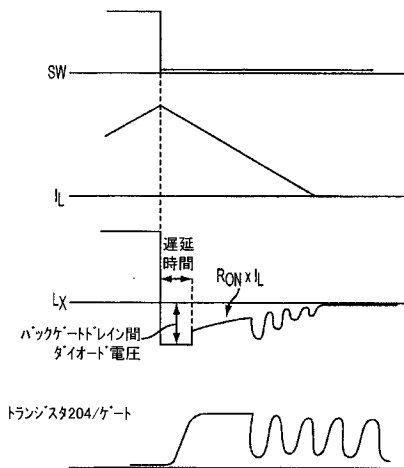
【 図 2 】



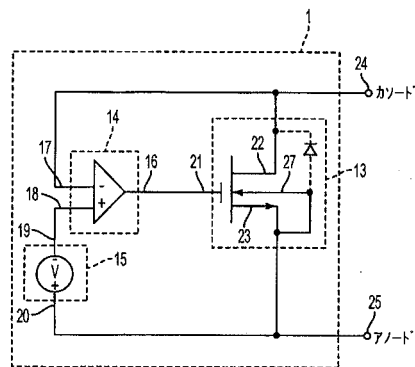
(b)



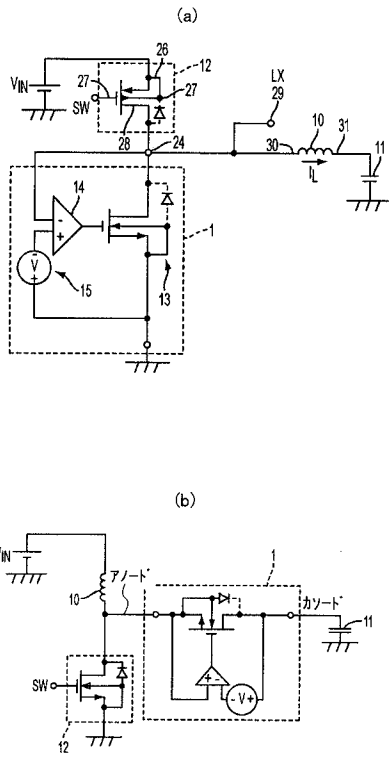
【 図 3 】



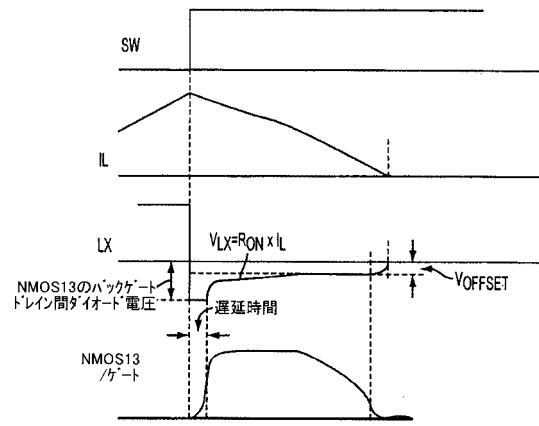
【 図 4 】



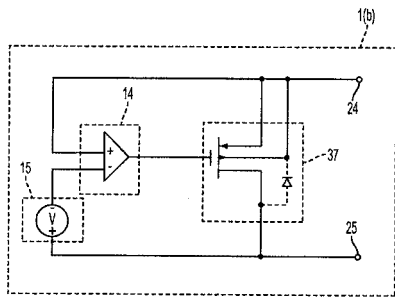
【 図 5 】



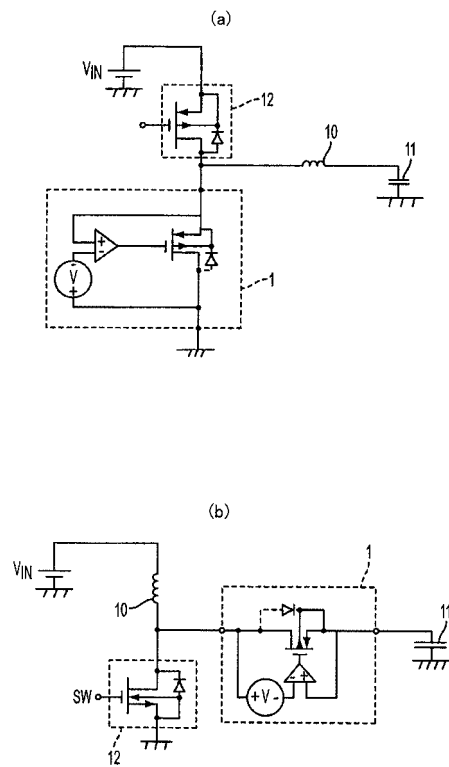
【 図 6 】



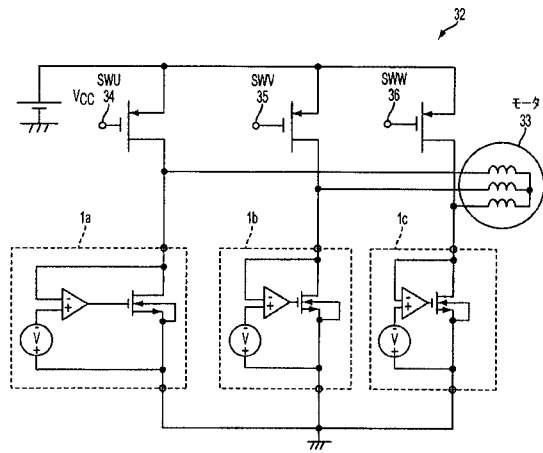
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(74)代理人 100115691

弁理士 藤田 篤史

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(72)発明者 リチャード ケー . オズワルド

アメリカ合衆国カリフォルニア州 9 5 1 2 5 , サンノゼ , ジャンセンアヴェニュー 8 9 8

(72)発明者 山本 完

アメリカ合衆国カリフォルニア州 9 5 0 1 4 , クパチーノ , ロックスプリングコート 1 1 5 1 9

(72)発明者 龍 隆

京都府京都市伏見区羽束師志水町 1 3 8 - 3 3

Fターム(参考) 5H006 CA02 CB07 DA04 DB01 DC05

【外国語明細書】

2005295794000001.pdf