

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4198792号

(P4198792)

(45) 発行日 平成20年12月17日(2008.12.17)

(24) 登録日 平成20年10月10日(2008.10.10)

(51) Int.Cl.

F I

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/34 3 0 3

G 1 1 C 11/408 (2006.01)

G 1 1 C 11/34 3 5 4 B

H 0 3 K 19/0175 (2006.01)

H 0 3 K 19/00 1 0 1 F

H 0 4 L 25/02 (2006.01)

H 0 4 L 25/02 S

G 1 1 C 11/4096 (2006.01)

G 1 1 C 11/34 3 5 4 R

請求項の数 5 (全 13 頁)

(21) 出願番号 特願平10-260884  
 (22) 出願日 平成10年8月31日(1998.8.31)  
 (65) 公開番号 特開2000-76868(P2000-76868A)  
 (43) 公開日 平成12年3月14日(2000.3.14)  
 審査請求日 平成17年8月11日(2005.8.11)

(73) 特許権者 590000879  
 テキサス インスツルメンツ インコーポ  
 レイテッド  
 アメリカ合衆国テキサス州ダラス、ノース  
 セントラルエクスプレスウェイ 135  
 00  
 (74) 代理人 100086564  
 弁理士 佐々木 聖孝  
 (72) 発明者 中村 浩也  
 茨城県稲敷郡美浦村木原2350番地 日  
 本テキサス・インスツルメンツ株式会社内

審査官 園田 康弘

最終頁に続く

(54) 【発明の名称】 信号線駆動回路

(57) 【特許請求の範囲】

【請求項 1】

二値信号を伝送するために信号線を電氣的に駆動する信号線駆動回路において、  
 前記二値信号を送信しない間は前記信号線を第1の電圧レベルに保持するバイアス手段と、

前記信号線と第2の電圧レベルを与える電源電圧端子との間に接続されたスイッチ手段と、

前記二値信号を送信しない間は前記スイッチ手段をオフ状態に保持し、前記二値信号を送信する時は前記二値信号の論理値に応じて条件的に前記スイッチ手段をオン状態に切り換え、前記信号線の電位を監視し、当該電位が所定の電圧レベルに達した時に前記スイッチ手段をオフ状態に戻すスイッチ制御手段と

を有する信号線駆動回路。

【請求項 2】

1つの二値信号を伝送するために相補的な第1および第2の信号線を電氣的に駆動する信号線駆動回路において、

前記二値信号を送信しない間は前記第1および第2の信号線をそれぞれ第1の電圧レベルに保持する第1および第2のバイアス手段と、

前記第1および第2の信号線と第2の電圧レベルを与える電源電圧端子との間にそれぞれ接続された第1および第2のスイッチ手段と、

前記二値信号を送信しない間は前記第1および第2のスイッチ手段をオフ状態に保持し

10

20

、前記二値信号を送信する時は前記二値信号の論理値に応じて前記第 1 または第 2 のスイッチ手段のいずれか一方をオン状態に切り換えるととも他方をそのままオフ状態に保持し、前記一方のスイッチ手段に接続されている前記信号線の電位を監視し、当該電位が所定の電圧レベルに達した時に前記一方のスイッチ手段をオフ状態に戻すスイッチ制御手段と

を有する信号線駆動回路。

【請求項 3】

前記バイアス手段が、各々の前記信号線と前記第 1 の電圧レベルを与える電源電圧端子との間に接続されたプリチャージ用スイッチ手段と、前記二値信号を送信しない間は前記プリチャージ用スイッチ手段をオン状態に保持し、前記二値信号を送信する時は前記プリチャージ用スイッチ手段をオフ状態に保持するプリチャージ制御手段とを有する請求項 1 又は 2 に記載の信号線駆動回路。

10

【請求項 4】

第 1 の信号線を第 1 の電位にプリチャージする第 1 のプリチャージ用トランジスタと、第 2 の信号線を第 1 の電位にプリチャージする第 2 のプリチャージ用トランジスタと、上記第 1 の信号線を第 2 の電位に放電するための第 1 のドライブ用トランジスタと、上記第 2 の信号線を第 2 の電位に放電するための第 2 のドライブ用トランジスタと、第 1 の信号と第 1 の禁止信号とを入力し、上記第 1 の禁止信号が活性化されていないときに上記第 1 の信号の論理に基づいて上記第 1 のドライブ用トランジスタを駆動する第 1 の論理回路と、

20

第 2 の信号と第 2 の禁止信号とを入力し、上記第 2 の禁止信号が活性化されていないときに上記第 2 の信号の論理に基づいて上記第 2 のドライブ用トランジスタを駆動する第 2 の論理回路と、

上記第 1 の信号線の電位を監視し、当該電位が第 1 の電位と第 2 の電位との間の所定の電位になると第 1 の禁止信号を活性化する第 1 の監視回路と、

上記第 2 の信号線の電位を監視し、当該電位が第 1 の電位と第 2 の電位との間の所定の電位になると第 2 の禁止信号を活性化する第 2 の監視回路と、

を含み、

上記第 1 の信号と上記第 2 の信号とが相補的な論理を有し、上記第 1 の信号線と上記第 2 の信号線とに上記第 1 の信号と上記第 2 の信号の論理に応じた電位が現れる、

30

信号線駆動回路。

【請求項 5】

上記第 1 の監視回路が上記第 1 の信号線の電位にตอบสนองして導通する第 1 のトランジスタを含み、当該第 1 のトランジスタが導通することで上記第 1 の禁止信号が活性化され、

上記第 2 の監視回路が上記第 2 の信号線の電位にตอบสนองして導通する第 2 のトランジスタを含み、当該第 2 のトランジスタが導通することで上記第 2 の禁止信号が活性化される、

請求項 4 に記載の信号線駆動回路。

【発明の詳細な説明】

【0010】

【発明の属する技術分野】

40

本発明は、デジタル信号等の二値信号を伝送出力するための信号線駆動回路に関する。

【0020】

【従来の技術】

この種の信号線駆動回路としては、たとえばバス・ドライバやライン・ドライバ等が挙げられる。

【0030】

図 6 に、半導体メモリ装置内のアドレス・バッファ等に使用されている従来のアドレスバス・ドライバの回路構成を示す。図 7 に、このアドレスバス・ドライバの各部の信号の波形を示す。

【0040】

50

このアドレスバス・ドライバは、1ビットのアドレス信号A INを入力し、この入力アドレス信号A INの論理値に応じて相補的にHレベルまたはLレベルを有する一対のアドレス信号A OUT<sub>1</sub> , A OUT<sub>2</sub>を出力するように動作する。

【0050】

このアドレスバス・ドライバは、入力アドレス信号A INの電圧レベルを標準電圧の論理レベルに整えるための入力段のインバータ100, 102, 104と、出力アドレス信号A OUT<sub>1</sub> , A OUT<sub>2</sub>のパルス期間を規定するためのNANDゲート106, 108と、出力アドレス信号A OUT<sub>1</sub> , A OUT<sub>2</sub>を送信するため相補的な一対のバス・ラインA L<sub>1</sub> , A L<sub>2</sub>をそれぞれ電氣的に駆動するための出力段のインバータ110, 112とで構成されている。バス・ラインA L<sub>1</sub> , A L<sub>2</sub>の他端(受信端)は、受信側たとえばアドレス・デコーダの入力バッファまたはレシーバ(図示せず)の入力端子に接続されている。

10

【0060】

アドレス信号A OUT<sub>1</sub> , A OUT<sub>2</sub>を出力しない間は、アドレスイネーブル信号A ENが非活性状態(Lレベル)にあり、両NANDゲート106, 108の出力はそれぞれHレベルを維持し、両インバータ110, 112の出力ないしバス・ラインA L<sub>1</sub> , A L<sub>2</sub>がそれぞれ電源電圧V<sub>ss</sub>(たとえば0ボルト)に等しいLレベルに保持されている。

【0070】

アドレス信号A INが入力されると、それに同期してアドレスイネーブル信号A ENが所定期間つまりパルス期間だけHレベルに活性化され、このパルス期間中は両NANDゲート106, 108がイネーブル状態となる。

20

【0080】

アドレス信号A INの論理値が“1”(Hレベル)のときは、NANDゲート106の出力がLレベルになり、これによってインバータ110の出力が電源電圧V<sub>DD</sub>(たとえば3.3ボルト)にほぼ等しいHレベルになる。一方、NANDゲート108の出力はHレベルのままで、インバータ112の出力はV<sub>ss</sub>にほぼ等しいLレベルのままである。これにより、アドレスイネーブル信号A ENによって規定されるパルス期間中、一方のバス・ラインS L<sub>1</sub>上にはV<sub>DD</sub>にほぼ等しいHレベルを有するアドレス信号A OUT<sub>1</sub>が出力され、他方のバス・ラインA L<sub>2</sub>上にはV<sub>ss</sub>にほぼ等しいLレベルを有する反転アドレス信号A OUT<sub>2</sub>が出力される。

【0090】

30

反対に、アドレス信号A INの論理値が“0”(Lレベル)のときは、パルス期間中、一方のバス・ラインS L<sub>1</sub>上にはV<sub>ss</sub>にほぼ等しいLレベルを有するアドレス信号A OUT<sub>1</sub>が出力され、他方のバス・ラインS L<sub>2</sub>上にはV<sub>DD</sub>にほぼ等しいHレベルを有する反転アドレス信号A OUT<sub>2</sub>が出力される。

【0100】

【発明が解決しようとする課題】

上記したように、従来のこの種信号線駆動回路では、出力段のインバータ110, 112が信号線(バス・ライン)A L<sub>1</sub> , A L<sub>2</sub>を両電源電圧V<sub>DD</sub> , V<sub>ss</sub>の間でフル振幅させて駆動することにより、V<sub>DD</sub>にほぼ等しいHレベルまたはV<sub>ss</sub>にほぼ等しいLレベルを有する二値信号を伝送出力するようにしている。

40

【0110】

しかしながら、たとえばDRAM(ダイナミックRAM)では、記憶容量を大きくすると、チップ面積が増大してチップ内のバス配線が長くなるため、バス上の伝送遅延時間が無視できなくなっている。また、シンクロナスDRAM等の高速メモリでは、信号の転送サイクルが早く、概してアドレス幅(アドレスビット数)も大きいことから、バス駆動で消費される電力も無視できなくなっている。

【0120】

本発明は、かかる問題点に鑑みてなされたもので、消費電力を低減し、かつ伝送遅延時間を短縮する信号線駆動回路を提供することを目的とする。

【0130】

50

**【課題を解決するための手段】**

上記の目的を達成するために、本発明の第1の観点における信号線駆動回路は、二値信号を送信するために信号線を電氣的に駆動する信号線駆動回路において、前記二値信号を送信しない間は前記信号線を第1の電圧レベルに保持するバイアス手段と、前記信号線と第2の電圧レベルを与える電源電圧端子との間に接続されたスイッチ手段と、前記二値信号を送信しない間は前記スイッチ手段をオフ状態に保持し、前記二値信号を送信する時は前記二値信号の論理値に応じて条件的に前記スイッチ手段をオン状態に切り換え、前記信号線の電位を監視し、当該電位が所定の電圧レベルに達した時に前記スイッチ手段をオフ状態に戻すスイッチ制御手段とを有する。

上記の装置構成においては、二値信号を送信しない間はバイアス手段により信号線が第1の電圧レベルに保持される。二値信号を送信する時は、当該二値信号の論理値に応じて、たとえば当該二値信号の論理値がHレベルのときは、スイッチ手段がそれまでのオン状態からオフに切り換わり、これによって信号線上の電位がそれまでの第1の電圧レベルから第2の電圧レベルに向かって変化する。スイッチ制御手段は、この信号線上の電位を監視し、その電位が所定の電圧レベルに達した時にスイッチ手段をオフ状態に戻す。その結果、信号線上では該所定の電位よりも高いその付近で（つまり、第2の電圧レベルよりも小振幅で）Lレベルの信号が伝送される。このように、信号線の電位を監視することにより必要最小限の振幅で所望の二値（論理）信号を安定確実に伝送することが可能であり、消費電力の低減と伝送速度の向上を図ることができる。

**【0140】**

また、本発明の第2の観点における信号線駆動回路は、1つの二値信号を送信するために相補的な第1および第2の信号線を電氣的に駆動する信号線駆動回路において、前記二値信号を送信しない間は前記第1および第2の信号線をそれぞれ第1の電圧レベルに保持する第1および第2のバイアス手段と、前記第1および第2の信号線と第2の電圧レベルを与える電源電圧端子との間にそれぞれ接続された第1および第2のスイッチ手段と、前記二値信号を送信しない間は前記第1および第2のスイッチ手段をオフ状態に保持し、前記二値信号を送信する時は前記二値信号の論理値に応じて前記第1または第2のスイッチ手段のいずれか一方をオン状態に切り換えるとともに他方をそのままオフ状態に保持し、前記一方のスイッチ手段に接続されている前記信号線の電位を監視し、当該電位が所定の電圧レベルに達した時に前記一方のスイッチ手段をオフ状態に戻すスイッチ制御手段とを有する。

上記第2の観点によれば、1つの二値信号を送信するために相補的な第1および第2の信号線を電氣的に駆動する信号線駆動回路において、上記第1の観点と同様の作用効果が奏される。

**【0150】**

上記第1および第2の観点の信号線駆動回路においては、さらに、バイアス手段が、各々の信号線と第1の電圧レベルを与える電源電圧端子との間に接続されたプリチャージ用スイッチ手段と、二値信号を送信しない間はプリチャージ用スイッチ手段をオン状態に保持し、二値信号を送信する時はプリチャージ用スイッチ手段をオフ状態に保持するプリチャージ制御手段とを有する構成が好適に採られる。この構成によれば、二値信号を送信する時はプリチャージ用スイッチ手段をオフ状態に保持することにより、貫通電流を防止し、素子の保護と消費電力の一層の低減を図ることができる。

**【0160】**

本発明の第3の観点における信号線駆動回路は、第1の信号線を第1の電位にプリチャージする第1のプリチャージ用トランジスタと、第2の信号線を第1の電位にプリチャージする第2のプリチャージ用トランジスタと、上記第1の信号線を第2の電位に放電するための第1のドライブ用トランジスタと、上記第2の信号線を第2の電位に放電するための第2のドライブ用トランジスタと、第1の信号と第1の禁止信号とを入力し、上記第1の禁止信号が活性化されていないときに上記第1の信号の論理に基づいて上記第1のドライブ用トランジスタを駆動する第1の論理回路と、第2の信号と第2の禁止信号とを入力

し、上記第2の禁止信号が活性化されていないときに上記第2の信号の論理に基づいて上記第2のドライブ用トランジスタを駆動する第2の論理回路と、上記第1の信号線を監視し、当該電位が第1の電位と第2の電位との間の所定の電位になると第1の禁止信号を活性化する第1の監視回路と、上記第2の信号線を監視し、当該電位が第1の電位と第2の電位との間の所定の電位になると第2の禁止信号を活性化する第2の監視回路とを含み、上記第1の信号と上記第2の信号とが相補的な論理を有し、上記第1の信号線と上記第2の信号線とに上記第1の信号と上記第2の信号の論理に応じた電位が現れる。

上記第3の観点においても、1つの二値信号を送送するために相補的な第1および第2の信号線を電氣的に駆動する信号線駆動回路において、第1および第2の論理回路ならびに第1および第2の監視回路の働きにより（上記第2の観点におけるスイッチ制御手段と同様の働きにより）、第1および第2信号線のいずれか一方では第1の電位と第2の電位との間の所定の電位付近で（つまり必要最小限の振幅で）所望の論理信号が安定確実に伝送され、消費電力の低減と伝送速度の向上が図られる。

【0170】

上記第3の観点の信号線駆動回路においては、さらに、上記第1の監視回路が上記第1の信号線の電位にตอบสนองして導通する第1のトランジスタを含み、当該第1のトランジスタが導通することで上記第1の禁止信号が活性化され、上記第2の監視回路が上記第2の信号線の電位にตอบสนองして導通する第2のトランジスタを含み、当該第2のトランジスタが導通することで上記第2の禁止信号が活性化される構成が好適に採られる。

【0180】

【発明の実施の形態】

以下、図1～図5を参照して本発明の実施例を説明する。

【0190】

図1に、本発明の第1の実施例によるバス・ドライバの回路構成を示す。このバス・ドライバは、たとえば半導体メモリ装置のアドレス・バッファ内に設けられ、1ビット分のアドレス信号を差動方式で伝送する。

【0200】

図2に示すように、このバス・ドライバ2は、相補的な一対のバス・ラインAL, AL<sub>bar</sub>を介して受信側たとえばアドレス・デコーダのレシーバ4に接続される。バス・ドライバ2は、1ビットのアドレス信号AINを入力し、この入力アドレス信号AINの論理値に応じて論理的にHレベルまたはLレベルを有する相補的な一対のアドレス信号AOUT, AOUT<sub>bar</sub>をバス・ラインAL, AL<sub>bar</sub>の送信端上に出力する。レシーバ4は、バス・ラインAL, AL<sub>bar</sub>の受信端にてバス・ドライバ2からのアドレス信号AOUT, AOUT<sub>bar</sub>にそれぞれ相当するアドレス信号Ain, Ain<sub>bar</sub>を受信する。タイミング回路6は、バス・ドライバ2およびレシーバ4に後述する制御用のタイミング信号（PRC, AEN<sub>bar</sub>）, KCを与える。

【0210】

図1に示すように、本実施例のバス・ドライバ2では、両バス・ラインAL, AL<sub>bar</sub>の送信端と標準Lレベルの電源電圧Vss（たとえば0ボルト）の電源電圧端子との間にドライブ用のスイッチング素子としてNMOSTランジスタ10, 12がそれぞれ接続されている。

【0220】

NMOSTランジスタ10をオン・オフ制御するためのスイッチ制御回路14は、PMOSTランジスタ16、NMOSTランジスタ18、インバータ20, 22、NANDゲート24およびNORゲート26によって構成されている。

【0230】

より詳細には、PMOSTランジスタ16のソース端子が標準Hレベルの電源電圧VDD（たとえば3.3ボルト）の電源電圧端子に接続され、NMOSTランジスタ18のソース端子が電源電圧Vssの電源電圧端子に接続されている。PMOSTランジスタ16のゲート端子にはバス・ラインALの送信端が接続され、NMOSTランジスタ18のゲート端子にはプリチャージ制御信号入力端子28が接続されている。

10

20

30

40

50

## 【 0 2 4 0 】

P M O S トランジスタ 1 6 および N M O S トランジスタ 1 8 のドレイン端子（接続点 N c ）はインバータ 2 0 の入力端子に接続されている。インバータ 2 0 の出力端子は N A N D ゲート 2 4 の一方の入力端子に接続されている。また、インバータ 2 0 の入力端子と電源電圧  $V_{ss}$  の電源電圧端子との間に、キャパシタ C 1 が接続されている。

## 【 0 2 5 0 】

アドレス信号入力端子 3 0 がインバータ 2 2 の入力端子に接続され、インバータ 2 2 の出力端子が N A N D ゲート 2 4 の他方の入力端子に接続されている。

## 【 0 2 6 0 】

N A N D ゲート 2 4 の出力端子は N O R ゲート 2 6 の一方の入力端子に接続されている。N O R ゲート 2 6 の他方の入力端子にはアドレスイネーブル信号入力端子 3 2 が接続されている。N O R ゲート 2 6 の出力端子は N M O S トランジスタ 1 0 のゲート端子に接続されている。

10

## 【 0 2 7 0 】

N M O S トランジスタ 1 2 をオン・オフ制御するためのスイッチ制御回路 3 4 は、P M O S トランジスタ 3 6、N M O S トランジスタ 3 8、インバータ 4 0、N A N D ゲート 4 2 および N O R ゲート 4 4 によって構成されている。

## 【 0 2 8 0 】

より詳細には、P M O S トランジスタ 3 6 のソース端子が電源電圧  $V_{DD}$  の電源電圧端子に接続され、N M O S トランジスタ 3 8 のソース端子が電源電圧  $V_{ss}$  の電源電圧端子に接続されている。P M O S トランジスタ 3 6 のゲート端子にはバス・ライン A L<sub>1</sub> の送信端が接続され、N M O S トランジスタ 3 8 のゲート端子にはプリチャージ制御信号入力端子 2 8 が接続されている。

20

## 【 0 2 9 0 】

P M O S トランジスタ 3 6 および N M O S トランジスタ 3 8 のドレイン端子（接続点 N d ）はインバータ 4 0 の入力端子に接続されている。また、インバータ 4 0 の入力端子と電源電圧  $V_{ss}$  の電源電圧端子との間に、キャパシタ C 2 が接続されている。インバータ 4 0 の出力端子は N A N D ゲート 4 2 の一方の入力端子に接続されている。N A N D ゲート 4 2 の他方の入力端子にはアドレス信号入力端子 3 0 が接続されている。

## 【 0 3 0 0 】

N A N D ゲート 4 2 の出力端子は N O R ゲート 4 4 の一方の入力端子に接続されている。N O R ゲート 4 4 の他方の出力端子にはアドレスイネーブル信号入力端子 3 2 が接続されている。N O R ゲート 4 4 の出力端子は N M O S トランジスタ 1 2 のゲート端子に接続されている。

30

## 【 0 3 1 0 】

また、両バス・ライン A L<sub>1</sub>, A L<sub>2</sub> の送信端と電源電圧  $V_{DD}$  の電源電圧端子との間には、バイアスまたはプリチャージ用のスイッチング素子として P M O S トランジスタ 4 6, 4 8 がそれぞれ接続されている。

## 【 0 3 2 0 】

これらの P M O S トランジスタ 4 6, 4 8 のゲート端子にはインバータ 5 0 の出力端子が接続されている。インバータ 5 0 の入力端子にはプリチャージ制御信号入力端子 2 8 が接続されている。

40

## 【 0 3 3 0 】

図 3 に、レシーバ 4 の回路構成例を示す。このレシーバ 4 は、バス・ライン A L<sub>1</sub>, A L<sub>2</sub> の受信端と内部ライン J L<sub>1</sub>, J L<sub>2</sub> との間に接続されたトランスファゲート 5 2, 5 4 および内部ライン J L<sub>1</sub>, J L<sub>2</sub> に接続された 2 値検出型の差動増幅器 5 6 を有している。タイミング回路 6 からの駆動タイミング信号 K C が H レベルに活性化されると、P M O S トランジスタからなるトランスファゲート 5 2, 5 4 がオフ状態になってバス・ライン A L<sub>1</sub>, A L<sub>2</sub> と電気的に遮断されると同時に、N M O S トランジスタからなるスイッチ 5 8 がオン状態になって差動増幅器 5 6 がイネーブル状態となる。

50

## 【0340】

イネーブル状態の下で、差動増幅器56は、内部ラインJL、JL<sub>上</sub>の受信アドレス信号A<sub>in</sub>、A<sub>in上</sub>の差分を検出して電源電圧V<sub>DD</sub>のHレベル、V<sub>SS</sub>のLレベルまで増幅する。

## 【0350】

このように差動増幅器56によって標準Hレベル(V<sub>DD</sub>)または標準Lレベル(V<sub>SS</sub>)に増幅された受信アドレス信号A<sub>in</sub>、A<sub>in上</sub>は、それぞれインバータ60、62を介して後段の信号処理部(図示せず)へ送られる。

## 【0360】

次に、図4のタイミング図につき本実施例によるバス・ドライバ2の作用を説明する。

10

## 【0370】

アドレス信号[A<sub>OUT</sub>、A<sub>OUT上</sub>]を送信しない間は、入力端子28に与えられるタイミング回路6からのプリチャージ制御信号PRCはアクティブ状態(Hレベル)にある。これにより、インバータ50の出力がLレベルで、プリチャージ用スイッチング素子であるPMOSトランジスタ46、48はそれぞれオン状態になっている。

## 【0380】

一方、入力端子32に与えられるタイミング回路6からのアドレスイネーブル信号A<sub>EN上</sub>は非アクティブ状態(Hレベル)にある。これにより、両NORゲート26、44の出力がLレベルで、ドライブ用スイッチング素子である両NMOSトランジスタ10、12はオフ状態に保持されている。

20

## 【0390】

したがって、バス・ラインAL、AL<sub>上</sub>は、それぞれオン状態のトランジスタ46、48を介して電源電圧V<sub>DD</sub>でプリチャージされ、V<sub>DD</sub>の電圧レベルに保持されている。

## 【0400】

なお、プリチャージ制御信号PRCがHレベルにあるため、スイッチ制御回路14、34ではNMOSトランジスタ18、38がそれぞれオン状態になっており、それぞれの接続点Nc、Ndが電源電圧V<sub>SS</sub>の電圧レベルつまりLレベルになっており、両インバータ20、40の出力がそれぞれHレベルになっている。

## 【0410】

アドレス入力端子30に該当ビットのアドレス信号A<sub>IN</sub>が入力されると、図4の(B)、(C)に示すように、その直後にプリチャージ制御信号PRCが非アクティブ状態(Lレベル)になり、代わってアドレスイネーブル信号A<sub>EN上</sub>がアクティブ状態(Lレベル)になる。

30

## 【0420】

プリチャージ制御信号PRCがLレベルになると、インバータ50の出力がHレベルになり、プリチャージ用のPMOSトランジスタ46、48がそれぞれオフ状態になる。また、スイッチ制御回路14、34内でNMOSトランジスタ18、38がそれぞれオフ状態になる。しかし、それぞれの接続点Nc、Ndは、キャパシタC1、C2の作用により、V<sub>SS</sub>の電位(Lレベル)が保持されており、両インバータ20、40の出力はまだHレベルを保持している。

40

## 【0430】

入力アドレス信号A<sub>IN</sub>の論理値が“1”(Hレベル)のときは、インバータ22の出力がLレベル、NANDゲート24の出力がHレベル、NORゲート26の出力GSがLレベルのままで、ドライブ用のNMOSトランジスタ10はオフ状態のままである。これにより、バス・ラインALの電位はV<sub>DD</sub>のレベルに保持され、アドレス信号A<sub>OUT</sub>はV<sub>DD</sub>の電圧レベルで送信出力される。

## 【0440】

一方、A<sub>IN</sub>がHレベル、NANDゲート42の出力がLレベルとなって、図4の(D)に示すようにNORゲート44の出力GS<sub>上</sub>がHレベルに立ち上がり、ドライブ用のNMOSトランジスタ12はオンする。

50

## 【 0 4 5 0 】

そうすると、バス・ライン A L<sub>1</sub> はオン状態の N M O S トランジスタ 1 2 を介して電源電圧 V<sub>ss</sub> の端子に接続され、バス・ライン A L<sub>1</sub> 上の電荷が放電し、図 4 の ( E ) に示すようにバス・ライン A L<sub>1</sub> の電位が急速に下がる。

## 【 0 4 6 0 】

そして、バス・ライン A L<sub>1</sub> の電位が所定の電圧レベル V<sub>c</sub> まで下がると、スイッチ制御回路 3 4 内で P M O S トランジスタ 3 6 がオンし、ノード N d が V<sub>DD</sub> の電圧レベルになる。このノード N d の電圧レベル ( V<sub>DD</sub> ) は、キャパシタ C 2 の作用により保持されることになる。これにより、インバータ 4 0 の出力が L レベル N A N D ゲート 4 2 の出力が H レベルとなって、N O R ゲート 4 4 の出力 G S<sub>1</sub> が L レベルに下がり、N M O S トランジスタ 1 2 がオフ状態に戻る。

10

## 【 0 4 7 0 】

N M O S トランジスタ 1 2 がオフすると、バス・ライン A L<sub>1</sub> における放電は止まり、バス・ライン A L<sub>1</sub> 全体で、特に送信端 ( 近端 ) 側と受信端 ( 遠端 ) 側との間で電位が平均化される。これにより、近端側 ( A O U T<sub>1</sub> ) では、図 4 の ( E ) に示すように、極小点 ( V<sub>c</sub> ) より電位が上昇する。一方、遠端側 ( A i n<sub>1</sub> ) では、図 4 の ( F ) に示すように電位がさらに下がる。そして、双方の電位が 1 つに合わさるように平均電圧レベル V<sub>F</sub> で安定する。

## 【 0 4 8 0 】

ここで、この平均電圧レベル V<sub>F</sub> が、受信側のレシーバ 4 における 2 値検知増幅のしきい値 V<sub>TH</sub> よりも低いレベルになるように設定する。これにより、レシーバ 4 では、バス・ライン A L<sub>1</sub> 上のアドレス信号 A i n<sub>1</sub> の論理値を “ 0 ” ( L レベル ) と識別することができる。

20

## 【 0 4 9 0 】

伝送アドレス信号における論理的に L レベルの電圧レベル V<sub>F</sub> または振幅 [ V<sub>DD</sub> - V<sub>F</sub> ] は、N O R ゲート 2 6 ( 4 4 ) の出力 G S ( G S<sub>1</sub> ) がパルス状に H レベルになる期間 ( T<sub>c</sub> ) つまり N M O S トランジスタ 1 0 ( 1 2 ) の動通状態 を制御することによって任意に調整できる。具体的には、たとえば N M O S トランジスタ 1 0 ( 1 2 ) のサイズを変えることで任意に調整できる。

## 【 0 5 0 0 】

30

上記期間 T<sub>c</sub> を短くするほど、論理的に L レベルのアドレス信号を伝送するバス・ライン A L ( A L<sub>1</sub> ) の近端における電位の降下は小さくなって、極小点 ( V<sub>c</sub> ) が高くなり、定常電圧レベル V<sub>F</sub> は高くなる。反対に、上記期間 T<sub>c</sub> を長くするほど、論理的に L レベルのアドレス信号を伝送するバス・ライン A L ( A L<sub>1</sub> ) の近端における電位の降下は大きくなって、極小点 ( V<sub>c</sub> ) が低くなり、定常電圧レベル V<sub>F</sub> も低くなり、終には V<sub>ss</sub> ( 飽和点 ) に達する。

## 【 0 5 1 0 】

本実施例のバス・ドライバ 2 では、この期間 T<sub>c</sub> をアドレスイネーブル信号 A E N<sub>1</sub> またはプリチャージ制御信号 P R C で規定されるパルス期間よりも十分小さな値に選択することで、伝送アドレス信号 A O U T<sub>1</sub> , A O U T<sub>1</sub> ( A i n<sub>1</sub> , A i n<sub>1</sub> ) における L レベルの電圧 V<sub>F</sub> を電源電圧 V<sub>ss</sub> よりも高くし、伝送アドレス信号の振幅 [ V<sub>DD</sub> - V<sub>F</sub> ] をフル振幅 [ V<sub>DD</sub> - V<sub>ss</sub> ] よりも小さく、必要最小限の振幅とすることができる。

40

## 【 0 5 2 0 】

このバス・ドライバ 2 で消費される電力は、主にドライブ用の N M O S トランジスタ 1 0 , 1 2 がオンした時の動作 ( 放電 ) 電流に起因する。しかし、上記したように、期間 T<sub>c</sub> が短く、伝送アドレス信号 A O U T<sub>1</sub> , A O U T<sub>1</sub> の振幅 [ V<sub>DD</sub> - V<sub>F</sub> ] が小さいため、消費電力が大幅に低減している。

## 【 0 5 3 0 】

また、伝送アドレス信号 A O U T<sub>1</sub> , A O U T<sub>1</sub> ( A i n<sub>1</sub> , A i n<sub>1</sub> ) の振幅 [ V<sub>DD</sub> - V<sub>F</sub> ] が小さいため、パルス期間も短くて済み、伝送遅延時間を短縮することができる。したがって、こ

50



の実施例のメモリ装置においては、アクセス速度を向上させることができる。

【0540】

図5に、第2の実施例によるバス・ドライバ2の回路構成を示す。

【0550】

この実施例でも、ドライブ用のNMOSトランジスタ10、12、プリチャージ用のPMOSトランジスタ46、48およびプリチャージ制御用のインバータ50の各部は上記した第1実施例のものと同じである。相違する点は、スイッチ制御回路14'、34'の回路構成および作用である。

【0560】

詳細には、スイッチ制御回路14'は、NORゲート70、ワンショット回路72およびインバータ74を縦続接続してなる。スイッチ制御回路34'は、インバータ76、NORゲート78、ワンショット回路80およびインバータ82を縦続接続してなる。ワンショット回路72、80は、複数個たとえば3個のインバータ84a、84b、84cとNANDゲート86とで構成されている。

【0570】

かかる構成において、入力アドレス信号AINの論理値が“1”(Hレベル)のとき、スイッチ制御回路14'ではインバータ74の出力GSはLレベルのままであり、ドライブ用NMOSトランジスタ10をオフ状態に保持する。したがって、V<sub>DD</sub>のHレベルでアドレス信号AOUTがバス・ラインAL上に出力されたことになる。

【0580】

一方、スイッチ制御回路34'では、インバータ76の出力がLレベル、NORゲート78の出力がHレベルになり、これに応動してワンショット回路80の出力端子より所定時間T<sub>M</sub>だけLレベルに活性化された電圧(パルス)が得られる。このLレベルのパルスに応動して、インバータ82の出力GS<sub>1</sub>がHレベルになり、ドライブ用NMOSトランジスタ12がオンする。

【0590】

入力アドレス信号AINの論理値が“0”(Lレベル)のときは、スイッチ制御回路14'、34'の間、ドライブ用NMOSトランジスタ10、12の間、バス・ラインAL、AL<sub>1</sub>等の間で作用が逆になる。

【0600】

この実施例における期間T<sub>c'</sub>は、上記第1実施例における期間T<sub>c</sub>に相当する技術的意義を有しており、ワンショット回路80の出力パルス幅T<sub>M</sub>によって規定される。ワンショット回路80の出力パルス幅は、インバータ84の個数(段数)によって任意に調整できる。

【0610】

このように、この第2の実施例では、バス・ラインAL、AL<sub>1</sub>の電位を監視することなく、スイッチ制御回路14'、34'内に予め設定した一定の期間T<sub>c'</sub>だけドライブ用NMOSトランジスタ10、12のいずれか一方をオンさせることにより、上記した第1実施例と同様にバス・ラインAL、AL<sub>1</sub>を小振幅[V<sub>DD</sub>-V<sub>F</sub>]で駆動して、消費電力の低減と伝送速度の向上を実現することができる。

【0620】

上記した実施例では、プリチャージ用のスイッチング素子をPMOSトランジスタ46、48で構成し、これらのPMOSトランジスタ46、48とドライブ用のNMOSトランジスタ10、12とが同時にオンしないように、プリチャージ制御信号PRCとアドレスイネーブル信号AEN<sub>1</sub>間のタイミングを調整している(図4の(B),(C))。これにより、貫通電流を防止し、素子の保護と消費電力の一層の低減を図っている。

【0630】

もっとも、動作電流や消費電力の点では劣るが、簡便化を図る目的で、プリチャージ制御信号PRCとアドレスイネーブル信号AEN<sub>1</sub>とを共通化する、つまりプリチャージ制御信号PRCをアドレスイネーブル信号AEN<sub>1</sub>で代用することも可能である。

## 【0640】

あるいは、プリチャージ用のスイッチング素子をバイアス用抵抗素子で置換することも可能である。その場合は、PMOSトランジスタ46, 48のゲート端子を電源電圧V<sub>ss</sub>に固定接続することで、両トランジスタ46, 48を抵抗素子とすることができる。

## 【0650】

また、上記した実施例では、バス・ラインA<sub>L</sub>, A<sub>L</sub>の送信端とLレベル側の電源電圧V<sub>ss</sub>の電源電圧端子との間にドライブ用のスイッチング素子(NMOSトランジスタ10, 12)を接続する構成であった。

## 【0660】

しかし、バス・ラインA<sub>L</sub>, A<sub>L</sub>の送信端とHレベル側の電源電圧V<sub>DD</sub>の電源電圧端子との間にドライブ用のスイッチング素子(通常はPMOSトランジスタ)を接続する構成としてもよい。その場合は、バス・ラインA<sub>L</sub>, A<sub>L</sub>の送信端とLレベル側の電源電圧V<sub>ss</sub>の電源電圧端子との間にプリチャージまたはバイアス用のスイッチング素子または抵抗素子が接続されることになる。

10

## 【0670】

上記実施例におけるレシーバ4の回路構成(図3)も一例であり、種々のレシーバ回路を使用することができる。

## 【0680】

上記した実施例はアドレス信号を伝送するためのバス・ドライバに係るものであった。しかし、本発明は、コントロール・バスあるいはデータ・バス等の駆動にも適用可能であり、任意のデジタル信号または二値信号を伝送するための信号線の駆動に適用可能である。また、上記キャパシタC1, C2は、寄生容量を利用する構成としてもよい。

20

## 【0690】

## 【発明の効果】

以上説明したように、本発明の信号線駆動回路によれば、二値信号線を伝送するために信号線を必要最小限の振幅で駆動するようにしたので、消費電力を低減し、かつ伝送遅延時間を短縮することができる。

## 【図面の簡単な説明】

【図1】本発明の一実施例によるバス・ドライバの回路構成を示す回路図である。

【図2】実施例におけるアドレス信号伝送システムの構成を示すブロック図である。

30

【図3】実施例におけるレシーバの回路構成例を示す回路図である。

【図4】実施例における作用を説明するための各部の信号の波形を示すタイミング図である。

【図5】別の実施例によるバス・ドライバの回路構成を示す回路図である。

【図6】従来のバス・ドライバの回路構成を示す回路図である。

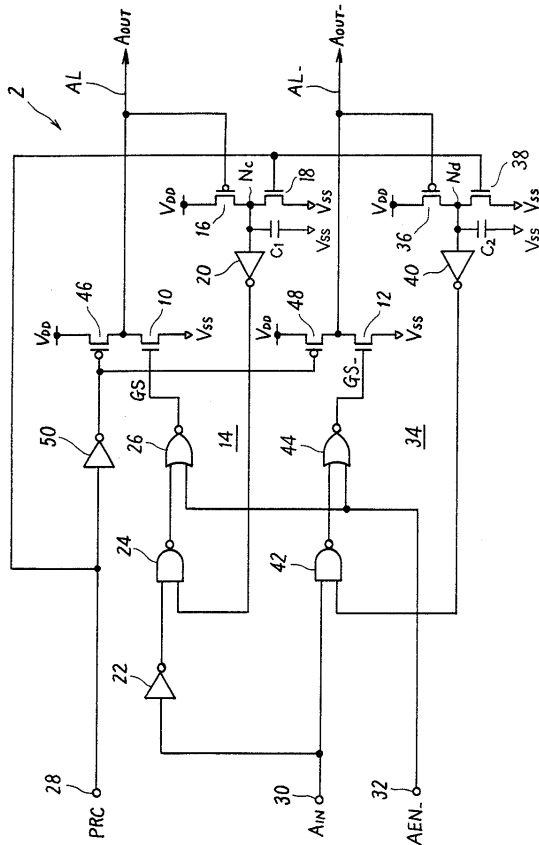
【図7】従来のバス・ドライバの各部の信号の波形を示すタイミング図である。

## 【符号の説明】

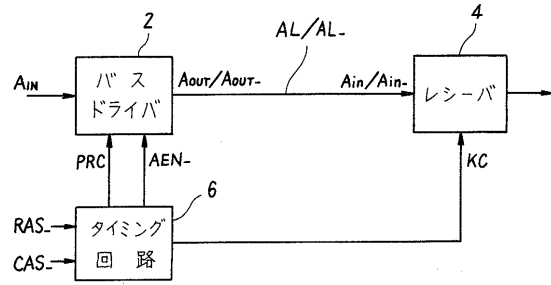
- 2      バス・ドライバ
- 4      レシーバ
- 6      タイミング回路
- 10, 12      ドライブ用NMOSトランジスタ
- 14, 34      スイッチ制御回路
- 46, 48      プリチャージ用PMOSトランジスタ
- A<sub>L</sub>, A<sub>L</sub>      バス・ライン

40

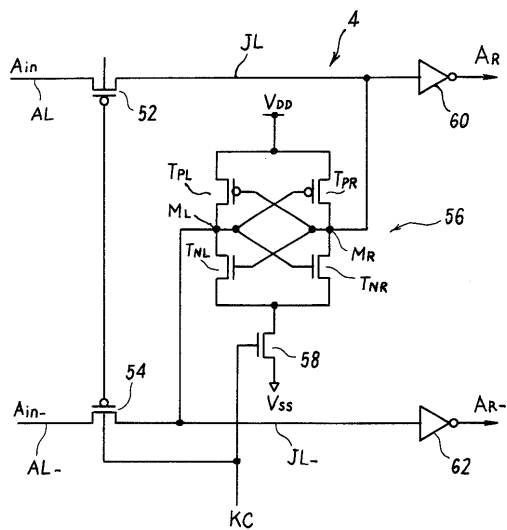
【図 1】



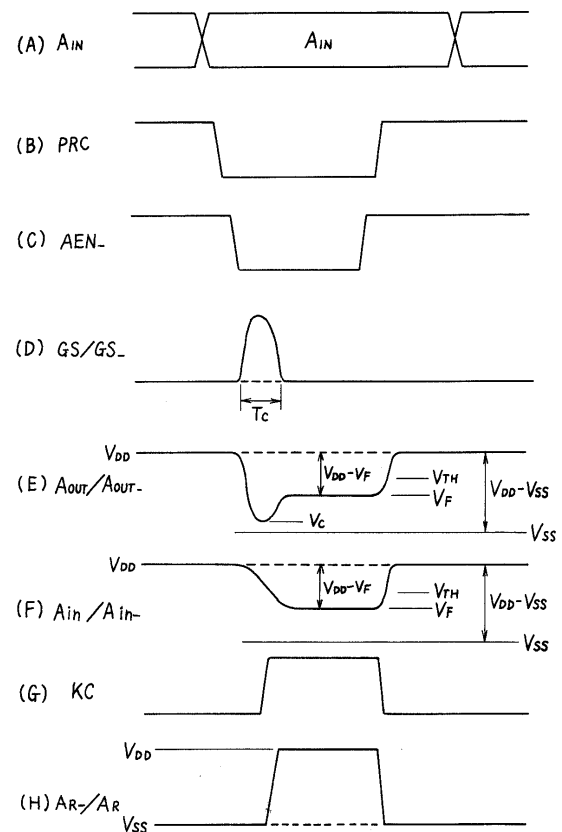
【図 2】



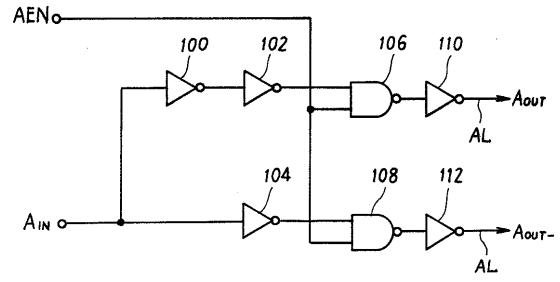
【図 3】



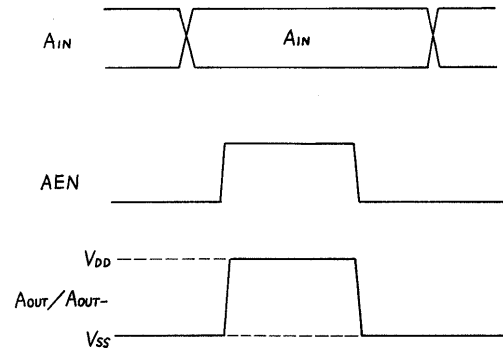
【図 4】



【 図 6 】



【圖 7】



---

フロントページの続き

(56)参考文献 特開昭62-118634(JP,A)  
特開平08-242161(JP,A)  
特開平07-202665(JP,A)  
特開平09-008637(JP,A)  
特開平05-055893(JP,A)  
特開平05-290579(JP,A)  
特開平07-079146(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/413  
G11C 11/408  
G11C 11/4096  
H03K 19/0175  
H04L 25/02