

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H01L 27/092

H01L 29/78

[12] 发明专利申请公开说明书

[21] 申请号 98124728.8

[43]公开日 1999年5月26日

[11]公开号 CN 1217578A

[22]申请日 98.11.12 [21]申请号 98124728.8

[30]优先权

[32]97.11.14 [33]JP [31]313985/1997

[71]申请人 日本电气株式会社

地址 日本国东京都

[72]发明人 伊藤浩 佐佐木诚

[74]专利代理机构 中科专利代理有限责任公司

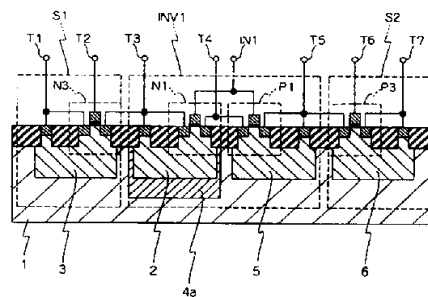
代理人 朱进桂

权利要求书 2 页 说明书 11 页 附图页数 7 页

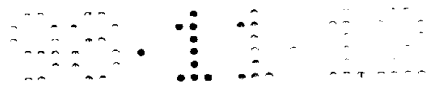
[54]发明名称 互补金属氧化物半导体器件

[57]摘要

一种互补 MOS 半导体器件,其包含:具有多个场效应晶体管的互补 MOS 逻辑电路,作为向互补 MOS 逻辑电路提供电源电压的电源的第一线路及第二线路;控制从所述第一线路向所述互补 MOS 逻辑电路提供的电源电压的第一电源电路;控制从所述第二线路向所述互补 MOS 逻辑电路提供的电源电压的第二电源电路;及控制第一电源电路操作的第三电源电路;所述第三电源电路包括每个都具有厚度大于或等于 2.5nm 栅绝缘膜的场效应晶体管。



ISSN 1008-4274



权 利 要 求 书

1、一种互补 MOS 半导体器件，其特征在于包含：具有多个场效应晶体管的互补 MOS 逻辑电路，作为向互补 MOS 逻辑电路提供电源电压的电源的第一线路及第一线路；用于控制从所述第一线路向所述互补 MOS 逻辑电路提供的电源电压的第一电源电路；用于控制从所述从所述第二线路向所述互补 MOS 逻辑电路提供的电源电压的第二电源电路；及用于控制所述第一电源电路操作的第三电源电路；其中所述第三电源电路包括每个都具有厚度大于或等于 2.5nm 栅绝缘膜的场效应晶体管。

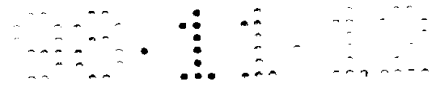
2、根据权利要求 1 所述的互补 MOS 半导体器件，其特征在于所述第一电源电路及所述第二电源电路中的至少一种电路包括其中栅绝缘膜厚度大于或等于 2.5nm 的场效应晶体管。

3、根据权利要求 1 所述的互补 MOS 半导体器件，其特征在于设置在所述互补 MOS 逻辑电路中的所述场效应晶体管的阱与所述第一线路及所述第二线路电绝缘。

4、根据权利要求 2 所述的互补 MOS 半导体器件，其特征在于设置在所述互补 MOS 逻辑电路中的所述场效应晶体管的阱与所述第一线路及所述第二线路电绝缘。

5、一种互补 MOS 半导体器件，其特征在于包含：具有多个场效应晶体管的互补 MOS 逻辑电路，作为向互补 MOS 逻辑电路提供电源电压的电源的第一线路及第一线路；用于控制从所述第一线路向所述互补 MOS 逻辑电路提供的电源电压的第一电源电路；用于控制从所述从所述第二线路向所述互补 MOS 逻辑电路提供的电源电压的第二电源电路；及用于控制所述第一电源电路操作的第三电源电路；其中所述场效应晶体管的阱与所述第一线路及所述第二线路电绝缘。

6、根据权利要求 5 所述的互补 MOS 半导体器件，其特征在于所述第一电源电路及所述第二电源电路中的至少一种电路包括其中栅绝缘膜



厚度大于或等于 2.5nm 的场效应晶体管。

7、根据权利要求 1 所述的互补 MOS 半导体器件，其特征在于场效应晶体管的栅绝缘膜是从氧化硅膜及硅氮氧化膜中选出的一种绝缘膜。

8、根据权利要求 2 所述的互补 MOS 半导体器件，其特征在于场效应晶体管的栅绝缘膜是从氧化硅膜及硅氮氧化膜中选出的一种绝缘膜。

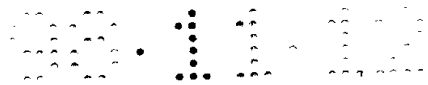
9、根据权利要求 3 所述的互补 MOS 半导体器件，其特征在于场效应晶体管的栅绝缘膜是从氧化硅膜及硅氮氧化膜中选出的一种绝缘膜。

10、根据权利要求 4 所述的互补 MOS 半导体器件，其特征在于场效应晶体管的栅绝缘膜是从氧化硅膜及硅氮氧化膜中选出的一种绝缘膜。

11、根据权利要求 5 所述的互补 MOS 半导体器件，其特征在于场效应晶体管的栅绝缘膜是从氧化硅膜及硅氮氧化膜中选出的一种绝缘膜。

12、根据权利要求 6 所述的互补 MOS 半导体器件，其特征在于场效应晶体管的栅绝缘膜是从氧化硅膜及硅氮氧化膜中选出的一种绝缘膜。

13、根据权利要求 7 所述的互补 MOS 半导体器件，其特征在于氧化硅膜是用氮氧化物操作经氧化硅基片的表面形成的。



说 明 书

互补金属氧化物半导体器件

本发明通常涉及一种适合于移动装置的互补金属氧化物（CMOS）半导体器件，而更具体地涉及一种互补金属氧化物半导体器件，其中即使构成互补 MOS 逻辑电路的场效应晶体管的栅绝缘膜被制成厚度小于 2.5nm，其在非工作状态下的能量消耗会被大大地降低。

近年来，对移动装置的需求正在增加。对移动装置首先想到的是室外使用的个人计算机、便携电话等类似物，并用电池向移动装置提供电源。为此，在移动装置中，降低工作状态及非工作状态下的能耗是非常重要的。另外，至于用于移动装置中半导体器件，尤其是互补 MOS 半导体器件是很有效的，这是因为互补 MOS 半导体器件在非工作状态下具有较低的能耗。

然而，如果为了增加半导体器件的电路运行速度而降低 MOSFET 的阈值电压，由于在非工作状态下流动的电流（此后为简单起见，简称为“备用电流”）上升从而在非工作状态下的能耗增高。图 4 为安装在传统互补 MOS 半导体器件中的电路结构的电路图。传统的互补 MOS 半导体器件在其中装有两级反相器 INV11 及 INV12。反相器 INV11 包括 P 沟道 MOSFET P11 及 n 沟道 MOSFET N11，而反相器 INV12 包括 P 沟道 MOSFET P12 及 n 沟道 MOSFET N12。这些 MOSFET P11、P12、N11、N12 中的每一个都具有低阈值的低阈值电压 MOSFET。

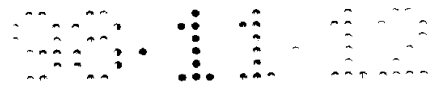
在如此构成的传统互补 MOS 半导体器件中，当输入到输入端 IN11 的信号被保持在低电平时，其中输入端 IN11 同时与设置在反相器 INV11 中的 P 沟道 MOSFET P11 的栅极及 n 沟道 MOSFET N11 的栅极相连，P 沟道 MOSFET P11 处于导通状态，同时 n 沟道 MOSFET N11 处于非导通状态。在此情况下，输入到反相器 INV12 的信号被保持在高电平，从而 P 沟道 MOSFET P12 变为非导通状态，同时 n 沟道 MOSFET N12 变为导通

状态。然后，处于低电平的信号通过输出端 OUT11 输出，而其中输出端 OUT11 同时与 P 沟道 MOSFET P12 的漏极及 n 沟道 MOSFET N12 的漏极相连。此时，虽然在反相器 INV11 中，n 沟道 MOSFET N11 处于非导通状态，而实际上，会流过大量的备用电流，这是因为 MOSFET 为低阈值电压型。为此，使得对应于此备用电流的直通电流 21 流过从电源线 L11 到地线（GND）L12 的路径。另外，在反相器 INV12 中，使对应于 P 沟道 MOSFET P12 的备用电流的直通电流流过从电源线 L11 到 GND 线 L12 的路径。这些直通电流 21 及 22 结果导致在非工作状态下的能耗增大。

下面对设计用来克服上述不足的电路进行描述（参见日本专利申请平 6-29834）。在此公报中描述的电路以图 4 中所示的逻辑电路为基础，且在其中设置了用于将电源线及 GND 线与逻辑电路隔离的装置。图 5 为在日本专利申请平 6-29834 中描述的电路结构示意图。在此结构中，在图 5 所示的电路中，用相同的标号表示与图 4 中的逻辑电路相类似的部分，在这里为简化起见省略了对它的详细描述。在日本专利申请平-6-29834 中描述的电路中，P 沟道的 MOSFET P13 被作为电源电路 S11 跨接到电源线 L13 及伪电源线 V11，同样 n 沟道 MOSFET N13 被提供作为电源电路 SR 跨接到 GND 线 L14 及伪 GND 线 V12。P 沟道 MOSFET P13 及 n 沟道 MOSFET N13 都为具有高阈值的高阈值电压 P 沟道 MOSFET。P 沟道 MOSFET P13 的栅极通过反相器 INV13 与开关 SW11 相连，而 n 沟道 MOSFET N13 的栅极直接与开关 SW11 相连。

在如上所述传统的电路结构中，如果通过反相器 INV11 及 INV12 使开关 SW11 在非工作状态下处于非导通状态，P 沟道 MOSFET P13 及 n 沟道 MOSFET N13 都变为非导通状态，从而反相器 INV11 及 INV12 都与电源线 13 及 GND 线 14 相隔离。另外，由于 P 沟道 MOSFET P13 及 n 沟道 MOSFET N13 都为高阈值电压 MOSFET，其中的备用电流大大低于 MOSFET P11、P12、N11 及 N12 的备用电流，由此流过从电源线 L13 到 GND 线 L14 的路径的直通电流被大大地抑制，其结果，在非工作状态下的能耗也被大大降低。

另外，还提出一种电路，其在不降低运行速度的前提下可以减小非工作状态下的能耗（参见日本专利申请 7-38417）。在此公报中描述的电路



中，在逻辑电路中设置有由具有低阈值电压的 MOS 晶体管构成的第一反相器及由具有高阈值电压的 MOS 晶体管构成的第二反相器。此外，第一反相器被设计成在非工作状态下与电源相分离。

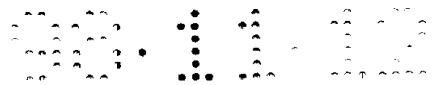
根据日本专利申请平 7-38417 中描述的电路，在工作期间，通过第一反相器进行高速切换操作，而同时非工作状态期间，由第二反相器保持输出电平。为此，可将非工作状态下的能耗降低到最低水平。

然而，这又产生一个问题，即当随着 LSI 的高集成度及运行速度的提高 MOSFET 精细地收缩从而使栅极长度变为大约 $0.1 \mu\text{m}$ 时，在传统的具有如上所述的电路结构的互补 MOS 半导体器件中，其非工作状态下能耗较高。特别是，由于在使用电池工作的 LSI 中，即使处于非工作状态，也会产生很大的高能耗，相应地电池耗废也很大。在目前形势下对移动装置的需求越来越大，因此解决此问题是很重要的。

MOSFET 的诸如尺寸等器件参数可根据某比例尺寸下降规则精细缩减。至于比例尺寸下降规则，已提出一种电场确定比例尺寸下降规则、电压确定比例尺寸下降规则、半电场确定比例尺寸下降规则等。接着，在任何一种比例尺寸下降规则中，需假设用相同的尺寸缩减比例同时对栅极长度及栅绝缘膜的厚度进行缩减。在实际的器件中，栅极长度及栅绝缘膜的厚度大约同比例缩减。因此，具有 $0.25\mu\text{m}$ 栅极长度的 CMOS 的栅绝缘膜的厚度通常为 5nm ，根据比例尺下降原则，具有 $0.1\mu\text{m}$ 栅极长度的 CMOS 的栅绝缘膜的厚度范围为 2.0 到 2.5nm 。也即，为了使 MOSFET 精细缩减，栅极长度为大约 $0.1\mu\text{m}$ ，而具有逻辑电路的栅绝缘膜的厚度薄于 2.5nm ，则在非工作状态下的能耗将要升高。

针对上述情况，本发明的目的是解决与现有技术相关的上述问题，因此本发明的一个目的是提供一种互补 MOS 半导体器件，其中即使当逻辑电路中的栅绝缘膜的厚度比 2.5nm 薄，也可抑制非工作状态下的能耗。

根据本发明的一个方面，所提供的互补 MOS 半导体器件包括：具有多个场效应晶体管的互补 MOS 逻辑电路；用于向互补 MOS 逻辑电路提供电源电压的作为源极的第一线路及第二线路；用于控制供给从第一线路到互补 MOS 逻辑电路的电源电压的第一电源电路；用于控制供给从第二线路到互补 MOS 逻辑电路的电源电压的第二电源电路；用于控制第一电



源电路工作的第三电源电路，其中第三电源电路包括每个都具有 2.5nm 或更大厚度的栅绝缘膜的场效应晶体管。

根据本发明的一个方面，由于在第三电源电路中设置了具有厚度为 2.5nm 或更大的栅绝缘膜的场效应晶体管，在互补 MOS 逻辑电路的非工作状态中，通过抑制流过栅绝缘膜的直通电流可降低能耗。

根据本发明的另一方面，所提供的互补 MOS 半导体器件包括：具有多个场效应晶体管的互补 MOS 逻辑电路；用于向互补 MOS 逻辑电路提供电源电压的作为源极的第一线路及第二线路；用于控制提供从第一线路到互补 MOS 逻辑电路的电源电压的第一电源电路；用于控制从第二线路提供给互补 MOS 逻辑电路的电源电压的第二电源电路；及用于控制第一电源电路操作的第三电源电路，其特点是在互补 MOS 逻辑电路中设置的多个场效应晶体管的阱与第一线路及第二线路电绝缘。

在本发明的另一方面中，由于在互补 MOS 逻辑电路中设置的多个场效应晶体管的阱与第一线路及第二线路电绝缘，通过抑制流过其间的电流可减少能耗。

从由第一电源电路及第二电源电路组成的结构中选出的至少一种电路最好包括具有 2.5nm 或更厚栅绝缘膜的场效应晶体管。

通过在第一电源电路或第二电源电路中提供每个具有 2.5nm 或更厚栅绝缘膜的场效应晶体管，在互补 MOS 逻辑电路的工作中可以提供足够的电压。尤其是，在两个电源电路中都提供了上述的场效应晶体管，由此提高了其使用效果。

在此结构中，上述场效应晶体管的栅绝缘膜可由氧化硅膜或硅氮氧化膜构成，同样可通过氮的氧化物对硅基片表面进行氧化形成氧化硅膜。

通过下面结合附图对本发明最佳实施例的描述会对本发明的上述及其它目的及优点有更清楚的了解。

图 1A 为安设在本发明第一实施例的互补 MOS 半导体器件中的电路结构的示意图，图 1B 为根据本发明第一实施例的互补 MOS 半导体器件的结构示意图；

图 2 为根据本发明第二实施例的互补 MOS 半导体器件的结构截面示意图；



图 3 为根据本发明第三实施例的互补 MOS 半导体器件的结构截面示意图；

图 4 为安装在传统互补 MOS 半导体器件中的电路结构的电路图；

图 5 为在日本专利申请平 6-29834 中揭示的电路结构的电路图；

图 6A 为包括 MOSFET 的电路结构的电路图，其中每个 MOSFET 具有小于 2.5nm 厚度的栅绝缘膜，图 6B 为用于描述在图 6A 电路中产生的直通电流的电路图，而图 6C 用于解释在图 6A 电路中产生的直通电流的电路图；

图 7A 为当栅绝缘膜厚度为 2.0nm 时，用解释流过在日本专利申请平 6-29824 中揭示的电路的直通电流电路图，而图 7B 为半导体器件的结构截面示意图，其中将图 7A 中所示的电路安设在 P 型半导体基片上。

图 8 为表示栅极电压与导引隧道电流（隧穿电流）间关系的示意图；

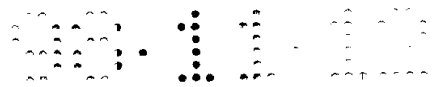
图 9 为表示栅氧化膜厚度与导引隧道电流间关系的示意图；及

图 10 为表示栅氧化膜厚度与漏电流间关系的示意图。

为解决上述与现有技术相关的问题，经过坚持不懈的重复研究与努力，本发明人发现如果将传统逻辑电路中的栅绝缘膜的厚度制成小于 2.5nm，即使在非工作状态下也会使导引隧道电流过栅绝缘膜，因此通过减少比导引隧道电流可以抑制非工作状态下的能耗。

下面将对传统电路中的栅绝缘膜内产生的导引隧道电流（造成能耗上升的原因）进行描述。图 6A 为包括 MOSFET 的电路的结构示意图，每个 MOSFET 都具有厚度小于 2.5nm 的栅绝缘膜，图 6B 为用于解释在图 6A 中电路中产生的直通电流的电路图，而图 6C 为用于解释在 6A 电路中产生的直通电流的电路图。在图 6A 的电路中，与传统实例相类似，在其中设置了两级反相器 INV21 及 INV22。反相器 INV21 包括 P 沟道 MOSFET P21 及 n 沟道 MOSFET N21，而反相器 INV12 包括 P 沟道 MOSFET P22 及 n 沟道 MOSFET N22。MOSFET P21、P22、N21 及 N22 中每一个都是具有高阈值的高阈值电压 MOSFET。

在上述电路结构中，当输入到输入端 IN21 的信号被保持在低电平时，其中输入端 IN21 与 P 沟道 MOSFET P21 的栅极及反相器 INV21 中的 n 沟道 MOSFET N21 的栅极相连，P 沟道 MOSFET P21 处于导通状态，而 n



沟道 MOSFET N21 处于非导通状态。在此情况下，输入到反相器 INC22 的信号被保持在高电平，从而 P 沟道 MOSFET P22 变为非导通状态而 n 沟道 MOSFET N22 变为导通状态。然后，处于低电平的信号通过输出端 OUT21 输出，而其中输出端 OUT21 同时与 P 沟道 MOSFET P22 的漏极及 n 沟道 MOSFET N22 的漏极相连。此时，由于输入到反相器 INV21 中的信号被保持在低电平，从而电路处于正常状态（非工作状态），同样每个 P 沟道 MOSFET P21 及 n 沟道 MOSFET N21 为高阈值电压 MOSFET，如果栅绝缘膜的厚度大于或等于 2.5nm，则电流很难流过从电源电路 L21 到 GND 线 L22 的路径。

然而，由于在此例中，正如图 6B 中所示，栅绝缘膜的厚度小于 2.5nm，使得导引隧道电流流过 n 沟道 MOSFET N22 的栅绝缘膜。其结果，使得直通电流 23 流过从电源线 L21 到 GND 线路 L22 的路径。另外，当输入到输入端 IN21 的信号被保持在高电平时，使得导引隧道电流流过 P 沟道 MOSFET P22 的栅绝缘膜，因此使得直通电流流过从电源线 L21 到 GND 线 L22 的路径。

同样在日本专利申请平 6-29834 中揭示的电路中，如果使栅绝缘膜的厚度小于 2.5nm（例如 2.0nm），类似地，也会导致直通电流流过。图 7A 为当栅绝缘膜厚度为 2.0nm 时，用于解释流过日本专利申请平 6-29834 中揭示的电路的直通电流的电路图，而图 7B 中所示装有图 7A 所示电路的 P 型半导体基片上的半导体器件的结构截面示意图。图 5 中所示的反相器 INV13 包括都为高阈值电压 MOSFET 的 P 沟道 MOSFET P14 及 n 沟道 MOSFET N14。另外在图 7B 中，端子 T11 与 GND 线 L14 相连，而端子 T12 与开关 SW11 相连。另外，端子 T13 与伪 GND 线 V12 相连，而端子 T14 与反相器 INV12 相连。端子 T15 与伪电源线 V11 相连，端子 T16 通过反相器 INV13 与开关 SW11 相连。端子 T11 与电源线 L13 相连。同样，n 沟道 MOSFET N11 及 N13 形成于与 GND 线 L14 处于相同电势的 P 型阱 12 中，而 P 沟道 MOSFET P11 及 P13 形成于与电源线 L13 相同电势的 N 型阱 13 中。另外，P 型阱 12 及 N 型阱 13 形成于同一 P 型半导体基片 11 中。

在此电路中，在包括反相器 INV11 及 INV12 的逻辑电路的非工作状

态中，通过将到达开关 SW11 的输入信号的强度降低至低电平从而使伪电源线 V11 及伪 GND 线 V12 分别与电源线 L13 及 GND 线 L14 相隔离。其结果，不会流过任何直通电流（如图 6B 及 6C 中所示的直通电流 23 及 24）。

然而，由于如图 7A 中所示，栅绝缘膜的厚度为 2.0nm，电源线 L13 与 P 沟道 MOSFET P4 的 N 型阱的电势相等，如果处于低电平的信号输入到开关 SW11，则令使导引隧道电流流过 P 沟道 MOSFET P4 的栅绝缘膜，其会导致有直通电流 25 流过。另外，由于如图 7B 中所示，栅绝缘膜的厚度为 2.0nm，n 沟道 MOSFET N11 的 P 型阱与和端子 T11 相连的 GND 线 L14 的电势相同，如果输入信号被保持在高电平，则会使导引隧道电流流过 n 沟道 MOSFET N11 的栅绝缘膜，其结果导致有直通电流 26 流过。此外，当输入信号被保持在低电平时，由于 P 沟道 MOSFET P11 的 N 型阱 13 与和端子 T17 相连的电源线 L13 的电势相同，使得导引隧道电流流过 P 沟道 MOSFET P11 的栅绝缘膜，其结果导致直通电流流过。由于由导引隧道电流产生的直通电流与和现有技术相关问题中的直通电流不同。在传统电路中，即使开关 SW11 处于非导通状态，也不会抑制此直通电流。

图 8 中示出了本发明测出的流过具有 2nm 厚栅绝缘膜的 n 沟道 MOSFET 的导引隧道电流的结果。图 8 为示出栅电压（横轴）与导引隧道电流（纵轴）间关系的示意图。在栅电压为正的区域内，n 沟道 MOSFET 处于反相状态，而在栅电压为负的区域，n 沟道 MOSFET 处于累积状态。在此结构中，处于反相状态的导引隧道电流超出处于累积状态的量对应于平带电压。

另外，图 9 中示出隧道电流与栅氧化膜厚度间的依赖关系。图 9 为表示栅氧化膜厚度（横轴）与导引隧道电流（纵轴）间关系的示意图。在图 9 中，空心标志“○”表示当电源电压为 1.8V 时的导引隧道电流，而实心标志“●”表示当电源电压为 1.2V 时的导引隧道电流。从图中可明显看出，导引隧道电流与栅绝缘膜厚度的依赖关系非常明显，因此，无论何时栅绝缘膜变薄 0.2nm，导引隧道电流上升大约一个数位。

通过上述讨论结果，图 10 中示出当假设无导引隧道电流流过时，由于备用电流产生的漏电流与由于导引隧道电流产生的漏电流的比较结果。图 10 为栅绝缘膜的厚度（横轴）与漏电流（纵轴）间关系的示意图。在

此结构中，MOSFET 的栅极宽度为 $1\mu\text{m}$ 。在图 10 中，空心标志“○”表示由于导引隧道电流产生的漏电流，而实心标志“●”表示由于备用电流产生的漏电流。如图 10 中所示，当绝缘膜的厚度变为比 2.5nm 薄时，由于导引隧道电流产生漏电流大于 MOS 晶体管的备用电流，换句话说，在互补 MOS 半导体器件的非工作期间从电源线流到 GND 线的漏电流中，由于导引隧道电流而产生的直通电流为主要的电流，而其中在 MOS 半导体器件中，在栅绝缘膜的厚度比 2.5nm 薄的区域内，栅极长度小于 $0.1\mu\text{m}$ 。

现在，参考相应附图描述本发明最佳实施例器件中的电路结构的电路图，而 1B 为本发明第一实施例的互补 MOS 半导体器件的结构示意图。在本实施例中，安装有包括两级反相器 INV1 及 INV2 的内部逻辑电路。反相器 INV1 包括 P 沟道 MOSFET P1 及 n 沟道 MOSFET N1，而反相器 INV2 包括 P 沟道 MOSFET P2 及 n 沟道 MOSFET N2。这些 MOSFET P1、P2、N1 及 N2 的每一个都具有 2nm 绝缘膜厚度的 MOSFET。栅绝缘膜例如可由氧化硅膜或由氮化硅氧化膜构成，而其中氮化硅氧化膜是通过氮化氧化硅形成的。而氧化硅膜例如氮的氧化物的工作对硅基片表面进行氧化而形成。P 沟道 MOSFET P1 及 P2 的源极及阱与伪电源线 V1 相连。另外，n 沟道 MOSFET N1 和 N2 的源和阱与伪 GND 线 V2 相连。然后，P 沟道 MOSFET P3 作为电源电路 S1 与伪电源线 V1 相连，n 沟道 MOSFET N3 作为电源电路 S2 与伪 GND 线 V2 相连。另外，电源线 L1 与电源电路 S1 相连，而 GND 线 L2 与电源电路 S2 相连。同时，反相器 INV3 作为电源电路 S3 与 P 沟道 MOSFET P3 的栅极相连。开关 SW1 与反相器 INV3 及 n 沟道 MOSFET N3 的栅极相连。其结果，P 沟道 MOSFET P3 及 n 沟道 MOSFET N3 同时工作。反相器 INV3 包括 P 沟道 MOSFET P4 及 n 沟道 MOSFET N4。P 沟道 MOSFET P4 与电源线 L1 相连，而 n 沟道 MOSFET N4 与 GND 线 L2 相连。在此结构中，P 沟道 MOSFET P4 及 n 沟道 MOSFET N4 的每一个都为具有 4nm 栅绝缘膜厚度的 MOSFET。

另外，在图 1B 中，端子 T1 与 GND 线 L2 相连，端子 T2 与开关 SW1 相连。同样，端子 T3 与伪 GND 线 V2 相连，端子 T4 与反相器 INV2 相连。端子 T5 与伪电源线 V1 相连，而端子 T6 通过反相器 INV3 与开关 SW1 相连，同样，端子 T7 与电源线 L1 相连。



此外,如图 1B 中所示, n 沟道 MOSFET N1 形成在第一 P 型阱 2 中,而 n 沟道 MOSFET N3 形成在第二 P 型阱 3 中,同样,第一 P 型阱 2 及第二 P 型阱 3 形成在同一第三 N 型阱 4 内,从而彼此远离设置。其结果,第一 P 型阱 2 及第二 P 型阱 3 彼此电绝缘。另外, P 沟道 MOSFET P1 形成在第一 N 型阱 5 内,而 P 沟道 MOSFET P3 形成在第二 N 型阱 6 内。还有,第一 N 型阱 5、第二 N 型阱 6 以及第三 N 型阱 4 形成在 P 型半导体基片 1 内从而彼此隔离设置。其结果,第一 N 型阱 5 及第二 N 型阱 6 彼此电绝缘。在此结构中,如果与第二 N 型阱 6 电绝缘,则 P 沟道 MOSFET P2 (图 1B 未示出)可与 P 沟道 MOSFET P1 一样形成在同一第一 N 型阱 5 内。同样,如果与第二 P 型阱 3 电绝缘,则 n 沟道 MOSFET N2 (图 1B 中未示出)可与 n 沟道 MOSFET N1 一样形成在同一 P 型阱 2 内。

下面将对具有如上所述结构的第一实施例的操作进行描述。

开关 SW1 在包括反相器 INV1 及 INV2 的内部逻辑电路的非工作状态下变为非导通状态,从而与现有技术类似,内部逻辑电路与电源线 L1 及 GND 线 L2 相分离,由此电源电压不会施加到内部逻辑电路上。其结果,可防止产生如图 6B 中所示的直通电流 23 或 24。另外, P 沟道 MOSFET P4 的栅绝缘膜厚度为 4nm,从而可防止在 P 沟道 MOSFET P4 中产生导引隧道电流。这样的结果可防止产生图 7A 中所示的直通电流 25。此外,由于第一 P 型阱 2 及第二 P 型阱 3 彼此电绝缘,即使当在输入端 IN1 保持高电平信号时,也可防止产生图 7A 及 7B 中所示的直通电流 26。同样,由于第一 N 型阱 5 及第二 N 型阱 6 彼此电绝缘,当在输入端 IN1 保持低电平的信号时,可防止直通电流流过从输入端 IN1 到电源线 L1 的路径。

在此结构中, P 沟道 MOSFET P3 及 n 沟道 MOSFET N3 的栅绝缘膜厚度不受限制。但是,如果 P 沟道 MOSFET P3 的栅绝缘膜厚度小于 2.5nm,则在反相器 INV1 及 INV2 的工作中会使电流流过从电源线 L1 到 P 沟道 MOSFET P3 的栅极的路径,而如果 n 沟道 MOSFET N3 的栅级绝缘膜的厚度比 2.5nm 薄,则在反相器 INV1 及 INV2 的工作中,电流会流过从 n 沟道 MOSFET N3 的栅极到 GND 线 L2 的路径。为此,在某些情况下,无法对伪电源线 V1 或伪 GND 线 V2 提供足够的电压。因此, P 沟道 MOSFET P3 及 n 沟道 MOSFET N3 的栅绝缘膜的厚度需要大于或等于



2.5nm。

下面将对本发明的第二实施例进行详细描述。在本实施例中，提供了图 1A 中所示的电路。其中形成有本实施例的 MOSFET 的阱的结构与第一实施例中的不同，图 2 为根据本发明第二实施例的互补 MOS 半导体器件的结构截面示意图。在图 2 中所示的第二实施例中，与图 1B 中第一实施例中相对应的部分用同样的标号表示，并为简化起见略去了对其的描述，在本实施例中，第一 P 型阱 2 形成在第三 N 阱 4a 内，而第二 P 型阱 3 直接形成在 P 型半导体基片 1 内。在这种情况下，第一 P 阱 2 及第二 P 型阱 3 彼此电绝缘。

为此，在本实施例中，当在输入端 IN1 保持高电平信号时，导引隧道电流不会流过 n 沟道 MOSFET N1，从而可防止产生如图 7A 及 7B 中所示的直通电流 26。

下面对本发明的第三实施例进行详细描述，同样在本实施例中，提供了图 1A 中所示的电路。本实施例与第二实施例类似，与第一实施例的差别在于形成于其内的具有 MOSFET 阱的结构不同。图 3 为本发明第三实施例的互补 MOS 半导体器件的结构截面示意图。在图 3 所示的第三实施例中，与图 1B 中第一实施例中相对应的部分用同样的标号表示，并为简化起见略去了对其的描述，在本实施例中，第二 P 型阱 3 形成在第三 N 阱 4b 内，而第一 P 型阱 2 直接形成在 P 型半导体基片 1 内。在这种情况下，第一 P 阱 2 及第二 P 型阱 3 彼此电绝缘。

为此，在本实施例中，当在输入端 IN1 保持高电平信号时，不会使导引隧道电流流过 n 沟道 MOSFET N1，从而可防止产生如图 7A 及 7B 中所示的直通电流 26。

在此结构中，当如上述元件形成在 P 型半导体基片上时，需要通过 N 型阱 4 使 P 型阱 2 和 3 彼此电绝缘，而当元件形成在 N 型半导体基片上时，需要通过 P 型阱使 N 型阱 5 和 6 彼此电绝缘。

如上所述，根据本发明，设置在电源电路中的场效应晶体管的绝缘膜厚度大于或等于 2.5nm，由此，在互补 MOS 逻辑电路的非工作期间，可抑制导引隧道电流流过电源电路。另外，设在互补 MOS 逻辑电路中的场效应晶体管的阱与第一线路及第二线路电绝缘，从而可防止导引隧道电流

流过其间的路径。为此，可大大减少从电源线流经 GND 线的直通电流，由此可降低互补 MOS 半导体器件的非工作状态下的能耗，其中互补 MOS 逻辑电路包括场效应晶体管，而每个场效应晶体管的栅绝缘膜的厚度小于 2.5nm。

虽然已通过最佳实施例及特定限制对本发明进行了描述，需明确对本领域技术人员而言所作的各种变化及修改都不脱离本发明的范围及实质。本发明范围仅由所附权利要求进行限定。

说明书附图

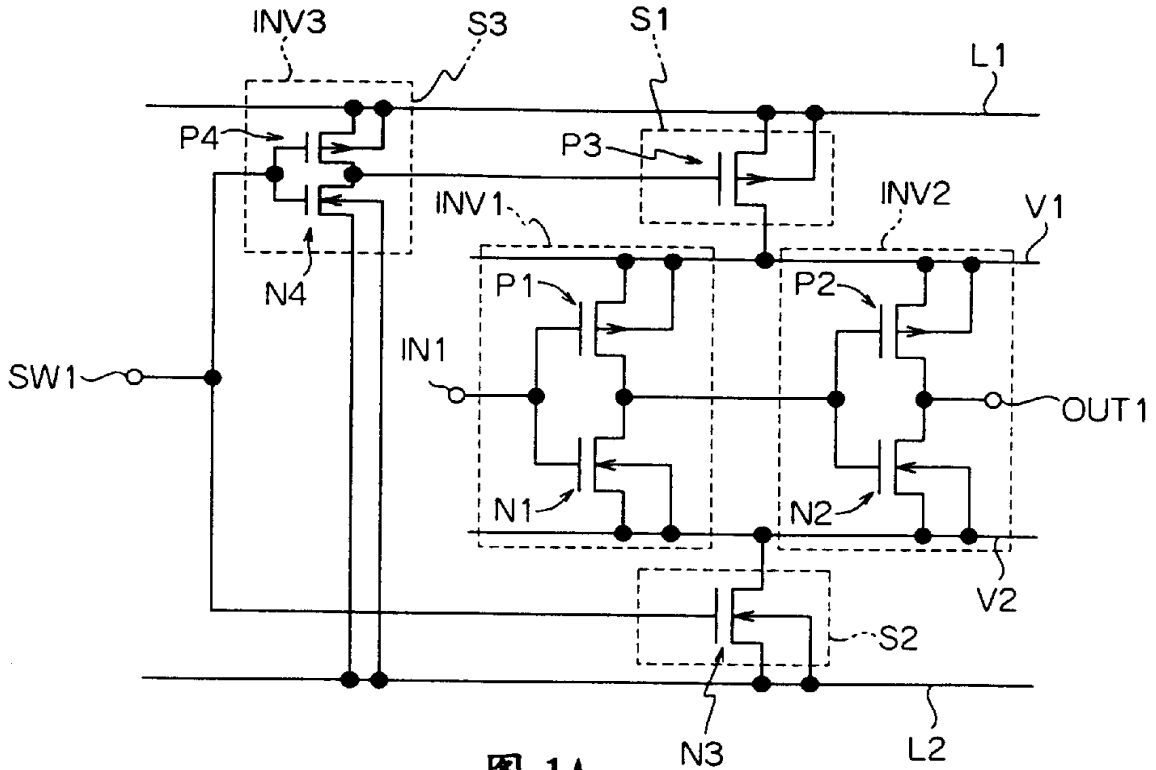


图 1A

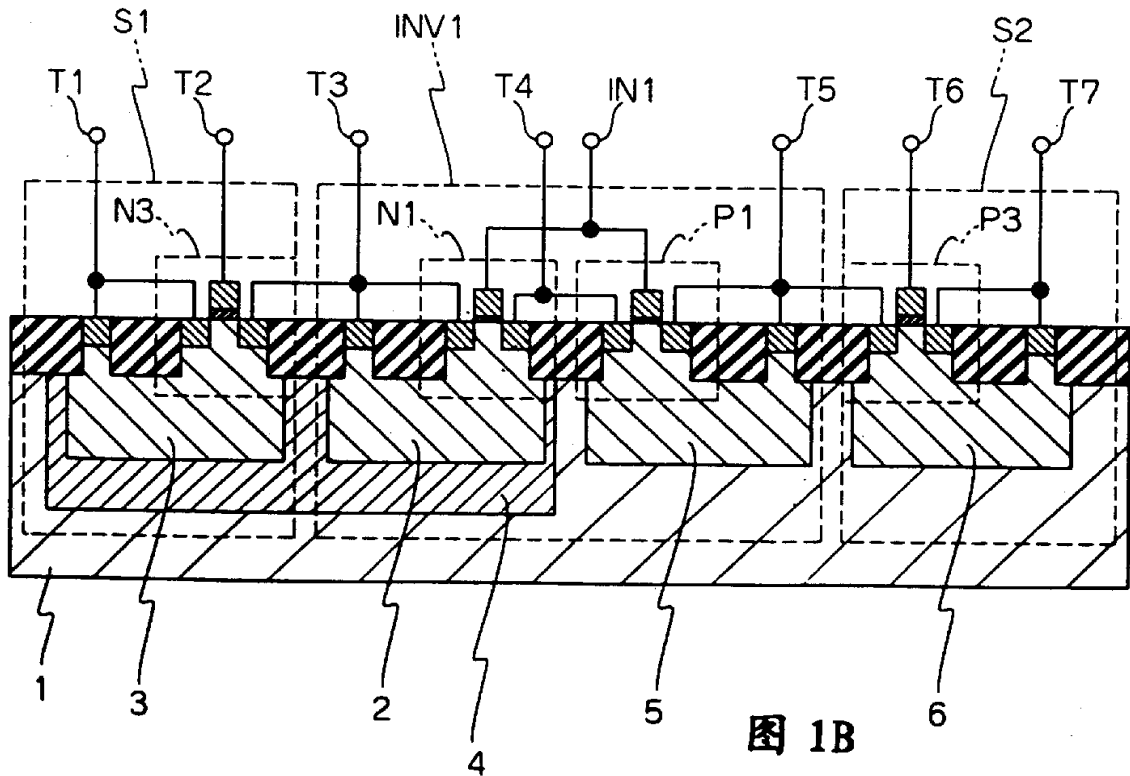


图 1B

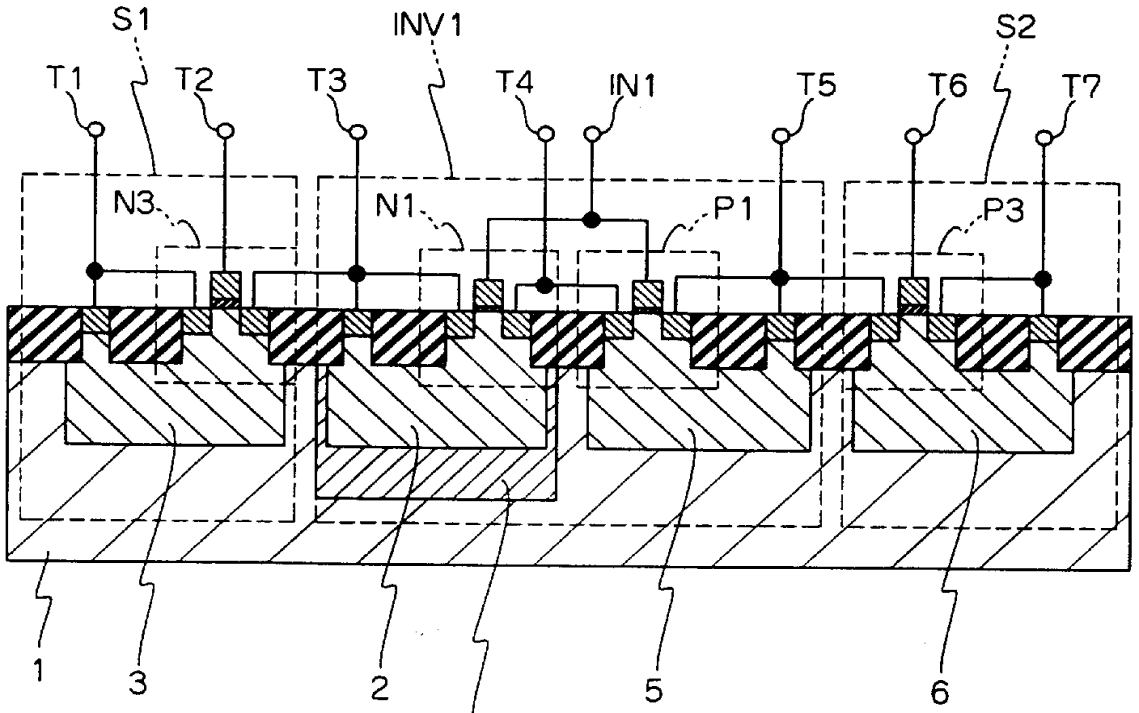


图 2

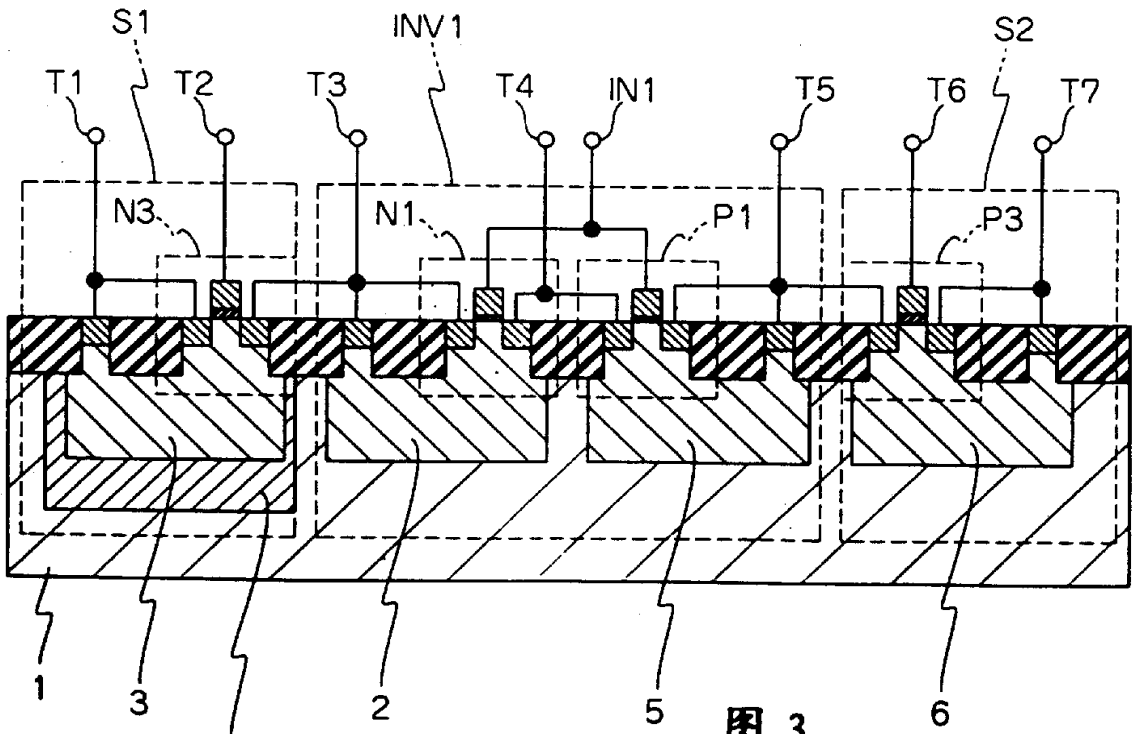


图 3

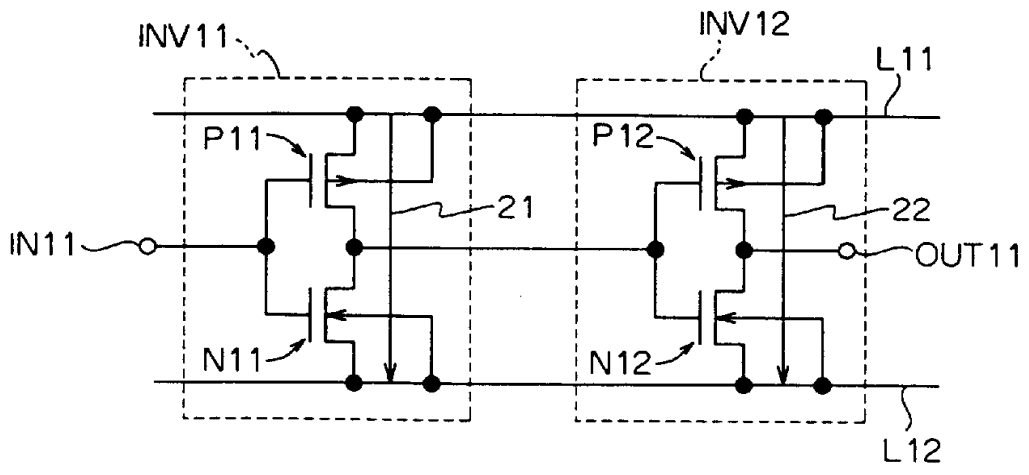


图 4

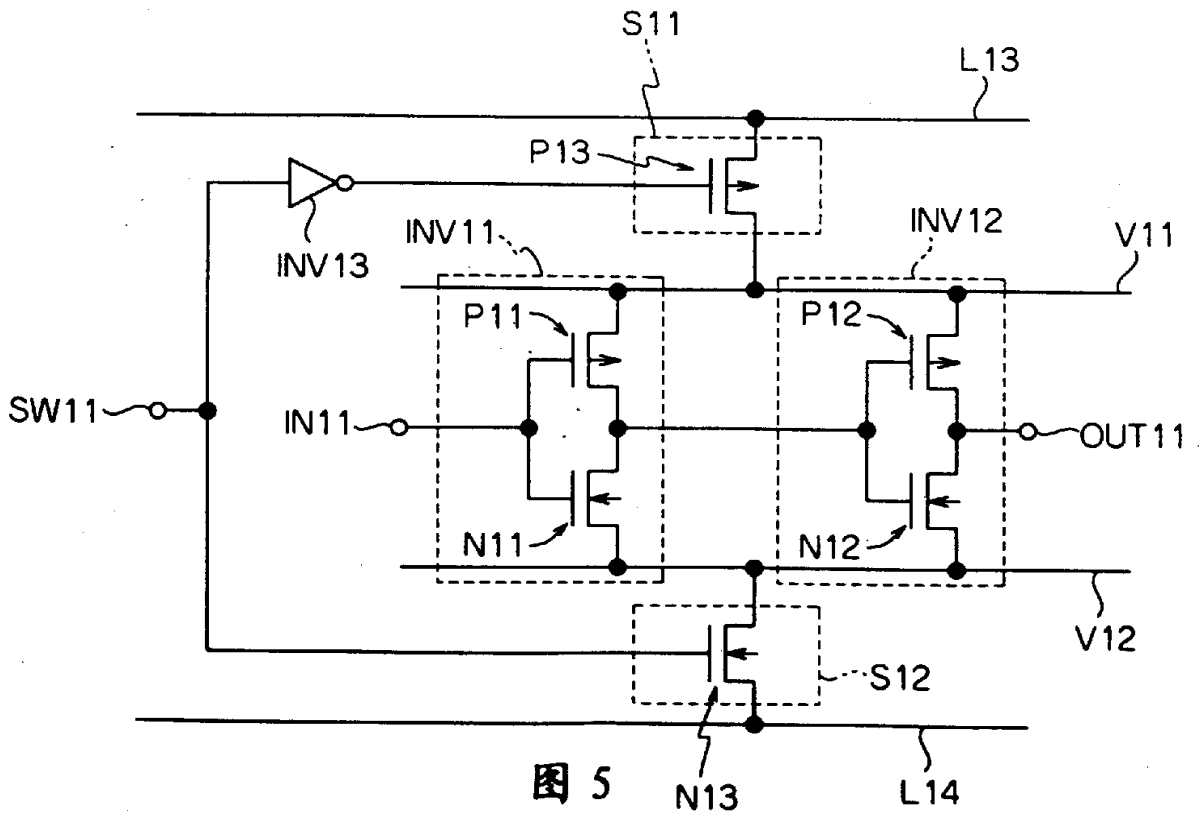


图 5

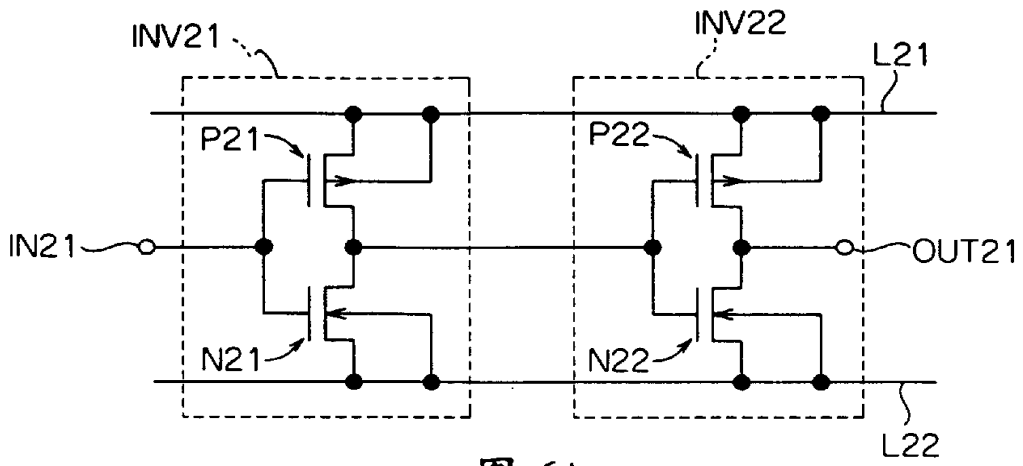


图 6A

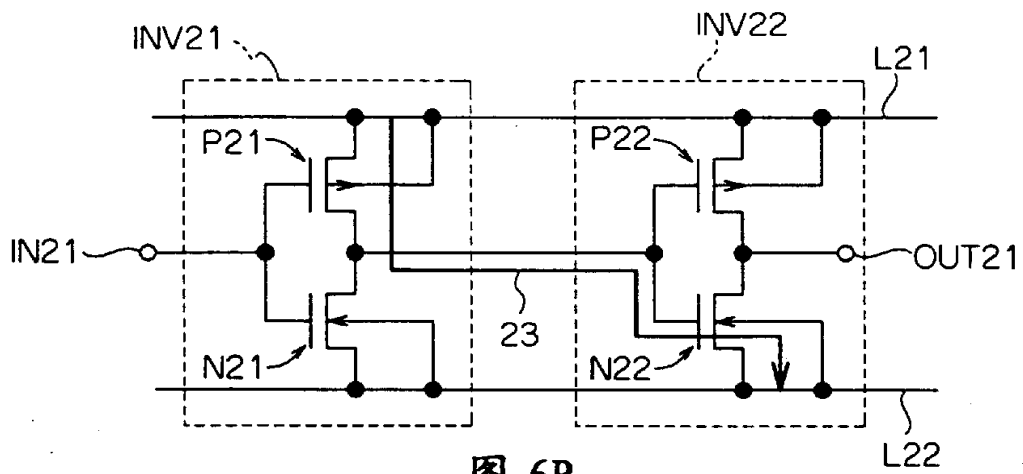


图 6B

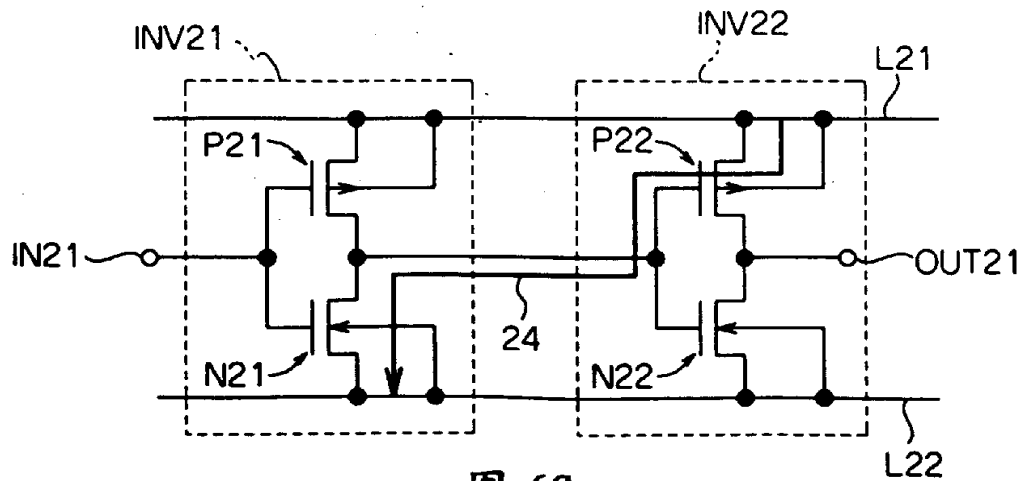


图 6C

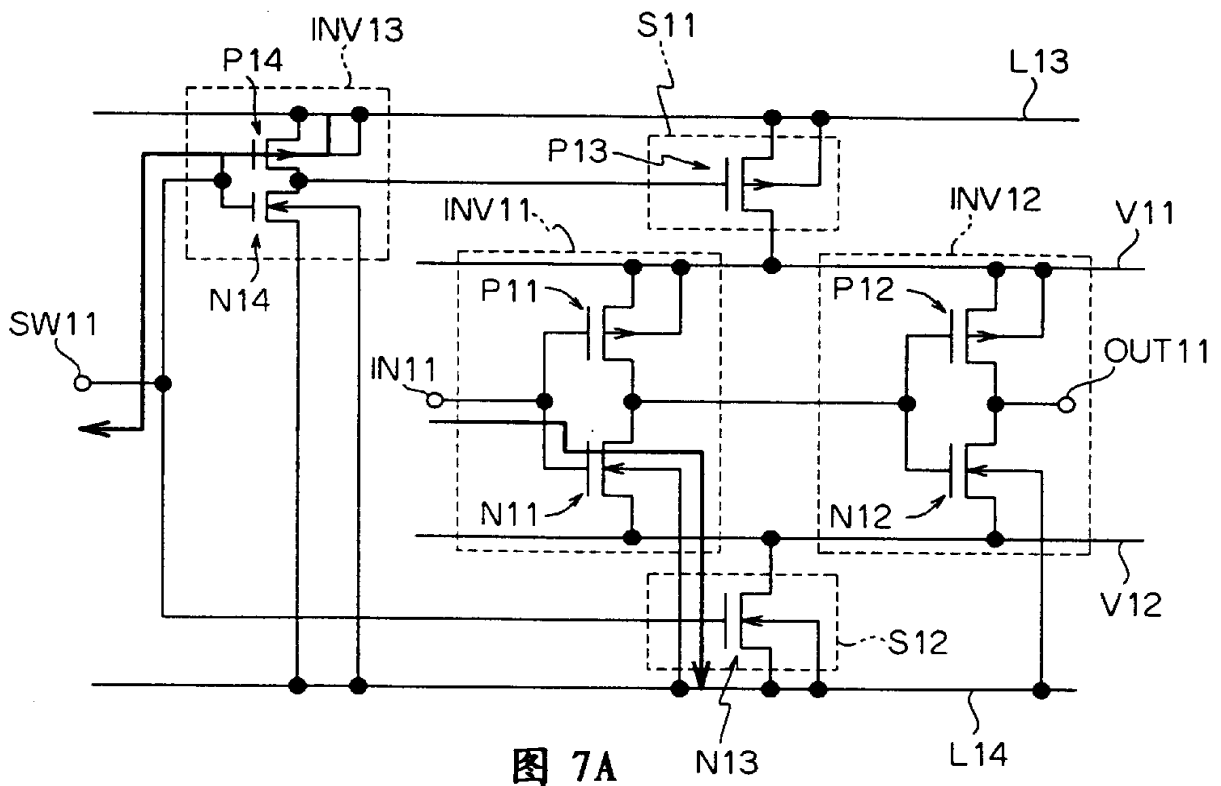


图 7A

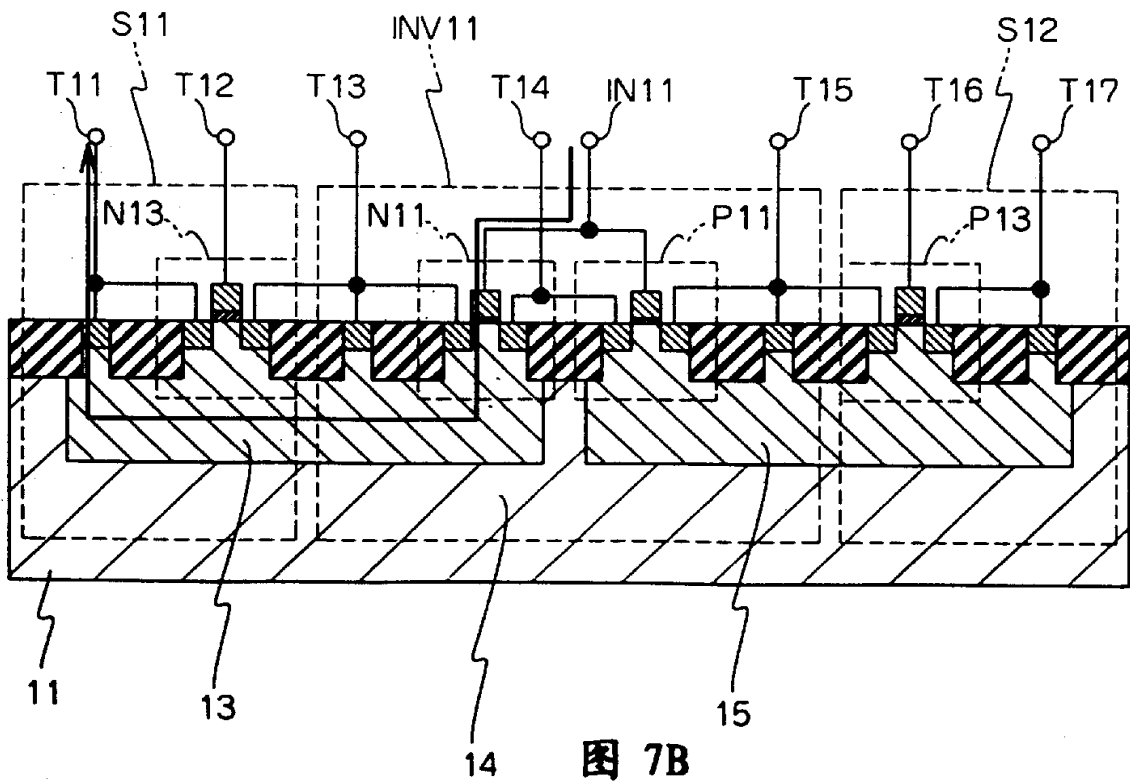


图 7B

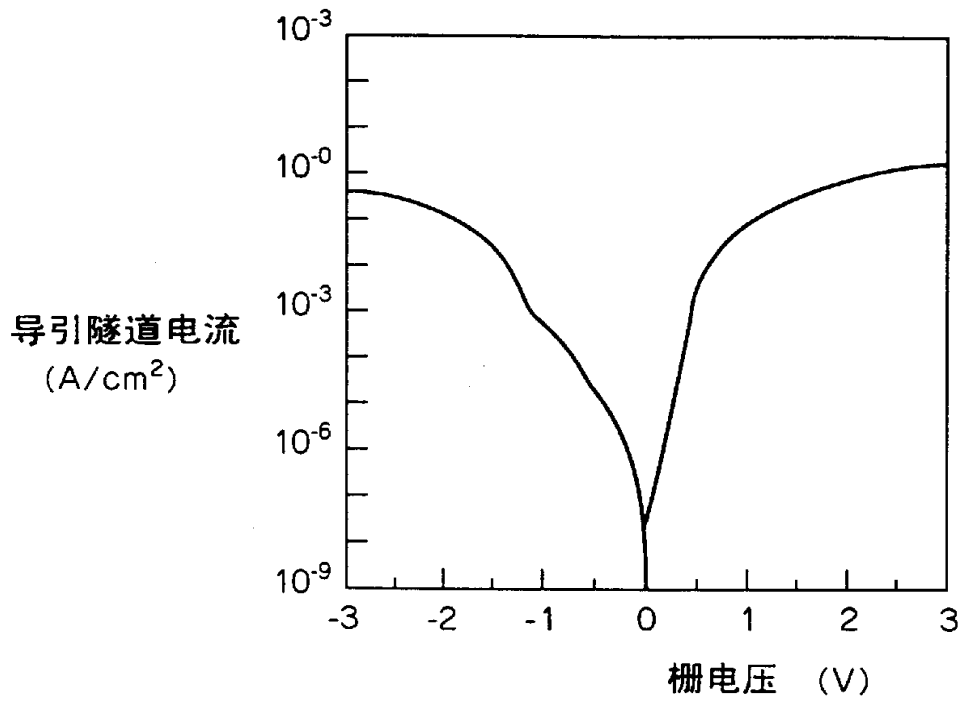


图 8

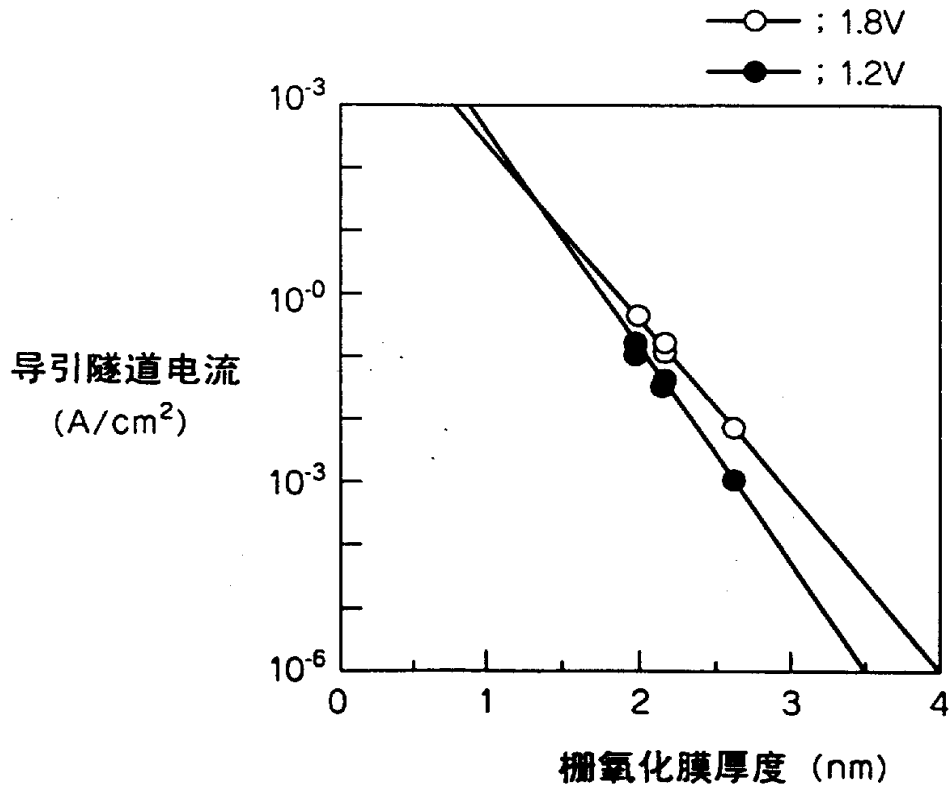


图 9

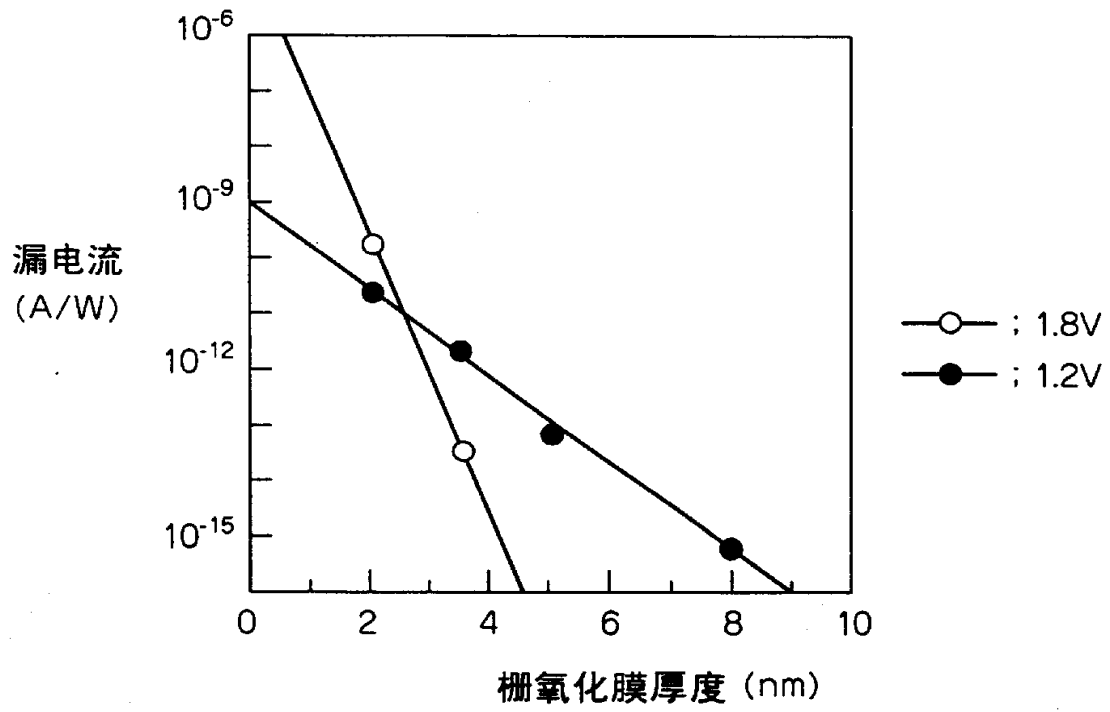


图 10