

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

O P I S P A T E N T O W Y 97633

**Patent dodatkowy
do patentu _____**

Zgłoszono: 30.12.75 (P. 186108)

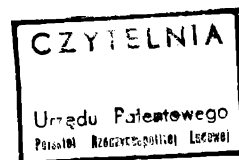
Pierwszeństwo: _____

Zgłoszenie ogłoszono: 04.12.76

Opis patentowy opublikowano: 30.12.1978

**Int. Cl². G01R 17/00
G01R 1/30**

**MKP G01r 17/00
G01r 1/30**



Twórcy wynalazku: Zdzisław Karkowski, Janusz Janiczek, Krzysztof Kardach

Uprawniony z patentu: Politechnika Wrocławska, Wrocław (Polska)

Układ wybierający źródła sygnału elektrycznego

Dziedzina techniki. Przedmiotem wynalazku jest układ wybierający źródła sygnału elektrycznego, znajdujący zastosowanie przy wielopunktowej kontroli parametrów, zwłaszcza w systemach pomiarowych.

Stan techniki. Znany jest z artykułu M. Gans: Komutator wejść analogowych. Pomiary Automatyka Kontrola, nr 5/1974 str. 210–213, układ o analogicznym zastosowaniu jak wynalazek, przeznaczony do obsługi stu źródeł pomiarowych. Układ ten zawiera dziesięć jednakowych bloków przełączających oraz dodatkowo jeden blok nadrzędny o analogicznej budowie jak bloki podrzędne. Każdy blok ma dziesięć wejść połączonych ze źródłami sygnałów pomiarowych. Blok nadrzędny ma również dziesięć wejść połączonych każde z wyjściem innego bloku przełączającego podrzędnego. Wyjście bloku nadrzędnego jest połączone z przyrządem pomiarowym. Ponadto układ ten jest wyposażony w blok sterowania wyzwalany impulsowo, zawierający dwie szeregowo połączone ze sobą dekady, przy czym wyjścia z pierwszej dekady połączone są z adresowymi wejściami przełączających bloków, zaś wyjścia z drugiej dekady z wejściami bloku nadrzędnego. Sygnały sterujące kodowane są w kodzie BCD. Sygnały sterujące z bloku sterującego powodują cykliczne i równoległe przełączanie źródeł sygnałów w blokach przełączających i przełączanie bloku nadrzędnego z częstotliwością dziesięciokrotnie mniejszą, dzięki czemu jedna zmiana jego pozycji następuje co pełen cykl obiegu we wszystkich podrzędnych blokach przełączających. Zatem w blokach podrzędnych następuje wybór źródła sygnału, a w bloku nadrzędnym wybór aktualnie wykorzystywanego bloku podrzędnego.

W znanym układzie istnieje konieczność przesyłania sygnału pomiarowego poprzez dwa kolejno następujące po sobie bloki przełączające, podrzędny i nadrzędny oraz wybierania wszystkich dróg łączeniowych, bez możliwości pominięcia niektórych źródeł. Układ ten jest mocno rozbudowany, co ogranicza jego niezawodność i może wprowadzać dodatkowe błędy, wynikające z parametrów elementów łączeniowych. Czas jednego cyklu obiegu wszystkich źródeł jest natomiast długi, tym dłuższy im więcej jest źródeł pomiarowych, co ma niekorzystne znaczenie w przypadku, gdy kontroli podlegać ma tylko część źródeł sygnałów pomiarowych.

Istota wynalazku. Wynalazek dotyczy układu wybierającego źródła sygnału elektrycznego, który współpracuje z odbiornikiem tego sygnału i jest wyposażony w blok sterowania zawierający generator zegarowy i rejestr. Układ wybierający ma bloki przełączające które swoimi adresowymi wejściami są połączone adresową linią z wyjściami rejestru, natomiast wyjścia przełączających bloków są bezpośrednio połączone z odbiornikiem sygnału. Istotą wynalazku stanowi to, że układ ma ponadto co najmniej jeden blok pomijania źródeł sygnału, zbudowany z komparatora kodu i nadajnika sygnału pomijania oraz ma co najmniej jeden zadający człon, połączony z komparatorem kodu. Blok sterowania natomiast zawiera dodatkowo człon kluczujący sygnał generatora, włączony pomiędzy jego wyjście a wejście rejestru. Adresowa linia jest ponadto połączona z komparatorem kodu. Nadajnik sygnału pomijania swoim wejściem jest połączony z wyjściem komparatora kodu, zaś wyjściem za pośrednictwem linii komunikacji wewnętrznej, jest przyłączony do wejścia kluczującego członu. Wynalazek dotyczy także takiego rozwiązania, gdzie linia adresowa jest połączona z wejściem komparatora kodu za pośrednictwem przełączających bloków. Wynalazek dotyczy ponadto takiego rozwiązania, w którym blok pomijania jest wyposażony w układ modyfikacji adresu, połączony jednym wejściem z wyjściem komparatora kodu bezpośrednio albo za pośrednictwem nadajnika sygnału pomijania, drugim wejściem z wyjściem rejestru, zaś swoim wyjściem z linią adresową, a wyjście rejestru jest ponadto w tym rozwiązaniu połączone z drugim wejściem komparatora kodu. Zależnie od potrzeb przełączające bloki mogą być wyposażone w człony blokady połączeń, natomiast blok pomijania źródeł sygnału w układ dopasowania sygnałów. Przy zwielokrotnieniu bloków pomijania i zadających członów do ilości równej liczbie przełączających bloków może być wykonane częściowe scalenie tych trzech bloków z użyciem kombinacyjnych elementów logicznych.

W strukturze układu została wprowadzona pętla sprzężenia zwrotnego obejmująca takie elementy jak: komparator kodu, nadajnik sygnału, linia komunikacji wewnętrznej, człon kluczujący, rejestr i ewentualnie adresowa linia i reszyfrujący blok, która to pętla decyduje o połączeniu lub ominięciu danego źródła sygnału.

Układ wybierający źródła sygnału, zgodny z wynalazkiem, ma tę zaletę, że podczas cyklu przełączania mogą być pominięte dowolne kanały, co skraca czas tego cyklu oraz zwiększa trwałość elementów układu. Istnieje także możliwość zmiany programu pomijania określonych źródeł w poszczególnych cyklach obiegu, w zależności od aktualnego stanu obiektu, przekazywanego przez zadajniki. Ponadto przesyłanie sygnału ze źródła do odbiornika następuje tylko poprzez jeden przełączający blok, co zmniejsza możliwość powstawania błędów i zakłóceń na drodze przesyłania sygnałów i zwiększa niezawodność pracy układu. Układ umożliwia ponadto zwielokrotnienie w jednym kanale przesyłowym ilości przewodów łączących źródła sygnału z odbiornikiem.

Objaśnienie figur rysunku. Przedmiot wynalazku jest przedstawiony w pięciu przykładach wykonania przedstawionych na rysunku, na którym fig. 1 przedstawia schemat blokowy rozwiązania według pierwszego przykładu, fig. 2 według drugiego przykładu, fig. 3 — według trzeciego przykładu, fig. 4 — według czwartego przykładu, fig. 5 — schemat blokowy fragmentu układu przedstawionego w czwartym przykładzie, obejmującego scalenie części jego bloków, natomiast fig. 6 — schemat blokowy piątego przykładowego rozwiązania.

Przykłady realizacji.

P r z y k ł a d I. Rozwiązanie według wynalazku przedstawione w pierwszym przykładzie stanowi układ do wybierania źródeł jednorodnych sygnałów pomiarowych. Układ ma n przełączających bloków $B_1, B_2, \dots, B_n$, których sygnałowe wejścia $K_1, K_2, \dots, K_m$ są połączone ze źródłami sygnałów. Wyjścia pomiarowe przełączających bloków $B_1, B_2, \dots, B_n$ są połączone ze sobą i doprowadzone do wejścia miernika 1. W układzie jest blok 2 sterowania, zbudowany z zegarowego generatora 3, do wyjścia którego jest przyłączony kluczujący człon 4, swoim wyjściem połączony z rejestrem 5, złożonym z dwóch szeregowo ze sobą połączonych dzielników częstotliwości. Ponadto układ jest wyposażony w blok 6 pomijania źródeł sygnałów pomiarowych oraz w zadający człon 7, którym jest fotoelektryczna matryca odczytu kart perforowanych. Blok 6 pomijania składa się z komparatora 8 kodu, jednym z wejść połączonym z zadającym członem 7, zaś wyjściem z nadajnikiem 9 sygnału pomijania i zarazem z wejściem układu 10 dopasowania. Wyjście nadajnika 9 jest połączone linią 11 komunikacji wewnętrznej z wejściem kluczującego członu 4. Wielowymiarowe wyjście rejestru 5 jest połączone adresową linią 12 z adresowymi wejściami poszczególnych przełączających bloków $B_1, B_2, \dots, B_n$ i zarazem z drugim wejściem komparatora 8 kodu. Każdy przełączający blok $B_1, B_2, \dots, B_n$ jest wyposażony w człon 13 blokady połączeń swoim wejściem połączony z wyjściem układu 10 dopasowania, przeznaczonym do przystosowywania pod względem parametrów elektrycznych i czasowych sygnału z bloku 6 pomijania do sygnału członu 13 blokady.

Ponadto przełączający blok $B_1, B_2, \dots, B_n$ ma układ 14 reszyfratora kodu, przyłączony swoim wejściem do adresowej linii 12 zaś wyjściem do członu 13 blokady połączeń. Człon 13 blokady połączeń jest swoim wyjściem połączony z wykonawczym członem 15, zbudowanym z zespołu kontaktronowych przełączników sterowanych tranzystorami do którego wejść $K_1, K_2, \dots, K_m$ są przyłączone źródła sygnałów pomiarowych i którego wyjścia są ze sobą zwarte i połączone z wejściem miernika 1.

P r z y k ł a d II. Rozwiązanie przedstawione w drugim przykładzie jest uproszczoną odmianą rozwiązania z pierwszego przykładu, przeznaczoną do stosowania w przypadku zgodności parametrów elektrycznych i czasowych sygnałów przekazywanych po linii 11 komunikacji wewnętrznej i sygnałów wymaganych do sterowania członu 13 blokady połączeń. Blok 6 pomijania można wówczas uprościć, eliminując układ 10 dopasowania. W tym rozwiązaniu wejścia członów 13 blokady, połączeń są połączone za pośrednictwem linii 11 komunikacji wewnętrznej bezpośrednio z wyjściem nadajnika 9 sygnału pomijania połączonego z wyjściem komparatora 8 kodu.

P r z y k ł a d III. Rozwiązanie zgodne z wynalazkiem, przedstawione w trzecim przykładzie, jest układem do wybierania źródeł jednorodnych sygnałów pomiarowych w układach pomiarowych o strukturze modyfikowanej w trakcie trwania pomiarów, to jest w układach adaptacyjnych. Układ ma n przełączających bloków $B_1, B_2, \dots B_n$, których sygnałowe wejścia $K_1, K_2, \dots K_m$ są połączone ze źródłami sygnałów, zaś wyjścia pomiarowe są połączone ze sobą i doprowadzone do wejścia miernika 1. W układzie jest blok 2 sterowania zbudowany z zegarowego generatora 3, do wyjścia którego jest przyłączony kluczujący człon 4, połączony swoim wyjściem z rejestrem 5, złożonym z dzielników częstotliwości. Ponadto układ ma blok 6 pomijania źródeł sygnałów pomiarowych oraz zadający człon 7, przy czym blok 6 pomijania zawiera komparator 8 kodu, do wejścia którego jest przyłączony zadający człon 7 i połączony z wyjściem komparatora 8 nadajnik 9 sygnału pomijania oraz układ 10 dopasowania. Wyjście nadajnika 9 jest połączone linią 11 komunikacji wewnętrznej z wejściem kluczującego członu 4. Adresowe wejścia poszczególnych przełączających bloków $B_1, B_2, \dots B_n$ są przyłączone do adresowej linii 12.

W odróżnieniu od rozwiązania podanego w przykładzie pierwszym, w którym każdy przełączający blok $B_1, B_2, \dots B_n$ zawierał człon 13 blokady połączeń, układ według niniejszego przykładu ma w bloku 6 pomijania układ 16 modyfikacji adresu, znajdujący się na wyjściu bloku 6 i przyłączony do adresowej linii 12. W przełączających blokach $B_1, B_2, \dots B_n$ znajdują się reszifyratory 14 kodu połączone z adresową linią 12 oraz wykonawcze człony 15 przyłączone do wyjść reszifyratorów 14, swoimi zaś wyjściami połączone z miernikiem 1. Wyjście rejestru 5 jest połączone z drugim wejściem komparatora 8 kodu i zarazem z jednym z wejść układu 16 modyfikacji adresu, którego drugie wejście jest przyłączone do wyjścia układu 10 dopasowania, którego zadaniem jest przystosowanie parametrów sygnału z komparatora 8 kodu do wymagań układu 16 modyfikacji adresu. Wejście układu 10 dopasowania jest bezpośrednio połączone z wyjściem komparatora 8 kodu.

P r z y k ł a d IV. Rozwiązanie według wynalazku przedstawione w tym przykładzie jest układem przeznaczonym do pracy w układach pomiarowych, w których wybór źródeł sygnału jest dokonywany ręcznie, przez indywidualne nastawianie zadajników. Układ ma n przełączających bloków $B_1, B_2, \dots B_n$, równą im liczbę bloków $D_1, D_2, \dots D_n$ pomijania źródeł sygnału i taką samą liczbę zadających członów $Z_1, Z_2, \dots Z_n$. Sygnałowe wejścia $K_1, K_2, \dots K_m$ przełączających bloków $B_1, B_2, \dots B_n$ są połączone ze źródłami sygnałów pomiarowych, zaś ich wyjścia pomiarowe są połączone ze sobą i doprowadzone do wejścia miernika 1.

Blok 2 sterowania jest zbudowany z zegarowego generatora 3, kluczującego członu 4 i rejestru 5, przy czym kluczujący człon 4 jest włączony pomiędzy wyjście generatora 3 a wejście rejestru 5. Wyjście tego rejestru 5 jest połączone adresową linią 12 z adresowymi wejściami poszczególnych bloków $B_1, B_2, \dots B_n$.

Blok $D_1, D_2, \dots D_n$ pomijania źródeł sygnału składa się z komparatora 8 kodu, znajdującego się na jego wejściu, nadajnika 9 sygnału pomijania przyłączonego do wyjścia komparatora 8 oraz układu 10 dopasowania sygnału bloku $D_1, D_2, \dots D_n$ do sygnału przełączającego bloku $B_1, B_2, \dots B_n$. Komparator 8 kodu każdego bloku $D_1, D_2, \dots D_n$ pomijania jest połączony swoim wejściem z przynależnym do niego zadającym członem $Z_1, Z_2, \dots Z_n$, który jest zbudowany z zespołu niezależnych przełączników klawiszowych o liczbie równej liczbie sygnałowych wejść $K_1, K_2, \dots K_m$ przełączającego bloku $B_1, B_2, \dots B_n$, z którym zadający człon $Z_1, Z_2, \dots Z_n$ współdziała.

Przełączający blok $B_1, B_2, \dots B_n$ składa się z członu 13 blokady połączeń, układu 14 reszifyratora, którym jest znany scalony dekodery i wykonawczego członu 15, zbudowanego z kontaktronowych przekaźników sterowanych tranzystorami. Wyjścia nadajników 9 sygnału pomijania są połączone linią 11 komunikacji wewnętrznej przyłączoną do wejścia kluczującego członu 4. Wyjście układu 10 dopasowania jest połączone z jednym z wejść członu 13 blokady połączeń. Drugie wejście tego członu 13 jest połączone z wyjściem reszifyratora 14 przy czym wejście reszifyratora 14 jest adresowym wejściem bloku $B_1, B_2, \dots B_n$, natomiast jego wyjście jest ponadto połączone z drugim wejściem komparatora 8 kodu współpracującego bloku $D_1, D_2, \dots D_n$ pomijania źródeł sygnału. Wyjście członu 13 blokady połączeń jest połączone z wykonawczym członem 15, którego sygnałowe wejścia $K_1, K_2, \dots K_m$ są połączone ze źródłami sygnału, zaś wyjście z miernikiem 1.

W przykładowym rozwiązaniu komparator 8 kodu, układ 10 dopasowania oraz człon 13 blokady są zbudowane ze wspólnego zespołu dwuwejściowych funkatorów 17 zanegowanej sumy logicznej, przy czym liczba tych funkatorów jest równa m , to jest liczbie źródeł sygnału. Jedno z wejść każdego funkatora 17 jest połączone

z odrębnym wyjściem zadającego członu Z_1 , zaś drugie wejście każdego funktora 17 jest połączone z odrębnym wyjściem reszyfratora 14. Wyjście każdego funktora 17 jest połączone poprzez rezystor z bazą odpowiadającego mu tranzystora 18, znajdującego się w wykonawczym członie 15, a przeznaczonego do sterowania współpracującego z nim uzwojenia kontaktronowego przełącznika 19, z których jest zbudowany ten wykonawczy człon 15. Jeden styk każdego przełącznika 19 jest połączony z innym sygnałowym wejściem $K_1, K_2, \dots, K_m$ wykonawczego członu 15, a drugi styk jest zwarty z innymi takimi stykami pozostałych przełączników 19 i połączony z miernikiem 1.

Nadajnik 9 sygnału pomijania jest zbudowany z zespołu dwuwejściowych funktorów 20 zanegowanej sumy logicznej, który tworzy wybierający układ 21, wyjściem połączony poprzez pośredniczący wielowejściowy funktor 22 zanegowanego iloczynu logicznego z branką 23 z otwartym kolektorem, której wyjście stanowi wyjście nadajnika 9 sygnału pomijania, przyłączone do linii 11 komunikacji wewnętrznej. Wyjścia funktora 17 są połączone z wejściami funktorów 20 sterującego układu 21 nadajnika 9 w ten sposób, że każde wejście funktora 20 jest połączone z wyjściem innego funktora 17.

P r z y k ł a d V. Rozwiązanie przedstawione w piątym przykładzie jest uproszczoną odmianą rozwiązania z czwartego przykładu, przeznaczoną do stosowania w przypadku zgodności parametrów elektrycznych i czasowych sygnałów przekazywanych po linii 11 komunikacji wewnętrznej i sygnałów wymaganych do sterowania członem 13 blokady połączeń. Blok $D_1, D_2, \dots, D_n$ pomijania można wówczas uprościć, eliminując układ 10 dopasowania. W tym rozwiązaniu wejście członu 13 blokady jest połączone z wyjściem reszyfratora 14, które jest połączone także z wejściem komparatora 8 kodu, zaś inne wejście członu 13 blokady jest połączone z linią 11 komunikacji wewnętrznej, natomiast jego wyjście jest połączone z wejściami wykonawczych członów 15.

Układ działa następująco. Zegarowy generator 3 dostarcza impulsów powodujących zmiany stanu rejestru 5. Stan rejestru 5, w którym jest zakodowana informacja o aktualnym numerze źródła sygnału pomiarowego do połączenia z miernikiem 1, jest przekazywany adresową linią 12 do wszystkich przełączających bloków $B_1, B_2, \dots, B_n$ bezpośrednio lub za pośrednictwem układu 16 modyfikacji adresu. W blokach $B_1, B_2, \dots, B_n$ ich reszyfratory 14 kodu dekodują sygnały i na wyjściu tego, który obsługuje aktualnie wybierane źródło sygnału pojawia się sygnał sterujący wykonawczym członem 15. Stan rejestru 5 przekazywany jest również do komparatora 8 kodu, albo bezpośrednio, albo przez reszyfrator 14. Komparator 8 porównuje stan rejestru 5 z sygnałami z zadającego członu 7 czy $Z_1, Z_2, \dots, Z_n$, informującymi o tym, które połączenie może być zrealizowane, a które pominięte. W przypadku, gdy komparator 8 stwierdzi, że połączenie danego źródła, któremu odpowiada aktualny stan rejestru 5, z miernikiem 1 należy zrealizować, wtedy poprzez nadajnik 9 sygnału pomijania, za pośrednictwem linii 11 komunikacji wewnętrznej, jest wysyłany sygnał blokady do kluczującego członu 4, co powoduje odcięcie rejestru 5 od generatora 3 i utrzymanie aktualnego stanu rejestru 5.

Równocześnie z komparatora 8 kodu poprzez linię 11 komunikacji wewnętrznej albo poprzez układ 10 dopasowania zostaje wysłany sygnał do członów 13 blokady połączeń, który zezwala na przejście sygnału z reszyfratora 14 do wykonawczego członu 15 i zrealizowanie połączenia źródła sygnału z miernikiem 1. Gdy układ zawiera układ 16 modyfikacji adresu, to wówczas sygnał z komparatora 8 zezwala na przesłanie sygnału z rejestru 5 do reszyfratorów 14 bez modyfikacji. Czas trwania połączenia warunkuje kluczujący człon 4 własnym układem czasowym dobranym ściśle do czasu pomiaru miernika 1.

W przypadku, gdy komparator 8 kodu stwierdzi, że danego połączenia nie należy realizować, wówczas człon 13 blokady połączeń nie otrzymują sygnału przyzwalającego i blokada jest utrzymywana, nie dopuszczając do wykonania połączenia.

Gdy układ zawiera układ 16 modyfikacji adresu, to wówczas sygnał z komparatora 8 powoduje modyfikację adresu w układzie 16 na adres, który reszyfratory 14 interpretują jako rozkaz nie realizowania połączeń, czyli jako adres dla którego brak sygnału sterującego wykonawczym członem 15. Równocześnie nie jest wysyłany sygnał blokady do kluczującego członu 4, dzięki czemu natychmiast do rejestru 5 dociera kolejny impuls z generatora 3. Jest to powodem natychmiastowej zmiany stanu rejestru 5, gdyż okres generatora 3 jest wielokrotnie krótszy od czasu niezbędnego miernikowi 1 na dokonanie pomiaru. Po zmianie stanu rejestru 5 opisany cykl operacji powtarza się w wersji zależnej od podjętej uprzednio i zakodowanej w zadającym członie 7 decyzji o wyborze lub pominięciu określonego źródła sygnału pomiarowego.

Zastrzeżenia patentowe

1. Układ wybierający źródła sygnału elektrycznego, współpracujący z odbiornikiem tego sygnału, wyposażony w blok sterowania zawierający generator zegarowy i rejestr, przy czym układ wybierający ma bloki przełączające, które swoimi adresowymi wejściami są połączone adresową linią z wyjściami rejestru, a wyjścia przełączających bloków są bezpośrednio połączone z odbiornikiem sygnału, z n a m i e n n y t y m, że układ

ma ponadto co najmniej jeden blok (6) pomijania źródeł sygnału zbudowany z komparatora (8) kodu i nadajnika (9) sygnału pomijania oraz ma co najmniej jeden zadający człon (7) połączony z komparatorem (8) kodu, natomiast blok (2) sterowania zawiera dodatkowo człon (4) kluczujący sygnał generatora (3) włączony pomiędzy jego wyjście a wejście rejestru (5), przy czym adresowa linia (12) jest ponadto połączona z komparatorem (8) kodu, zaś nadajnik (9) sygnału pomijania połączony z wyjściem tego komparatora (8) jest swoim wyjściem połączony za pośrednictwem linii (11) komunikacji wewnętrznej z wejściem kluczującego członu (4).

2. Układ według zastrz. 1, z n a m i e n n y t y m, że przełączające bloki ($B_1, B_2, \dots B_n$) są wyposażone w reszyfratory (14) kodu i człon (13) blokady połączeń, których wejścia są połączone z linią (11) komunikacji wewnętrznej oraz z wyjściem reszyfratora (14), zaś wyjścia ze sterującymi wejściami wykonawczych członów (15) tych bloków ($B_1, B_2, \dots B_n$).

3. Układ według zastrz. 1, z n a m i e n n y t y m, że przełączające bloki ($B_1, B_2, \dots B_n$) są wyposażone w reszyfratory (14) kodu i człon (13) blokady połączeń, zaś blok (6) pomijania źródeł sygnału ma dodatkowo układ (10) dopasowania sygnału z bloku (6) pomijania do sygnału członu (13) blokady połączeń, przy czym wyjście układu (10) dopasowania jest połączone z wejściem członu (13) blokady.

4. Układ wybierający źródła sygnału elektrycznego, współpracujący z odbiornikiem tego sygnału, wyposażony w blok sterowania zawierający generator zegarowy i rejestr, przy czym układ wybierający ma bloki przełączające, które swoimi adresowymi wejściami są przyłączone do adresowej linii, a wyjścia przełączających bloków są bezpośrednio połączone z odbiornikiem sygnału, z n a m i e n n y t y m, że układ ma ponadto co najmniej jeden blok (6) pomijania źródeł sygnału zbudowany z komparatora (8) kodu, nadajnika (9) sygnału pomijania oraz układu (16) modyfikacji adresu i ma ponadto co najmniej jeden zadający człon (7) połączony z jednym z wejść komparatora (8) kodu, natomiast blok (2) sterowania zawiera dodatkowo człon (4) kluczujący sygnał generatora (3) włączony pomiędzy jego wyjście a wejście rejestru (5), którego wyjście jest połączone z drugim wejściem komparatora (8) kodu i zarazem z jednym z wejść układu (16) modyfikacji adresu, zaś nadajnik (9) sygnału pomijania połączony z wyjściem komparatora (8) kodu jest swoim wyjściem połączony za pośrednictwem linii (11) komunikacji wewnętrznej z wejściem kluczującego członu (4), natomiast układ (16) modyfikacji adresu jest drugim wejściem połączony z wyjściem komparatora (8) kodu a wyjściem z adresową linią (12).

5. Układ według zastrz. 4, z n a m i e n n y t y m, że układ (16) modyfikacji adresu jest drugim wejściem połączony z komparatorem (8) kodu za pośrednictwem nadajnika (9) sygnału pomijania.

6. Układ według zastrz. 4, albo 5, z n a m i e n n y t y m, że na drugim wejściu układu (16) modyfikacji adresu znajduje się układ (10) dopasowania sygnału komparacji do sygnału tego układu (16) modyfikacji adresu.

7. Układ wybierający źródła sygnału elektrycznego, współpracujący z odbiornikiem tego sygnału, wyposażony w blok sterowania zawierający generator zegarowy i rejestr, przy czym układ wybierający ma bloki przełączające, które swoimi adresowymi wejściami są połączone adresową linią z wyjściami rejestru, a wyjścia przełączających bloków są bezpośrednio połączone z odbiornikiem sygnału, z n a m i e n n y t y m, że blok (2) sterowania zawiera dodatkowo człon (4) kluczujący sygnał generatora (3) włączony pomiędzy jego wyjście a wejście rejestru (5), przy czym układ ma co najmniej tyle bloków ($D_1, D_2, \dots D_n$) pomijania źródeł sygnału, zbudowanych z komparatora (8) kodu i przyłączonego do jego wyjścia nadajnika (9) sygnału pomijania, ile jest przełączających bloków ($B_1, B_2, \dots B_n$) i co najmniej jeden zadający człon ($Z_1, Z_2, \dots Z_n$) wyjściem przyłączony do wejść komparatorów (8) kodu, zaś każdy nadajnik (9) sygnału pomijania jest swoim wyjściem połączony z wejściem kluczującego członu (4), za pośrednictwem linii (11) komunikacji wewnętrznej, natomiast adresowa linia (12) jest połączona z komparatorami (8) kodu bloków ($D_1, D_2, \dots D_n$) pomijania za pośrednictwem przełączających bloków ($B_1, B_2, \dots B_n$).

8. Układ według zastrz. 7, z n a m i e n n y t y m, że przełączające bloki ($B_1, B_2, \dots B_n$) są wyposażone w człon (13) blokady połączeń oraz reszyfratory (14) kodu połączone z adresową linią (12) i z wejściami członów (13) blokady, których inne wejścia są połączone z linią (11) komunikacji wewnętrznej, zaś wyjścia z wejściami wykonawczych członów (15) przełączających bloków ($B_1, B_2, \dots B_n$).

9. Układ według zastrz. 7, z n a m i e n n y t y m, że przełączające bloki ($B_1, B_2, \dots B_n$) są wyposażone w człon (13) blokady połączeń oraz reszyfratory (14) kodu połączone z adresową linią (12) i z wejściami członów (13) blokady, których wyjścia są połączone z wejściami wykonawczych członów (15) przełączających bloków ($B_1, B_2, \dots B_n$), zaś bloki ($D_1, D_2, \dots D_n$) pomijania źródeł sygnału mają dodatkowo układ (10) dopasowania sygnałów, wejściem połączony z komparatorem (8) kodu, zaś wyjściem z jednym z wejść członu (13) blokady.

10. Układ według zastrz. 9, z n a m i e n n y t y m, że komparator (8) kodu i układ (10) dopasowania wchodzące, do bloku ($D_1, D_2, \dots, D_n$) pomijania źródeł sygnału oraz że człon (13) blokady połączeń wchodzący do przełączającego bloku ($B_1, B_2, \dots, B_n$), są zbudowane ze wspólnego zespołu kombinacyjnych logicznych elementów (17) realizujących funkcję sprawdzania zgodności sygnału stanu znaczącego na odpowiadających sobie wyjściach resztyfikatora (14) i zadającego członu ($Z_1, Z_2, \dots, Z_n$), zaś liczba tych elementów jest dobrana według zależności liniowej o stałym współczynniku do liczby źródeł sygnału, przy czym wyjścia zadającego członu ($Z_1, Z_2, \dots, Z_n$) są połączone z wejściami logicznych elementów (17), a wyjścia resztyfikatora (14) z innymi ich wejściami, natomiast wyjścia logicznych elementów (17) są połączone ze sterującymi wejściami wykonawczego członu (15) i zarazem z wejściami nadajnika (9) sygnału pomijania, zbudowanego z elementów logicznych.

11. Układ według zastrz. 10, z n a m i e n n y t y m, że nadajnik (9) sygnału pomijania ma na wyjściu bramkę (23) z otwartym kolektorem połączoną poprzez pośredniczący kombinacyjny logiczny element (22) z wyjściami wybierającego układu (21), zbudowanego z zespołu kombinacyjnych logicznych elementów (20) tak połączonych z wyjściami logicznych elementów (17) wspólnego zespołu tworzącego komparator (8) kodu, układ (10) dopasowania i człon (13) blokady, że wyjście jednego z nich jest połączone z co najmniej jednym wejściem kombinacyjnego logicznego elementu (20) nadajnika (9) sygnału pomijania.

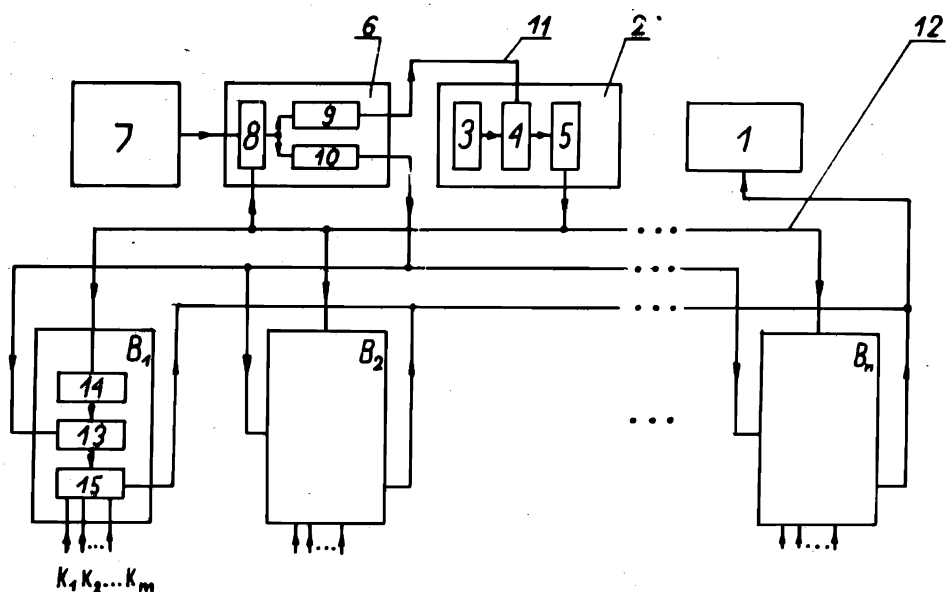


Fig. 1

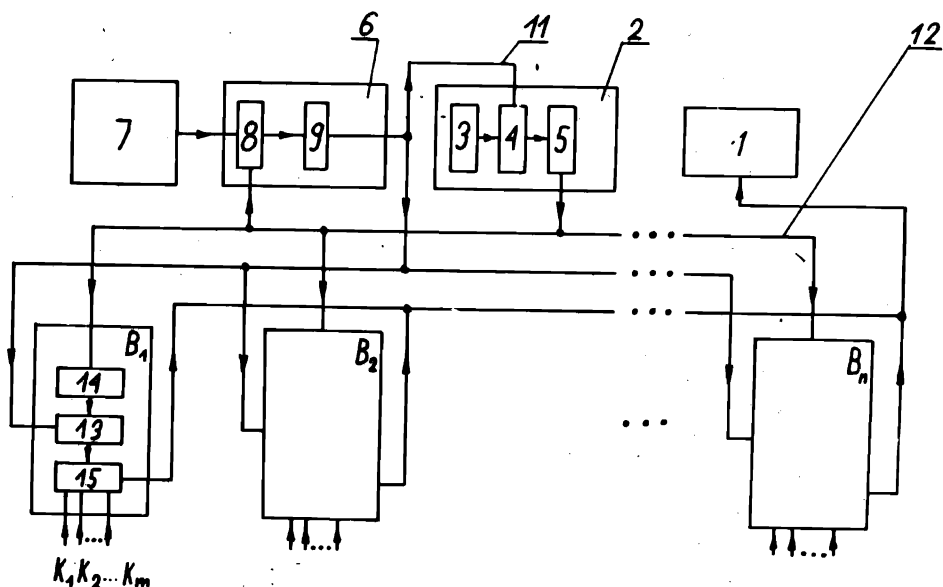


Fig. 2

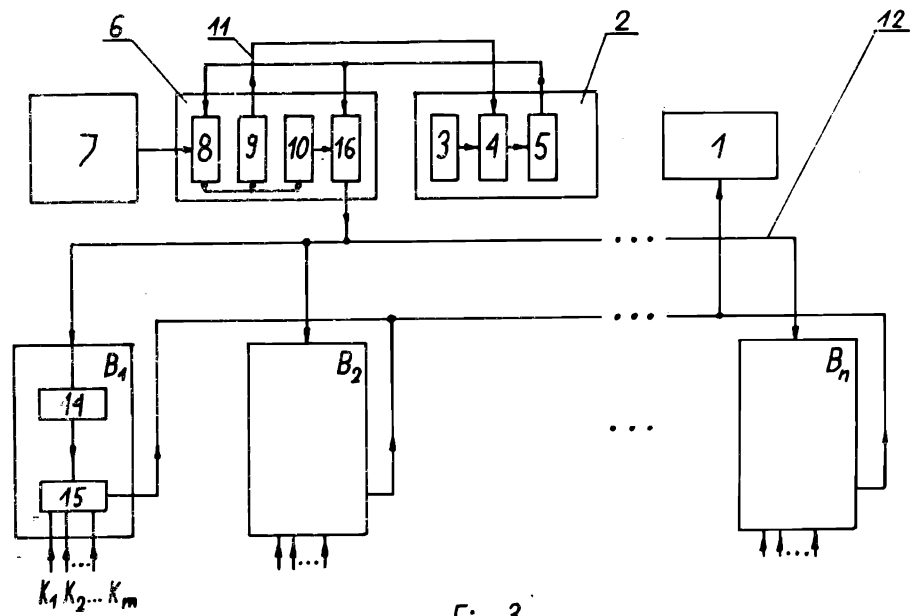


Fig. 3

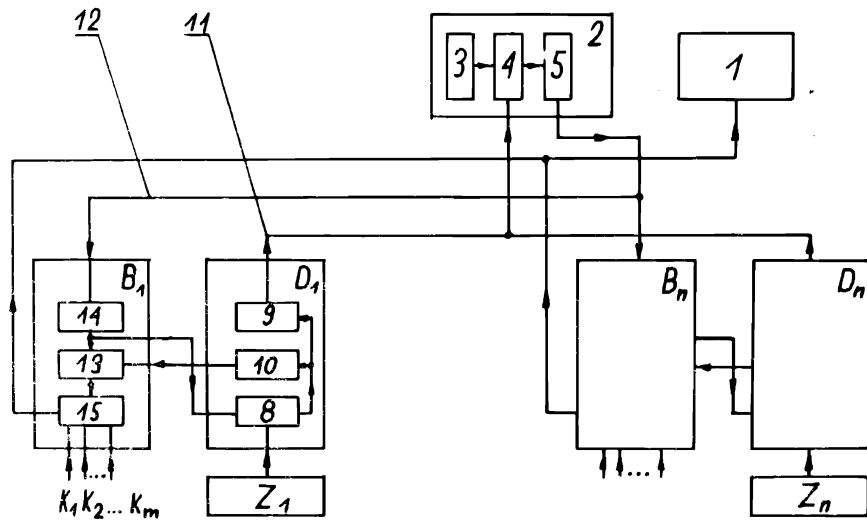


Fig. 4

