(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
17. Juni 2004 (17.06.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/051490 A2

(51) Internationale Patentklassifikation[7]: G06F 13/18

(21) Internationales Aktenzeichen: PCT/EP2003/013495

(22) Internationales Anmeldedatum:
1. Dezember 2003 (01.12.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 56 502.3 4. Dezember 2002 (04.12.2002) DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von US)*: **HYPERSTONE AG** [DE/DE]; Line-Eid-Strasse 3, 78467 Konstanz (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder *(nur für US)*: **BAUMHOF, Christoph** [DE/DE]; Badener Strasse 5/5, 78315 Radolfzell-Euttingen (DE). **KÜHNE, Reinhard** [DE/DE]; Illenauweg 2, 78479 Reichenau (DE).

(74) Anwalt: **HANEWINKEL, Lorenz**; Boehmert & Boehmert, Ferrariweg 17 a, 33102 Paderborn (DE).

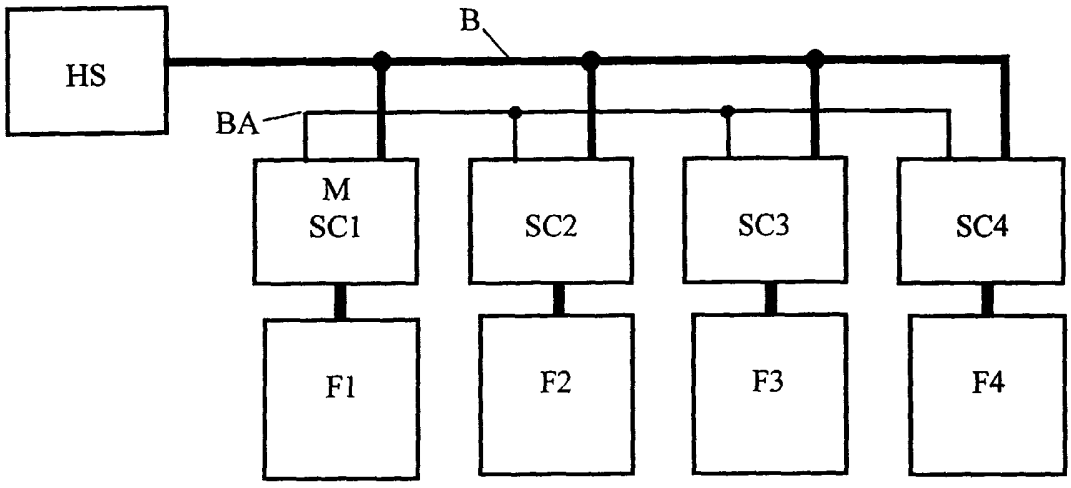
(81) Bestimmungsstaaten *(national)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

[Fortsetzung auf der nächsten Seite]

WO 2004/051490 A2

(54) Title: MEMORY SYSTEM COMPRISING A PLURALITY OF MEMORY CONTROLLERS AND METHOD FOR SYNCHRONIZING THE SAME

(54) Bezeichnung: SPEICHERSYSTEM MIT MEHREREN SPEICHERCONTROLLERN AND VERFAHREN ZU DEREN SYNCHRONISIERUNG



(57) Abstract: The invention relates to a memory system which is configured with a plurality of memory controllers (SCx), disposed in parallel on a clocked bus (B), and memory chips (Fx) associated with the respective memory controllers (SCx). The system communicates via the bus (B) with a host system (HS) by means of operational memory commands using logical memory sector numbers. The inventive system is characterized in that for any memory operation requested by the host system (HS) the memory controller (SCx) affected with respect to a range of logical memory sector numbers (SCx) takes over the bus for communication with the host system (HS) by means of arbitration.

(57) Zusammenfassung: Die Erfindung beschreibt ein Speichersystem, welches mit mehreren, an einem getakteten Bus (B) parallel angeordneten Speichercontrollern (SCx) und jeweils den Speichercontrollern (SCx) zugeordneten Speicherchips (Fx) gebildet ist und über den Bus (B) mit einem Hostsystem (HS) mit Speicheroperationskommandos unter Verwendung unvon logischen Speichersektornummern kommuniziert, dadurch gekennzeichnet, dass bei einer vom Hostsystem (HS) angeforderten Speicheroperation der jeweils für einen Bereich von logischen Speichersektornummern betroffene Speichercontroller (SCx) den Bus für die Kommunikation mit dem Hostsystem (HS) mittels einer Arbitrierung übernimmt.

SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten** *(regional)*: ARIPO-Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Speichersystem mit mehreren Speichercontrollern und Verfahren zu deren Synchronisierung

Die Erfindung betrifft ein Speichersystem, welches mit mehreren, an einem getakteten Bus parallel angeordneten Speichercontrollern und jeweils den Speichercontrollern zugeordneten Speicherchips gebildet ist und über den Bus mit einem Hostsystem mit Speicheroperations-kommandos unter Verwendung von logischen Speichersektor-nummern kommuniziert.

Die Größe eines Speichersystems, angeschlossen an ein Hostsystem, ist durch die Merkmale des Speichercontrollers begrenzt. Diese Speichercontroller sind aus Preisgründen sehr einfach aufgebaut und besitzen üblicherweise folgende Merkmale:

- bis zu 100 Anschlusspins, da preiswerte Standardgehäuse verwendet werden,
- bis zu 10 Chipselect-Signale zur Auswahl von Speicherchips,
- bis zu 16 KByte interner RAM-Speicher.

Um größere Systeme mit mehr als 10 Speicherchips aufzubauen, sind zusätzliche externe Bauteile erforderlich wie Decoder, Bustransceiver und evtl. auch RAM-Speicher.

Aus der Anmeldeschrift mit dem Aktenzeichen DE102 27 256.5 ist beispielsweise eine Anordnung bekannt, bei der die Speicherchips eines größeren Speichers über zusätzliche Bauteile an einen Controller angeschlossen sind.

In der Patentschrift US 6,397,314 ist eine Anordnung von Speicherchips an einem Controller beschrieben, wobei der Controller einen doppelt breiten Datenbus besitzt, um zwei Speicherchips parallel mit Daten zu versorgen. Dies bedingt einen nicht

BESTÄTIGUNGSKOPIE

standardmäßigen Speichercontroller, der zusätzliche Anschlusspins benötigt. Diese Anordnung ist außerdem nicht auf noch größere Anordnungen anwendbar, da sie auf zwei simultan ansprechbare Speicherchips begrenzt ist.

Der Erfindung liegt die Aufgabe zugrunde, größere Speichersysteme als sie mit nur einem standardmäßigen Speichercontroller realisierbar sind, durch die Kombination von mehreren standardmäßigen Speichercontrollern ohne den Einsatz zusätzlicher Bauelemente zu bilden, wobei die maximale Größe nur durch die Anzahl der eingesetzten Speichercontroller begrenzt ist. Um mit der durch Standardgehäuse vorgegebenen Anzahl von Anschlusspins auszukommen, soll für die Zusammenschaltung mehrer Speichercontroller nur eine minimale Anzahl von Anschlusspins benötigt werden.

Gelöst wird die Aufgabe erfindungsgemäß dadurch, dass das Speichersystem mit mehreren, an einem getakteten Bus parallel angeordneten Speichercontrollern und jeweils den Speichercontrollern zugeordneten Speicherchips gebildet ist und dabei über den Bus mit einem Hostsystem mit Speicheroperationskommandos unter Verwendung von logischen Speichersektornummern kommuniziert, wobei bei einer vom Hostsystem angeforderten Speicheroperation der jeweils für einen Bereich von logischen Speichersektornummern betroffene Speichercontroller den Bus für die Kommunikation mit dem Hostsystem mittels einer Arbitrierung übernimmt.

Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen beschrieben.

In PC-Systemen, digitalen Kameras oder in ähnlichen Geräten, hier als Hostsystem bezeichnet, wird über einen Bus auf ein

Speichersystem zugegriffen und über Speicheroperationskommandos mit diesem kommuniziert. Dieser Bus kann als sogenannte PCMCIA-Schnittstelle, IDE-Schnittstelle oder dergleichen ausgeführt sein. Mit den verschiedenen Einsatzfällen der Hostsysteme ist ein skalierbarer Speicher gefordert.

Durch die Parallelschaltung von mehreren Speichercontrollern mit jeweils zugeordneten Speicherchips in einer vom Controller maximal verwaltbaren Anzahl wird mit dem Einsatz von immer gleichen Speichercontrollern eine skalierbare Speichergröße erreicht, die keine weiteren Bauteile benötigt, solange die physikalische Spezifikation des Busses eingehalten wird. Die Kommunikation der Controller mit dem Hostsystem erfolgt unter Verwendung von standardisierten Kommandos, bei denen der Speicher mit logischen Speichersektornummern adressiert ist. Durch ein Arbitrierungsverfahren sind jedem Speichercontroller exklusiv Bereiche von logischen Speichersektornummern zugeordnet. Bei Hostkommandos, welche die jeweiligen logischen Speichersektornummern betreffen, übernimmt der zugeordnete Speichercontroller die Abarbeitung des Kommandos. Das Arbitrierungsverfahren stellt sicher, dass alle logischen Speichersektornummern jeweils von einem der Controller bearbeitet werden und sich bei einem Kommando, z.B. einem Lesekommando für einen Speicherbereich von mehreren Sektornummern, die Controller entsprechend ergänzen und jeweils den Bus zum geeigneten Zeitpunkt übernehmen.

Da mehrere Speichercontroller mit dem Hostsystem kommunizieren, ist es vorteilhaft, dass einer der Speichercontroller als Master an dem Bus bestimmt ist. Dieser führt solange die Kommunikation mit dem Hostsystem durch, wie kein anderer Speichercontroller aufgrund der zugeordneten Speichersektornummer die Kommunikation auf dem Bus übernimmt. Insbesondere werden vom Master

Speicheroperationen ausgeführt und beantwortet, die das Speichersystem als Ganzes betreffen. Solche Speicheroperationen sind beispielsweise: „Reset", „Initialisierung", „SetFeatures", „Diagnose". Bei einigen Speicheroperationen werden die Kommandos von allen Speichercontrollern ausgeführt, die Kommunikation über den Status wird aber nur vom Master mit dem Hostsystem geführt.

Ein wesentlicher Vorteil der erfindungsgemäßen Ausführung des Speichersystems ist die Verwendung nur einer einzigen Leitung zur Arbitrierung des Busses zwischen den Speichercontrollern. Diese Leitung ist als Tri-State-Leitung ausgeführt und besitzt die drei elektrischen Zustände „0", „1", „Tri-State". Dabei ist dann z.B. der Zustand „0" dem logischen „belegt" des Busses und der Zustand „1" dem logischen „freigegeben" zugeordnet.
Bei der Initialisierung der Controller erhalten die Controller Nummern, über die auch der zugeordnete Bereich von logischen Speichersektornummern festgelegt ist. So ist z.B. bei vier Controllern der Controller 1 den Speichersektornummern 0,4,8,12,..... zugeordnet, der Controller 2 den Speichersektornummern 1,5,9,13,...., der Controller 3 den Speichersektornummern 2,6,10,14,...., der Controller 4 den Speichersektornummern 3,7,11,15,... . Wenn nun durch ein Lesekommando die Sektoren 4-11 gelesen werden sollen, übernimmt zuerst der Controller 1 für den Speichersektor 4 den Bus, indem er die Tri-State-Leitung auf „0" zieht. Wenn der Speichersektor 4 übertragen ist, gibt der Controller1 den Bus frei, indem er die Tri-State-Leitung auf „1" schaltet oder in den „Tri-State-Zustand" geht. Danach übernimmt der Controller 2 für den Speichersektor 5 den Bus auf gleiche Art und Weise. So wird der Bus nacheinander fortlaufend von den Controllern übernommen, bis alle angeforderten Speichersektoren, in diesem Fall bis Sektor 11, übertragen sind.

Um einen sauberen Wechsel der Kontrolle über den Bus zwischen den Controllern zu erreichen, ist es vorteilhaft, eine Schutzzeit einzuhalten, in welcher die Tri-State-Leitung definiert auf „freigegeben" getrieben ist. Die Zeitkonstante der Tri-State-Leitung mit einem Pull-Up-Widerstand ist bei einem schnellen Busbetrieb nicht kurz genug. Eine günstige Schutzzeit ist eine Taktlänge auf dem Bus.

Wie oben beschrieben, ist es günstig, die Zuordnung der Speichercontroller zu logischen Speichesektornummern so vorzunehmen, dass aufeinanderfolgenden Speichersektornummern unterschiedliche Controller zugeordnet sind. Damit können so viele logische Speichersektoren quasi parallel geschrieben oder gelesen werden, wie Speichercontroller vorhanden sind. Damit wird eine hohe Arbeitsgeschwindigkeit des Speichersystems erreicht.

Eine besonders vorteilhafte Ausführung des Speichersystems ergibt sich bei dem Einsatz von Flashspeichern als Speicherchips. Bei diesem Speichertyp treten gegenüber den Zeiten des Lesens lange Schreib- und Löschzeiten auf. Durch das Überlappen („Interleave") der Bedienung von fortlaufenden logischen Speichersektornummern durch unterschiedliche Speichercontroller und damit auch unterschiedlichen Speicherchips laufen diese Schreib- und Löschvorgänge quasi parallel ab, was die Geschwindigkeit des gesamten Speichersystems steigert. Dabei können die realen Speichersektoren, auch „Pages" genannt, die in die Flashchips geschrieben werden, eine vielfache Größe der logischen Speichersektoren besitzen.

Ein einfacher und preisgünstiger Speicheraufbau ergibt sich, wenn die Speichercontroller zusammen auf einem Halbleitersubstrat integriert sind. Bei einem solchen Aufbau entfallen die Kosten für die einzelnen Gehäuse, und die Anzahl der Anschlusspins untereinander ist nicht

von Bedeutung. Insbesondere sind dann auf dem Halbleitersubstrat auch zusätzliche Kontrollregister untergebracht, mit denen beispielsweise die Reihenfolge der einzelnen Speichercontroller am Bus festgelegt wird und der Master bestimmt ist.

Falls solche Kontrollregister nicht vorhanden sind, wird während der Initialisierung des Speichersystems die Bestimmung des Masters und die Festlegung der Reihenfolge der Speichercontroller am Bus durch nachfolgendes Verfahren festgelegt:

Dem initialisierenden Hostsystem ist die Größe des Speichersystems und die Anzahl der eingesetzten Speichercontroller bekannt.
Die Tri-State-Leitung befindet sich im Zustand „freigegeben". Das Hostsystem sendet über den Bus ein Bestimmungskommando, das von allen angeschlossenen Speichercontrollern aufgenommen wird. Die Speichercontroller bestimmen anhand eines Zählers, der den angelegten Takt zählt, eine Wartezeit. Derjenige Speichercontroller, bei dem die Wartezeit als erstes abläuft, zieht die Tri-State-Leitung für einen definierten Zeitraum auf „belegt". Er besitzt damit die Speichercontrollernummer 1, und er ist auch als Master bestimmt. Die anderen Speichercontroller registrieren diesen Vorgang. Der Master sendet an das Hostsystem ein Bestätigungssignal. Daraufhin wiederholt das Hostsystem das Bestimmungskommando. Der Master zieht sich jetzt aus der Bestimmungsprozedur zurück. Alle anderen Speichercontroller warten wieder gemäß ihrer intern bestimmten Wartezeit. Derjenige Speichercontroller, der jetzt die kürzeste Wartezeit hat, belegt wieder die Tri-State-Leitung und bekommt damit die nächst Speichercontrollernummer zugeteilt. Der Master bestätigt wieder den Vorgang gegenüber dem Hostsystem. Der Speichercontroller, der jetzt eine Controllernummer erhalten hat, zieht sich auch aus dem Vergabeverfahren zurück. Das Hostsystem wiederholt den Vorgang mit dem Bestimmungskommando so oft, wie es der Anzahl der Speichercontroller entspricht. Bekommt das

Hostsystem keine Bestätigung auf ein Bestimmungskommando, da eine Controllernummer aufgrund von gleich langen Wartezeiten doppelt vergeben wurde, wiederholt es das gesamte Verfahren von vorn.

Die Wartezeit beim Bestimmungsverfahren wird vorteilhafterweise aus einem Zähler im Speichercontroller mittels eines zufällig bestimmten Zählerstandes abgeleitet. Der hier hochgezählte Takt wird in jedem Speichercontroller separat mit einem RC-Oszillator erzeugt, der aufgrund von Bauteiletoleranzen jeweils nicht synchron zu den anderen läuft. Daher ist die Wahrscheinlichkeit von gleich langen Wartezeiten, auch bei gleicher Zufallszahl für den Zählerstand, äußerst gering.

Nach der Bestimmung der Controllernummern wird in alle Speichercontroller ein sogenannter Ankersektor geschrieben, der dann die Angaben über die Speichergröße entsprechend der Gesamtanzahl der logischen Sektornummern, die Anzahl der Controller und der Pagegröße enthält. Damit besitzt der Speichercontroller alle notwendigen Informationen, um an der Kommunikation über den Bus teilzunehmen.

Die Ausgestaltung der Erfindung ist in den Figuren beispielhaft beschrieben.

Fig. 1 zeigt ein Blockschaltbild des Speichersystems

Fig. 2 zeigt das ergänzte Blockschaltbild bei Integration der Speichercontroller auf einem Halbleitersubstrat.

Fig. 3 zeigt ein Blockschaltbild für den Bestimmungsprozess der Speichercontrollernummern

Fig. 4 zeigt ein Ablaufdiagramm für das Bestimmungsverfahren der Speichercontrollernummern

In Fig. 1 kommuniziert das Hostsystem HS über den Bus B mit den Speichercontrollern SCx. Das x steht für die fortlaufenden Ziffern 1 bis 4. Die Speichercontroller SCx sind parallel am Bus B angeschlossen. Jeder Speichercontroller SCx steuert Speicherchips Fx, die vorzugsweise in Flashtechnologie aufgebaut sind. Zusätzlich zum Bus B sind die Speichercontroller SCx auch mit der Arbitrierungsleitung BA verbunden, die den jeweiligen Zustand „belegt" oder „freigegeben" angibt. Diese Leitung BA ist als Tri-State-Leitung mit Pull-Up-Widerstand ausgeführt. Der erste Speichercontroller SC1 ist gleichzeitig als Master M bestimmt.

Fig. 2 zeigt das gleiche Blockschaltbild wie Fig. 1 ohne die Speicherchips Fx. Hier sind die Speichercontroller SCx auf dem Halbleitersubstrat H integriert. Zusätzlich ist auf dem Halbleitersubstrat H das Kontrollregister KR untergebracht, welches für jeden Speichercontroller SCx ein Feld enthält, das die Controllernummer Sx und die Bestimmung des Masters M enthält. Diese Werte werden bei der Initialisierung des Speichersystems in das Kontrollregister KR geschrieben.

In Fig. 3 sind die Komponenten für den Bestimmungsprozess der Speichercontrollernummern in einem Blockschaltbild dargestellt. Die Auswertelogik AL in den jeweiligen Speichercontrollern SCx überwacht die Kommandos vom Hostsystem HS, die über den Bus B übertragen werden. Durch den Pull-Up-Widerstand RP ist der Ruhezustand der Leitung BA gleich „1".
Jeder Speichercontroller SCx besitzt einen Taktoszillator OSZ, dessen Frequenz von dem Kondensator Cx und dem Widerstand Rx bestimmt ist. Der hier erzeugte Takt wird solange im Zähler Z hochgezählt, bis der Zählerstand den Wert W erreicht, der von der Auswertelogik AL vorgegeben ist. Sobald dieser Wert erreicht ist, wird der Transistor T durchgeschaltet und die Arbitrierungsleitung BA auf „0" gezogen.

Auch die Auswertelogik AL ist an die Arbitrierungsleitung BA angeschlossen und überwacht diese daraufhin, ob ein anderer Speichercontroller SCx den Bus vorher auf „0" getrieben hat.

In Fig. 4 ist der Ablauf der Bestimmung der Controllernummern Sx dargestellt. Zunächst sendet das Hostsystem ein Reset-Kommando, das bei den angeschlossenen Controllern SCx den Wiederholungszähler N auf 0 setzt. Danach sendet das Hostsystem das Bestimmungskommando an die Speichercontroller SCx. Diese haben auf das Kommando gewartet und erhöhen den Wiederholungszähler um 1. Sie starten den Zähler Z. Während auf das Erreichen des Zählerstandes auf den Zufallswert W gewartet wird, überwacht der Controller die Arbitrierungsleitung BA. Falls die Leitung BA den Zustand „0" annimmt, hat ein anderer Speichercontroller SCx seine Controllernummer Sx bestimmt und dieser Controller geht wieder in die Wartestellung. Falls der Zählerstand Z den Wert W erricht, treibt dieser Controller die Arbitrierungsleitung für eine vorbestimmte Zeit auf „0" und zeigt damit an, dass er seine Controllernummer Sx bestimmt hat. Die Controllernummer Sx entspricht dem wert des Wiederholungszählers N. Dem Hostsystem HS wird eine Bestätigung der Übernahme der Controllernummer Sx gesendet.
Das Hostsystem HS überwacht den Bus B auf eine Sendebestätigung. Wird innerhalb eines vorgegeben Zeitlimits keine Bestätigung erhalten, beginnt das Hostsystem den Bestimmungsprozess von vorn. Wird die Bestätigung innerhalb der vorgegebenen Zeit erhalten, registriert das Hostsystem diesen Vorgang.
Wenn der Wiederholungszähler N den Maximalwert MAX erreicht hat, welcher der Anzahl der vorgegebenen Speichercontroller entspricht, ist der Bestimmungsprozess beendet. Anderenfalls werden weitere Bestimmungskommandos gesendet.

Bezugszeichenliste

AL	Auswertelogik
B	Bus
BA	Arbitrierungsleitung für den Bus
Cx	Kondensator am Oszillator x
Fx	Speicherchips
H	Halbleitersubstrat
HS	Hostsystem
KR	Kontrollregister
M	Master
Max	Maximale Zahl der Speichercontroller
N	Wiederholungszahl des Bestimmekommandos
OSZ	Oszillator
RP	Pull-Up-Widerstand
Rx	Widerstand am Oszillator x
Sx	Controllernummern
SCx	Speichercontroller
T	Transistor
W	Zufallswert
x	1 .. 4, fortlaufende Nummer
Z	Zähler
=	Vergleicher

Patentansprüche:

1. Speichersystem, welches mit mehreren, an einem getakteten Bus (B) parallel angeordneten Speichercontrollern (SCx) und jeweils den Speichercontrollern (SCx) zugeordneten Speicherchips (Fx) gebildet ist und über den Bus (B) mit einem Hostsystem (HS) mit Speicheroperationskommandos unter Verwendung von logischen Speichersektornummern kommuniziert, dadurch gekennzeichnet, dass bei einer vom Hostsystem (HS) angeforderten Speicheroperation der jeweils für einen Bereich von logischen Speichersektornummern betroffene Speichercontroller (SCx) den Bus für die Kommunikation mit dem Hostsystem (HS) mittels einer Arbitrierung übernimmt.

2. Speichersystem nach Anspruch 1, dadurch gekennzeichnet, dass einer der parallelen Speichercontroller (SCx) als Master (M) am Bus (B) bestimmt ist, und dieser, solange keiner der anderen Speichercontroller (SCx) den Bus (B) übernommen hat, die Kommunikation mit dem Hostsystem (HS) durchführt.

3. Speichersystem nach Anspruch 1, dadurch gekennzeichnet, dass die Arbitrierung des Busses (B) zwischen den Speichercontrollern (SCx) anhand der angesprochenen Speichersektornummer und über eine einzige Tri-State-Leitung (BA) erfolgt, welche die Belegung des Busses (B) durch den betroffenen Speichercontroller (SCx) während der Kommunikationszeit mit einem Belegt-Signal angibt.

4. Speichersystem nach Anspruch 3, dadurch gekennzeichnet, dass bei der Freigabe des Busses (B) durch einen Speichercontroller (SCx) auf der Arbitrierungsleitung (BA) eine Schutzzeit eingefügt ist, in der die Leitung (BA) aktiv auf Freigabe getrieben ist.

5. Speichersystem nach Anspruch 4, dadurch gekennzeichnet, dass die Schutzzeit einer Taktlänge des Busses (B) entspricht.

6. Speichersystem nach Anspruch 1, dadurch gekennzeichnet, dass für aufeinanderfolgende logische Speichersektornummern unterschiedliche Speichercontroller (SCx) zugeordnet sind.

7. Speichersystem nach Anspruch 1, dadurch gekennzeichnet, dass die Speicherchips (Fx) blockweise löschbare Flashspeicher sind.

8. Speichersystem nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Speichercontroller (SCx) gemeinsam auf einem Halbleitersubstrat (H) angeordnet sind.

9. Speichersystem nach Anspruch 8, dadurch gekennzeichnet, dass die Bestimmung die Reihenfolge der Speichercontroller (SCx) am Bus (B) und des Masters (M) durch eine Programmierung eines Kontrollregisters (KR) zu den jeweiligen Speichercontrollern (SCx) erfolgt.

10. Verfahren zur Bestimmung der Reihenfolge der Speichercontroller (SCx) am Bus (B), dadurch gekennzeichnet, dass

- auf ein wiederholtes Bestimmungskommando des Hostsystems (HS) jeweils ein Speichercontroller (SCx) nach einer zufällig bestimmtem Zeit die Arbitrierungsleitung (BA) für einen definierten Zeitraum belegt, sofern kein anderer Controller (SCx) die Leitung (BA) vorher belegt hat,
- aus der Wiederholungszahl dieses Kommandos dieser Controller seine Controllernummer (Sx) ableitet,
- jeweils ein Bestätigungssignal zum Hostsystem (HS) gemeldet wird,

- sich der jeweilige Speichercontroller (SCx) nach der Bestätigung aus dem Bestimmungsverfahren zurückzieht.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass der Speichercontroller (SCx) mit der Controllernummer 1 als Master (M) bestimmt ist.

12. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass das Hostsystem (HS) die Bestimmungsvorgang wiederholt, falls nicht genügend Bestätigungen der Bestimmung gemeldet werden.

13. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die zufällige Zeit zur Belegung der Arbitrierungsleitung (BA) von einem Zähler abgeleitet ist, der von Bauteiletoleranzen abhängig ist.

Fig. 1

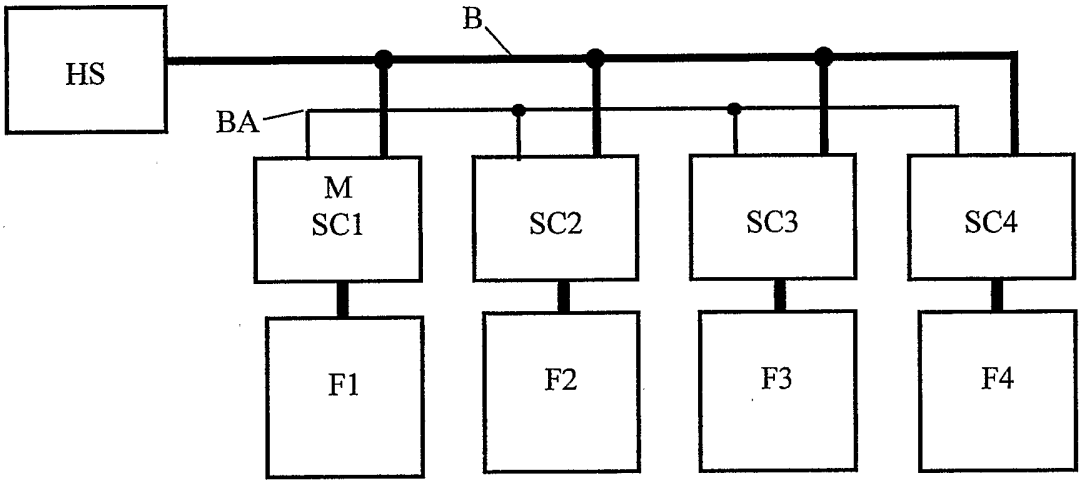

HS
B
BA
M
SC1
SC2
SC3
SC4
F1
F2
F3
F4

Fig. 2

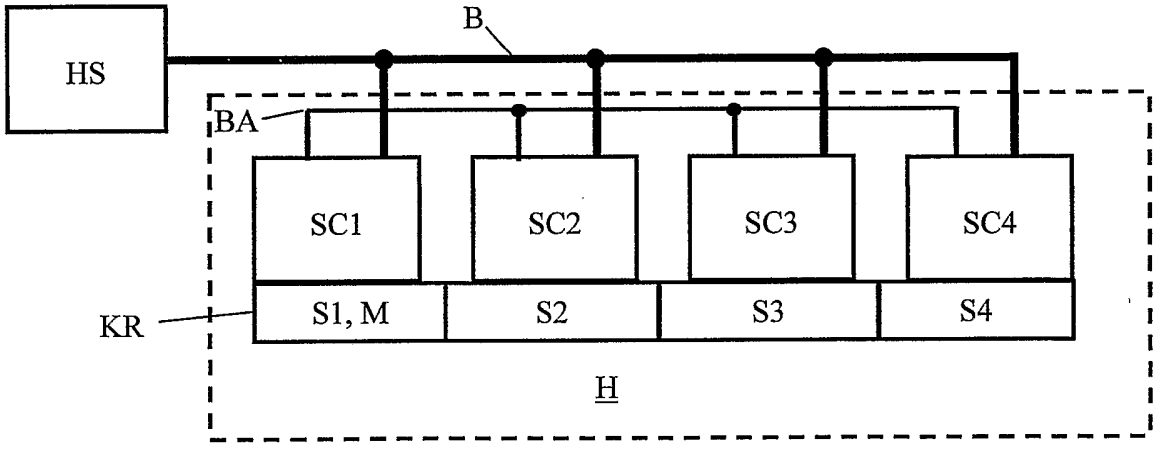

HS
B
BA
SC1
SC2
SC3
SC4
KR
S1, M
S2
S3
S4
H

Fig. 3

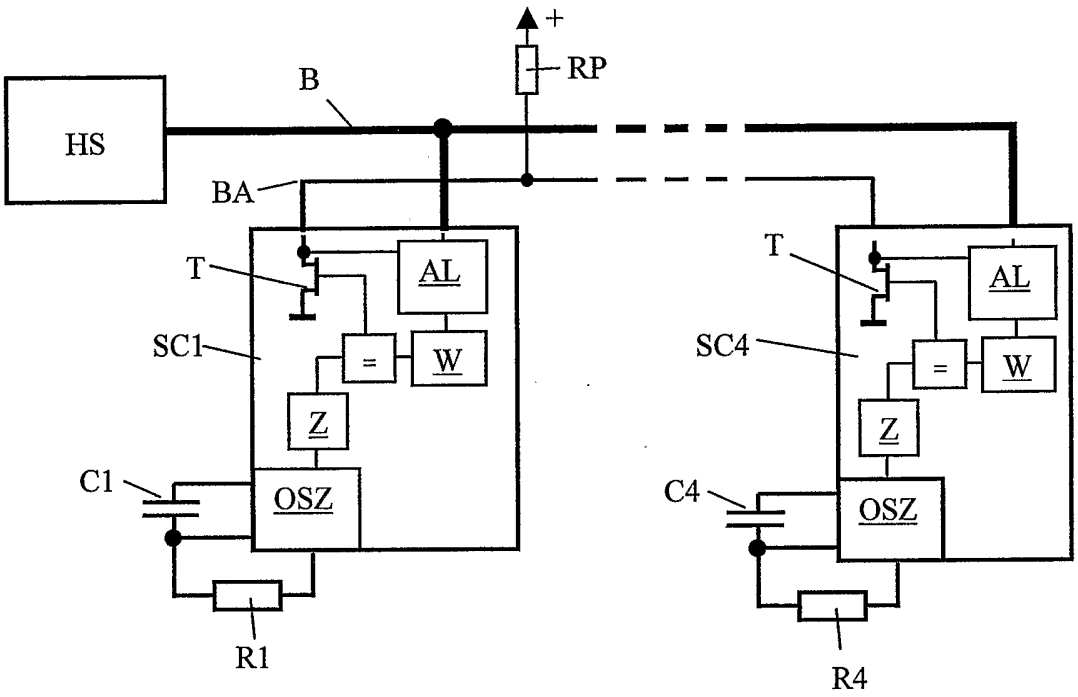
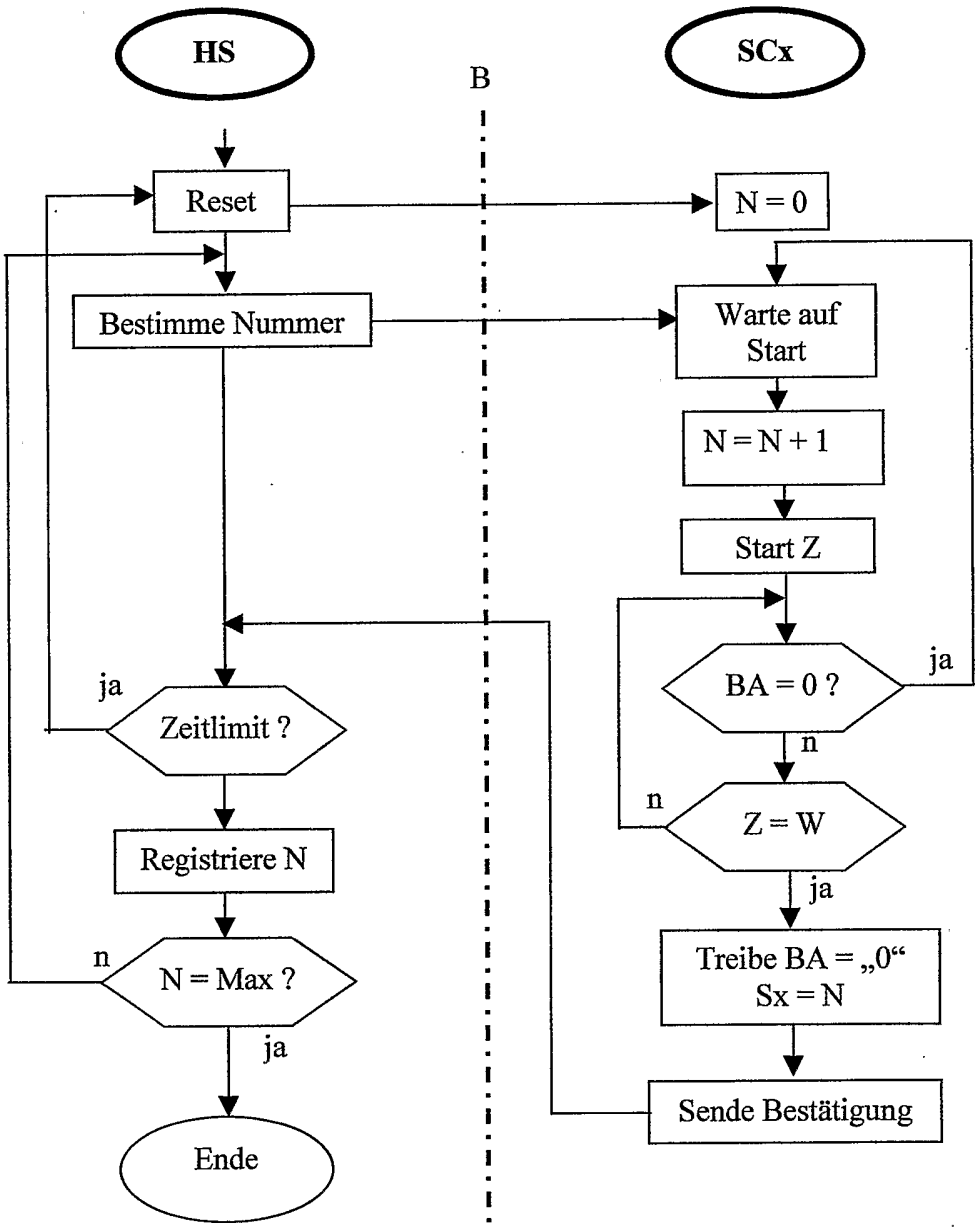


Fig. 4


HS
SCx
B
Reset
N = 0
Bestimme Nummer
Warte auf Start
N = N + 1
Start Z
BA = 0 ?
ja
n
Z = W
n
ja
Zeitlimit ?
ja
Registriere N
N = Max ?
n
ja
Treibe BA = „0“ Sx = N
Sende Bestätigung
Ende